



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월14일

(11) 등록번호 10-1482536

(24) 등록일자 2015년01월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01) G09G 3/36 (2006.01)

G09G 3/296 (2013.01) G09G 3/30 (2006.01)

(21) 출원번호 10-2008-0025693

(22) 출원일자 2008년03월20일

심사청구일자 2013년02월06일

(65) 공개번호 10-2008-0086366

(43) 공개일자 2008년09월25일

(30) 우선권주장

JP-P-2007-00073754 2007년03월21일 일본(JP)

(56) 선행기술조사문헌

JP2007018299 A*

JP2006258921 A*

US20040207018 A1

JP2007506144 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

히로유키 미야케

일본, 243-0036, 카나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

아츠시 우메자키

일본, 243-0036, 카나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 12 항

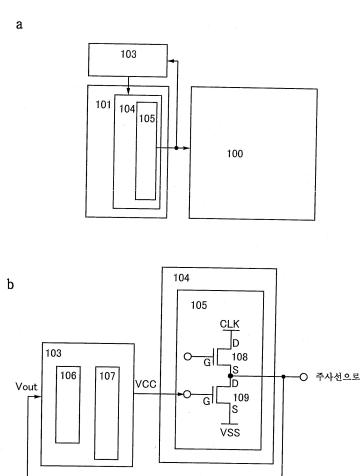
심사관 : 신영교

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 TFT의 임계치 전압의 시프트를 억제하는 것으로 구동 회로의 신뢰성을 높일 수 있는 표시 장치를 제공한다.

구동 회로에 사용되는 트랜지스터의 게이트에 인가하는 전압을 실제로 변화시켜 보는 것으로, 상기 트랜지스터를 구동시키는 데 적합한 필요 최저한의 전원 전압을 찾아낸다. 구체적으로는 시프트 레지스터에 주는 전원 전압의 값을 변화시켰을 때의 구동 회로가 갖는 출력 회로로부터 출력되는 전압을 모니터한다. 그리고 출력된 상기 전압이 화소부를 동작시키는 데 충분한 값을 만족시키는 전원 전압의 값을 발견하고, 상기 전원 전압을 사용하여 구동 회로를 동작시킨다.

대표도 - 도1

특허청구의 범위

청구항 1

표시 장치에 있어서,

화소부;

트랜지스터를 포함한 출력 회로;

판정 회로; 및

전압 설정 회로를 포함하고,

상기 출력 회로는 상기 전압 설정 회로가 상기 트랜지스터의 게이트로 제 1 전압을 출력할 때, 상기 화소부 및 상기 판정 회로에 제 2 전압을 출력하고,

상기 판정 회로는 상기 제 1 전압의 값이 특정 값으로 설정되도록 상기 제 2 전압의 값에 따라 상기 전압 설정 회로를 제어하고,

상기 트랜지스터는 상기 특정 값에 의해 온이 되는, 표시 장치.

청구항 2

표시 장치에 있어서,

화소부;

트랜지스터를 포함한 출력 회로;

판정 회로;

전압 설정 회로; 및

상기 전압 설정 회로에 포함된 가산기를 포함하고,

상기 출력 회로는 상기 전압 설정 회로가 상기 트랜지스터의 게이트로 제 1 전압을 출력할 때 상기 화소부 및 상기 판정 회로에 제 2 전압을 출력하고,

상기 판정 회로는 상기 제 1 전압의 값이 특정 값으로 설정되도록 상기 제 2 전압의 값에 따라 상기 전압 설정 회로를 제어하고,

상기 트랜지스터는 상기 특정 값에 의해 온이 되고,

상기 가산기는 상기 제 1 전압의 상기 특정 값과 제 3 전압의 값의 합을 상기 트랜지스터의 상기 게이트에 인가하는, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 트랜지스터는 박막 트랜지스터인, 표시 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 트랜지스터는 산화규소의 유전율보다 높은 유전율을 갖는 절연막이 게이트 절연막에 사용되는 박막 트랜지스터인, 표시 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 특정 값은 상기 트랜지스터를 온하기 위해 최소값과 동일한, 표시 장치.

청구항 6

표시 장치에 있어서,

화소부;

제 1 및 제 2 트랜지스터들을 포함한 출력 회로;

판정 회로; 및

전압 설정 회로를 포함하고,

상기 출력 회로는 상기 전압 설정 회로가 상기 제 1 트랜지스터의 게이트로 제 1 전압을 출력할 때 상기 화소부 및 상기 판정 회로로 제 2 전압을 출력하고,

클록 신호가 상기 제 2 트랜지스터에 의해 샘플링되고, 상기 화소부에 공급되고,

상기 판정 회로는 상기 제 1 전압의 값이 특정 값으로 설정되도록 상기 제 2 전압의 값에 따라서 상기 전압 설정 회로를 제어하며,

상기 제 1 트랜지스터는 상기 특정 값에 의해 온이 되는, 표시 장치.

청구항 7

표시 장치에 있어서,

복수의 화소들을 포함한 화소부;

제 1 및 제 2 트랜지스터들을 포함한 출력 회로;

판정 회로; 및

전압 설정 회로를 포함하고,

상기 출력 회로는 상기 전압 설정 회로가 상기 제 1 트랜지스터의 게이트로 제 1 전압을 출력할 때 상기 화소부 및 상기 판정 회로로 제 2 전압을 출력하고,

상기 복수의 화소들은 상기 제 2 트랜지스터에 의해 클록 신호를 샘플링함으로써, 및 상기 클록 신호를 상기 화소부에 공급함으로써 라인마다 선택되고,

상기 판정 회로는 상기 제 1 전압의 값이 특정 값으로 설정되도록 상기 제 2 전압의 값에 따라 상기 전압 설정 회로를 제어하며,

상기 제 1 트랜지스터는 상기 특정 값에 의해 온이 되는, 표시 장치.

청구항 8

표시 장치에 있어서,

화소부;

제 1 및 제 2 트랜지스터들을 포함한 출력 회로;

판정 회로;

전압 설정 회로; 및

상기 전압 설정 회로에 포함된 가산기를 포함하고,

상기 출력 회로는 상기 전압 설정 회로가 상기 제 1 트랜지스터의 게이트로 제 1 전압을 출력할 때 상기 화소부 및 상기 판정 회로로 제 2 전압을 출력하고,

클록 신호가 상기 제 2 트랜지스터에 의해 샘플링되고, 상기 화소부에 공급되고,

상기 판정 회로는 상기 제 1 전압의 값이 특정 값으로 설정되도록 상기 제 2 전압의 값에 따라 상기 전압 설정 회로를 제어하고,

상기 제 1 트랜지스터는 상기 특정 값에 의해 온이 되며,

상기 가산기는 상기 제 1 전압의 상기 특정 값과 제 3 전압의 값의 합이 상기 제 1 트랜지스터의 상기 게이트에 인가되는, 표시 장치.

청구항 9

표시 장치에 있어서,

복수의 화소들을 포함한 화소부;

제 1 및 제 2 트랜지스터들을 포함한 출력 회로;

판정 회로;

전압 설정 회로; 및

상기 전압 설정 회로에 포함된 가산기를 포함하고,

상기 출력 회로는 상기 전압 설정 회로가 상기 제 1 트랜지스터의 게이트로 제 1 전압을 출력할 때 상기 화소부 및 상기 판정 회로로 제 2 전압을 출력하고,

상기 복수의 화소들은 상기 제 2 트랜지스터에 의해 클록 신호를 샘플링하고, 상기 클록 신호를 상기 화소부에 공급함으로써 라인마다 선택되고,

상기 판정 회로는 상기 제 1 전압의 값이 특정 값으로 설정되도록 상기 제 2 전압의 값에 따라 상기 전압 설정 회로를 제어하고,

상기 제 1 트랜지스터는 상기 특정 값에 의해 온이 되며,

상기 가산기는 상기 제 1 전압의 상기 특정 값과 제 3 전압의 값의 합에 상기 제 1 트랜지스터의 상기 게이트에 인가되는, 표시 장치.

청구항 10

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 박막 트랜지스터인, 표시 장치.

청구항 11

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 산화규소의 유전율보다 높은 유전율을 갖는 절연막이 게이트 절연막을 위해 사용되는 박막 트랜지스터인, 표시 장치.

청구항 12

제 6 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 특정 값은 상기 제 1 트랜지스터를 온하기 위해 최소값과 동일한, 표시 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터를 사용한 표시 장치에 관한 것이다.

배경 기술

[0002] 저가의 유리 기판을 사용하여 형성되는 표시 장치는 해상도가 높아짐에 따라서, 실장에 사용되는 화소부 주변의 영역(가장자리 영역)의 기판에 차지하는 비율이 증대하여, 소형화가 방해되는 경향이 있다. 이 때문에, 단결정의 반도체 기판을 사용하여 형성된 구동 회로를 유리 기판에 실장하는 방식에는 한계가 있다고 생각되고 있고, 구동 회로를 화소부와 같은 유리 기판상에 일체 형성하는 기술, 소위 시스템 온 패널화가 중요시되고 있다. 시스템 온 패널의 실현에 의해, 구동 회로와 화소부를 접속하기 위한 핀수를 삭감하여, 반도체 기판의 구동 회로를 유리 기판에 실장할 때에 문제가 된, 구동 회로와 화소부의 접속 불량에 기인하는 수율의 저하, 핀을 사용한 접속 개소에서의 기계적 강도가 낮음 등을 회피하는 것이 가능해진다. 또 표시 장치의 소형화뿐만 아니라, 조립 공정이나 검사 공정의 삭감에 의한 비용 절감도, 시스템 온 패널의 실현에 의해 가능해진다.

[0003] 상기 표시 장치가 갖는 구동 회로의 대표적인 것으로서, 주사선 구동 회로와 신호선 구동 회로가 있다. 주사선 구동 회로에 의해, 복수의 화소가 1라인마다, 경우에 따라서는 복수 라인마다 선택된다. 그리고 신호선 구동 회로에 의해, 상기 선택된 라인이 갖는 화소로의 비디오 신호의 입력이 제어된다.

[0004] 신호선 구동 회로와 주사선 구동 회로 중, 주사선 구동 회로는 신호선 구동 회로와 비교하면 구동 주파수를 억제하기 쉽기 때문에, 비교적 유리 기판상에 형성하기 쉽다고 할 수 있다. 하기의 비특허문헌 1에는 아모르퍼스의 반도체를 사용한 트랜지스터로, 주사선 구동 회로와 화소부를 유리 기판상에 형성하는 기술에 대해서 기재되어 있다.

[0005] [비]특허문현 1] YongSoon Lee 외 6명, SID 06 DIGEST, 16.2(p.1083-p.1086) (2006)

발명의 내용

해결 하고자하는 과제

[0006] 그런데, 아모르페스 반도체 또는 다결정 반도체를 사용한 박막 트랜지스터(TFT)는 전류의 공급 능력이 단결정의 트랜지스터와 비교하여 낮다. 이 때문에, 구동 회로에 사용되는 TFT의 온전류를 높게 하기 위해서, 산화규소보다도 유전율이 높은 질화규소막, 질화산화규소막 등의 절연막을 상기 TFT의 게이트 절연막으로서 채용하는 경우가 있다.

[0007] 그러나, 질소를 포함하는 게이트 절연막을 사용한 박막 트랜지스터는 게이트에 인가되는 전압의 절대치가 클수록, 또한 온 상태의 시간(구동 시간)이 길수록, 그 임계치 전압이 크게 시프트하기 쉽다. 이것은 게이트에 전압이 인가되면, 게이트 절연막에 전하가 트랩되기 때문이다. 특히 아모르페스 반도체를 사용한 박막 트랜지스터의 경우, 질소를 포함하는 절연막을 게이트 절연막에 사용하는 경우가 많기 때문에, 전하의 트랩에 의한 임계 전압의 시프트는 큰 문제이다.

[0008] 도 17a에, 주사선 구동 회로에 사용되는, 주사선에 대한 전압의 입력을 제어하기 위한 출력 회로의 일반적인 구성을 도시한다. 도 17a에 도시하는 출력 회로는 직렬로 접속된 n형의 트랜지스터(3001) 및 n형의 트랜지스터(3002)를 갖는다. 그리고 트랜지스터(3001)의 드레인(D)에는 클록 신호 CLK의 전압이 주어지고, 트랜지스터(3002)의 소스(S)에는 전원 전압 VSS가 주어진다. 트랜지스터(3001)의 게이트(G)에는 전압 Vin1이 주어지고, 또한 트랜지스터(3002)의 게이트(G)에는 전압 Vin2가 주어진다. 또한, 트랜지스터(3001)의 소스(S)와 트랜지스터(3002)의 드레인이 접속되어 있는 노드의 전압 Vout은 주사선에 주어진다.

[0009] 도 17a에 도시한 출력 회로에서, 입력되는 전압 및 출력되는 전압의 타이밍 차트를 도 17b에 도시한다. 도 17b에 도시하는 바와 같이, 클록 신호 CLK가 갖는 하이 레벨의 폴스의 하나가 출현하는 기간과 그 전후에서만 전압 Vin1은 하이 레벨이 된다. Vin1은 하이 레벨이 되면 트랜지스터(3001)는 온이 되고, 그 이외의 Vin1이 로우 레벨일 때 트랜지스터(3001)는 오프가 된다.

[0010] 한편, 클록 신호 CLK가 갖는 하이 레벨의 폴스의 하나가 출현하는 기간과 그 전후에서만 전압 Vin2는 로우 레벨이 된다. Vin2가 로우 레벨이 되면 트랜지스터(3002)는 오프가 되고, 그 이외의 Vin2가 하이 레벨일 때 트랜지스터(3002)는 온이 된다.

[0011] 트랜지스터(3001)가 온, 트랜지스터(3002)가 오프인 기간에서, 클록 신호 CLK가 갖는 하이 레벨의 폴스가 샘플링되고, 전압 Vout으로서 출력된다. 그리고 샘플링된 폴스에 의해 주사선의 선택이 행하여진다.

[0012] 상기 구성을 갖는 출력 회로에서는 주사선이 선택되지 않은 기간에 트랜지스터(3002)는 온의 상태를 유지하고 있다. 그런데 주사선이 선택되지 않은 기간은 주사선이 선택된 기간과 비교하여 압도적으로 길다. 이 때문에, 트랜지스터(3002)는 트랜지스터(3001)와 비교하여 압도적으로 구동 시간이 길고, 게이트 절연막에서의 전하의 트랩에 의해 그 임계치 전압이 시프트하기 쉽다. 그리고, 임계치 전압이 크게 시프트하면 트랜지스터(3002)는 정상으로 동작하지 않게 되기 때문에, 게이트 절연막에서의 전하의 트랩은 주사선 구동 회로의 수명을 단축하는 한가지 원인이 되었다.

[0013] 본 발명은 상기 문제를 감안하여 이루어진 것으로, TFT의 임계치 전압의 시프트를 억제하는 것으로 구동 회로의 신뢰성을 높일 수 있는 표시 장치의 제공을 과제로 한다.

과제 해결수단

[0014] 본 발명자 등은 구동 회로에 사용되는 트랜지스터의 임계치 전압의 시프트를 억제하기 위해서는 상기 트랜지스터의 게이트에 인가되는 전압을 필요 최저한의 값으로 설정하면 좋다고 생각하였다. 그리고 상기 트랜지스터의 게이트에 인가하는 전압을 실제로 변화시켜 보는 것으로, 상기 트랜지스터를 구동시키는 데 적합한 필요 최저한의 전원 전압을 찾아내는 구성을 발안하였다. 구체적으로는 시프트 레지스터에 주는 전원 전압의 값을 변화시켰을 때의 출력 회로로부터 출력되는 전압을 모니터한다. 그리고 출력된 상기 전압이 화소부를 동작시키는 데 충분한 값을 만족시키는 전원 전압의 값을 발견하고, 상기 전원 전압을 사용하여 구동 회로를 동작시킨다.

[0015] 전원 전압의 최적의 값을 취득하는 타이밍은 화소부에 화상을 표시하는 기간 이외이면 언제나 행할 수 있다. 예를 들면 표시 장치의 전원을 투입한 후, 실제로 화상을 표시할 때까지의 기간에 행할 수 있고, 화상을 표시하

고 있는 도중에도 적절하게 표시를 일시 중단하고, 상기 타이밍을 형성할 수도 있다.

[0016] 또한, 실제의 표시에는 사용하지 않는 전원 전압의 최적의 값을 취득하기 위해서만 사용하는 더미의 출력 회로를 준비하여도 좋다. 더미의 출력 회로를 사용하는 것으로, 전원 전압의 최적의 값을 언제나 취득할 수 있다. 즉, 주사선 구동 회로에 의해서 주사선이 차례로 선택되는 기간에 행할 수도 있고, 최후의 주사선의 선택이 종료하고 나서 최초의 주사선의 선택이 개시될 때까지의 귀선 기간에 행할 수도 있다.

효과

[0017] 본 발명에서는 구동 회로의 트랜지스터의 게이트에 인가하는 전압을 필요 최저한의 값으로 설정하는 것으로, 상기 트랜지스터의 임계치 전압의 시프트를 억제할 수 있다. 따라서 구동 회로, 나아가서는 표시 장치의 신뢰성을 높일 수 있다. 특히 아모르퍼스 반도체막을 사용한 박막 트랜지스터로서는 온전류를 확보하기 위해서, 게이트 절연막에 유전율이 산화규소보다 높은 질화규소 또는 질화산화규소를 사용하는 경우가 많다. 유전율이 높은 질화규소 또는 질화산화규소를 사용하면 전하가 트랩되기 쉽고, 이것이 임계치 전압의 시프트로 이어졌지만, 본 발명의 구성에 의해 임계치 전압의 시프트를 억제하여 표시 장치의 신뢰성을 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 본 발명의 실시형태에 관해서 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0019] (실시형태 1)

[0020] 도 1을 사용하여, 본 발명의 표시 장치의 구성에 관해서 설명한다. 도 1a는 본 발명의 표시 장치의 블록도이다. 본 발명의 표시 장치는 화소부(100)와, 주사선 구동 회로(101)와, 전압 발생 회로(103)를 갖는다. 또 본 발명의 표시 장치는 신호선 구동 회로를 갖고 있어도 좋다. 화소부(100)에는 복수의 화소가 형성되어 있고, 주사선 구동 회로(101)에 의해서 상기 화소가 라인마다 선택된다. 신호선 구동 회로는 주사선 구동 회로(101)에 의해서 선택된 라인의 화소에 대한 비디오 신호의 입력을 제어한다.

[0021] 주사선 구동 회로(101)는 시프트 레지스터(104)를 갖고, 시프트 레지스터(104)는 출력 회로(105)를 갖는다. 시프트 레지스터(104)는 입력된 클록 신호 CLK, 스타트 펄스 신호 SP를 사용하여, 라인을 선택한다. 구체적으로는 스타트 펄스 신호 SP에 따라서 출력 회로(105)의 스위칭을 제어하는 것으로, 클록 신호 CLK의 펄스를 샘플링 하여, 주사선에 공급한다.

[0022] 화소에서, n형의 트랜지스터가 스위칭 소자로서 사용되고 있는 경우는 펄스가 갖는 하이 레벨의 전압 VDD가 주사선에 공급되면, 상기 트랜지스터가 온이 되고, 상기 주사선을 갖는 라인의 화소가 선택된 상태가 된다. 또한 로우 레벨의 전압 VSS가 주사선에 공급되면 상기 트랜지스터가 오프가 되고, 상기 주사선을 갖는 라인의 화소는 비선택된 상태가 된다.

[0023] 반대로 화소에서, p형의 트랜지스터가 스위칭 소자로서 사용되고 있는 경우는 펄스가 갖는 로우 레벨의 전압 VSS가 주사선에 공급되면 상기 트랜지스터가 온이 되고, 상기 주사선을 갖는 라인의 화소가 선택된 상태가 된다. 또한 하이 레벨의 전압 VDD가 주사선에 공급되면 상기 트랜지스터가 오프가 되고, 상기 주사선을 갖는 라인의 화소는 비선택된 상태가 된다.

[0024] 다음에, 화소에서 n형의 트랜지스터가 스위칭 소자로서 사용되고 있는 경우를 예에 들어, 전압 발생 회로(103), 시프트 레지스터(104), 출력 회로(105)의 구성 및 그 동작에 관해서, 도 1b에 도시하는 블록도를 사용하여 설명한다. 도 1b에 도시하는 바와 같이, 전압 발생 회로(103)는 판정 회로(106)와, 전압 설정 회로(107)를 갖는다.

[0025] 출력 회로(105)는 적어도 2개의 스위칭 소자를 갖는다. 구체적으로 도 1b에 도시하는 출력 회로(105)는 n형의 트랜지스터(108)와 n형의 트랜지스터(109)를 스위칭 소자로서 사용한다. 또 도 1b에서는 트랜지스터(108) 및 트랜지스터(109)가 모두 n형인 경우를 예시하였지만, 본 발명은 이 구성에 한정되지 않는다. 트랜지스터(108) 및 트랜지스터(109)가 모두 p형인 경우에도 좋다.

- [0026] 트랜지스터(108)와 트랜지스터(109)는 직렬로 접속되어 있다. 그리고 트랜지스터(108)의 드레인(D)에는 클록 신호 CLK의 전압이 주어지고, 소스(S)는 주사선에 접속되어 있다. 또한 트랜지스터(109)의 소스(S)에는 전압 VSS가 주어지고, 드레인(D)은 주사선에 접속되어 있다. 따라서, 트랜지스터(108)에 의해 클록 신호 CLK의 샘플링이 행하여지고, 트랜지스터(109)에 의해 전압 VSS의 주사선으로의 공급이 제어된다.
- [0027] 구체적으로 트랜지스터(109)는 출력 회로(105)에 입력되는 전원 전압 중의 전압 VCC가 게이트에 주어지는 것으로 은이 된다. 전압 발생 회로(103)에서는 전압 설정 회로(107)에 의해 전압 VCC의 값이 변화한다. 그리고 상기 전압 VCC를 출력 회로(105)에 입력하고, 출력 회로(105)로부터 출력되는 전압 Vout을 판정 회로(106)에서 모니터한다.
- [0028] 또, 전압 VCC의 출력 회로(105)로의 입력 순서는 트랜지스터(109)의 임계치 전압의 시프트를 방지하기 위해서, 트랜지스터(109)가 n형이면 더욱 낮게, 즉 전압 VSS에 가까운 값부터 트랜지스터(109)가 p형이면 더욱 높게, 즉 전압 VDD에 가까운 값부터 행하는 것이 바람직하다.
- [0029] 판정 회로(106)에서는 전압 Vout이 화소부를 동작시키는 데 충분한 값을 만족시키는지의 여부를 판단한다. 전압 Vout이 충분한 값을 만족시키지 못하는 경우, 전압 VCC의 값이 트랜지스터(109)를 온하는 데 불충분한 높이라고 판단할 수 있다. 반대로 전압 Vout이 충분한 값을 만족시키는 경우, 전압 VCC의 값이 트랜지스터(109)를 온하는 데 충분히 높다고 판단할 수 있다. 상기 일련의 동작에 의해, 판정 회로(106)에서, 전압 Vout이 화소부를 동작시키는 데 충분한 값을 만족시키기 위한 적합한 전압 VCC의 값을 발견할 수 있다. 그리고 전압 VCC를 상기 적합한 1의 값을 정하고, 실제로 화소부(100)에 화상을 표시시킬 때에, 상기 전압 VCC를 시프트 레지스터(104)에 전원 전압으로서 준다.
- [0030] 또, 시프트 레지스터(104)의 동작을 더욱 확실한 것으로 하기 위해서, 판정 회로(106)에서 적합하다고 판단한 전압 VCC에 전압 설정 회로(107)에서 소정의 전압을 추가하여, 전압 VCC'로서 시프트 레지스터(104)에 입력하도록 하여도 좋다. 추가하는 소정의 전압은 출력 회로(105) 내의 트랜지스터 중 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터(이 경우 트랜지스터(109))의 특성 및 신뢰성을 고려하여, 그 값을 설정하는 것이 바람직하다.
- [0031] 시프트 레지스터(104)에서는 전압 발생 회로(103)로부터 주어지는 전압 VCC와, 로우 레벨의 전압 VSS와, 하이 레벨의 전압 VDD를 사용하여, 출력 회로(105)의 스위칭이 제어된다. 전압 VCC 또는 전압 VSS는 트랜지스터(109)의 게이트(G)에 주어진다. 트랜지스터(109)는 전압 VCC가 게이트에 주어지면 온, 전압 VSS가 게이트에 주어지면 오프와 같이 스위칭을 행한다. 또한 전압 VDD 또는 전압 VSS는 트랜지스터(108)의 게이트(G)에 주어진다. 트랜지스터(108)는 전압 VDD가 게이트에 주어지면 온, 전압 VSS가 게이트에 주어지면 오프와 같이 스위칭을 행한다. 그리고 트랜지스터(108)가 온일 때는 트랜지스터(109)를 오프, 트랜지스터(108)가 오프일 때는 트랜지스터(109)를 온으로 한다.
- [0032] 또, 주사선이 선택되지 않은 기간은 선택된 기간과 비교하여 압도적으로 길기 때문에, 트랜지스터(108)의 구동 시간보다도 트랜지스터(109)의 구동 시간이 압도적으로 길어진다. 그러나 본 발명에서는 트랜지스터(109)의 게이트에 인가되는 전압 VCC를 상술한 바와 같이 필요 최저한의 값을 적절하게 설정할 수 있다. 이 때문에, 게이트 절연막에서 전하가 트랩되는 것을 억제하여, 트랜지스터(109)의 임계치 전압의 시프트를 억제할 수 있다. 따라서 주사선 구동 회로(101), 나아가서는 표시 장치의 신뢰성을 높일 수 있다. 특히 아모르퍼스 반도체막을 사용한 박막 트랜지스터에서는 온전류를 확보하기 위해서, 게이트 절연막에 유전율이 산화규소보다 높은 질화규소 또는 질화산화규소를 사용하는 경우가 많다. 유전율이 높은 질화규소 또는 질화산화규소를 사용하면 전하가 트랩되기 쉽고, 이것이 임계치 전압의 시프트로 이어졌지만, 본 발명의 구성에 의해 임계치 전압의 시프트를 억제하여 표시 장치의 신뢰성을 높일 수 있다.
- [0033] 또한, 가령 트랜지스터(109)의 임계치 전압이 시프트하였다고 해도, 전압 Vout이 화소부를 동작시키는 데 충분한 값을 만족시키도록, 전압 VCC의 값을 그 때마다 다시 설정하는 것으로, 시프트 레지스터를 확실히 동작시킬 수 있다. 따라서, 구동 회로, 나아가서는 표시 장치의 신뢰성을 높일 수 있다.
- [0034] 또한 전원 전압 VCC의 최적의 값을 취득하는 타이밍은 화소부(100)에 화상을 표시하는 기간 이외이면, 언제나 행할 수 있다. 예를 들면, 표시 장치의 전원을 투입한 후, 실제로 화상을 표시할 때까지의 기간에 행할 수도 있고, 화상을 표시하고 있는 도중에도 적절하게 표시를 일시 중단하고, 상기 타이밍을 형성할 수도 있다.
- [0035] 또한, 실제의 표시에는 사용하지 않는 전원 전압 VCC의 최적의 값을 취득하기 위해서만 사용하는 더미의 출력 회로를 준비하여도 좋다. 더미의 출력 회로를 사용하는 것으로, 전원 전압 VCC의 최적의 값을 언제나 취득할

수 있다. 즉, 주사선 구동 회로(101)에 의해서 주사선이 차례로 선택되는 기간에 행할 수도 있고, 최후의 주사선의 선택이 종료하고 나서 최초의 주사선의 선택이 개시될 때까지의 귀선 기간에 할 수도 있다.

[0036] 본 실시형태에서는 출력 회로(105)에 사용되고 있는 트랜지스터가 n형이고, 게다가 n형의 트랜지스터가 화소의 스위칭 소자로서 사용되고 있는 경우를 예시하고 설명하였다. 반대로, 출력 회로(105)에 사용되고 있는 트랜지스터가 p형이고, 게다가 p형의 트랜지스터가 화소의 스위칭 소자로서 사용되고 있는 경우에 관해서 고찰한다. 이 경우, 트랜지스터(108)의 드레인에는 클록 신호 CLK의 전압이 주어지고, 소스는 주사선에 접속된다. 또한 트랜지스터(109)의 소스에는 전압 VDD가 주어지고, 드레인은 주사선에 접속된다. 따라서, 트랜지스터(109)에 의해 전압 VDD의 주사선으로의 공급이 제어되고, 트랜지스터(108)에 의해 클록 신호 CLK의 샘플링이 행하여진다. 그리고 화소의 트랜지스터를 오프로 하기 위해서는 출력 회로(105)에서 트랜지스터(109)를 온으로 하고, 하이 레벨의 전압 VDD를 주사선에 주어야만 한다. 따라서, 트랜지스터(109)쪽이 트랜지스터(108)보다도 압도적으로 구동 시간이 길어지기 때문에, 트랜지스터(109)를 온으로 할 때의 전압 VCC를 필요 최저한의 값으로 억제하도록 전압 발생 회로를 형성한다.

[0037] 또한 본 실시형태에서는 트랜지스터(108) 및 트랜지스터(109)가 같은 극성을 갖는 출력 회로(105)의 구성에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 트랜지스터(108) 및 트랜지스터(109)가 다른 극성을 갖고 있어도 좋다. 이 경우, p형이면 소스에 전압 VDD, n형이면 소스에 전압 VSS가 주어지는 것이 바람직하기 때문에, 트랜지스터(108)를 p형, 트랜지스터(109)를 n형으로 하면 좋다.

[0038] 또한 본 실시형태에서는 트랜지스터(108), 트랜지스터(109)가 각각 게이트를 1개 갖는 싱글 게이트 구조인 경우에 관해서 나타냈지만, 본 발명은 이 구성에 한정되지 않는다. 서로 전기적으로 접속된 복수의 게이트를 갖는 멀티게이트 구조의 트랜지스터이어도 좋다.

[0039] (실시형태 2)

[0040] 본 실시형태에서는 본 발명의 표시 장치에 사용되는 전압 발생 회로의 구체적인 구성에 관해서 설명한다. 도 2에 도시하는 전압 발생 회로(200)는 판정 회로(201)와, 전압 설정 회로(220)와, 임피던스 변환기(207)를 갖고 있다. 또 전압 설정 회로(220)는 컨트롤러(202)와, 가산기(203)와, 카운터(204)와, 전환 회로(205)와, 디지털 아날로그(DA) 변환 회로(206)를 갖는다.

[0041] 또 도 2에서는 전압 발생 회로(200)의 출력측에 임피던스 변환기(207)가 형성되어 있다. 임피던스 변환기(207)는 반드시 형성할 필요는 없지만, 상기 구성에 의해, 후단의 시프트 레지스터의 임피던스에 기인하는 전위의 강하를 억제할 수 있다. 임피던스 변환기(207)로서, 예를 들면 볼테지 팔로워(voltage follower)를 사용할 수 있다.

[0042] 다음에 도 2에서 도시한 전압 발생 회로(200)의 동작에 관해서 설명한다. 전압 설정 회로(220)에서는 주사선 구동 회로가 갖는 시프트 레지스터(210)에 주는 전압 VCC의 값을 설정한다. 본 실시형태에서는 출력 회로(211)의 트랜지스터(212)가 n형이고, 출력 회로(211)의 트랜지스터(212)의 임계치 전압의 시프트를 방지하기 위해서, 전압 설정 회로(220)로부터 전압 VCC의 시프트 레지스터(210)로의 입력 순서는 더욱 낮게, 즉 전압 VSS에 가까운 값부터 행하는 것으로 한다. 또, 트랜지스터(212)가 p형이면, 전압 VCC의 시프트 레지스터(210)로의 입력 순서는 더욱 높게, 즉 전압 VDD에 가까운 값부터 행하는 것이 바람직하다.

[0043] 구체적으로 전압 설정 회로(220)에서는 우선 컨트롤러(202)가 카운터(204)를 제어하여 시간적으로 상태가 변화하는 신호를 출력시킨다. 카운터(204)로부터 출력된 신호는 전환 회로(205)를 통해서 DA 변환 회로(206)에 입력된다. DA 변환 회로(206)에서는 카운터(204)로부터 입력되는 신호에 따라서, 아날로그치의 전압 VCC를 생성한다. 또 DA 변환 회로(206)에서 생성되는 전압 VCC의 값은 카운터(204)로부터의 시간적으로 변화하는 신호에 따라서, 더욱 낮은 값부터 높은 값으로 변화하는 것으로 한다. 임피던스 변환기(207)는 DA 변환 회로(206)에서 생성된 전압 VCC를 임피던스 변환하여, 시프트 레지스터(210)에 출력한다.

[0044] 시프트 레지스터(210)에서는 입력된 전압 VCC에 따라서, 출력 회로(211)의 트랜지스터(212)가 스위칭을 한다. 전압 VCC가 트랜지스터(212)의 임계치 전압보다도 낮은 경우, 트랜지스터(212)는 오프이기 때문에, 전압 VSS는 주사선에 주어지지 않고, 주사선의 전압 Vout은 소정의 값, 즉 화소부를 동작시키는 데 충분한 값을 만족시키지 않는다. 그러나 전압 VCC의 값이 차례로 높아짐에 따라서, 전압 VCC는 임계치 전압보다도 어느 정도 높아진다. 그러면, 거기서 처음으로 트랜지스터(212)는 온이 되고, 전압 VSS는 주사선에 주어지고, 주사선의 전압 Vout은 소정의 값을 만족시키도록 이루어진다.

[0045] 판정 회로(201)에서는 출력 회로(211)로부터 출력되는 전압 Vout이 소정의 값을 만족시키는지의 여부의 판단을

전압 VCC가 변화할 때마다 행하고, 그 결과를 컨트롤러(202)에 보낸다. 그리고 전압 Vout이 소정의 값을 만족 시켰을 때, 컨트롤러(202)는 전환 회로(205) 및 카운터(204)를 제어하고, 전압 VCC의 값을 정보로서 포함하는 신호를 가산기(203)에 보낸다.

[0046] 가산기(203)에서는 전압 Vout이 소정의 값을 만족시켰을 때의 전압 VCC에, 임계치 전압의 시프트분을 예측한 소정의 전압 V_0 를 가산하는 것으로 생성되는 전압을, 새롭게 전압 VCC'로서, 상기 전압 VCC'의 정보를 포함하는 신호를 출력한다. 전압 VCC'의 정보를 포함하는 신호는 전환 회로(205)를 통해서 DA 변환 회로(206)에 입력되고, DA 변환 회로(206)에서는 입력되는 신호에 따라서, 아날로그치의 전압 VCC'를 생성한다. 임피던스 변환기(207)는 DA 변환 회로(206)에서 생성된 전압 VCC'를 임피던스 변환하여 시프트 레지스터(210)에 출력한다.

[0047] 학소부에서 표시를 하는 기간에 있어서, 전압 설정 회로(220)에서 설정된 전압 VCC'는 전원 전압으로서 시프트 레지스터(210)에 주어진다. 전압 VCC'는 출력 회로(211) 내의 트랜지스터(212, 213) 중, 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터(212)의 게이트에 주어진다. 그리고, 전압 VCC'가 트랜지스터(212)의 게이트에 주어지는 것으로, 주사선이 선택되지 않은 기간에, 전압 VSS를 전압 Vout으로서 주사선에 줄 수 있다.

[0048] 또 임계치 전압에 추가하는 소정의 전압 V_0 는 출력 회로 내의 트랜지스터 중, 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터의 특성 및 신뢰성을 고려하여, 그 값을 설정하는 것이 바람직하다.

[0049] 본 발명에서는 출력 회로 내의 트랜지스터 중, 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터의 게이트에 인가되는 전압 VCC를 상술한 바와 같이 트랜지스터(212)의 특성에 맞추어 필요 최저한의 전압 VCC'로 적절하게 설정한다. 이 때문에, 게이트 절연막에서 전하가 트랩되는 것을 억제하고, 상기 트랜지스터의 임계치 전압 V_{th} 의 시프트를 억제할 수 있다. 따라서 주사선 구동 회로, 나아가서는 표시 장치의 신뢰성을 높일 수 있다. 특히 아모르퍼스 반도체막을 사용한 박막 트랜지스터에서는 온전류를 확보하기 위해서, 게이트 절연막에 유전율이 산화규소보다 높은 질화규소 또는 질화산화규소를 사용하는 경우가 많다. 유전율이 높은 질화규소 또는 질화산화규소를 사용하면 전하가 트랩되기 쉽고, 이것이 임계치 전압의 시프트로 이어졌지만, 본 발명의 구성에 의해 임계치 전압의 시프트를 억제하여 표시 장치의 신뢰성을 높일 수 있다.

[0050] 본 실시형태는 상기 실시형태와 적절하게 조합하여 실시할 수 있다.

[0051] (실시형태 3)

[0052] 본 실시형태에서는 본 발명의 표시 장치에 사용되는 전압 발생 회로의 실시형태 2와는 다른 구성에 관해서 설명 한다. 도 3에 도시하는 전압 발생 회로(300)는 판정 회로(301)와, 전압 설정 회로(320)와, 임피던스 변환기(307)를 갖고 있다. 또 전압 설정 회로(320)는 컨트롤러(302)와, 가산기(303)와, 카운터(304)와, 디지털 아날로그(DA) 변환 회로(306)를 갖는다.

[0053] 또 도 3에서는 전압 발생 회로(300)의 출력 측에 임피던스 변환기(307)가 형성되어 있다. 임피던스 변환기(307)는 반드시 형성할 필요는 없지만, 상기 구성에 의해, 후단의 시프트 레지스터의 임피던스에 기인하는 전위의 강하를 억제할 수 있다. 임피던스 변환기(307)로서, 예를 들면 볼테지 팔로워를 사용할 수 있다.

[0054] 다음에 도 3에서 도시한 전압 발생 회로(300)의 동작에 관해서 설명한다. 전압 설정 회로(320)에서는 주사선 구동 회로가 갖는 시프트 레지스터(310)에 주는 전압 VCC'의 값을 설정한다. 본 실시형태에서는 출력 회로(311)의 트랜지스터(312)가 n형이고, 출력 회로(311)의 트랜지스터(312)의 임계치 전압의 시프트를 방지하기 위해서, 전압 설정 회로(320)로부터 전압 VCC'의 시프트 레지스터(310)로의 입력 순서는 더욱 낮게, 즉 전압 VSS에 가까운 값부터 행하는 것으로 한다. 또, 트랜지스터(312)가 p형이면, 전압 VCC'의 시프트 레지스터(310)로의 입력 순서는 더욱 높게, 즉 전압 VDD에 가까운 값부터 행하는 것이 바람직하다.

[0055] 구체적으로 전압 설정 회로(320)에서는 우선 컨트롤러(302)가 카운터(304)를 제어하여 시간적으로 상태가 변화하는 신호를 출력시킨다. 카운터(304)로부터 출력된 신호는 DA 변환 회로(306)에 입력된다. DA 변환 회로(306)에서는 카운터(304)로부터 입력되는 신호에 따라서, 아날로그치의 전압 VCC를 생성한다. 또 DA 변환 회로(306)에서 생성되는 전압 VCC의 값은 카운터(304)로부터의 시간적으로 변화하는 신호에 따라서, 더욱 낮은 값부터 높은 값으로 변화하는 것으로 한다.

[0056] DA 변환 회로(306)에서 생성된 전압 VCC는 가산기(303)에서 전압 V_0 가 가산된다. 전압 V_0 는 트랜지스터(312)의 임계치 전압의 시프트분을 예측하여 여분으로 주어지는 전압이다. 가산기(303)는 전압 VCC에 전압 V_0 를 가산하여, 전압 VCC'로서 출력한다. 임피던스 변환기(307)는 전압 VCC'를 임피던스 변환하여 시프트 레지스터(310)에

출력한다.

[0057] 시프트 레지스터(310)에서는 입력된 전압 VCC'에 따라서, 출력 회로(311)의 트랜지스터(312)가 스위칭을 행한다. 전압 VCC'가 트랜지스터(312)의 임계치 전압보다도 낮은 경우, 트랜지스터(312)는 오프이기 때문에, 전압 VSS는 주사선에 주어지지 않고, 주사선의 전압 Vout은 소정의 값, 즉 화소부를 동작시키는 데 충분한 값을 만족시키지 않는다. 그러나 전압 VCC'의 값이 차례로 높아짐에 따라서, 전압 VCC'는 임계치 전압보다도 어느 정도 높아진다. 그러면, 거기서 처음으로 트랜지스터(312)는 온이 되고, 전압 VSS는 주사선에 주어지고, 주사선의 전압 Vout은 소정의 값을 만족시키게 된다.

[0058] 판정 회로(301)에서는 출력 회로(311)로부터 출력되는 전압 Vout이 소정의 값을 만족시키는지의 여부의 판단을, 전압 VCC'가 변화할 때마다 행하고, 그 결과를 컨트롤러(302)에 보낸다. 그리고 전압 Vout이 소정의 값을 만족시켰을 때, 컨트롤러(302)는 카운터(304)를 제어하고, 전압 VCC'의 값을 설정한다.

[0059] 또, 판정 회로(301)에서 전압 Vout이 소정의 값을 만족시키는지의 여부의 판단을 할 때, 출력 회로(311)에 주어지는 것은 전압 VCC가 아니라, 전압 VCC에 전압 V₀를 가산하는 것으로 얻어지는 전압 VCC'이다. 따라서, 전압 Vout이 소정의 값을 처음으로 만족시켰을 때의 전압 VCC'를 최적의 값을으로서 설정하는 것보다도, 소정의 값을 처음으로 만족시켰을 때의 전압 VCC'에 임계치 전압의 시프트분을 예측한 분의 전압 V₀만큼 더욱 높은 전압을 최적의 값을으로서 설정하는 것이 더욱 바람직하다.

[0060] 화소부에서 표시를 하는 기간에서, 전압 설정 회로(320)에서 설정된 전압 VCC'는 전원 전압으로서 시프트 레지스터(310)에 주어진다. 전압 VCC'는 출력 회로(311) 내의 트랜지스터(312, 313) 중 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터(312)의 게이트에 주어진다. 그리고, 전압 VCC'가 트랜지스터(312)의 게이트에 주어지는 것으로, 주사선이 선택되지 않은 기간에, 전압 VSS를 전압 Vout으로서 주사선에 줄 수 있다.

[0061] 또 임계치 전압에 추가하는 소정의 전압 V₀는 출력 회로 내의 트랜지스터 중 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터의 특성 및 신뢰성을 고려하여, 그 값을 설정하는 것이 바람직하다.

[0062] 본 발명에서는 출력 회로 내의 트랜지스터 중 임계치 전압의 시프트를 억제하고자 하는 쪽의 트랜지스터의 게이트에 인가되는 전압 VCC'를 상술한 바와 같이 트랜지스터(312)의 특성에 맞추어 필요 최저한의 전압 VCC'로 적절하게 설정한다. 이 때문에, 게이트 절연막에서 전하가 트랩되는 것을 억제하고, 상기 트랜지스터의 임계치 전압 V_{th}의 시프트를 억제할 수 있다. 따라서 주사선 구동 회로, 나아가서는 표시 장치의 신뢰성을 높일 수 있다. 특히 아모르퍼스 반도체막을 사용한 백막 트랜지스터에서는 온전류를 확보하기 위해서, 게이트 절연막에 유전율이 산화규소보다 높은 질화규소 또는 질화산화규소를 사용하는 경우가 많다. 유전율이 높은 질화규소 또는 질화산화규소를 사용하면 전하가 트랩되기 쉽고, 이것이 임계치 전압의 시프트로 이어졌지만, 본 발명의 구성을 의해 임계치 전압의 시프트를 억제하여 표시 장치의 신뢰성을 높일 수 있다.

[0063] 본 실시형태는 상기 실시형태와 적절하게 조합하여 실시할 수 있다.

[0064] (실시형태 4)

[0065] 본 실시형태에서는 본 발명의 반도체 장치가 갖는 판정 회로의 더욱 자세한 구성과 그 동작에 관해서 설명한다.

[0066] 도 4에, 판정 회로가 구체적인 구성을 일례로서 도시한다. 도 4에 도시하는 판정 회로(800)는 주사선 구동 회로와는 별도로 출력 회로(802)를 갖는 시프트 레지스터(801)가 형성되어 있다. 또한 판정 회로(800)는 기억 회로(811), 기억 회로(803), 비교 회로(810)를 갖는다.

[0067] 주사선 구동 회로의 출력 회로로부터 출력된 전압 Vout은 기억 회로(811)에서 유지된다. 또한 출력 회로(802)로부터 출력되는 전압 Vout'은 기억 회로(803)에서 유지된다. 전압 Vout은 화소부를 동작시키는 데 최적의 값을으로 설정되어 있고, 이 전압 Vout'과 실제로 출력 회로로부터 출력된 전압 Vout을 비교하는 것으로, 전압 Vout이 소정의 값을 만족시켰는지의 여부의 판단을 비교 회로(810)에서 행한다.

[0068] 기억 회로(811) 및 기억 회로(803)로부터, 비교 회로(810)로의 데이터의 출력은 클록 신호 CLK와 4분의 1주기 어긋나 있는 클록 신호 CLK'에 따라서 행하여진다. 도 4에서 비교 회로(810)는 ExOR(배타적 논리합) 게이트(804), 스위칭 소자(805), 스위칭 소자(806), 인버터(807), 인버터(808), 인버터(809)를 갖는다.

[0069] 기억 회로(811) 및 기억 회로(803)로부터 출력되는 데이터는 ExOR 게이트(804)에 입력되고, ExOR 게이트(804)는 상기 2개의 데이터가 일치한 경우에 로우 레벨의 전압을 출력하고, 일치하지 않은 경우에 하이 레벨의 전압을

출력한다. 스위칭 소자(805)는 ExOR 게이트(804)로부터 출력되는 전압이 로우 레벨일 때에 오프가 되고, 하이 레벨일 때에 온이 된다.

[0070] 한편, 스위칭 소자(806)는 리셋 신호 RES에 의해서 스위칭이 제어되어 있고, 스위칭 소자(806)가 온이 되면 하이 레벨의 전압 VDD가 플립플롭을 형성한 인버터(808) 및 인버터(807)에 주어져 유지된다. 2개의 데이터가 일치하여, 스위칭 소자(805)가 오프가 될 때는 인버터(808) 및 인버터(807)에 의해서 전압 VDD는 유지된다. 그러나 2개의 데이터가 일치하지 않고, 스위칭 소자(805)가 온이 될 때는 스위칭 소자(805)를 통해서 로우 레벨의 전압 VSS가 플립플롭을 형성한 인버터(808) 및 인버터(807)에 주어져 유지된다.

[0071] 인버터(808) 및 인버터(807)에서 유지되어 있는 전압은 인버터(809)에 의해 전압이 반전하여, 신호로서 컨트롤러에 출력된다. 컨트롤러에서는 판정 회로(800)로부터 입력된 신호의 전압의 레벨에 의해, 출력 회로로부터 출력된 전압 Vout이 소정의 값을 만족시켰는지의 여부의 판단을 하여, 전압 VCC를 최적의 값으로 설정할 수 있다.

[0072] 본 실시형태는 상기 실시형태와 적절하게 조합하여 실시할 수 있다.

[0073] (실시형태 5)

[0074] 본 실시형태에서는 본 발명의 반도체 장치가 갖는 주사선 구동 회로의 더욱 자세한 구성과 그 동작에 관해서 설명한다.

[0075] 도 5a에, 본 실시형태의 주사선 구동 회로의 구성을 도시한다. 도 5a에 도시하는 주사선 구동 회로는 복수의 펄스 출력 회로(900)를 갖고 있다. 펄스 출력 회로(900)에는 클록 신호 CLK, 상기 클록 신호 CLK와 주기가 반어긋나 있는 클록 신호 CLKb, 스타트 펄스 신호 SP, 주사방향 전환 신호 L/R, 상기 주사방향 전환 신호 L/R의 전압을 반전시킨 주사방향 전환 신호 L/Rb가 입력되어 있다. 복수의 펄스 출력 회로(900)는 상기 신호의 입력에 의해, 차례로 대응하는 주사선 G1 내지 Gy에 펄스를 출력한다.

[0076] 도 5c에, 펄스 출력 회로(900)의 구체적인 회로도의 일례를 도시한다. 또, 도 5c에 도시한 펄스 출력 회로에서의 신호의 입출력을 명확히 하기 위해서, 도 5a에 도시한 펄스 출력 회로(900)의 단자에 1부터 5까지 번호를 붙인 것을 도 5b에 도시한다. 도 5b에 도시하는 펄스 출력 회로(900)의 1 내지 5의 단자는 도 5c에 도시한 펄스 출력 회로의 1 내지 5의 단자에 대응하는 것으로 한다.

[0077] 도 5c에 도시하는 펄스 출력 회로는 주사방향 전환 회로(910)와, 제 1 진폭 보상 회로(920)와, 제 2 진폭 보상 회로(930)와, 출력 회로(940)를 갖고 있다. 주사방향 전환 회로(910)는 주사방향 전환 신호 L/R 및 주사방향 전환 신호 L/Rb에 따라서, 주사선의 선택 순서를 바꿀 수 있다. 제 1 진폭 보상 회로(920) 및 제 2 진폭 보상 회로(930)는 스타트 펄스 신호 SP 또는 전단의 펄스 출력 회로로부터 출력되는 펄스와, 후단의 펄스 출력 회로로부터 출력되는 펄스에 따라서, 출력 회로(940)의 스위칭을 제어한다. 출력 회로(940)는 클록 신호 CLK 또는 클록 신호 CLKb의 펄스를 샘플링하여, 전단의 펄스 출력 회로 또는 주사선 Gj(j=1 내지 y)에 출력한다.

[0078] 구체적으로 주사방향 전환 회로(910)는 트랜ジ스터(911 내지 914)를 갖는다. 제 1 진폭 보상 회로(920)는 트랜지스터(921, 922)를 갖는다. 제 2 진폭 보상 회로(930)는 트랜지스터(931, 932)를 갖는다. 출력 회로(940)는 트랜지스터(941, 942)를 갖는다.

[0079] 그리고 트랜지스터(911)의 게이트는 단자(4)에 접속되어 있다. 또한 트랜지스터(911)의 소스와 드레인은 한쪽이 단자(2)에, 다른쪽이 트랜지스터(921)의 게이트 및 트랜지스터(932)의 게이트에 접속되어 있다. 트랜지스터(912)의 게이트는 단자(5)에 접속되어 있다. 또한 트랜지스터(912)의 소스와 드레인은 한쪽이 단자(3)에, 다른쪽이 트랜지스터(921)의 게이트 및 트랜지스터(932)의 게이트에 접속되어 있다. 트랜지스터(913)의 게이트는 단자(5)에 접속되어 있다. 또한 트랜지스터(913)의 소스와 드레인은 한쪽이 단자(2)에, 다른쪽이 트랜지스터(931)의 게이트에 접속되어 있다. 트랜지스터(914)의 게이트는 단자(4)에 접속되어 있다. 또한 트랜지스터(914)의 소스와 드레인은 한쪽이 단자(3)에, 다른쪽이 트랜지스터(931)의 게이트에 접속되어 있다.

[0080] 트랜지스터(921)의 소스와 드레인은 한쪽에 전압 VDD가 주어지고, 다른쪽은 트랜지스터(941)의 게이트에 접속되어 있다. 트랜지스터(922)의 게이트는 트랜지스터(942)의 게이트에 접속되어 있다. 또한 트랜지스터(922)의 소스와 드레인은 한쪽이 트랜지스터(941)의 게이트에 접속되고, 다른쪽에는 전압 VSS가 주어져 있다.

[0081] 트랜지스터(931)의 소스와 드레인은 한쪽에는 전압 VCC가 주어지고, 다른쪽은 트랜지스터(922)의 게이트 및 트랜지스터(942)의 게이트에 접속되어 있다. 트랜지스터(932)의 소스와 드레인은 한쪽이 트랜지스터(922)의 게이

트 및 트랜지스터(942)의 게이트에 접속되고, 다른쪽에는 전압 VSS가 주어져 있다.

[0082] 트랜지스터(941)의 소스와 드레인은 한쪽이 단자(1)에, 다른쪽이 주사선 Gj에 접속되어 있다. 트랜지스터(942)의 소스와 드레인은 한쪽이 주사선 Gj에 접속되어 있고, 다른쪽에는 전압 VSS가 주어져 있다.

[0083] 도 6에, 도 5c에 도시하는 펄스 출력 회로(900)의 단자(1 내지 5) 및 주사선 Gj에서의 전압의 타이밍 차트를 도시한다. 또한 트랜지스터(941)의 게이트에 입력되는 전압 IN1과, 트랜지스터(942)의 게이트에 입력되는 전압 IN2의 타이밍 차트도 함께 도 6에 도시한다.

[0084] 우선 도 6에서는 단자(4)에 입력되는 주사방향 전환 신호 L/R의 전압이 하이 레벨, 단자(5)에 입력되는 주사방향 전환 신호 L/Rb의 전압이 로우 레벨인 경우를 도시하고 있다. 따라서, 트랜지스터(911) 및 트랜지스터(914)는 온, 트랜지스터(912) 및 트랜지스터(913)는 오프이다. 반대로 주사방향 전환 신호 L/R의 전압이 로우 레벨, 주사방향 전환 신호 L/Rb의 전압이 하이 레벨이어도, 주사방향이 바뀔 뿐이고, 기본적인 동작은 같다.

[0085] 그리고 도 6에 도시하는 바와 같이, 단자(2)에 스타트 펄스 신호 SP의 펄스가 입력되기 전에는 단자(2) 및 단자(3)에 입력되는 전압은 로우 레벨이다. 따라서, 트랜지스터(921), 트랜지스터(922), 트랜지스터(931) 및 트랜지스터(932)는 모두 오프이고, 트랜지스터(941)와 트랜지스터(942)의 게이트에는 앞 주기에서 주어진 전압이 유지되어 있다.

[0086] 다음에 단자(2)에 스타트 펄스 신호 SP의 펄스가 입력되면, 트랜지스터(921) 및 트랜지스터(932)의 게이트에 하이 레벨의 전압이 주어지기 때문에, 상기 트랜지스터는 온이 된다. 따라서 트랜지스터(921)를 통해서, 전압 VDD가 전압 IN1로서 트랜지스터(941)의 게이트에 주어지기 때문에, 트랜지스터(941)는 온이 된다. 또한 트랜지스터(932)를 통해서, 전압 VSS가 전압 IN2로서 트랜지스터(942)의 게이트에 주어지기 때문에, 트랜지스터(942)는 오프가 된다. 이 때, 단자(1)에 입력되는 클록 신호 CLK의 전압은 로우 레벨이기 때문에, 주사선 Gj에는 로우 레벨의 전압이 출력된다.

[0087] 또한 단자(3)에 입력되는 전압은 계속 로우 레벨 상태이기 때문에, 트랜지스터(931)는 오프 상태를 유지한다. 트랜지스터(932)를 통해서, 전압 VSS가 트랜지스터(922)의 게이트에 주어지기 때문에, 트랜지스터(922)는 오프가 된다.

[0088] 다음에 단자(2)에 다시 로우 레벨의 전압이 입력되면, 트랜지스터(921) 및 트랜지스터(932)의 게이트에 로우 레벨의 전압이 주어지기 때문에, 상기 트랜지스터는 오프가 된다. 또한 단자(3)에 입력되는 전압은 계속 로우 레벨 상태이기 때문에, 트랜지스터(931)는 오프 상태를 유지한다. 따라서 트랜지스터(922)의 게이트 및 트랜지스터(942)의 게이트는 플로팅이 되고, 전압 IN2는 로우 레벨의 상태를 유지하기 때문에, 트랜지스터(922) 및 트랜지스터(942)는 오프가 된다.

[0089] 이 때, 트랜지스터(941)의 게이트도 플로팅이 되지만, 단자(1)에 입력되는 클록 신호 CLK의 전압이 하이 레벨이 되기 때문에, 부트스트랩에 의해 트랜지스터의 게이트의 전압 IN1은 더욱 높다. 따라서 트랜지스터(941)는 온의 상태를 유지하기 때문에, 클록 신호 CLK의 하이 레벨의 전압이 샘플링되고, 주사선 Gj에 출력된다.

[0090] 다음에 단자(2)에 입력되는 전압은 로우 레벨의 상태를 유지하기 때문에, 트랜지스터(921) 및 트랜지스터(932)는 계속 오프 상태이다. 한편, 단자(3)에 입력되는 전압은 하이 레벨이 되기 때문에, 트랜지스터(931)는 온이 된다. 그리고 트랜지스터(931)를 통해서 트랜지스터(922)의 게이트에 전압 VCC가 인가되고, 트랜지스터(922) 및 트랜지스터(942)는 온이 된다. 따라서, 트랜지스터(922)를 통해서, 전압 VSS가 전압 IN1로서 트랜지스터(941)의 게이트에 주어지고, 트랜지스터(941)는 오프가 된다. 또한 트랜지스터(931)를 통해서 트랜지스터(942)의 게이트에 전압 IN2로서 전압 VCC가 인가된다. 따라서, 트랜지스터(942)는 온이 되고, 트랜지스터(942)를 통해서 전압 VSS가 주사선 Gj에 주어진다.

[0091] 또 본 실시형태에서는 펄스 출력 회로(900)가 주사방향 전환 회로(910)를 갖는 구성에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 주사선의 선택 순서를 바꿀 필요가 없으면, 주사방향 전환 회로(910)는 반드시 형성하지 않아도 좋다.

[0092] 본 실시형태는 상기 실시형태와 적절하게 조합하여 실시할 수 있다.

[0093] (실시형태 6)

[0094] 본 실시형태에서는 전압 발생 회로 및 주사선 구동 회로를 갖는 본 발명의 표시 장치의 전체적인 구성에 관해서 설명한다. 도 7에, 본 실시형태의 표시 장치의 블록도를 도시한다. 도 7에 도시하는 표시 장치는 표시 소자를

구비한 화소를 복수 갖는 화소부(400)와, 각 화소를 라인마다 선택하는 주사선 구동 회로(410)와, 선택된 라인의 화소에 대한 비디오 신호의 입력을 제어하는 신호선 구동 회로(420)와, 전압 발생 회로(430)를 갖는다.

[0095] 도 7에서 신호선 구동 회로(420)는 시프트 레지스터(421), 제 1 래치(422), 제 2 래치(423)를 갖고 있다. 시프트 레지스터(421)에는 클록 신호 CLK, 스타트 펄스 신호 SP, 주사방향 전환 신호 L/R이 입력되어 있다. 시프트 레지스터(421)는 이들 클록 신호 CLK 및 스타트 펄스 신호 SP에 따라서, 펄스가 순차적으로 시프트하는 타이밍 신호를 생성하여, 제 1 래치(422)에 출력한다. 타이밍 신호의 펄스가 출현하는 순서는 주사방향 전환 신호 L/R에 의해서 바뀐다.

[0096] 제 1 래치(422)에 타이밍 신호가 입력되면, 상기 타이밍 신호의 펄스에 따라서, 비디오 신호가 차례로 제 1 래치(422)에 기록되어 유지된다. 또, 본 실시형태에서는 제 1 래치(422)가 갖는 복수의 기억 회로에 차례로 비디오 신호를 기록하였지만, 본 발명은 이 구성에 한정되지 않는다. 제 1 래치(422)가 갖는 복수의 기억 회로를 몇개의 그룹으로 나누어, 상기 그룹마다 병행하여 비디오 신호를 입력하는, 소위 분할 구동을 하여도 좋다. 또 이 때의 그룹수를 분할수라고 부른다. 예를 들면 4개의 기억 회로와 래치를 그룹으로 나눈 경우, 4분할로 분할 구동하게 된다.

[0097] 제 1 래치(422)의 모든 기억 회로에 대한 비디오 신호의 기록이 대충 종료할 때까지의 시간을 라인 기간이라고 부른다. 실제로는 상기 라인 기간에 수평 귀선 기간이 더해진 기간을 라인 기간에 포함하는 경우가 있다.

[0098] 1라인 기간이 종료하면, 제 2 래치(423)에 입력되는 래치 신호 LS의 펄스에 따라서, 제 1 래치(422)에 유지되어 있는 비디오 신호가 제 2 래치(423)에 일제히 기록되어 유지된다. 비디오 신호를 제 2 래치(423)에 송출을 끌고 낸 제 1 래치(422)에는 다시 시프트 레지스터(421)로부터의 타이밍 신호에 따라서, 다음의 비디오 신호의 기록이 순차적으로 행하여진다. 이 2번째의 1라인 기간 중에는 제 2 래치(423)에 기록되고, 유지되어 있는 비디오 신호가 화소부(400)에 입력된다.

[0099] 또 신호선 구동 회로(420)에서는 시프트 레지스터(421) 대신에, 펄스가 순차적으로 시프트하는 신호를 출력할 수 있는 다른 회로를 사용하여도 좋다.

[0100] 또 도 7에서는 제 2 래치(423)의 후단에 화소부(400)가 직접 접속되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 화소부(400)의 전단에, 제 2 래치(423)로부터 출력된 비디오 신호에 신호 처리를 실시하는 회로를 형성할 수 있다. 신호 처리를 실시하는 회로의 일례로서, 예를 들면 과형을 정형할 수 있는 버퍼, 진폭을 증폭할 수 있는 레벨 시프터, 아날로그 신호로 변환할 수 있는 디지털 아날로그 변환 회로 등을 들 수 있다.

[0101] 다음에, 주사선 구동 회로(410)의 구성에 관해서 설명한다. 주사선 구동 회로(410)는 시프트 레지스터(411)를 갖고, 시프트 레지스터(411)는 출력 회로(412)를 갖고 있다. 주사선 구동 회로(410)에서, 시프트 레지스터(411)에 클록 신호 CLK, 스타트 펄스 신호 SP 및 주사방향 전환 신호 L/R이 입력됨으로써, 펄스가 순차적으로 시프트하는 선택 신호가 출력 회로(412)로부터 출력된다. 선택 신호의 펄스가 출현하는 순서는 주사방향 전환 신호 L/R에 의해서 바뀐다. 생성된 선택 신호의 펄스가 주사선에 입력되는 것으로, 상기 주사선을 갖는 라인의 화소가 선택되고, 비디오 신호가 상기 화소에 입력된다.

[0102] 또 도 7에서는 시프트 레지스터(411)의 후단에 화소부(400)가 직접 접속되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 화소부(400)의 전단에, 시프트 레지스터(411)로부터 출력된 선택 신호에 신호 처리를 실시하는 회로를 형성하여도 좋다. 신호 처리를 실시하는 회로의 일례로서, 예를 들면 과형을 정형할 수 있는 버퍼, 진폭을 증폭할 수 있는 레벨 시프터 등을 들 수 있다.

[0103] 또한 액티브 매트릭스형 표시 장치의 경우, 주사선에는 1라인분의 화소가 갖는 트랜지스터의 게이트가 접속되어 있다. 따라서 시프트 레지스터(411)의 후단에 화소부(400)가 직접 접속되어 있는 경우, 출력 회로(412)에는 1라인분의 화소의 트랜지스터를 일제히 온할 수 있을 정도의 전류 공급 능력이 높은 트랜지스터를 사용하는 것이 바람직하다.

[0104] 화소부(400), 주사선 구동 회로(410), 신호선 구동 회로(420) 및 전압 발생 회로(430)는 같은 기판에 형성할 수 있지만, 어느 하나를 다른 기판으로 형성할 수도 있다.

[0105] 도 8a에, 별도 형성된 신호선 구동 회로(420)를 화소부(400) 및 주사선 구동 회로(410)가 형성된 기판(440)에 실장하고 있는 표시 장치의 1형태를 도시한다. 또 실제로는 화소부(400)를 기판(440)과의 사이에 두도록 또 하나의 기판을 형성하지만, 화소부(400), 주사선 구동 회로(410), 신호선 구동 회로(420), 전압 발생 회로(430)의 배치를 명확히 하기 위해서, 도 8a에서는 굳이 또 하나의 기판이 생략된 형태를 도시한다.

[0106] 전압 발생 회로(430)는 별도 형성되어, 기판(440)에 실장되어 있다. 화소부(400), 신호선 구동 회로(420), 주사선 구동 회로(410), 전압 발생 회로(430)에는 각각 전원의 전압, 각종 신호 등이 FPC(441)를 통해서 공급된다. 도 8a에서, 신호선 구동 회로(420)와, 전압 발생 회로(430)란 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 트랜지스터, 또는 SOI를 사용한 트랜지스터를 갖고 있어도 좋다.

[0107] 또, 신호선 구동 회로(420)를 실장할 때, 반드시 신호선 구동 회로(420)가 형성된 기판을 화소부(400)가 형성된 기판상에 접합할 필요는 없고, 예를 들면 FPC 상에 접합하도록 하여도 좋다. 도 8b에, 화소부(400) 및 주사선 구동 회로(410)가 형성된 기판(450)에 별도 형성된 신호선 구동 회로(420)가 FPC(451)상에 접합되도록 실장되어 있는 표시 장치의 1형태를 도시한다. 또 실제로는 화소부(400)를 기판(450)과의 사이에 두도록 또 하나의 기판을 형성하지만, 화소부(400), 주사선 구동 회로(410), 신호선 구동 회로(420), 전압 발생 회로(430)의 배치를 명확히 하기 위해서, 도 8b에서는 굳이 또 하나의 기판이 생략된 형태를 도시한다. 전압 발생 회로(430)는 별도 형성되어, 기판(450)에 실장되어 있다. 화소부(400), 신호선 구동 회로(420), 주사선 구동 회로(410), 전압 발생 회로(430)에는 각각 전원의 전압, 각종 신호 등이 FPC(451)를 통해서 공급된다. 도 8b에서, 신호선 구동 회로(420)와, 전압 발생 회로(430)란 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 트랜지스터, 또는 SOI를 사용한 트랜지스터를 갖고 있어도 좋다.

[0108] 또한 신호선 구동 회로(420)의 일부를 화소부(400) 및 주사선 구동 회로(410)와 같은 기판상에 형성하고, 나머지를 별도 형성하여 실장하도록 하여도 좋다. 화소부(400) 및 주사선 구동 회로(410)와 함께, 신호선 구동 회로(420)가 갖는 제 1 래치(422), 제 2 래치(423)가 형성되어 있는 기판(460)에 별도 형성한 신호선 구동 회로(420)의 시프트 레지스터(421)가 실장되어 있는, 표시 장치의 1형태를 도 8c에 도시한다. 또 실제로는 화소부(400)를 기판(460)과의 사이에 두도록 또 하나의 기판을 형성하지만, 화소부(400), 주사선 구동 회로(410), 제 1 래치(422), 제 2 래치(423), 시프트 레지스터(421), 전압 발생 회로(430)의 배치를 명확히 하기 위해서, 도 8c에서는 굳이 또 하나의 기판이 생략된 형태를 도시한다. 전압 발생 회로(430)는 별도 형성되어, 기판(460)에 실장되어 있다. 화소부(400), 제 1 래치(422), 제 2 래치(423), 시프트 레지스터(421), 주사선 구동 회로(410), 전압 발생 회로(430)에는 각각 전원의 전압, 각종 신호 등이 FPC(461)를 통해서 공급된다. 도 8c에서, 시프트 레지스터(421)와, 전압 발생 회로(430)란 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 트랜지스터, 또는 SOI를 사용한 트랜지스터를 갖고 있어도 좋다.

[0109] 또, 별도 형성한 기판의 접속방법은 특별히 한정되는 것이 아니라, 공지의 COG 방법이나 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 또한 접속하는 위치는 전기적인 접속이 가능하면, 도 8에 도시한 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도 형성하고, 접속하도록 하여도 좋다.

[0110] 구동 회로 등의 접적 회로를 별도 형성하여 기판에 실장하는 것으로, 모든 회로를 화소부와 같은 기판상에 형성하는 경우와 비교하여, 수율을 높일 수 있고, 또한 각 회로의 특성에 맞춘 프로세스의 최적화를 용이하게 행할 수 있다.

[0111] 또 본 발명의 표시 장치는 예를 들면 액정 표시 장치, 유기발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등, 액티브 매트릭스형 표시 장치가 그 범위에 포함된다. 또한 패시브 매트릭스형 표시 장치도 포함된다.

[0112] 본 실시형태는 상기 실시형태와 적절하게 조합하여 실시할 수 있다.

[0113] 실시예 1

[0114] 본 실시예에서는 본 발명의 표시 장치가 갖는 신호선 구동 회로의 더욱 구체적인 구성에 관해서 설명한다.

[0115] 도 9에, 신호선 구동 회로의 회로도를 일례로서 도시한다. 도 9에 도시하는 신호선 구동 회로는 시프트 레지스터(501)와, 제 1 래치(502)와, 제 2 래치(503)와, 레벨 시프터(504)와, 버퍼(505)를 갖고 있다.

[0116] 시프트 레지스터(501)는 복수의 딜레이형 플립플롭(DEF)(506)을 갖고 있다. 그리고 시프트 레지스터(501)는 입력된 스타트 펄스 신호 SP 및 클록 신호 CLK에 따라서, 순차적으로 펄스가 시프트한 타이밍 신호를 생성하여, 후단의 제 1 래치(502)에 입력한다.

[0117] 제 1 래치(502)는 복수의 기억 회로(LAT)(507)를 갖고 있다. 그리고 제 1 래치(502)는 입력된 타이밍 신호의 펄스에 따라서, 비디오 신호를 차례로 샘플링하여, 기억 회로(507)에 샘플링한 비디오 신호의 데이터를 기록한다.

- [0118] 제 2 래치(503)는 복수의 기억 회로(LAT)(508)를 갖는다. 기억 회로(508)의 수는 각각 화소부에서의 1라인의 화소수와 같거나, 그것보다도 많은 것이 바람직하다.
- [0119] 제 1 래치(502)에 있어서 기억 회로(507)에 기록된 비디오 신호의 데이터는 제 2 래치(503)에 입력되는 래치 신호 LS의 펠스에 따라서, 제 2 래치(503)가 갖는 기억 회로(508)에 기록되어 유지된다. 그리고 기억 회로(508)에서 유지되어 있는 데이터는 후단의 레벨 시프터(504)에 비디오 신호로서 출력된다.
- [0120] 레벨 시프터(504)는 입력된 비디오 신호의 전압을 제어하고, 후단의 버퍼(505)에 출력한다. 입력된 비디오 신호는 버퍼(505)에서 파형이 정형된 후, 신호선에 출력된다.
- [0121] 본 실시예는 상기 실시형태와 적절하게 조합하여 실시할 수 있다.
- [0122] 실시예 2
- [0123] 본 실시예에서는 본 발명의 표시 장치의 하나인 액티브 매트릭스형의 발광 장치가 갖는 화소부의 구성에 관해서 설명한다.
- [0124] 액티브 매트릭스형의 발광 장치는 각 화소에 표시 소자에 상당하는 발광 소자가 형성되어 있다. 발광 소자는 스스로 발광하기 때문에 시인성이 높고, 액정 표시 장치에서 필요한 백 라이트가 필요하지 않아 박형화에 최적인 동시에, 시야각에도 제한이 없다. 본 실시예에서는 발광 소자의 하나인 유기발광 소자(OLED:Organic Light Emitting Diode)를 사용한 발광 장치에 관해서 설명하지만, 본 발명은 다른 발광 소자를 사용한 발광 장치이어도 좋다.
- [0125] OLED는 전장(電場)을 가하는 것으로 발생하는 루미네센스(Electroluminescence)가 얻어지는 재료를 포함하는 층(이하, 전계 발광층이라고 함)과, 양극층과, 음극층을 갖고 있다. 일렉트로루미네센스에는 1중항 여기 상태로부터 기저 상태로 되돌아갈 때의 발광(형광)과 3중항 여기 상태로부터 기저 상태로 되돌아갈 때의 발광(인광)이 있지만, 본 발명의 발광 장치는 상술한 발광 중 어느 한쪽의 발광을 사용하여도 좋고, 또는 양쪽의 발광을 사용하여도 좋다.
- [0126] 본 실시예의 발광 장치의 화소부(601)의 확대도를 도 10a에 도시한다. 화소부(601)는 매트릭스형으로 배치된 복수의 화소(602)를 갖고 있다. 또한 S1 내지 Sx는 신호선, V1 내지 Vx는 전원선, G1 내지 Gy는 주사선에 상당한다. 본 실시예의 경우, 화소(602)는 신호선 S1 내지 Sx와, 전원선 V1 내지 Vx와, 주사선 G1 내지 Gy를 1개씩 갖고 있다.
- [0127] 화소(602)의 확대도를 도 10b에 도시한다. 도 10b에서, 603은 스위칭용 트랜지스터이다. 스위칭용 트랜지스터(603)의 게이트는 주사선 Gj(j=1 내지 y)에 접속되어 있다. 스위칭용 트랜지스터(603)의 소스와 드레인은 한쪽이 신호선 Si(i=1 내지 x)에, 다른 쪽이 구동용 트랜지스터(604)의 게이트에 각각 접속되어 있다. 또한 전원선 Vi(i=1 내지 x)와, 구동용 트랜지스터(604)의 게이트의 사이에는 유지 용량(606)이 형성되어 있다.
- [0128] 유지 용량(606)은 스위칭용 트랜지스터(603)가 오프일 때, 구동용 트랜지스터(604)의 게이트 전압(게이트와 소스간의 전압)을 유지하기 위해서 형성되어 있다. 또 본 실시예에서는 유지 용량(606)을 형성하는 구성을 나타냈지만, 본 발명은 이 구성을 한정되지 않고, 유지 용량(606)을 형성하지 않아도 좋다.
- [0129] 또한, 구동용 트랜지스터(604)의 소스와 드레인은 한쪽이 전원선 Vi(i=1 내지 x)에 접속되고, 다른 쪽이 발광 소자(605)에 접속되어 있다. 발광 소자(605)는 양극과 음극과, 양극과 음극과의 사이에 형성된 전계 발광층을 갖는다. 양극이 구동용 트랜지스터(604)의 소스 또는 드레인과 접속하고 있는 경우, 양극이 화소 전극, 음극이 대향 전극이 된다. 반대로 음극이 구동용 트랜지스터(604)의 소스 또는 드레인과 접속하고 있는 경우, 음극이 화소 전극, 양극이 대향 전극이 된다.
- [0130] 발광 소자(605)의 대향 전극과 전원선 Vi에는 각각 소정의 전압이 주어져 있다.
- [0131] 주사선 구동 회로로부터 주사선 G1 내지 Gy에 입력되는 선택 신호의 펠스에 따라서, 주사선 Gj가 선택되는, 다시 말하면 주사선 Gj에 대응하는 라인의 화소(602)가 선택되면, 상기 라인의 화소(602)에서 주사선 Gj에 게이트가 접속된 스위칭용 트랜지스터(603)가 온이 된다. 그리고 신호선 Si에 비디오 신호가 입력되면, 상기 비디오 신호의 전압에 따라서 구동용 트랜지스터(604)의 게이트 전압이 결정된다. 구동용 트랜지스터(604)가 온이 된 경우, 전원선 Vi와 발광 소자(605)가 전기적으로 접속되고, 전류의 공급에 의해 발광 소자(605)가 발광한다. 반대로, 구동용 트랜지스터(604)가 오프가 된 경우, 전원선 Vi와 발광 소자(605)는 전기적으로 접속되지 않기 때문에, 발광 소자(605)로의 전류의 공급은 행하여지지 않고, 발광 소자(605)는 발광하지 않는다.

[0132] 또 스위칭용 트랜지스터(603), 구동용 트랜지스터(604)는 n채널형 트랜지스터나 p채널형 트랜지스터나 어느 쪽이나 사용할 수 있다. 단 구동용 트랜지스터(604)의 소스 또는 드레인이 발광 소자(605)의 양극과 접속되어 있는 경우, 구동용 트랜지스터(604)는 p채널형 트랜지스터인 것이 바람직하다. 또한, 구동용 트랜지스터(604)의 소스 또는 드레인이 발광 소자(605)의 음극과 접속되어 있는 경우, 구동용 트랜지스터(604)는 n채널형 트랜지스터인 것이 바람직하다.

[0133] 또한 스위칭용 트랜지스터(603), 구동용 트랜지스터(604)는 싱글 게이트 구조가 아니라, 더블 게이트 구조나 트리플 게이트 구조 등의 멀티게이트 구조를 갖고 있어도 좋다.

[0134] 또 본 발명은 도 10에 도시한 회로로 구성뿐만이 아니라, 여러 가지의 회로로 구성을 가진 화소를 갖는 표시 장치에 적용할 수 있다. 본 발명의 표시 장치가 갖는 화소는 예를 들면, 구동용 트랜지스터의 임계치 전압을 보정할 수 있는 임계치 보정형의 회로로 구성이나, 전류를 입력하는 것으로 구동용 트랜지스터의 임계치 및 이동도를 보정할 수 있는 전류 입력형의 회로로 구성 등을 갖고 있어도 좋다.

[0135] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절하게 조합하여 실시할 수 있다.

[0136] 실시예 3

[0137] 본 실시예에서는 본 발명의 표시 장치의 하나인 액티브 매트릭스형의 액정 표시 장치가 갖는 화소부의 구성에 관해서 설명한다.

[0138] 본 실시예의 표시 장치의 화소부(610)의 확대도를 도 11에 도시한다. 도 11에서, 화소부(610)에는 복수의 화소(611)가 매트릭스형으로 형성되어 있다. 또한 S1 내지 Sx는 신호선, G1 내지 Gy는 주사선에 상당한다. 본 실시예의 경우, 화소(611)는 신호선 S1 내지 Sx와, 주사선 G1 내지 Gy를 1개씩 갖고 있다.

[0139] 화소(611)는 스위칭 소자로서 기능하는 트랜지스터(612)와, 표시 소자에 상당하는 액정셀(613)과, 유지 용량(614)을 갖고 있다. 액정셀(613)은 화소 전극과, 대향 전극과, 화소 전극과 대향 전극에 의하여 전압이 인가되는 액정을 갖고 있다. 트랜지스터(612)의 게이트는 주사선 Gj(j=1 내지 y)에 접속되어 있고, 트랜지스터(612)의 소스 또는 드레인은 한쪽이 신호선 Si(i=1 내지 x)에, 다른쪽이 액정셀(613)의 화소 전극에 접속되어 있다. 또한 유지 용량(614)이 갖는 2개의 전극은 한쪽이 액정셀(613)의 화소 전극에, 다른쪽이 코먼 전극에 접속되어 있다. 코먼 전극은 액정셀(613)의 대향 전극에 접속되어 있어도 좋고, 다른 주사선에 접속되어 있어도 좋다.

[0140] 주사선 구동 회로로부터 주사선 G1 내지 Gy에 입력되는 선택 신호의 펄스에 따라서, 주사선 Gj가 선택되는, 다시 말하면 주사선 Gj에 대응하는 라인의 화소(611)가 선택되면, 상기 라인의 화소(611)에서 주사선 Gj에 게이트가 접속된 트랜지스터(612)가 온이 된다. 그리고 신호선 구동 회로로부터 신호선 Si에 비디오 신호가 입력되면, 상기 비디오 신호의 전압에 따라서 액정셀(613)의 화소 전극과 대향 전극의 사이에 전압이 인가된다. 액정셀(613)은 화소 전극과 대향 전극의 사이에 인가되는 전압의 값에 따라서, 그 투과율이 결정된다. 또한 액정셀(613)의 화소 전극과 대향 전극의 사이의 전압은 유지 용량(614)으로 유지된다.

[0141] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절하게 조합하여 실시할 수 있다.

[0142] 실시예 4

[0143] 다음에, 본 발명의 표시 장치의 구체적인 제작 방법에 관해서 설명한다. 또 본 실시예에서는 트랜지스터를 갖는 발광 장치를 예로 들어 설명한다.

[0144] 우선 기판(700)상에 도전막을 형성한 후, 상기 도전막을 소정의 형상으로 가공(페터닝)하는 것으로, 도전막(701, 702)을 형성한다. 기판(700)으로서, 예를 들면 바륨붕규산유리나, 알루미노붕규산유리 등의 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 또한, 스테인레스 기판을 포함하는 금속 기판, 또는 실리콘 기판 등의 반도체 기판을 사용하여도 좋다. 단, 도전성이 높은 기판을 사용하는 경우, 상기 기판상에 절연막을 형성하고 나서, 도전막(701, 702)을 형성하도록 한다. 플라스틱 등의 가교성을 갖는 합성 수지로 이루어지는 기판은 상기 기판과 비교하여 내열 온도가 일반적으로 낮은 경향이 있지만, 제작 공정에서의 처리 온도에 견딜 수 있는 것이면 사용하는 것이 가능하다.

[0145] 플라스틱 기판으로서, 폴리에틸렌텔레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르설론(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카보네이트(PC), 나일론, 폴리에테르에테르케톤(PEEK), 폴리설론(PSF), 폴리에테리미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌텔레프탈레이트(PBT), 폴리이미드, 아크릴니트릴부타디엔스틸렌

수지, 폴리염화비닐, 폴리 프로필렌, 폴리아세트산비닐, 아크릴수지 등을 들 수 있다.

[0146] 또한 도전막(701, 702)에는 탄탈륨(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오브(Nb) 등을 사용할 수 있다. 또한 상기 금속을 주성분으로 하는 합금을 하여도 좋고, 상기 금속을 포함하는 화합물을 사용하여도 좋다. 또는 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한 다결정 규소 등의 반도체를 사용하여 형성하여도 좋다.

[0147] 또한, 본 실시예에서는 도전막(701, 702)을 단층의 도전막으로 형성하고 있지만, 본 실시예는 이 구성에 한정되지 않는다. 도전막(701, 702)은 2개 이상의 도전막을 적층하는 것으로 형성되어 있어도 좋다. 3개 이상의 도전막을 적층하는 3층 구조의 경우는 몰리브덴막과 알루미늄막과 몰리브덴막의 적층 구조를 채용하면 좋다. 도전막의 형성에는 CVD법, 스퍼터링법 등을 사용할 수 있다.

[0148] 다음에, 도전막(701, 702)을 덮도록 게이트 절연막(703)을 형성한다. 게이트 절연막(703)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화규소, 질화규소(Si_Nx , Si_3N_4 등), 산화질화규소(Si_0xNy)($x>y>0$), 질화산화규소(Si_NxOy)($x>y>0$) 등을 포함하는 막을 단층으로, 또는 적층시켜 형성할 수 있다. 적층하는 경우에는 예를 들면, 도전막(701, 702) 층으로부터 산화규소막, 질화규소막, 산화규소막의 3층 구조로 하는 것이 바람직하다.

[0149] 다음에 게이트 절연막(703) 상에, 제 1 반도체막(704)을 형성한다. 제 1 반도체막(704)의 막 두께는 20 내지 200nm(바람직하게는 40 내지 170nm, 바람직하게는 50 내지 150nm)로 한다. 또 제 1 반도체막(704)은 비정질 반도체이어도 좋고, 다결정 반도체이어도 좋다. 또한 반도체는 규소뿐만 아니라 실리콘게르마늄도 사용할 수 있다. 실리콘게르마늄을 사용하는 경우, 게르마늄의 농도는 0.01 내지 4.5atomic% 정도인 것이 바람직하다.

[0150] 또 제 1 반도체막(704)은 공지의 기술에 의해 결정화하여도 좋다. 공지의 결정화 방법으로서는 레이저광을 사용한 레이저 결정화법, 촉매 원소를 사용하는 결정화법이 있다. 또는 촉매 원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기관(700)으로서 석영같은 내열성이 우수한 기관을 사용하는 경우, 전열로를 사용한 열 결정화 방법, 적외광을 사용한 램프 어닐 결정화법, 촉매 원소를 사용하는 결정화법, 950°C 정도의 고온 어닐을 조합한 결정화법을 사용하여도 좋다.

[0151] 예를 들면 레이저 결정화법을 사용하는 경우, 레이저 결정화 전에, 레이저에 대한 제 1 반도체막(704)의 내성을 높이기 위해서, 550°C, 4시간의 가열 처리를 상기 제 1 반도체막(704)에 대하여 행한다. 그리고 연속 발진이 가능한 고체 레이저를 사용하여, 기본파의 제 2 고조파 내지 제 4 고조파의 레이저광을 조사하는 것으로, 대입 경의 결정을 얻을 수 있다. 예를 들면, 대표적으로는 Nd:YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 사용하는 것이 바람직하다. 구체적으로는 연속 발진의 YVO₄ 레이저로부터 사출된 레이저 광을 비선형광학 소자에 의해 고조파로 변환하여, 출력 10W의 레이저광을 얻는다. 그리고, 바람직하게는 광학 계에 의해 조사면에서 직사각 형상 또는 타원 형상의 레이저광으로 성형하여, 제 1 반도체막(704)에 조사한다. 이 때의 파워 밀도는 0.01 내지 100MW/cm² 정도(바람직하게는 0.1 내지 10MW/cm²)가 필요하다. 그리고, 주사 속도를 10 내지 2000cm/sec 정도로 하여 조사한다.

[0152] 연속 발진의 기체 레이저로서, Ar 레이저, Kr 레이저 등을 사용할 수 있다. 또한 연속 발진의 고체 레이저로서, YAG 레이저, YVO₄ 레이저, YLF 레이저, YA1O₃ 레이저, 포스테라이트(Mg₂SiO₄) 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저 등을 사용할 수 있다.

[0153] 또한 펄스 발진의 레이저로서, 예를 들면 Ar 레이저, Kr 레이저, 엑시머 레이저, CO₂ 레이저, YAG 레이저, Y₂O₃ 레이저, YVO₄ 레이저, YLF 레이저, YA1O₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 동증기 레이저 또는 금증기 레이저를 사용할 수 있다.

[0154] 또한, 펄스 발진의 레이저광의 발진 주파수를 10MHz 이상으로 하여, 통상 사용되고 있는 수십Hz 내지 수백 Hz의 주파수대보다도 현저하게 높은 주파수대를 사용하여 레이저 결정화를 행하여도 좋다. 펄스 발진으로 레이저광을 제 1 반도체막(704)에 조사하고 나서 제 1 반도체막(704)이 완전히 고화할 때까지의 시간은 수십nsec 내지 수백nsec로 되어 있다. 따라서 상기 주파수를 사용하는 것으로, 제 1 반도체막(704)이 레이저광에 의해서 용융하고 나서 고화할 때까지, 다음 펄스의 레이저광을 조사할 수 있다. 따라서, 제 1 반도체막(704) 중에서 고액계면을 연속적으로 이동시킬 수 있기 때문에, 주사방향을 향해서 연속적으로 성장한 결정립을 갖는 제 1 반도체막(704)이 형성된다. 구체적으로는 포함되는 결정립의 주사방향에서의 폭이 10 내지 30μm, 주사방향에 대하여

수직의 방향에서의 폭이 1 내지 $5\mu\text{m}$ 도의 결정립의 집합을 형성할 수 있다. 상기 주사방향에 따라 연속적으로 성장한 단결정의 결정립을 형성하는 것으로, 적어도 트랜지스터의 채널방향에는 결정립계가 거의 존재하지 않는 제 1 반도체막(704)의 형성이 가능해진다.

[0155] 또 레이저 결정화는 연속 발진의 기본파의 레이저광과 연속 발진의 고조파의 레이저광을 병행하여 조사하도록 하여도 좋고, 연속 발진의 기본파의 레이저광과 펄스 발진의 고조파의 레이저광을 병행하여 조사하도록 하여도 좋다.

[0156] 또, 희가스나 질소 등의 불활성가스 분위기 중에서 레이저광을 조사하도록 하여도 좋다. 이것에 의해, 레이저 광 조사에 의한 반도체 표면의 거칠함을 억제할 수 있고, 계면 준위 밀도의 격차에 의해서 생기는 임계치의 격차를 억제할 수 있다.

[0157] 상술한 레이저광의 조사에 의해, 결정성이 더욱 높아진 제 1 반도체막(704)이 형성된다. 또, 미리 제 1 반도체 막(704)에, 스퍼터법, 플라즈마 CVD법, 열 CVD법 등으로 형성한 다결정 반도체를 사용하도록 하여도 좋다.

[0158] 또한 본 실시예에서는 제 1 반도체막(704)을 결정화하였지만, 결정화하지 않고 비정질규소막 또는 미결정 반도체막 상태로, 후술하는 프로세스로 진행하여도 좋다. 비정질 반도체, 미결정 반도체를 사용한 트랜지스터는 다 결정 반도체를 사용한 트랜지스터보다도 제작 공정이 적은 만큼, 비용을 억제하여, 수율을 높일 수 있다고 하는 메리트를 갖고 있다.

[0159] 비정질 반도체는 규소를 포함하는 기체를 글로방전 분해함으로써 얻을 수 있다. 규소를 포함하는 기체로서는 SiH_4 , Si_2H_6 을 들 수 있다. 이 규소를 포함하는 기체를 수소, 수소 및 헬륨으로 희석하여 사용하여도 좋다.

[0160] 다음에 제 1 반도체막(704) 상에, 제 2 반도체막(705), 제 3 반도체막(706)을 차례로 형성한다. 제 2 반도체막(705)은 가전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않고 형성한 것이다. 이 제 2 반도체 막(705)은 1도전형을 갖고, 소스로서 기능하는 소스 영역 및 드레인으로서 기능하는 드레인 영역을 형성하기 위한 제 3 반도체막(706)과, 제 1 반도체막(704)과의 사이에 형성하는 것으로, 베퍼충(완충층)적인 작용을 가지고 있다. 따라서, 약(弱) n 형의 전기전도성을 가진 제 1 반도체막(704)에 대하여, 같은 도전형으로 1도전형을 갖는 제 3 반도체막(706)을 형성하는 경우에는 반드시 필요하다. 임계치를 제어하는 목적으로 있어서, p 형을 부여하는 불순물 원소를 첨가하는 경우에는 제 2 반도체막(705)은 단계적으로 불순물 농도를 변화시키는 효과를 갖고, 접합 형성을 양호하게 하는 데에서 바람직한 형태가 된다. 즉, 형성되는 트랜지스터에서는 채널 형성 영역과, 소스 영역 또는 드레인 영역의 사이에 형성되는 저농도 불순물영역(LDD 영역)으로서의 기능을 갖게 하는 것이 가능해진다.

[0161] 1도전형을 갖는 제 3 반도체막(706)은 n 채널형의 트랜지스터를 형성하는 경우에는 대표적인 불순물 원소로서 인을 첨가하면 좋고, 규소를 포함하는 기체에 PH_3 등의 불순물 기체를 첨가하면 좋다. 제 2 반도체막(705)과 제 3 반도체막(706)은 제 1 반도체막(704)과 같이, 비정질 반도체이어도 좋고, 다결정 반도체이어도 좋다. 또한 반도체는 규소뿐만 아니라 실리콘게르마늄도 사용할 수 있다.

[0162] 이상, 게이트 절연막(703)으로부터 1도전형을 갖는 제 3 반도체막(706)까지는 대기에 노출시키지 않고 연속하여 형성하는 것이 가능하다. 즉, 대기성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 트랜지스터 특성의 격차를 저감할 수 있다.

[0163] 다음에 도 12b에 도시하는 바와 같이, 마스크(707)를 형성하고, 제 1 반도체막(704), 제 2 반도체막(705), 1도 전형을 갖는 제 3 반도체막(706)을 원하는 형상으로 가공(패터닝)하여, 섬 형상으로 분리한다.

[0164] 다음에 도 12c에 도시하는 바와 같이, 마스크(707)를 제거한 후, 제 2 도전막(708)을 형성한다. 제 2 도전막(708)은 알루미늄, 또는 알루미늄을 주성분으로 하는 도전성 재료로 형성하지만, 반도체막과 접하는 측의 층을 티타늄, 탄탈륨, 몰리브덴, 텉스텐, 동 또는 이들의 원소의 질화물로 형성한 적층 구조로 하여도 좋다. 예를 들면 1층째가 탄탈륨이고 2층째가 텉스텐, 1층째가 질화탄탈륨이고 2층째가 알루미늄, 1층째가 질화탄탈륨이고 2층째가 동, 1층째가 티타늄이고 2층째가 알루미늄이고 3층째가 티타늄이라는 조합도 생각할 수 있다. 또한 1층째와 2층째의 어느 한쪽에 AgPdCu 합금을 사용하여도 좋다. 텉스텐, 알루미늄과 실리콘의 합금(Al-Si), 질화 티타늄을 순차적으로 적층한 3층 구조로 하여도 좋다. 텉스텐 대신에 질화텅스텐을 사용하여도 좋고, 알루미늄과 실리콘의 합금(Al-Si) 대신에 알루미늄과 티타늄의 합금(Al-Ti)을 사용하여도 좋고, 질화티타늄 대신에 티타늄을 사용하여도 좋다. 알루미늄에는 내열성을 향상시키기 위해서 티타늄, 실리콘, 스칸듐, 네오디뮴, 동등한 원소를 0.5 내지 5원자% 첨가시켜도 좋다.

[0165]

다음에 도 13a에 도시하는 바와 같이 마스크(709)를 형성한다. 마스크(709)는 제 2 도전막(708)을 패터닝하는 것으로 소스 영역 또는 드레인 영역과 접속하는 배선을 형성하기 위한 마스크이고, 동시에 1도전형을 갖는 제 3 반도체막(706)을 부분적으로 제거하여, 채널 형성 영역을 형성하기 위한 에칭 마스크로서 병용되는 것이다. 알루미늄 또는 이것을 주성분으로 하는 도전막의 에칭은 BCl_3 , Cl_2 등의 염화물 기체를 사용하여 행하면 좋다. 이에칭 가공에 의해, 제 2 도전막(708)으로부터 배선(710 내지 713)을 형성한다. 또한, 채널 형성 영역을 형성하기 위한 에칭에는 SF_6 , NF_3 , CF_4 등의 플루오르화물 기체를 사용하여 에칭을 하지만, 이 경우에는 하지가 되는 제 1 반도체막(704)과의 에칭 선택비를 취할 수 없기 때문에, 처리시간을 적절하게 조정하여 행하게 된다. 이상과 같이 하여, 채널 에치형의 트랜지스터의 구조를 형성할 수 있다.

[0166]

다음에 마스크(709)를 제거한 후, 도 13b에 도시하는 바와 같이 채널 형성 영역의 보호를 목적으로 한 절연막(714)을 질화규소막으로 형성한다. 이 질화규소막은 스퍼터링법이나 글로방전 분해법으로 형성 가능하지만, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막인 것이 요구된다. 규소를 타깃으로 하여, 질소와 아르곤 등의 희가스원소를 혼합시킨 스퍼터 가스로 고주파 스퍼터링하는 것으로, 더욱 치밀한 질화규소막을 형성할 수 있다.

[0167]

다음에 도 13c에 도시하는 바와 같이, 절연막(714)상에, 평탄화를 목적으로 한 절연막(715)을 형성한다. 절연막(715)은 아크릴, 폴리아미드, 폴리아미드 등의 유기 수지, 또는 실록산 수지를 포함하는 절연막으로 형성하는 것이 바람직하다. 실록산 수지란 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산 수지는 치환기로서, 수소 외에, 불소, 플루오로기, 유기기(예를 들면 알킬기, 방향족 탄화수소) 중 적어도 1종을 갖고 있어도 좋다. 이들의 재료는 흡수성을 갖는다. 따라서, 절연막(715) 상에, 수분의 침입 및 방출을 막기 위한 절연막(716)을 형성하는 것이 바람직하다. 절연막(716)으로서는 상술한 바와 같은 질화규소막을 적용하면 좋다.

[0168]

다음에 절연막(714), 절연막(715), 절연막(716)을 패터닝하여, 배선(713)이 일부 노출되는 개구부를 형성한다. 그리고 상기 개구부에서 배선(713)에 접하는 배선(717)을 형성한다.

[0169]

다음에 도 14a에 도시하는 바와 같이, 배선(717)에 접하도록, 양극(718)을 절연막(716)상에 형성한다. 본 실시 예에서는 스퍼터법을 사용하여, 산화규소를 포함하는 인듐석산화물(ITSO)로 도전막을 형성한 후, 상기 도전막을 패터닝하는 것으로 양극(718)을 형성한다. 또 ITSO 외에, 인듐석산화물(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등, ITSO 이외의 투광성 산화물 도전 재료를 양극(718)에 사용하여도 좋다.

[0170]

ITSO를 사용하는 경우, 타깃으로서 ITO에 산화규소가 2 내지 10 중량% 포함된 것을 사용할 수 있다. 구체적으로 본 실시예에서는 In_2O_3 과, SnO_2 와, SiO_2 가 85:10:5의 중량%의 비율로 포함하는 타깃을 사용하고, Ar의 유량을 50sccm, O_2 의 유량을 3sccm, 스퍼터 압력을 0.4Pa, 스퍼터 전력을 1kW, 성막 속도 30nm/min으로 하여, 105nm의 막 두께로, 양극(718)이 되는 도전막을 형성하였다.

[0171]

도전막을 형성한 후, 패터닝하기 전에, 그 표면이 평탄화되도록, CMP법, 폴리비닐알콜계의 다공질체에 의한 식정(拭淨) 등으로 연마하여 두어도 좋다.

[0172]

다음에 본 발명에서는 전계 발광층(720)을 형성하기 전에, 격벽(719) 및 양극(718)에 흡착한 수분이나 산소 등을 제거하기 위해서, 대기 분위기하에서 가열 처리 또는 진공 분위기하에서 가열 처리(진공 베이킹)를 한다. 구체적으로는 기판의 온도를 200°C 내지 450°C, 바람직하게는 250 내지 300°C에서, 0.5 내지 20시간 정도, 진공 분위기하에서 가열 처리를 한다. 바람직하게는 4×10^{-5} Pa 이하로 하고, 가능하면 4×10^{-6} Pa 이하로 하는 것이 가장 바람직하다. 그리고, 진공 분위기하에서 가열 처리를 한 후에 전계 발광층(720)을 형성하는 경우, 전계 발광층(720)을 형성하기 직전까지 상기 기판을 진공 분위기하에 두는 것으로, 신뢰성을 더욱 높일 수 있다. 또한 진공 베이킹 전 또는 후에, 양극(718)에 자외선을 조사하여도 좋다.

[0173]

다음에 도 14b에 도시하는 바와 같이, 양극(718)상에 전계 발광층(720)을 형성한다. 전계 발광층(720)은 단수 또는 복수의 층으로 이루어지고, 각 층에는 유기 재료뿐만 아니라 무기 재료가 포함되어 있어도 좋다. 전계 발광층(720)에서의 루미네센스에는 1중항 여기 상태로부터 기저 상태로 되돌아갈 때의 발광(형광)과 3중항 여기 상태로부터 기저 상태로 되돌아갈 때의 발광(인광)이 포함된다.

[0174]

다음에, 전계 발광층(720)을 덮도록 음극(721)을 형성한다. 음극(721)은 일반적으로 일함수가 작은 금속,

합금, 전기전도성 화합물, 및 이들의 혼합물 등을 사용할 수 있다. 구체적으로는 Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리토류 금속, 및 이들을 포함하는 합금(Mg:Ag, Al:Li 등) 외에, Yb나 Er 등의 희토류금 속을 사용하여 형성할 수도 있다. 또한, 전자 주입성이 높은 재료를 포함하는 층을 음극(721)에 접하도록 형성하는 것으로, 알루미늄이나, 산화물 도전재료 등을 사용한, 통상의 도전막도 사용할 수 있다.

[0175] 양극(718), 전계 발광층(720), 음극(721)은 격벽(719)의 개구부에서 겹쳐 있고, 상기 겹친 부분이 발광 소자(722)에 상당한다.

[0176] 또 발광 소자(722)를 형성하면, 음극(721)상에, 절연막을 형성하여도 좋다. 상기 절연막은 절연막(716)과 같이, 수분이나 산소 등의 발광 소자의 열화를 촉진시키는 원인이 되는 물질을 다른 절연막과 비교하여 투과시키기 어려운 막을 사용한다. 대표적으로는 예를 들면 DLC막, 질화탄소막, RF 스퍼터법으로 형성된 질화규소막 등을 사용하는 것이 바람직하다. 또한 상술한 수분이나 산소 등의 물질을 투과시키기 어려운 막과, 상기 막과 비교하여 수분이나 산소 등의 물질을 투과시키기 쉬운 막을 적층시켜, 상기 절연막으로서 사용하는 것도 가능하다.

[0177] 또 도 14b에서는 발광 소자(722)로부터 발생하는 빛이 기판(700)측에 조사되는 구성을 도시하였지만, 빛이 기판(700)과는 반대측을 향하는 구조의 발광 소자로 하여도 좋다.

[0178] 실제로는 도 14b까지 완성하면, 또 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호필름(접합 필름, 자외선 경화 수지 필름 등)이나 투광성의 커버재로 패키징(봉입)하는 것이 바람직하다. 그때, 커버재의 내부를 불활성 분위기로하거나, 또는 내부에 흡습성 재료(예를 들면 산화바륨)를 배치하면, 발광 소자의 신뢰성이 향상된다.

[0179] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절하게 조합하여 실시할 수 있다.

실시예 5

[0180] 본 실시예에서는 본 발명의 표시 장치의 하나인 발광 장치를 예에 들어, 그 외관에 관해서 도 15를 사용하여 설명한다. 도 15a는 제 1 기판상에 형성된 트랜지스터 및 발광 소자를 제 1 기판과 제 2 기판의 사이에 밀봉재로 밀봉한 패널의 상면도이고, 도 15b는 도 15a의 A-A'에서의 단면도에 상당한다.

[0182] 제 1 기판(4001)상에 형성된 화소부(4002)와, 신호선 구동 회로(4003)와, 주사선 구동 회로(4004)와, 전압 발생 회로(4005)를 둘러싸도록, 밀봉재(4020)가 형성되어 있다. 또한 화소부(4002), 신호선 구동 회로(4003), 주사선 구동 회로(4004) 및 전압 발생 회로(4005)의 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002), 신호선 구동 회로(4003), 주사선 구동 회로(4004) 및 전압 발생 회로(4005)는 제 1 기판(4001)과 제 2 기판(4006)의 사이에서, 밀봉재(4020)에 의해, 충전재(4007)와 함께 밀봉되어 있다.

[0183] 또한 제 1 기판(4001)상에 형성된 화소부(4002), 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)는 각각 트랜지스터를 복수 갖고 있다. 도 15b에서는 신호선 구동 회로(4003)에 포함되는 트랜지스터(4008)와, 화소부(4002)에 포함되는 구동용 트랜지스터(4009) 및 스위칭용 트랜지스터(4010)를 예시하고 있다.

[0184] 또한 발광 소자(4011)는 구동용 트랜지스터(4009)의 소스 영역 또는 드레인 영역과 접속되어 있는 배선(4017)의 일부를 그 화소 전극으로서 사용하고 있다. 또한 발광 소자(4011)는 화소 전극 외에 대향 전극(4012)과 전계 발광층(4013)을 갖고 있다. 또 발광 소자(4011)의 구성은 본 실시예에 개시한 구성에 한정되지 않는다. 발광 소자(4011)로부터 추출하는 빛의 방향이나, 구동용 트랜지스터(4009)의 극성 등에 맞추어, 발광 소자(4011)의 구성은 적절하게 바꿀 수 있다.

[0185] 또한 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전압은 도 15b에 도시하는 단면도에서는 도시되지 않았지만, 인출 배선(4014 및 4015)을 통해서, 접속단자(4016)로부터 공급되고 있다.

[0186] 본 실시예에서는 접속단자(4016)가 발광 소자(4011)가 갖는 대향 전극(4012)과 같은 도전막으로 형성되어 있다. 또한, 인출 배선(4014)은 배선(4017)과 같은 도전막으로 형성되어 있다. 또한 인출 배선(4015)은 구동용 트랜지스터(4009), 스위칭용 트랜지스터(4010), 트랜지스터(4008)가 각각 갖는 게이트 전극과 같은 도전막으로 형성되어 있다.

[0187] 접속단자(4016)는 FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통해서 전기적으로 접속되어 있다.

[0188] 또, 제 1 기판(4001), 제 2 기판(4006)으로서, 유리, 금속(대표적으로는 스테인레스), 세라믹, 플라스틱을 사용

할 수 있다. 단, 발광 소자(4011)로부터의 빛의 추출 방향에 위치하는 제 2 기판(4006)은 투광성을 가져야만 한다. 따라서 제 2 기판(4006)은 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름같은 투광성을 갖는 재료를 사용하는 것이 바람직하다.

[0189] 또한, 충전재(4007)에서는 질소나 아르곤 등의 불활성의 기체 외에, 자외선 경화수지 또는 열경화수지를 사용할 수 있다. 본 실시예에서는 충전재(4007)로서 질소를 사용하는 예를 나타내고 있다.

[0190] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절하게 조합하여 실시할 수 있다.

[0191] 실시예 6

[0192] 본 발명의 표시 장치를 사용할 수 있는 전자기기로서, 휴대 전화, 휴대형 게임기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카오디오, 오디오 콤포 등), 노트형 퍼스널 컴퓨터, 기록매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치) 등을 들 수 있다. 이들 전자기기의 구체적인 예를 도 16에 도시한다.

[0193] 도 16a는 휴대전화로, 본체(2101), 표시부(2102), 음성 입력부(2103), 음성 출력부(2104), 조작키(2105)를 갖는다. 표시부(2102)에 본 발명의 표시 장치를 사용하는 것으로, 신뢰성이 높은 휴대전화를 얻을 수 있다.

[0194] 도 16b는 비디오카메라로, 본체(2601), 표시부(2602), 케이스(2603), 외부접속 포트(2604), 리모콘 수신부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작키(2609), 접안부(2610) 등을 갖는다. 표시부(2602)에 본 발명의 표시 장치를 사용하는 것으로, 신뢰성이 높은 비디오 카메라를 얻을 수 있다.

[0195] 도 16c는 영상표시 장치로, 케이스(2401), 표시부(2402), 스피커부(2403) 등을 갖는다. 표시부(2402)에 본 발명의 표시 장치를 사용하는 것으로, 신뢰성이 높은 영상 표시 장치를 얻을 수 있다. 또, 영상 표시 장치에는 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 영상을 표시하기 위한 모든 영상 표시 장치가 포함된다.

[0196] 이상과 같이, 본 발명의 적용 범위는 극히 넓고, 모든 분야의 전자기기에 사용하는 것이 가능하다.

[0197] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절하게 조합하여 실시할 수 있다.

도면의 간단한 설명

[0198] 도 1은 본 발명의 표시 장치의 구성을 도시하는 블록도.

[0199] 도 2는 전압 발생 회로의 구성을 도시하는 블록도.

[0200] 도 3은 전압 발생 회로의 구성을 도시하는 블록도.

[0201] 도 4는 판정 회로의 구성을 도시하는 도면.

[0202] 도 5는 주사선 구동 회로의 구성을 도시하는 도면.

[0203] 도 6은 펠스 출력 회로의 타이밍 차트.

[0204] 도 7은 본 발명의 표시 장치의 구성을 도시하는 블록도.

[0205] 도 8은 본 발명의 표시 장치의 외관을 도시하는 도면.

[0206] 도 9는 신호선 구동 회로의 구성을 도시하는 블록도.

[0207] 도 10은 화소부의 구성을 도시하는 도면.

[0208] 도 11은 화소부의 구성을 도시하는 도면.

[0209] 도 12는 본 발명의 표시 장치의 제작 방법을 도시하는 도면.

[0210] 도 13은 본 발명의 표시 장치의 제작 방법을 도시하는 도면.

[0211] 도 14는 본 발명의 표시 장치의 제작 방법을 도시하는 도면.

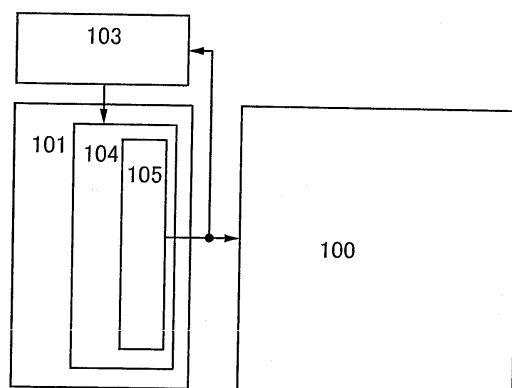
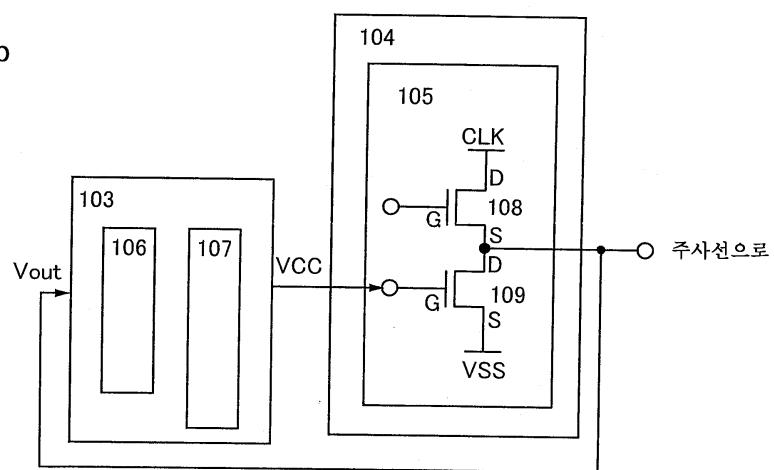
[0212] 도 15는 본 발명의 표시 장치의 상면도 및 단면도.

[0213] 도 16은 본 발명의 표시 장치를 사용한 전자기기의 도면.

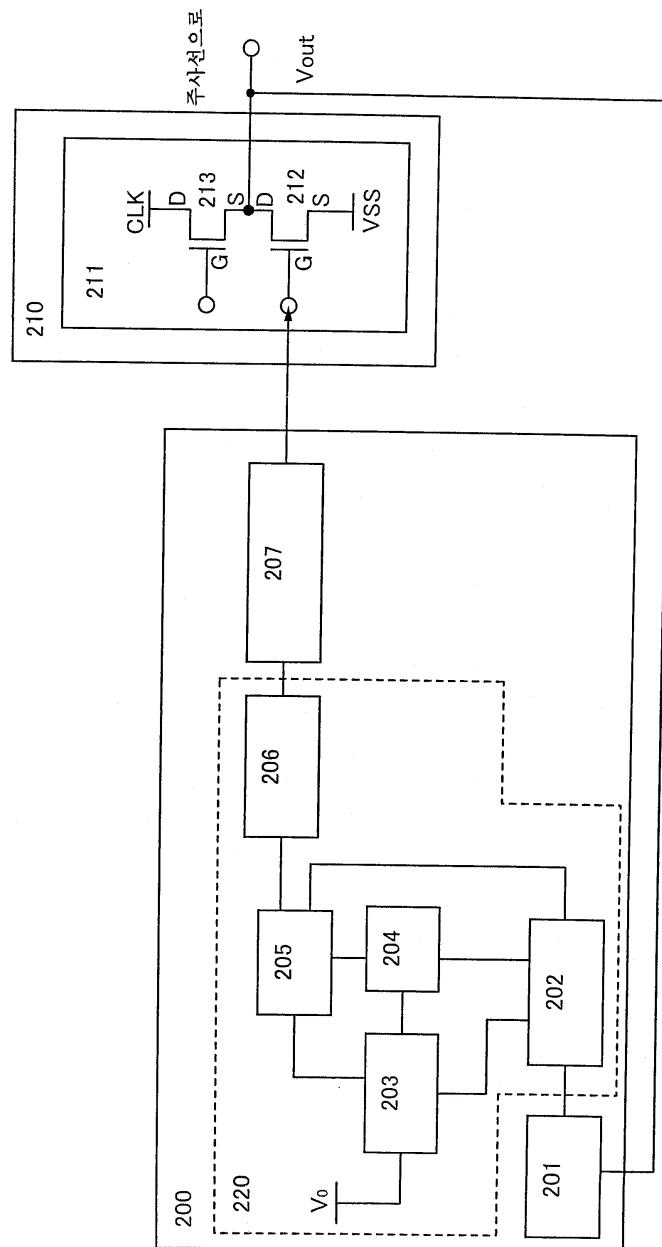
[0214]	도 17은 출력 회로의 회로도 및 출력 회로의 타이밍 차트.	
[0215]	* 도면의 주요 부분에 대한 설명 *	
[0216]	100 : 화소부	101 : 주사선 구동 회로
[0217]	103 : 전압 발생 회로	104 : 시프트 레지스터
[0218]	105 : 출력 회로	106 : 판정 회로
[0219]	107 : 전압 설정 회로	108 : 트랜지스터
[0220]	109 : 트랜지스터	200 : 전압 발생 회로
[0221]	201 : 판정 회로	202 : 컨트롤러
[0222]	203 : 가산기	204 : 카운터
[0223]	205 : 전환 회로	206 : DA 변환 회로
[0224]	207 : 임피던스 변환기	210 : 시프트 레지스터
[0225]	211 : 출력 회로	212 : 트랜지스터
[0226]	220 : 전압 설정 회로	300 : 전압 발생 회로
[0227]	301 : 판정 회로	302 : 컨트롤러
[0228]	303 : 가산기	304 : 카운터
[0229]	306 : DA 변환 회로	307 : 임피던스 변환기
[0230]	310 : 시프트 레지스터	311 : 출력 회로
[0231]	312 : 트랜지스터	320 : 전압 설정 회로
[0232]	400 : 화소부	410: 주사선 구동 회로
[0233]	411 : 시프트 레지스터	412 : 출력 회로
[0234]	420 : 신호선 구동 회로	421 : 시프트 레지스터
[0235]	422 : 래치	423 : 래치
[0236]	430 : 전압 발생 회로	440 : 기판
[0237]	441 : FPC	450 : 기판
[0238]	451 : FPC	460 : 기판
[0239]	461 : FPC	501 : 시프트 레지스터
[0240]	502 : 래치	503 : 래치
[0241]	504 : 레벨 시프터	505 : 버퍼
[0242]	506 : 딜레이형 플립플롭(DFF)	507 : 기억 회로
[0243]	508 : 기억 회로	601 : 화소부
[0244]	602 : 화소	603 : 스위칭용 트랜지스터
[0245]	604 : 구동용 트랜지스터	605 : 발광 소자
[0246]	606 : 유지 용량	610 : 화소부
[0247]	611 : 화소	612 : 트랜지스터
[0248]	613 : 액정셀	614 : 유지 용량
[0249]	700 : 기판	701 : 도전막

[0250]	703 : 게이트 절연막	704 : 반도체막
[0251]	705 : 반도체막	706 : 반도체막
[0252]	707 : 마스크	708 : 도전막
[0253]	709 : 마스크	710 : 배선
[0254]	713 : 배선	714 : 절연막
[0255]	715 : 절연막	716 : 절연막
[0256]	717 : 배선	718 : 양극
[0257]	719 : 격벽	720 : 전계 발광층
[0258]	721 : 음극	722 : 발광 소자
[0259]	800 : 판정 회로	801 : 시프트 레지스터
[0260]	802 : 출력 회로	803 : 기억 회로
[0261]	804 : ExOR 게이트	805 : 스위칭 소자
[0262]	806 : 스위칭 소자	807 : 인버터
[0263]	808 : 인버터	809 : 인버터
[0264]	810 : 비교 회로	811 : 기억 회로
[0265]	900 : 펄스 출력 회로	910 : 주사방향 전환 회로
[0266]	911 : 트랜지스터	912 : 트랜지스터
[0267]	913 : 트랜지스터	914 : 트랜지스터
[0268]	920 : 진폭 보상 회로	921 : 트랜지스터
[0269]	922 : 트랜지스터	930 : 진폭 보상 회로
[0270]	931 : 트랜지스터	932 : 트랜지스터
[0271]	940 : 출력 회로	941 : 트랜지스터
[0272]	942 : 트랜지스터	2101 : 본체
[0273]	2102 : 표시부	2103 : 음성입력부
[0274]	2104 : 음성출력부	2105 : 조작키
[0275]	2401 : 케이스	2402 : 표시부
[0276]	2403 : 스피커부	2601 : 본체
[0277]	2602 : 표시부	2603 : 케이스
[0278]	2604 : 외부 접속 포트	2605 : 리모콘 수신부
[0279]	2606 : 수상부	2607 : 배터리
[0280]	2608 : 음성입력부	2609 : 조작키
[0281]	2610 : 접안부	3001 : 트랜지스터
[0282]	3002 : 트랜지스터	4001 : 기판
[0283]	4002 : 화소부	4003 : 신호선 구동 회로
[0284]	4004 : 주사선 구동 회로	4005 : 전압 발생 회로
[0285]	4006 : 기판	4007 : 충전재

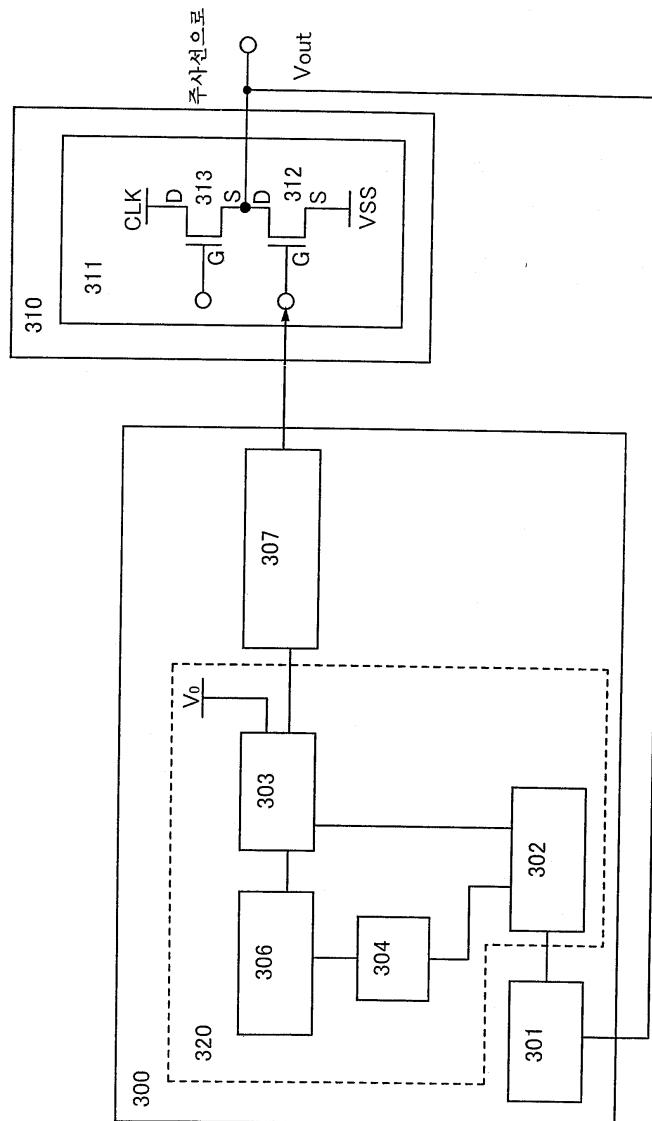
[0286]	4008 : 트랜지스터	4009 : 구동용 트랜지스터
[0287]	4010 : 스위칭용 트랜지스터	4011 : 발광 소자
[0288]	4012 : 대향 전극	4013 : 전계 발광층
[0289]	4014 : 배선	4015 : 배선
[0290]	4016 : 접속단자	4017 : 배선
[0291]	4018 : FPC	4019 : 이방성 도전막
[0292]	4020 : 밀봉재	

도면**도면1****a****b**

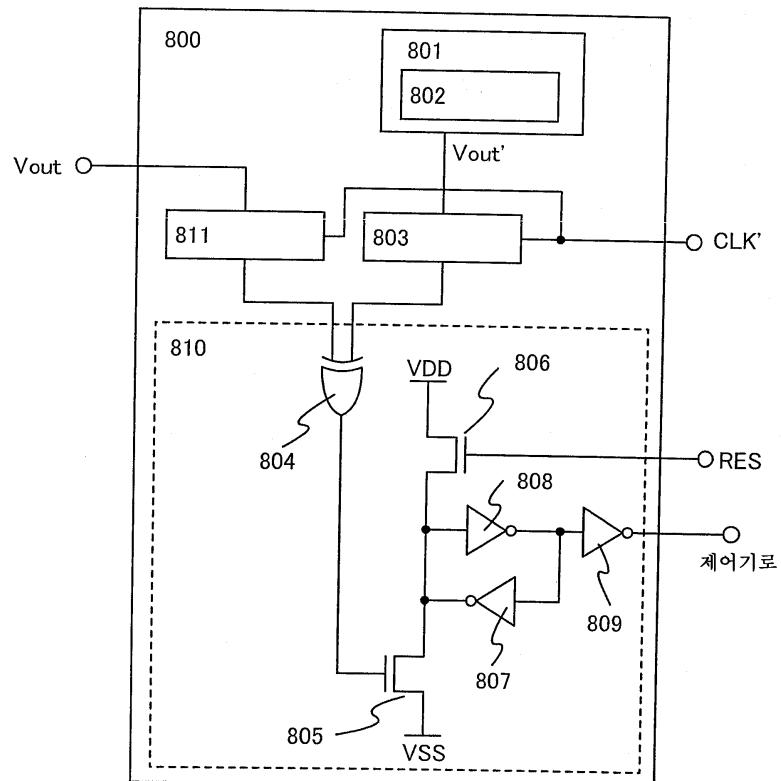
도면2



도면3

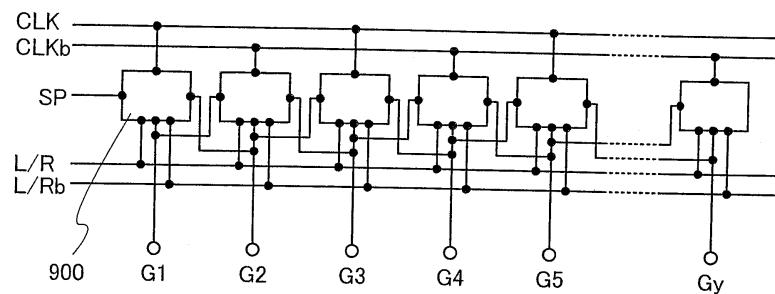


도면4

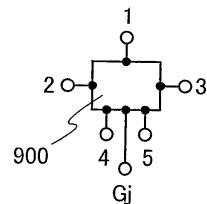


도면5

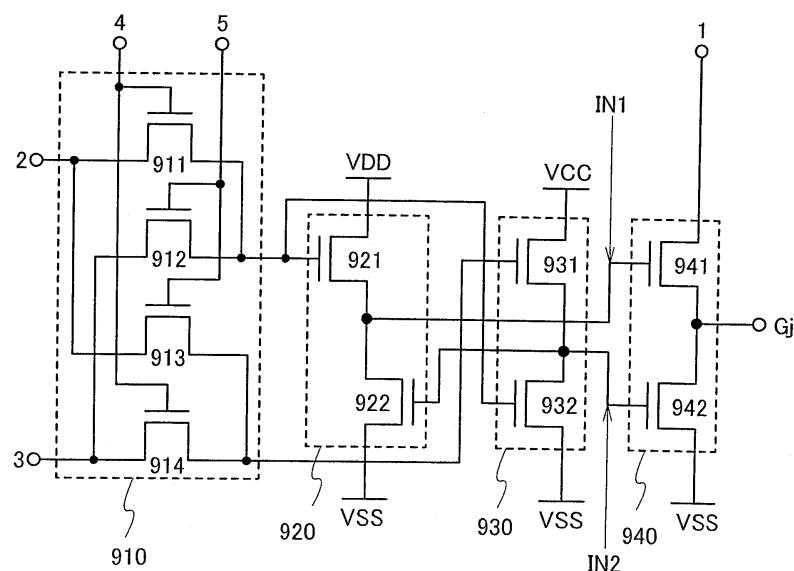
a



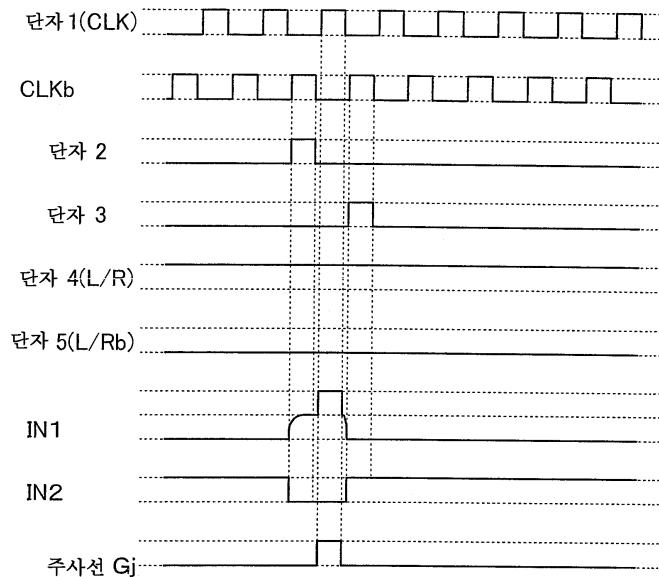
b



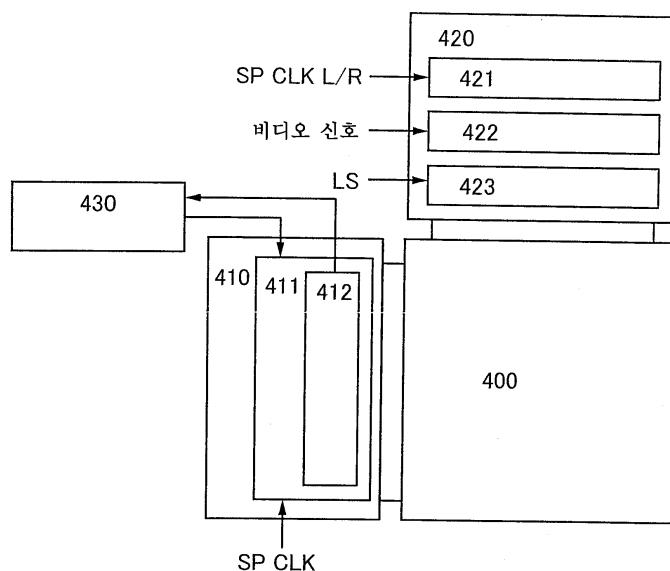
c



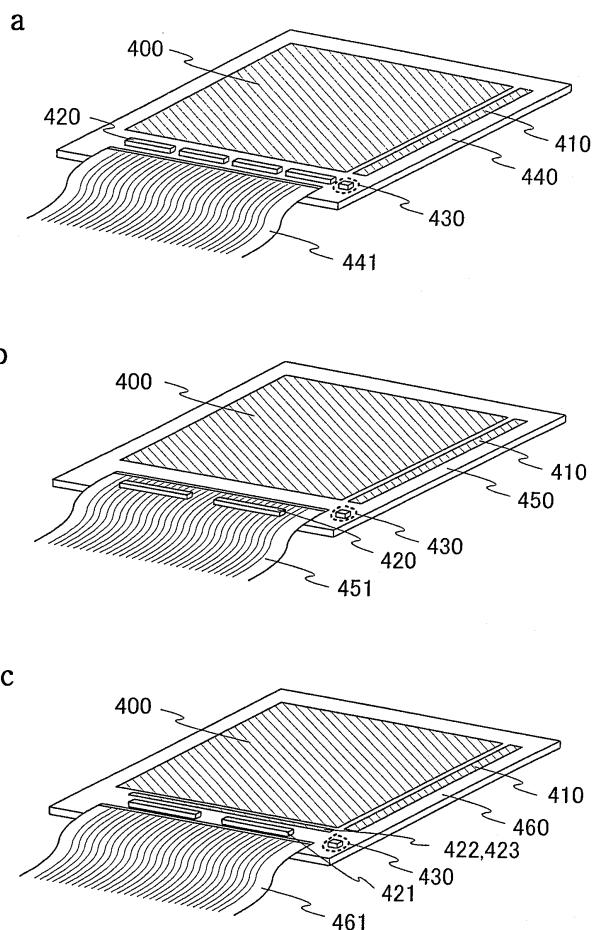
도면6



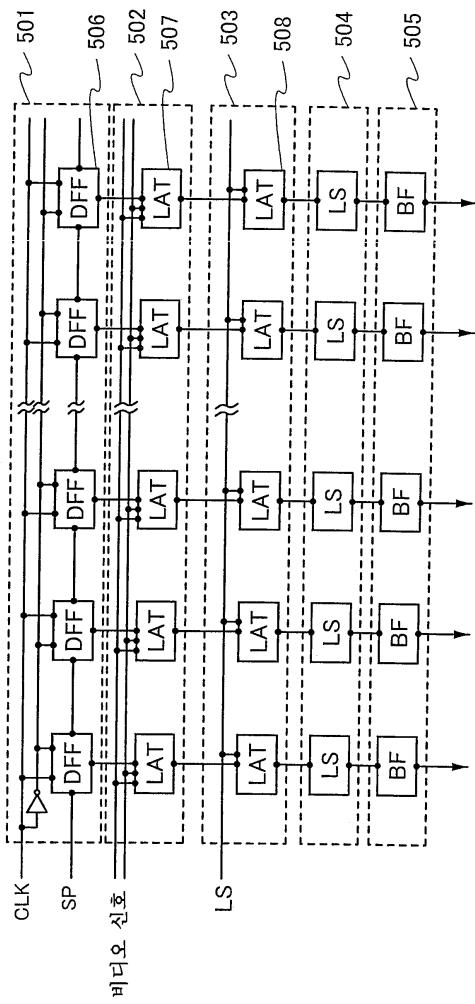
도면7



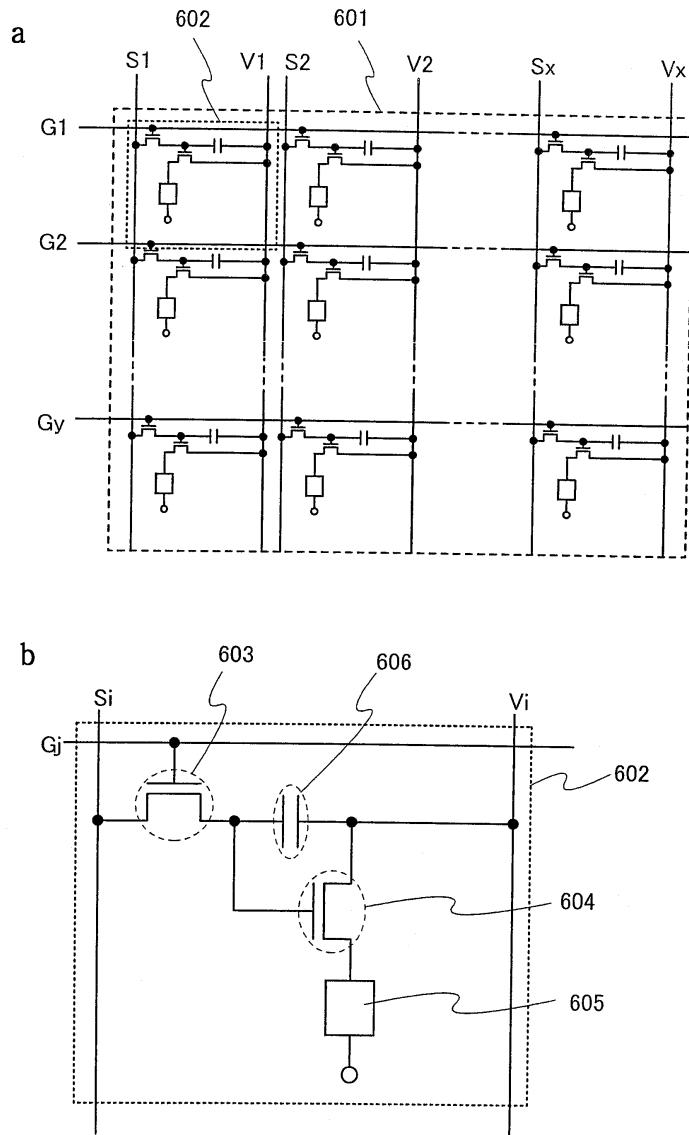
도면8



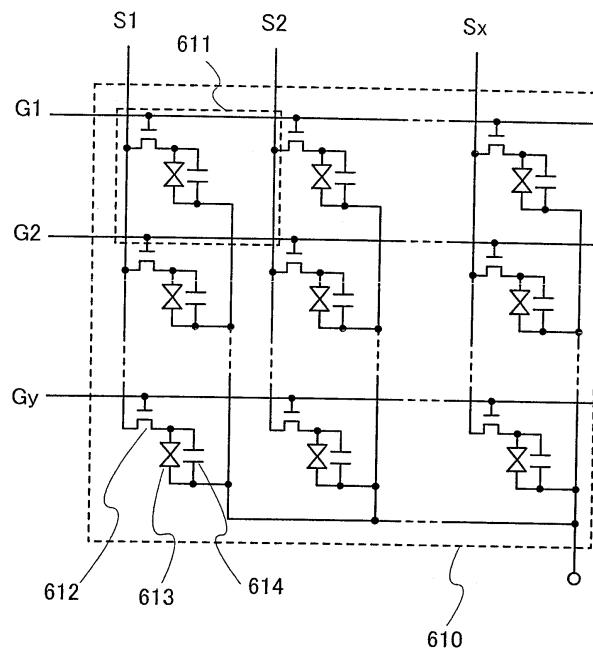
도면9



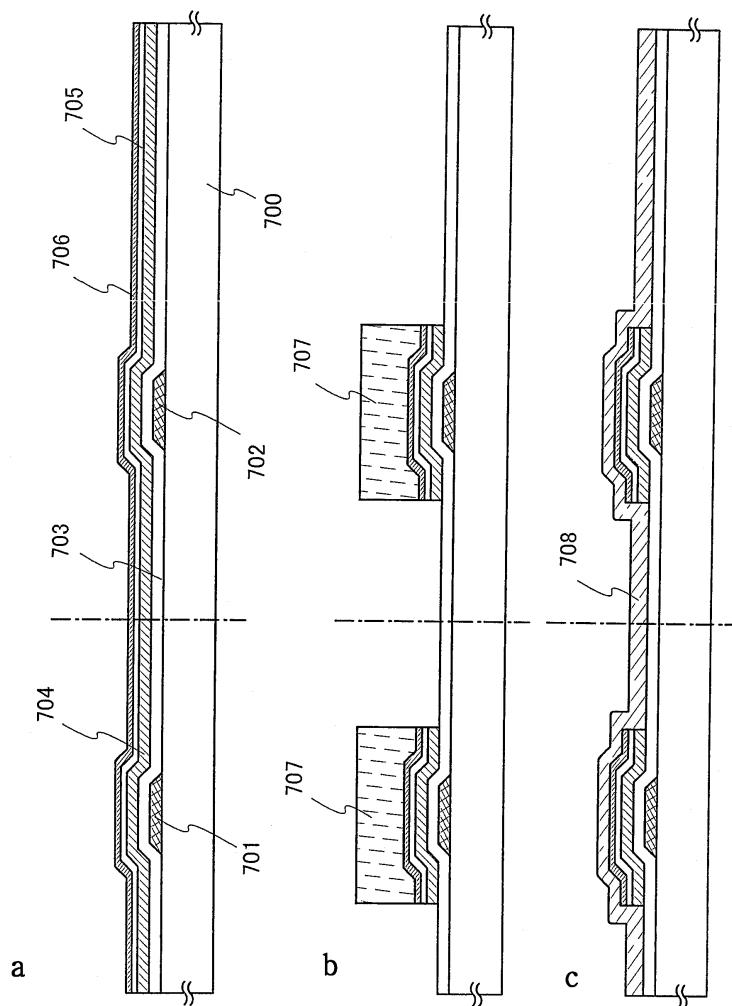
도면10



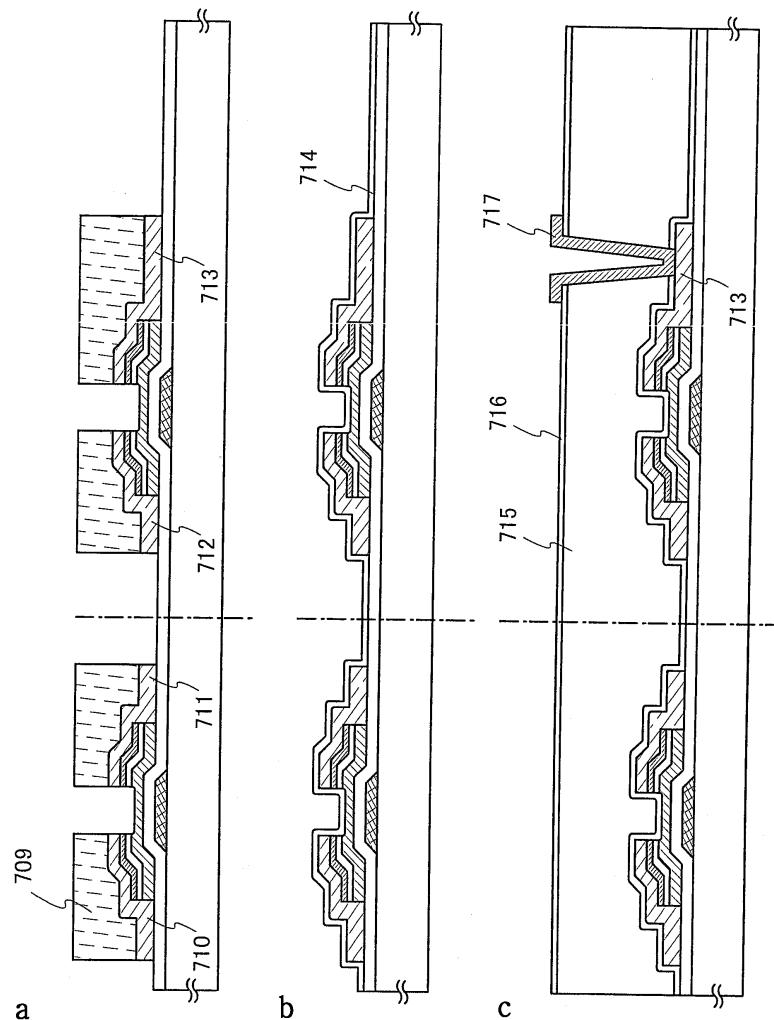
도면11



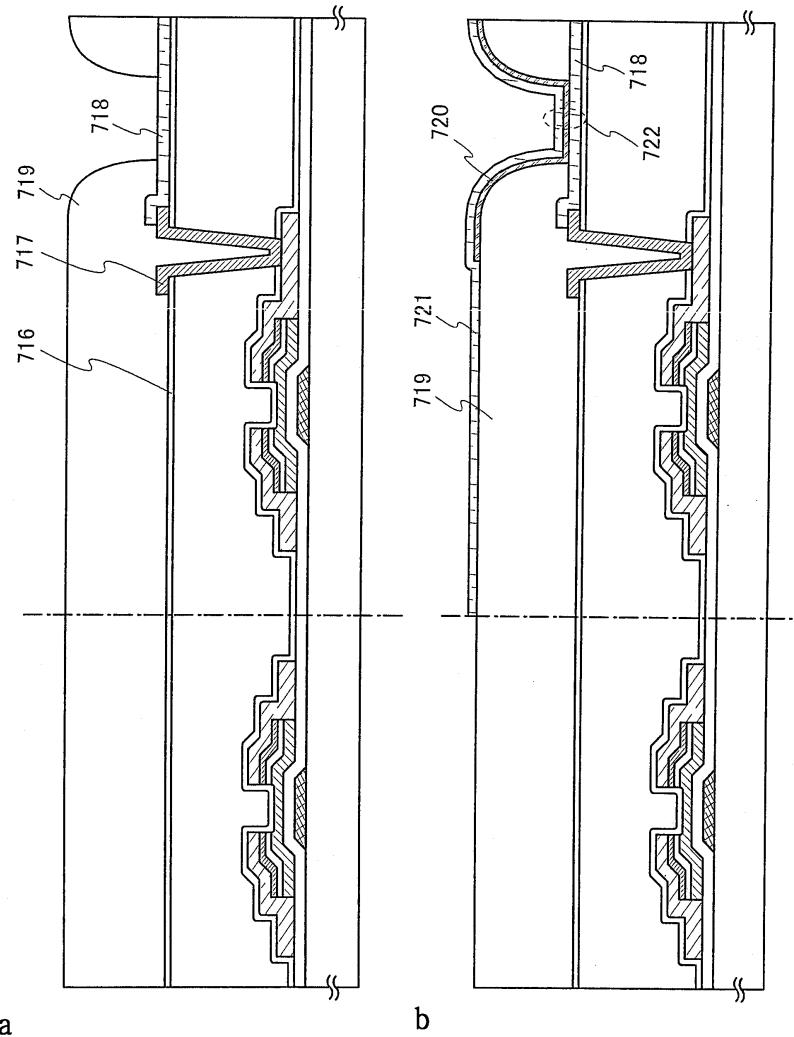
도면12



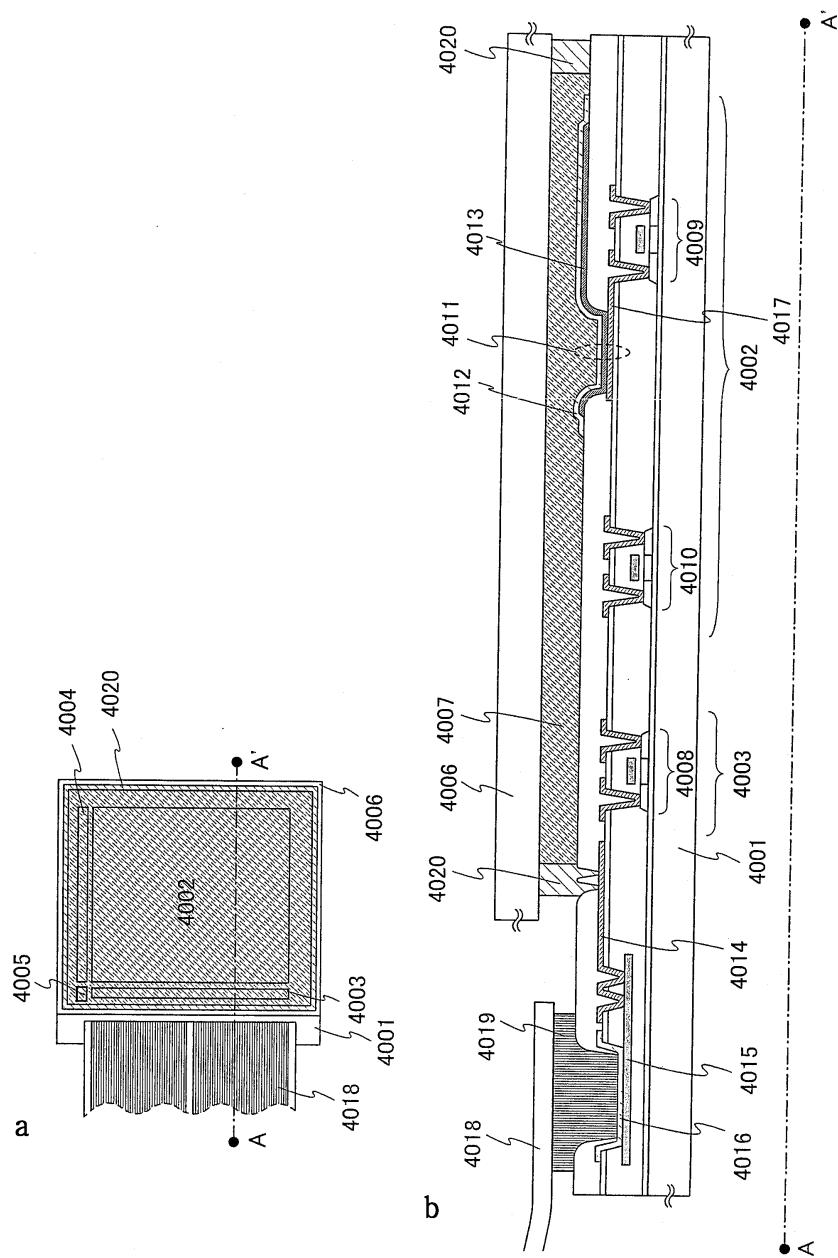
도면13



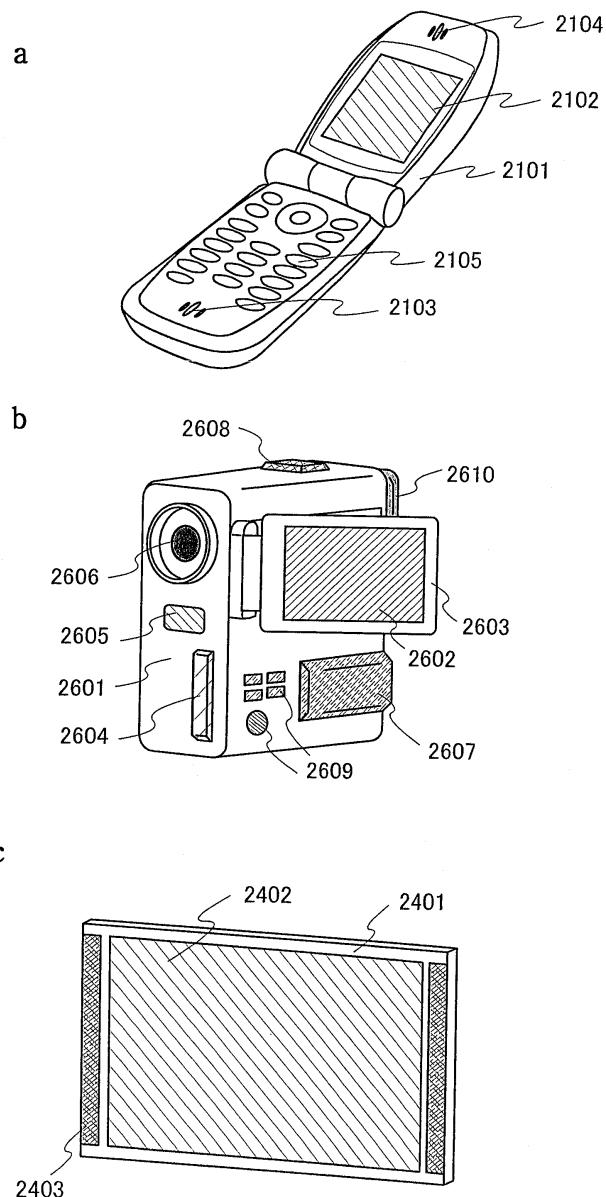
도면14



도면15



도면16



도면17

