



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0083883
(43) 공개일자 2011년07월21일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2010-0003855

(22) 출원일자 2010년01월15일

심사청구일자 2010년01월15일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울특별시 성북구 길음동 1283 길음뉴타운
605-1301

이호규

경기도 의왕시 내손1동 반도1차아파트 106-1303

(뒷면에 계속)

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 7 항

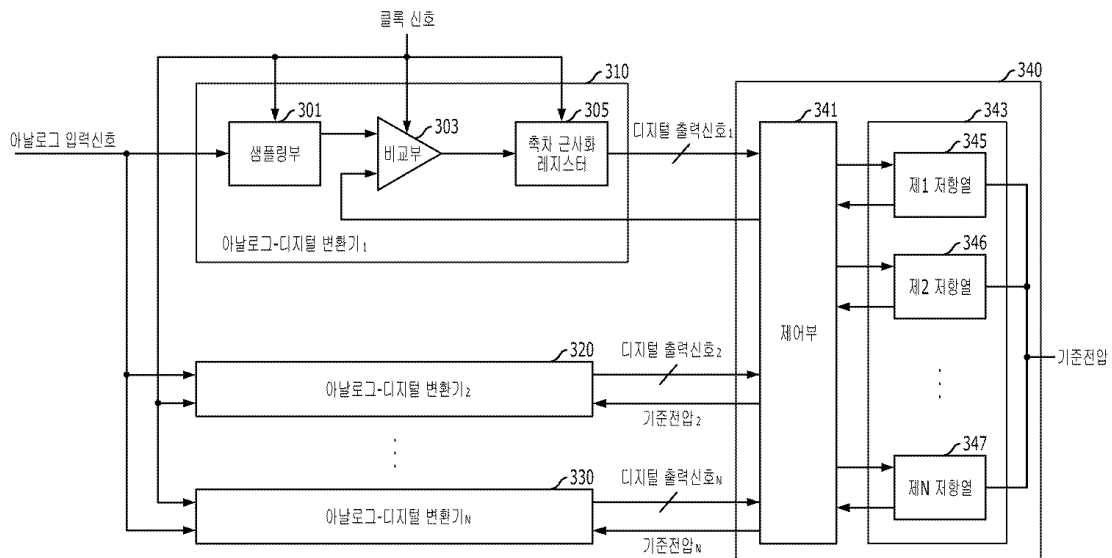
(54) 시간 인터리브드 아날로그 디지털 변환기

(57) 요약

본 발명은 아날로그 디지털 변환기에 관한 것으로서, 더욱 상세하게는 시간 인터리브드 아날로그 디지털 변환기에 관한 것이다.

본 발명의 따른 시간 인터리브드(Time-Interleaved) 아날로그 디지털 변환기는 복수의 아날로그 디지털 변환기 및 복수의 아날로그 디지털 변환기에 입력되는 아날로그 입력신호와 비교되는 기준전압을 생성하여 복수의 아날로그 디지털 변환기로 제공하는 기준전압 발생기를 포함하고, 기준전압은 복수의 아날로그 디지털 변환기의 출력신호를 입력받아 생성된다.

대표도



(72) 발명자

김무영

광주광역시 북구 북동 238-402

이택중

서울특별시 성동구 옥수2동 현대아파트 101-401

이 발명을 지원한 국가연구개발사업

과제고유번호 20090083099

부처명 한국과학재단

연구관리전문기관

연구사업명 중견연구자지원_도약연구

연구과제명 차세대 모바일 단말기 및 유비쿼터스 센서노드용 저전력 관리 기술

기여율

주관기관 고려대학교 산학협력단

연구기간 2009.07.01 ~ 2010.06.30

특허청구의 범위

청구항 1

시간 인터리브드(Time-Interleaved) 아날로그 디지털 변환기(Analog-to-Digital Converter)에 있어서,

복수의 아날로그 디지털 변환기; 및

상기 복수의 아날로그 디지털 변환기에 입력되는 아날로그 입력신호와 비교되는 기준전압을 생성하여 상기 복수의 아날로그 디지털 변환기로 제공하는 기준전압 발생기를 포함하고,

상기 기준전압은 상기 복수의 아날로그 디지털 변환기의 출력신호를 입력받아 생성되는, 시간 인터리브드 아날로그 디지털 변환기.

청구항 2

제1항에 있어서,

상기 아날로그 디지털 변환기는

상기 아날로그 입력신호를 샘플링하는 샘플링부;

상기 샘플링된 신호와 상기 기준전압을 비교하는 비교부; 및

상기 비교부의 출력신호의 축차 근사화를 수행하는 축차 근사화 레지스터를 포함하는, 시간 인터리브드 아날로그 디지털 변환기.

청구항 3

제1항에 있어서,

상기 기준전압 발생기는

상기 기준전압을 생성하는 기준전압 발생부; 및

상기 생성된 기준전압을 상기 복수의 아날로그 디지털 변환기로 제공되도록 제어하는 제어부를 포함하고,

상기 기준전압 발생부는

복수의 저항열을 포함하는, 시간 인터리브드 아날로그 디지털 변환기.

청구항 4

제3항에 있어서,

상기 복수의 저항열은

N (N 은 자연수)개의 저항열을 포함하고, 상기 N 개의 저항열 중 제 N 번째 저항열은 2^N 개의 저항으로 구성되는, 시간 인터리브드 아날로그 디지털 변환기.

청구항 5

제4항에 있어서,

상기 저항은 동일한 저항값을 갖는, 시간 인터리브드 아날로그 디지털 변환기.

청구항 6

제1항에 있어서,

상기 기준전압 발생기는

상기 기준전압을 생성하는 기준전압 발생부; 및

상기 생성된 기준전압을 상기 복수의 아날로그 디지털 변환기로 제공되도록 제어하는 제어부를 포함하고,

상기 제어부는

상기 복수의 아날로그 디지털 변환기의 출력신호를 입력받아 기준전압 발생부에 제공하고, 상기 생성된 기준전압을 상기 복수의 아날로그 디지털 변환기로 제공하는, 시간 인터리브드 아날로그 디지털 변환기.

청구항 7

제6항에 있어서,

상기 제어부는

상기 복수의 저항열로부터 생성되는 전압이 상기 복수의 아날로그 디지털 변환기에 제공되도록 구성된 스위칭 블록을 포함하는, 시간 인터리브드 아날로그 디지털 변환기.

명세서

기술분야

[0001] 본 발명은 아날로그 디지털 변환기에 관한 것으로서, 더욱 상세하게는 시간 인터리브드 아날로그 디지털 변환기에 관한 것이다.

배경기술

[0002] 아날로그-디지털(Analog-to-Digital)/디지털-아날로그(Digital-to-Analog) 변환기(Converter)는 자연의 아날로그 신호를 디지털 기기에서 사용되는 디지털 신호로, 여러 디지털 기기에서 사용되는 디지털 신호를 사람이 인식할 수 있는 아날로그 신호로 변환해 주는 역할을 한다. 특히 최근에는 모바일 디지털 기기에 대한 관심이 커짐에 따라서 아날로그-디지털/디지털-아날로그 변환기의 중요성이 더욱 부각되고 있다.

[0003] 이러한 아날로그-디지털/디지털-아날로그 변환기를 사용하는 모바일 디지털 기기는 휴대성이 좋으면서도 기능이 뛰어나야 하기 때문에, 모바일 디지털 기기의 지속 동작 시간은 모바일 디지털 기기를 구매하는 소비자의 입장에서 중요한 판단의 근거가 된다. 또한 모바일 디지털 기기의 무선 통신에 대한 관심이 높아지면서 전력 소모가 적으면서도 빠른 속도로 동작하는 아날로그-디지털/디지털-아날로그 변환기가 요구되고 있다.

[0004] 축차 비교형(Successive Approximation Register) 아날로그-디지털 변환기는 다른 구조의 아날로그-디지털 변환기에 비해 회로의 구조가 간단하고, 저 전력으로 동작한다는 장점을 가지고 있으나, 동작 속도가 느리다는 단점을 동시에 가지고 있다. 따라서 이러한 단점을 보완하기 위해 시간-인터리브드(Time-Interleaved) 기술을 사용하여 축차 비교형 아날로그-디지털 변환기의 동작 속도를 높이게 된다. 하지만 시간-인터리브드 기술은 동일한 아날로그-디지털 변환기를 여러 개를 병렬로 연결하여 동작시키는 기술로서, 동작 속도가 빨라짐에 따라 전력 소모량이 선형적으로 증가하게 되는 또 다른 문제점이 발생하게 된다.

[0005] 축차 비교형 아날로그-디지털 변환기는 샘플앰플리퍼(Sample and Hold Amplifier), 비교기(Comparator), 축차 근사화 레지스터(Successive Approximate Register), 디지털-아날로그 변환기(Digital to Analog Converter)로 구성되어 있다. 따라서 시간-인터리브드 기술을 이용한 아날로그-디지털 변환기를 고속으로 동작시키면서, 고정적인 전력 소모가 일어나는 저항 열을 이용한 디지털-아날로그 변환기의 전력 소모를 줄여줄 수 있는 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 저전력으로 동작하는 시간-인터리브드 아날로그-디지털 변환기를 제공하는 데 있다.

[0007]

[0008] 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있으며, 본 발명의 실시예에 의해 보다 분명하게 알게 될 것이다. 또한, 본 발명의 목적 및 장점들은 특허청구범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

[0009] 전술한 과제를 해결하기 위한 본 발명의 일 실시예에 따른 시간 인터리브드(Time-Inter leaved) 아날로그 디지털 변환기는 복수의 아날로그 디지털 변환기 및 복수의 아날로그 디지털 변환기에 입력되는 아날로그 입력신호와 비교되는 기준전압을 생성하여 복수의 아날로그 디지털 변환기로 제공하는 기준전압 발생기를 포함하고, 기준전압은 복수의 아날로그 디지털 변환기의 출력신호를 입력받아 생성된다.

[0010] 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명하기로 한다.

발명의 효과

[0011] 본 발명에 의하면, 시간-인터리브드 아날로그-디지털 변환기의 전력 소모량을 감소시킬 수 있다. 또한, RC 타임이 감소되고, 적은 수의 저항을 사용할 수 있어 회로 면적을 감소시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0012] 도 1은 일반적인 시간-인터리브드 아날로그-디지털 변환기를 도시한 블록 구성도이다.

도 2는 도 1의 일반적인 시간-인터리브드 아날로그-디지털 변환기의 작용을 설명하기 위한 도면이다.

도 3은 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기를 도시한 블록 구성도이다.

도 4는 본 발명에 따른 기준전압 발생부의 복수의 저항열의 구성을 설명하기 위한 도면이다.

도 5는 도 3의 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기의 작용을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하의 내용은 단지 본 발명의 원리를 예시한다. 그러므로 당업자는 비록 본 명세서에 명확히 설명되거나 도시되지 않았지만 본 발명의 원리를 구현하고 본 발명의 개념과 범위에 포함된 다양한 장치를 발명할 수 있는 것이다. 또한, 본 명세서에 열거된 모든 조건부 용어 및 실시예들은 원칙적으로, 본 발명의 개념이 이해되도록 하기 위한 목적으로만 명백히 의도되고, 이와같이 특별히 열거된 실시예들 및 상태들에 제한적이지 않는 것으로 이해되어야 한다.

[0014] 또한, 본 발명의 원리, 관점 및 실시예들 뿐만 아니라 특정 실시예를 열거하는 모든 상세한 설명은 이러한 사항의 구조적 및 기능적 균등물을 포함하도록 의도되는 것으로 이해되어야 한다. 또한 이러한 균등물들은 현재 공

지된 균등물뿐만 아니라 장래에 개발될 균등물 즉 구조와 무관하게 동일한 기능을 수행하도록 발명된 모든 소자를 포함하는 것으로 이해되어야 한다.

[0015] 본 명세서의 청구범위에서, 상세한 설명에 기재된 기능을 수행하기 위한 수단으로 표현된 구성요소는 예를 들어 상기 기능을 수행하는 회로 소자의 조합 또는 펌웨어/마이크로 코드 등을 포함하는 모든 형식의 소프트웨어를 포함하는 기능을 수행하는 모든 방법을 포함하는 것으로 의도되었으며, 상기 기능을 수행하도록 상기 소프트웨어를 실행하기 위한 적절한 회로와 결합된다. 이러한 청구범위에 의해 정의되는 본 발명은 다양하게 열거된 수단에 의해 제공되는 기능들이 결합되고 청구항이 요구하는 방식과 결합되기 때문에 상기 기능을 제공할 수 있는 어떠한 수단도 본 명세서로부터 파악되는 것과 균등한 것으로 이해되어야 한다.

[0016] 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명하기로 한다.

[0017] 본 발명은 복수의 아날로그-디지털 변환기로 구성되는 시간 인터리브드 아날로그-디지털 변환기에서, 기준전압을 출력하기 위해 복수의 아날로그-디지털 변환기 각각에 구성된 저항열을 공유하도록 구성함으로써, 전력 소모량과 RC 타임을 감소시키고, 회로 면적을 감소시킬 수 있는 효과를 발생시킨다.

[0018] 도 1은 일반적인 시간-인터리브드 아날로그-디지털 변환기를 도시한 블록 구성도이다.

[0019] 도 1을 참조하면, 시간-인터리브드 아날로그-디지털 변환기는 복수 개의 동일한 아날로그-디지털 변환기(110, 120, 130)로 구성되어 있다. 여기서, 아날로그-디지털 변환기(110, 120, 130)는 축차 비교형 아날로그-디지털 변환기일 수 있다.

[0020] 아날로그-디지털 변환기(110)는 샘플앤홀드부(101), 비교부(103), 축차 근사화 레지스터부(107), 디지털-아날로그 변환부(109)를 포함하여 구성될 수 있다.

[0021] 샘플앤홀드부(101)는 아날로그 입력신호를 디지털 신호로 바꿔주기 위해 일정 시간 동안 신호를 샘플링한 뒤, 비교부(103)와 축차 근사화 레지스터(107), 디지털-아날로그 변환기(109)가 샘플링한 값을 디지털 신호로 변환할 때까지 일정한 값으로 유지시켜 주게 하는 역할을 한다.

[0022] 비교부(103)는 샘플앤홀드(101)가 샘플링하여 유지하고 있는 값과, 축차 근사화 레지스터(107)의 결과값에 의해 조절되는 디지털-아날로그 변환기(109)의 기준 전압을 입력으로 받아 비교한 뒤, 결과값을 출력한다.

[0023] 축차 근사화 레지스터(107)는 비교부(103)의 비교 결과값에 의해 상위 비트부터 디지털 출력 신호를 결정한 뒤, 다음 비트의 디지털 출력 신호를 결정하기 위한 비교부(103)의 입력 신호를 만들기 위한 예상 디지털 값을 설정한다.

[0024] 디지털-아날로그 변환기(109)는 축차 근사화 레지스터(107)의 출력 디지털 값과 기준전압을 입력으로 받아 디지털 값에 맞는 아날로그 신호를 생성하여 비교부(103)의 입력부로 입력되게 된다. 각각의 아날로그-디지털 변환기(110, 120, 130)에는 동일한 구조의 디지털-아날로그 변환기(109)를 포함하고 있으며, 디지털-아날로그 변환기(109)는 저항열로 구성될 수 있다.

[0025] 도 2는 도 1의 일반적인 시간-인터리브드 아날로그-디지털 변환기의 작용을 설명하기 위한 도면이다.

[0026] 도 2를 참조하면, 아날로그-디지털 변환기(110, 120, 130) 각각에 포함된 디지털-아날로그 변환기는 $1/2$ 기준전압부터 $1/2^N$ 기준전압까지 N개의 기준전압을 생성시킨다. 이를 위해 각각의 디지털-아날로그 변환기에는 2^N 개의 저항을 갖는 저항열을 포함하게 되고, 결국, 제1 아날로그-디지털 변환기(110)부터 제N 아날로그-디지털 변

환기(130)는 각각 2^N 개의 저항을 갖는 저항열을 포함하게 된다.

[0027] 한편, 측차 비교형 아날로그-디지털 변환기의 경우, 디지털-아날로그 변환기가 측차 근사화 레지스터로부터 디지털 값을 받아들이어 안정적인 아날로그 신호를 비교부에 전달할 때까지 걸리는 시간이 중요한 요인이 된다. 이때 저항열 디지털-아날로그 변환기의 가장 긴 안정화 시간이 필요한 경우는 저항열 디지털-아날로그 변환기의 출력 값이 1/2 기준전압에서 1/4 또는 3/4 기준전압으로, 1/4 기준전압만큼 디지털-아날로그 변환기의 출력이 변화하는 경우이다. 따라서, 디지털-아날로그 변환기의 설계 시 디지털-아날로그 변환기의 성능 기준을, 디지털-아날로그 변환기의 출력 값이 1/2 기준전압에서 1/4 기준전압으로 바뀔 때를 기준으로 삼아야 한다. 그러나 이러한 기준은 다음 클록 사이클인 1/4 기준전압에서 1/8 기준전압 만큼 디지털-아날로그 출력 전압의 값이 바뀔 때에는 필요 이상의 속도로 디지털-아날로그 변환기가 동작을 하게 되며, 결국 전력 소모량 면에서 손해를 보게 되는 결과를 얻게 된다.

[0028] 도 3은 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기를 도시한 블록 구성도이다.

[0029] 도 3을 참조하면, 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기는 복수의 아날로그 디지털 변환기(310, 320, 330) 및 복수의 아날로그-디지털 변환기(310, 320, 330)에 입력되는 아날로그 입력신호와 비교되는 기준전압(제1 기준전압 내지 제N 기준전압)을 생성하여 복수의 아날로그-디지털 변환기(310, 320, 330)로 제공하는 기준전압 발생기(340)를 포함하고, 기준전압(제1 기준전압 내지 제N 기준전압)은 복수의 아날로그-디지털 변환기(310, 320, 330)의 출력신호(제1 디지털 출력신호 내지 제N 디지털 출력신호)를 입력받아 생성된다.

[0030] 각각의 아날로그-디지털 변환기(310, 320, 330)는 동일한 구성을 포함하고 있으며, 따라서, 제1 아날로그-디지털 변환기(310)의 구성에 대해 설명하고 나머지는 생략한다.

[0031] 제1 아날로그-디지털 변환기(310)는 아날로그 입력신호를 샘플링하는 샘플링부(301), 샘플링된 신호와 기준전압 발생기로부터 출력되는 제1 기준전압을 비교하는 비교부(303) 및 비교부(303)의 출력신호의 측차 근사화를 수행하는 측차 근사화 레지스터(305)를 포함할 수 있다.

[0032] 기준전압 발생기(340)는 기준전압을 생성하는 기준전압 발생부(343) 및 생성된 기준전압을 복수의 아날로그 디지털 변환기(310, 320, 330)로 제공되도록 제어하는 제어부(341)를 포함할 수 있다.

[0033] 여기서, 기준전압 발생부(343)은 복수의 저항열(제1 저항열(345) 내지 제 N저항열(347))을 포함할 수 있고, 복수의 저항열(제1 저항열(345) 내지 제 N저항열(347))은 N (N 은 자연수)개의 저항열(제1 저항열(345) 내지 제 N저항열(347))을 포함하고, N 개의 저항열(제1 저항열(345) 내지 제 N저항열(347)) 중 제 N 번째 저항열은 2^N 개의 저항으로 구성될 수 있다(예를 들어 제1 저항열은 2개의 저항으로 구성되고, 제2 저항열은 4개의 저항으로 구성되며, 제N 저항열은 2^N 개의 저항으로 구성됨). 이 경우, 저항은 동일한 저항값을 갖을 수 있다.

[0034] 제어부(341)는 복수의 아날로그-디지털 변환기(310, 320, 330)의 출력신호를 입력받아 기준전압 발생부(343)에 제공하고, 생성된 기준전압을 복수의 아날로그 디지털 변환기(310, 320, 330)로 제공(제1 기준전압 내지 제 N기준전압)할 수 있다. 여기서, 제어부(341)는 복수의 저항열(제1 저항열(345) 내지 제 N저항열(347))로부터 생성되는 전압이 복수의 아날로그 디지털 변환기(310, 320, 330)에 제공되도록 구성된 스위칭 블록을 포함할 수 있다.

[0035] 스위칭 블록은 복수의 아날로그-디지털 변환기(310, 320, 330) 각각의 클럭에 맞추어 측차 근사화 레지스터(305)의 디지털 출력신호를 서로 다른 기준 전압 값을 제공하는 기준전압 발생부(343)에 전달하고, 디지털 출력신호에 따른 저항열의 아날로그 기준 전압 값을 각각의 아날로그-디지털 변환기(310, 320, 330)의 비교부에 전달할 수 있다. 스위칭 블록에는 아날로그-디지털 변환기(310, 320, 330)의 비교기의 디지털 결과값과 각 아날로그-디지털 변환기(310, 320, 330)의 동작 클럭을 계산하여, 적절한 저항열에 따른 기준 전압을 아날로그-디지털 변환기(310, 320, 330)의 비교기의 입력부에 전달하는 스위칭부를 포함할 수 있다.

[0036] 전술한 바와 같이, 일반적인 시간-인터리브드 아날로그-디지털 변환기에서 사용하는 (저항열) 디지털-아날로그 변환기의 경우, 디지털-아날로그 변환기의 출력값이 1/2 기준전압에서 1/4 또는 3/4 기준전압으로 변하는 경우를 기준으로 설계를 하게 되고, 첫 번째 비교 클럭에는 1/4 기준 전압, 두 번째 비교 클럭에는 1/8 기준 전압, 세 번째 비교 클럭에는 1/16 기준 전압과 같이 각 비교 사이클마다 디지털-아날로그 변환기의 출력값은 다르게 된다. 따라서 시간-인터리브드 아날로그-디지털 변환기의 경우, 각 클록 사이클 마다 디지털-아날로그 변환기들

은 서로 다른 값을 출력하게 된다. 여기서, 디지털-아날로그 변환기는 저항열로 구성될 수 있으며, 도 3에서의 복수의 저항열도 디지털-아날로그 변환기의 역할을 수행할 수 있다.

[0037] 반면, 도 3에 도시된 바와 같은 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기는 일반적인 아날로그-디지털 변환기 내부의 각각 구성된 저항열(디지털-아날로그 변환기)들을 아날로그-디지털 변환기(310, 320, 330)의 외부에서 각 클럭 사이클마다 서로 다른 기준 전압을 생성하는 복수의 저항열(345, 346, 347)을 복수의 아날로그-디지털 변환기(310, 320, 330)들이 공유하여 사용하게 되면, 전체적인 복수의 저항열의 전력 소모량을 도 1의 경우와 비교하여 50% 이상 감소시킬 수 있다.

[0038] 결국, 도 1의 변환기에서는 각각의 아날로그-디지털 변환기(110, 120, 130)에 포함된 디지털 아날로그 변환기(109)에서 모든 기준 전압을 제공하는 반면, 도 3에서와 같은 본 발명에서는 서로 다른 기준 전압을 제공하는 복수의 저항열(345, 346, 347)을 복수의 아날로그-디지털 변환기(310, 320, 330)가 서로 공유함으로써 통상적인 시간-인터리브드 아날로그-디지털 변환기에서 사용되는 복수의 저항열(디지털-아날로그 변환기)에 비해 전체 변환 동작에 소모되는 전력량을 감소시킬 수 있다.

[0039] 도 4는 본 발명에 따른 기준전압 발생부의 복수의 저항열의 구성을 설명하기 위한 도면이다.

[0040] 도 4를 참조하면, 복수의 저항열은 N (N 은 자연수)개의 저항열을 포함하고, N 개의 저항열 중 제 N 번째 저항열은 2^N 개의 저항으로 구성된다. 제1 저항열(401)은 2개의 저항(R)으로 구성되고, 제2 저항열(403)은 4개의 저항(R)로 구성되며, 제3 저항열(405)은 8개의 저항(R)로 구성되고, 제 N 저항열(407)은 2^N 개의 저항(R)로 구성된다.

[0041] 도 5는 도 2의 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기의 작용을 설명하기 위한 도면이다.

[0042] 도 5를 참조하면, 본 발명에 따른 시간-인터리브드 아날로그-디지털 변환기에는 N 개의 저항열을 포함하고, 2개의 저항(R)으로 구성된 제1 저항열(401)에서는 기준전압의 $1/2$ 를 출력하고, 4개의 저항(R)로 구성된 제2 저항열(403)에서는 기준전압의 $1/4$ 를 출력하고, 8개의 저항(R)로 구성된 제3 저항열(405)은 기준전압의 $1/8$ 를 출력하며, 2^N 개의 저항(R)로 구성된 제 N 저항열(407)은 기준전압의 $1/2^N$ 을 출력한다.

산업상 이용가능성

[0043] 본 발명은 아날로그 디지털 변환기에 이용된다.

부호의 설명

[0044] 101: 샘플앤홀드

103: 비교부

105: 축차근사화레지스터

109: 디지털-아날로그 변환기

110: 아날로그-디지털 변환기1

120: 아날로그-디지털 변환기2

130: 아날로그-디지털 변환기 N

301: 샘플링부

303: 비교부

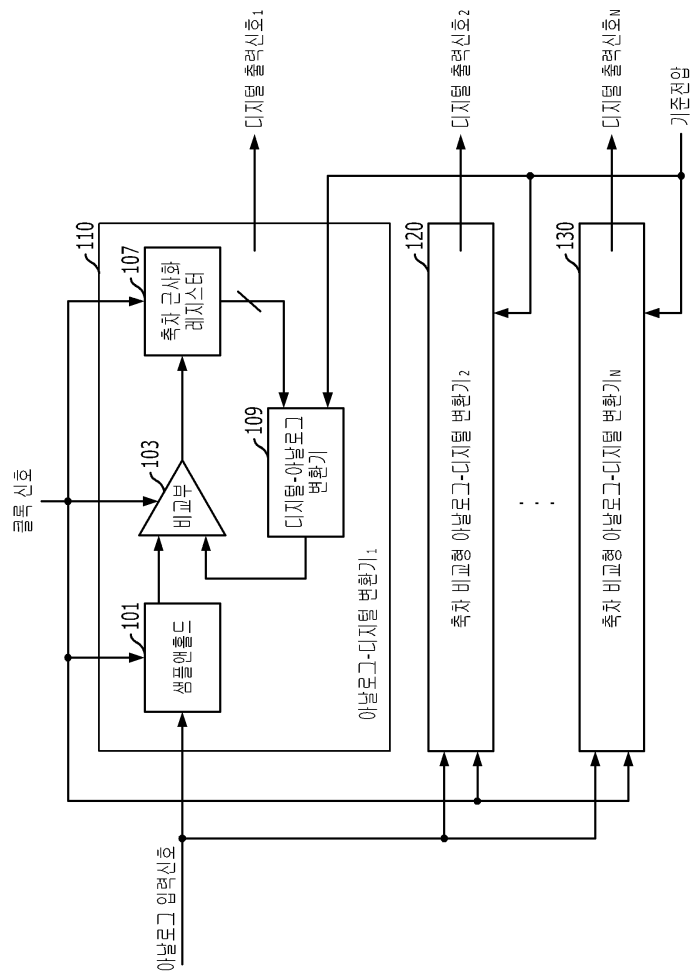
305: 축차근사화레지스터

310: 아날로그-디지털 변환기1

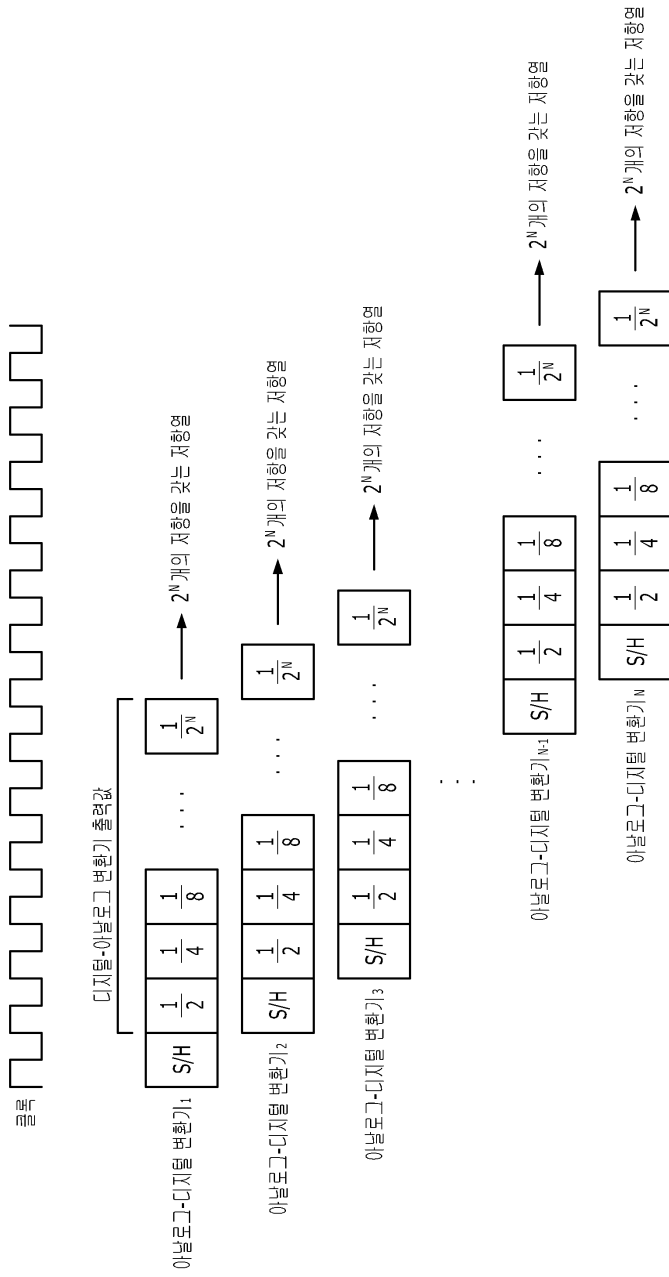
- 320: 아날로그-디지털 변환기2
- 330: 아날로그-디지털 변환기N
- 340: 기준전압발생기
- 341: 제어부
- 343: 기준전압발생부
- 345: 제1저항열
- 346: 제2저항열
- 347: 제N저항열

도면

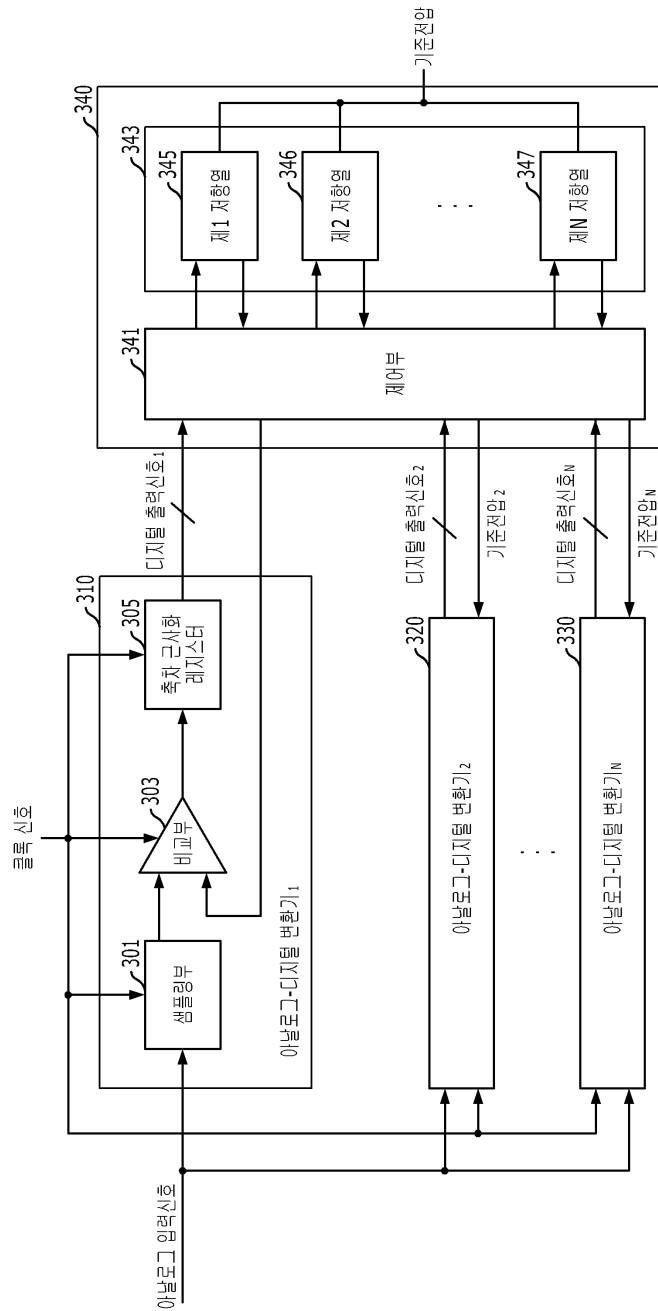
도면1



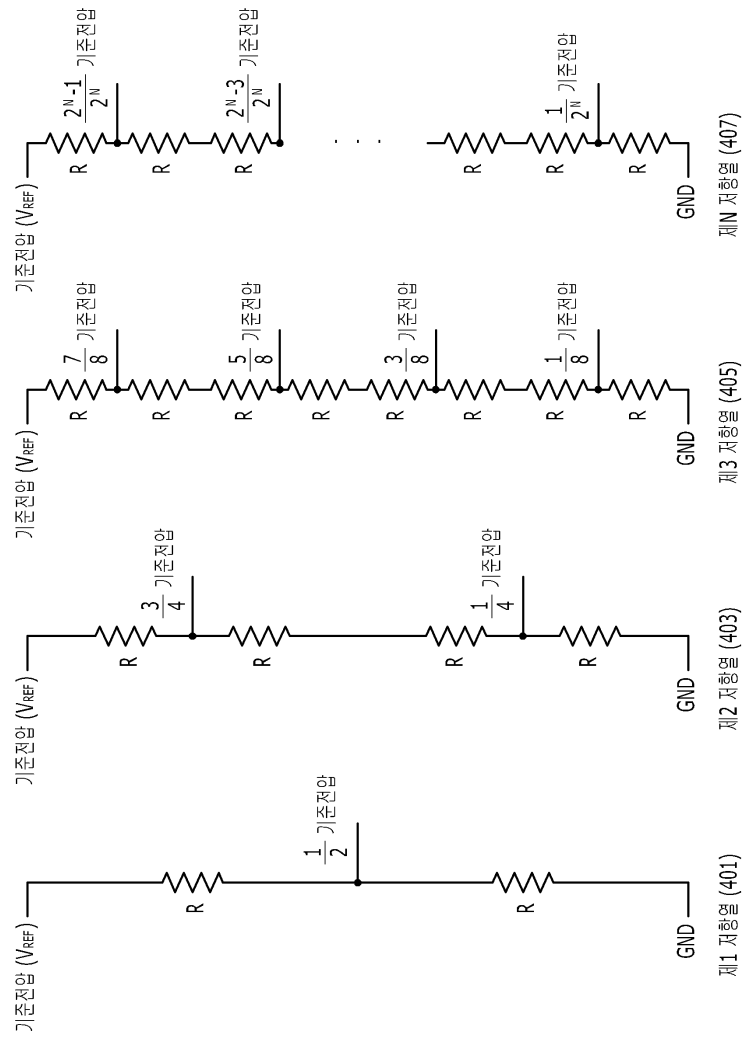
도면2



도면3



도면4



도면5

