(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4146528号
(P4146528)

(45)発行日　平成20年9月10日(2008.9.10)　(24)登録日　平成20年6月27日(2008.6.27)

(51)Int.Cl.　F I
G06T 3/40 (2006.01)　G06T 3/40 C
H04N 5/262 (2006.01)　H04N 5/262

請求項の数 4　(全 27 頁)

(21)出願番号　特願平9-135863
(22)出願日　平成9年5月9日(1997.5.9)
(65)公開番号　特開平10-312457
(43)公開日　平成10年11月24日(1998.11.24)
審査請求日　平成15年2月26日(2003.2.26)
審判番号　不服2006-17387(P2006-17387/J1)
審判請求日　平成18年8月10日(2006.8.10)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　110000028
特許業務法人明成国際特許事務所
(72)発明者　竹内　啓佐敏
長野県諏訪市大和三丁目３番５号　セイコーエプソン株式会社内

合議体
審判長　原　光明
審判官　加藤　恵一
審判官　廣川　浩

最終頁に続く

(54)【発明の名称】画像処理装置

(57)【特許請求の範囲】
【請求項１】
動画画像データを前記動画画像データの同期信号に応じて更新しつつ順次記憶するためのフレームメモリと、
任意の値に設定された垂直方向の縮小率に応じて前記フレームメモリに前記動画画像データを書き込む際に前記動画画像データで表される画像を垂直方向に縮小し、前記動画画像データの同期信号に同期して１つずつ順次増加するラインアドレス毎に当該ラインが前記垂直方向の縮小により欠落するか否かを判定することによって前記縮小により欠落する第１のラインを検出するとともに、前記第１のラインと前記第１のラインに隣接する第２のラインとを含む複数のラインの動画画像データを補間することによって前記第２のラインの画像を修正する垂直縮小部と、
任意の値に設定された水平方向の縮小率に応じて前記動画画像データで表される画像を水平方向に縮小し、前記動画画像データの同期信号に同期して１つずつ順次増加する画素アドレス毎に当該画素が前記水平方向の縮小により欠落するか否かを判定することによって前記縮小により欠落する第１の画素を検出するとともに、前記第１の画素と前記第１の画素に隣接する第２の画素とを含む複数の画素の動画画像データを補間することによって前記第２の画素の画像を修正する水平縮小部と、
を備え、
前記垂直縮小部は、前記動画画像データの同期信号に同期して１つずつ順次増加するラインアドレスと前記垂直方向の縮小率とを乗じて整数化して得られた書き込みラインアド

レスの値として同じ値が２回以上繰り返されたか否かによって、前記１つずつ順次増加するラインアドレスで指定されるラインが前記垂直方向の縮小により欠落するか否かを判定し、

前記水平縮小部は、前記動画画像データの同期信号に同期して１つずつ順次増加する画素アドレスと前記水平方向の縮小率とを乗じて整数化して得られた書込画素アドレスの値として同じ値が２回以上繰り返されたか否かによって、前記１つずつ順次増加する画素アドレスで指定される画素が前記垂直方向の縮小により欠落するか否かを判定する、画像処理装置。

【請求項２】

請求項１記載の画像処理装置であって、

前記垂直縮小部と前記水平縮小部のそれぞれは、

与えられた画像データを所定量記憶するバッファと、

前記バッファから読み出された第１の画像データと、前記第１の画像データの後に続く画像部分を表す第２の画像データとを加重平均することによって第３の画像データを作成する加重平均部と、

与えられた前記第２の画像データと、前記加重平均部から出力された前記第３の画像データとを含む複数の画像データの中から１つを選択して出力する選択部と、

画像の縮小率に応じて、前記縮小に伴って欠落する画像部分を示す選択信号を生成し、前記選択信号を前記選択部に供給する選択信号生成部と、

を備える画像処理装置。

【請求項３】

請求項２記載の画像処理装置であって、さらに、

前記選択信号に応じて、前記フレームメモリに与える書込アドレスの増加を制御する書込アドレス制御部、を備える画像処理装置。

【請求項４】

請求項１ないし３のいずれかに記載の画像処理装置であって、

前記垂直縮小部と前記水平縮小部における縮小率は、それぞれ０．５から１の範囲内の値であり、従って、前記垂直縮小部における縮小に伴って欠落する画像部分は１ヶ所について１ライン分であり、前記水平縮小部における縮小に伴って欠落する画像部分は１ヶ所について１画素分である、画像処理装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、画像の縮小・拡大機能を有する画像処理装置に関する。

【０００２】

【従来の技術】

画像処理装置では、画像を所望のサイズに調整するために、画像の縮小処理や拡大処理が行われることがある。図１６は、従来の垂直方向の画像縮小処理の内容を示す説明図である。図１６（Ａ）に示す元画像は、ライン番号が１，４，７のラインが黒で塗りつぶされており、他のラインは白である。図１６（Ｂ）に示す縮小画像は、この元画像を０．８倍に縮小したものである。

【０００３】

【発明が解決しようとする課題】

図１６（Ｂ）に示す縮小画像では、元画像のライン番号１，６のラインが欠落しており、この結果、黒い水平線が１本消失している。この例から解るように、従来の垂直方向の縮小処理では、いくつかのラインが単に欠落してしまい、この結果、細い線分が消失してしまう場合があった。例えば図１６（Ｃ）に示すような、１ライン幅の線分Ｌ１～Ｌ３を有する元画像を縮小すると、図１６（Ｄ）に示すように、もとの線分Ｌ３が欠落して完全に消失してしまう場合があった。このような画像部分の欠落による問題は、水平方向の縮小時にも発生していた。

【０００４】
図１７は、従来の垂直方向の画像拡大処理の内容を示す説明図である。図１７（Ａ）に示す元画像は、前述した図１６（Ａ）と同じものである。図１７（Ｂ）に示す拡大画像は、この元画像を１．２５倍に拡大したものである。図１７（Ｂ）では、元画像のライン番号０，４のラインが追加されており、この結果、これらのラインの幅が２倍に太っている。この例から解るように、従来の垂直方向の拡大処理では、いくつかのラインが単純に追加されるので、画像内の線の幅が過度に太ってしまうという問題があった。このような画像部分の追加による問題は、水平方向の拡大時にも発生していた。
【０００５】
さらに、従来の拡大処理では、画像を整数倍に拡大することは容易であるが、小数部を含む任意の倍率で画像を拡大することは困難であった。
【０００６】
この発明は、従来技術における上述の課題を解決するためになされたものであり、縮小時の画像部分の欠落や拡大時の画像部分の太りを緩和することのできる技術を提供することを第１の目的とする。
【０００７】
また、小数部を含みうる任意の倍率で画像を拡大することのできる技術を提供することを第２の目的とする。
【０００８】
【課題を解決するための手段およびその作用・効果】
上述の課題の少なくとも一部を解決するため、本発明の第１の画像処理装置は、
動画画像データを前記動画画像データの同期信号に応じて更新しつつ順次記憶するためのフレームメモリと、
任意の値に設定された垂直方向の縮小率に応じて前記フレームメモリに前記動画画像データを書き込む際に前記動画画像データで表される画像を垂直方向に縮小し、前記動画画像データの同期信号に同期して１つずつ順次増加するラインアドレス毎に当該ラインが前記垂直方向の縮小により欠落するか否かを判定することによって前記縮小により欠落する第１のラインを検出するとともに、前記第１のラインと前記第１のラインに隣接する第２のラインとを含む複数のラインの動画画像データを補間することによって前記第２のラインの画像を修正する垂直縮小部と、
任意の値に設定された水平方向の縮小率に応じて前記動画画像データで表される画像を水平方向に縮小し、前記動画画像データの同期信号に同期して１つずつ順次増加する画素アドレス毎に当該画素が前記水平方向の縮小により欠落するか否かを判定することによって前記縮小により欠落する第１の画素を検出するとともに、前記第１の画素と前記第１の画素に隣接する第２の画素とを含む複数の画素の動画画像データを補間することによって前記第２の画素の画像を修正する水平縮小部と、を備える。
前記垂直縮小部は、前記動画画像データの同期信号に同期して１つずつ順次増加するラインアドレスと前記垂直方向の縮小率とを乗じて整数化して得られた書き込みラインアドレスの値として同じ値が２回以上繰り返されたか否かによって、前記１つずつ順次増加するラインアドレスで指定されるラインが前記垂直方向の縮小により欠落するか否かを判定する。
また、前記水平縮小部は、前記動画画像データの同期信号に同期して１つずつ順次増加する画素アドレスと前記水平方向の縮小率とを乗じて整数化して得られた書込画素アドレスの値として同じ値が２回以上繰り返されたか否かによって、前記１つずつ順次増加する画素アドレスで指定される画素が前記垂直方向の縮小により欠落するか否かを判定する。
【０００９】
上記第１の画像処理装置における垂直縮小部は、縮小によって第１のラインが欠落することを検出して、縮小の際にラインの情報が完全に欠落してしまうことを防止することができる。また、欠落するラインに隣接しないラインに対しては補間処理を行わないので、画像の鮮鋭度を余り劣化させること無く、ラインの欠落による画質の低下を緩和することが

できる。水平縮小部も、同様に、縮小の際に単に画素が欠落してしまうことを防止することができ、また、画像の鮮鋭度を余り劣化させること無く、画素の欠落による画質低下を緩和することができる。

【００１０】

上記第１の画像処理装置において、

前記垂直縮小部と前記水平縮小部のそれぞれは、

与えられた画像データを所定量記憶するバッファと、

前記バッファから読み出された第１の画像データと、前記第１の画像データの後に続く画像部分を表す第２の画像データとを加重平均することによって第３の画像データを作成する加重平均部と、

与えられた前記第２の画像データと、前記加重平均部から出力された前記第３の画像データとを含む複数の画像データの中から１つを選択して出力する選択部と、

画像の縮小率に応じて、前記縮小に伴って欠落する画像部分を示す選択信号を生成し、前記選択信号を前記選択部に供給する選択信号生成部と、

を備えることが好ましい。

【００１１】

これらの各縮小部では、与えられた第２の画像データと、加重平均部で生成された第３の画像データとを含む複数の画像データの中から選択部が１つの画像データを選択して出力するので、縮小時の欠落が緩和された画像データをリアルタイムに生成することができる。

【００１２】

上記第１の画像処理装置は、さらに、

前記選択信号に応じて、前記フレームメモリに与える書込アドレスの増加を制御する書込アドレス制御部、を備えることが好ましい。

【００１３】

こうすれば、縮小時の欠落が緩和された画像データを、フレームメモリの適切なアドレスに書き込むことができる。

【００１４】

また、上記第１の画像処理装置において、

前記垂直縮小部と前記水平縮小部における縮小率は、それぞれ０．５から１の範囲内の値であり、従って、前記垂直縮小部における縮小に伴って欠落する画像部分は１ヶ所について１ライン分であり、前記水平縮小部における縮小に伴って欠落する画像部分は１ヶ所について１画素分であることが好ましい。

【００１５】

本発明の第２の画像処理装置は、画像データを記憶するためのフレームメモリと、

前記フレームメモリから読み出された画像データで表される画像を垂直方向に拡大し、拡大によって追加される第１のラインを検出するとともに、前記第１のラインに隣接する複数のラインの画像データを補間することによって前記第１のラインの画像データを生成する垂直拡大部と、

前記画像データで表される画像を水平方向に拡大し、拡大によって追加される第１の画素を検出するとともに、前記第１の画素と前記第１の画素に隣接する複数の画素の画像データを補間することによって前記第１の画素の画像データを生成する水平拡大部と、

を備える。

【００１６】

第２の画像処理装置における垂直拡大部は、拡大によって第１のラインが追加されるときに、第１のラインと、第１のラインに隣接する第２のラインとを含む複数のラインの画像データを補間することによって、第１のラインを生成することができる。従って、拡大の際に単にラインが追加されて線分が太ってしまうことを防止することができる。また、元の画像に存在していたラインに対しては補間処理を行わないので、画像の鮮鋭度を余り劣化させること無く、ラインの拡大による画質の劣化を緩和することができる。水平拡大部

も、同様に、拡大の際に単に画素が太ってしまうことを防止することができ、また、画像の鮮鋭度を余り劣化させること無く、画素の追加による画質の劣化を緩和することができる。

【００１７】

上記第２の画像処理装置において、前記垂直拡大部と前記水平拡大部のそれぞれは、

与えられた画像データを所定量記憶するバッファと、

前記バッファから読み出された第１の画像データと、前記第１の画像データの後に続く画像部分を表す第２の画像データとを加重平均することによって第３の画像データを作成する加重平均部と、

与えられた前記第２の画像データと、前記加重平均部から出力された前記第３の画像データとを含む複数の画像データの中から１つを選択して出力する選択部と、

画像の拡大率に応じて、前記拡大に伴って追加される画像部分を示す選択信号を生成し、前記選択信号を前記選択部に供給する選択信号生成部と、

を備える。

【００１８】

各拡大部では、与えられた第２の画像データと、加重平均部で生成された第３の画像データとを含む複数の画像データの中から選択部が１つの画像データを選択して出力するので、拡大時の太りが緩和された画像データをリアルタイムに生成することができる。

【００１９】

上記第２の画像処理装置は、さらに、

前記選択信号に応じて、前記フレームメモリに与える読出アドレスの増加を制御する読出アドレス制御部と、を備えることが好ましい。

【００２０】

こうすれば、拡大の対象となる画像データを、フレームメモリの適切なアドレスから読み出すことができる。

【００２１】

上記第２の画像処理装置において、

前記垂直拡大部と前記水平拡大部における拡大率は、それぞれ１から２の範囲内の値であり、従って、前記垂直拡大部における拡大に伴って追加される画像部分は１ヶ所について１ライン分であり、前記水平拡大部における拡大に伴って追加される画像部分は１ヶ所について１画素分であることが好ましい。

【００２２】

本発明の第３の画像処理装置は、

１から２の範囲内の第１の拡大率に従って画像を拡大する第１の拡大部と、

整数である第２の拡大率に従って画像を拡大する第２の拡大部と、を備え、

前記第１と第２の拡大部で直列的に画像を拡大することによって、前記第１と第２の拡大率の積で与えられる第３の拡大率で画像を拡大することを特徴とする。なお、第１と第２の拡大部における画像の拡大の順序は任意であり、第１の拡大部による拡大の後に第２の拡大部による拡大が行われても良く、逆に、第２の拡大部による拡大の後に第１の拡大部による拡大が行われても良い。

【００２３】

小数部を含みうる第１の拡大率による画像の拡大と、整数である第２の拡大率による画像の拡大とが直列的に行われるので、小数部を含みうる任意の倍率で画像を拡大することができる。

【００２４】

上記第３の画像処理装置において、

前記第１と第２の拡大部はこの順に直列的に画像の拡大処理を実行し、

前記第２の拡大部は、前記第１の拡大部の第１の出力速度に前記第２の拡大率を乗じた第２の出力速度で画像データを出力するように前記拡大処理を実行することが好ましい。

【００２５】

こうすれば、第２の拡大部は、第１の拡大部から出力された画像データをそのまま順次拡大処理していくことができるので、全体として高速に拡大処理を実行することができる。

【００２６】

【発明の実施の形態】

Ａ．画像処理装置の全体構成：

次に、本発明の実施の形態を実施例に基づき説明する。図１は、この発明の実施例としての画像処理装置の全体構成を示すブロック図である。この画像処理装置は、第１のビデオセレクタ３０と、同期分離回路３２と、ｎ個のＡ－Ｄ変換器３４と、フレームメモリ３６と、ビデオプロセッサ３８と、第２のビデオセレクタ４０と、液晶ディスプレイ駆動回路４２と、液晶ディスプレイパネル４４と、メニュー生成回路４６と、フォントＲＯＭ４８と、ＣＰＵ５０とを備えるコンピュータシステムである。

【００２７】

この画像処理装置の全体は、液晶プロジェクタ内に設けられており、液晶ディスプレイパネル４４に表示する画像を処理するための装置である。液晶ディスプレイパネル４４に表示された画像は、図示しない光学系を用いて投写スクリーン上に投写される。第１のビデオセレクタ３０には、複数のアナログ画像信号Ｖ１，Ｖ２が与えられており、ビデオプロセッサ３８から与えられる選択信号ＳＥＬ１に応じてその中の１つが選択的に出力される。複数のアナログ画像信号Ｖ１，Ｖ２としては、例えばパーソナルコンピュータから出力されたコンピュータ画面を表す画像信号や、ビデオレコーダやテレビから出力された動画映像信号等が供給される。同期分離回路３２は、第１のビデオセレクタ３０から与えられたアナログ画像信号から垂直同期信号ＶＳＹＮＣ１と水平同期信号ＨＳＹＮＣ１を分離し、また、コンポーネント画像信号（同期信号を含まない画像信号）を出力する。

【００２８】

同期分離回路３２から出力されたコンポーネント画像信号は、ｎ個のＡ－Ｄ変換器３４によってデジタル画像信号に変換される。すなわち、ｎ個のＡ－Ｄ変換器３４は、順次１つずつ切り換えながら使用され、各Ａ－Ｄ変換器３４は、元の画像信号の周波数の１／ｎの周波数を有するサンプリングクロックに従ってアナログ信号をデジタル信号に変換する。

【００２９】

ビデオプロセッサ３８は、フレームメモリ３６への画像の書込みや読出しを行うためのプロセッサであり、画像の拡大・縮小を行う機能を有している。ビデオプロセッサ３８の内部構成と機能の詳細については後述する。ビデオプロセッサ３８には、Ａ－Ｄ変換器３４から与えられるデジタル画像信号の他に、他のデジタル画像出力装置から出力されたデジタル画像信号ＤＶ３も供給可能である。

【００３０】

フレームメモリ３６から読み出されてビデオプロセッサ３８で処理されたデジタル画像信号は、第２のビデオセレクタ４０に入力される。第２のビデオセレクタ４０には、メニュー生成回路４６から出力されたもう１つのデジタル画像信号も供給されている。メニュー生成回路４６は、液晶ディスプレイパネル４４における表示状態（輝度、コントラスト、同期、トラッキング、色の濃さ、色合い）等を使用者が調整するためのメニューを表すデジタル画像信号を生成している。フォントＲＯＭ４８は、このメニューに用いられる文字のフォントデータを格納している。第２のビデオセレクタ４０は、ビデオプロセッサ３８から与えられる選択信号ＳＥＬ２に応じて、入力された２つのデジタル画像信号を切り換えつつ出力する。この結果、フレームメモリ３６から読み出された画像内に、メニュー画面が重畳された合成画像を表すデジタル画像信号ＤＶ４がビデオセレクタ４０から出力される。

【００３１】

ビデオセレクタ４０から出力されたデジタル画像信号ＤＶ４は、液晶ディスプレイ駆動回路４２に供給される。液晶ディスプレイ駆動回路４２は、この画像信号ＤＶ４に応じて、液晶ディスプレイ４４に画像を表示する。また、液晶ディスプレイ駆動回路４２は、画像表示のための垂直同期信号ＶＳＹＮＣ２と水平同期信号ＨＳＹＮＣ２とを生成して他の回

路に出力している。
【００３２】
フレームメモリ３６からの画像信号の読み出しと、読み出された画像信号の処理とは、液晶ディスプレイ駆動回路４２から出力された同期信号ＶＳＹＮＣ２，ＨＳＹＮＣ２に同期して行われる。一方、前述したＡ－Ｄ変換器３４におけるサンプリングや、フレームメモリ３６に画像信号を書き込むための処理は、同期分離回路３２で分離された同期信号ＶＳＹＮＣ１，ＨＳＹＮＣ１に同期して行われる。これらの第１の同期信号ＶＳＹＮＣ１，ＨＳＹＮＣ１と、第２の同期信号ＶＳＹＮＣ２，ＨＳＹＮＣ２とは互いに非同期である。もちろん、第１の同期信号ＶＳＹＮＣ１，ＨＳＹＮＣ１と、第２の同期信号ＶＳＹＮＣ２，ＨＳＹＮＣ２として、互いに同期する信号を使用することも可能である。
【００３３】
このように、画像信号を外部から受け取ってフレームメモリ３６に書き込むまでの処理を第１の同期信号ＶＳＹＣ１，ＨＳＹＮＣ１で行い、フレームメモリ３６から画像信号を読み出して画像を表示するまでの処理を、第１の同期信号とは同期または非同期の第２の同期信号ＶＳＹＮＣ２，ＨＳＹＮＣ２で行っているので、入力される画像信号の周波数の値として、表示用の画像信号の周波数とは無関係に、比較的広い範囲の値を許容することができる。すなわち、表示用の出力画像信号の周波数を一定に保ちつつ、入力される画像信号の同期信号ＶＳＹＣ１，ＨＳＹＮＣ１の周波数に応じて、入力画像信号をフレームメモリ３６に書き込む処理を行うことができる。このような利点は、入力画像信号の周波数の取りうる範囲が極めて広い場合に特に有益である。
【００３４】
Ｂ．ビデオプロセッサ３８の内部構成：
図２は、ビデオプロセッサ３８内の画像書込制御部の構成を示すブロック図である。画像書込制御部は、色変換回路６０と、データセレクタ６２と、ｎ個のラインバッファ６４と、縮小／フィルタ回路６６と、書込画像調整回路６８と、ＣＰＵ書込制御回路７０と、書込制御信号生成回路７２と、画像書込条件レジスタ７４と、書込クロック生成回路７６と、フレームメモリ制御回路８０とを備えている。
【００３５】
色変換回路６０には、ｎ個のＡ－Ｄ変換器３４から出力されたｎ個のコンポーネント画像信号が入力される。このコンポーネント画像信号としては、ＹＵＶ信号やＲＧＢ信号等の種々のタイプの信号が入力可能である。色変換回路６０は、ＹＵＶ信号が入力されたときに、これらをＲＧＢ信号に変換する機能を有する。色変換回路６０にＲＧＢ信号が入力されている場合には、色変換回路６０、そのＲＧＢ信号をそのまま出力する。
【００３６】
データセレクタ６２は、色変換回路６０から出力されたＲＧＢ信号と、バスを介して与えられた他のＲＧＢ信号ＤＶ３（図１）とのうちの一方を選択して出力する。なお、データセレクタ６２に与えられる選択信号は、ＣＰＵ５０から供給される。
【００３７】
ラインバッファ６４は、Ａ－Ｄ変換器３４の個数と同じｎ個のバッファ要素を有している。カラー画像はＲＧＢの３色の画像信号で表されるので、ＲＧＢの各色に関してｎ個のラインバッファ６４がそれぞれ設けられている。ラインバッファ６４は、Ａ－Ｄ変換器３４で生成されたｎ個のパラレルな画像信号を一時的に記憶するためのメモリである。
【００３８】
縮小／フィルタ回路６６は、フレームメモリ３６に書き込まれる画像を垂直および水平方向に縮小するとともに、縮小の際に欠落するラインや欠落する画素に関するフィルタリング処理を行う。縮小／フィルタ回路６６の内部構成と動作についてさらに後述する。
【００３９】
書込制御信号生成回路７２は、画像信号をフレームメモリ３６に書き込む際のアドレスや制御信号を生成してフレームメモリ制御回路８０に供給する機能を有する。フレームメモリ制御回路８０は、フレームメモリ３６への画像信号の書き込みと読み出しとを調停する

機能を有する。すなわち、フレームメモリ制御回路８０は、書込制御信号生成回路７２から与えられる書込みのためのアドレスおよび制御信号と、後述する画像読出制御部の読出制御信号生成回路から与えられる読出しのためのアドレスおよび制御信号とを受けて、フレームメモリ３６にこれらを供給する。

【００４０】

書込画像調整回路６８は、フレームメモリ３６に書き込まれる画像の垂直方向および水平方向のサイズと、フレームメモリ３６のメモリ空間内における書込対象領域の位置とを調整する機能を有する。画像のサイズの調整は、画像の垂直方向と水平方向の縮小率を縮小／フィルタ回路６６に供給して、縮小／フィルタ回路６６に画像を縮小させることによって実現される。また、フレームメモリ３６内の書込対象領域の位置は、書込開始アドレスを書込画像調整回路６８から書込制御信号生成回路７２に供給することによって実現される。書込制御信号生成回路７２は、この書込開始アドレスを始点として、書込対象領域内の書込アドレスを順次生成する。書込画像調整回路６８は、さらに、ラインバッファ６４に供給するアドレスを生成している。

【００４１】

ＣＰＵ書込制御回路７０は、バスを介して与えられるデジタル画像信号ＤＶ３をフレームメモリ３６に書き込むためのアドレスと制御信号とを生成するための回路である。画像書込条件レジスタ７４は、画像信号をフレームメモリ３６に書き込む際の種々の条件を記憶するレジスタである。これらの条件は、バスを介してＣＰＵ５０によって設定される。図２において、「＊」が付されているブロックは、画像書込条件レジスタ７４に設定された条件に従って、それぞれの処理を実行する。すなわち、画像書込条件レジスタ７４に登録される書込条件としては、色変換回路６０における色変換の有無や色変換のタイプ、データセレクタ６２における選択、縮小／フィルタ回路６６における縮小率、フレームメモリ３６の書込開始位置、等がある。

【００４２】

書込クロック生成回路７６は、同期分離回路３２（図１）から供給される水平同期信号ＨＳＹＮＣ１に従ってドットクロック信号ＤＣＬＫ１を生成する。書込クロック生成回路７６は、図示しないＰＬＬ回路を有している。このＰＬＬ回路における分周比は、画像書込条件レジスタ７４から与えられる。なお、図２に示す画像書込制御部における処理は、このドットクロック信号ＤＣＬＫ１と、同期信号ＶＳＹＮＣ１，ＨＳＹＮＣ１とに同期して実行される。

【００４３】

図３は、ビデオプロセッサ３８内の画像読出制御部の構成を示すブロック図である。画像読出制御部は、フレームメモリ制御回路８０と、読出制御信号生成回路９０と、拡大／フィルタ回路９４と、輝度／コントラスト調整回路９６と、階調補正回路９８と、ＣＰＵ読出用ラインバッファ１００と、ＣＰＵ読出制御回路１０２と、読出画像調整回路１０４と、画像読出条件レジスタ１０６と、読出クロック生成回路１０８とを備えている。

【００４４】

図３に示すフレームメモリ制御回路８０は、前述した図２に示すものと同じである。読出制御信号生成回路９０は、画像信号をフレームメモリ３６から読み出す際のアドレスや制御信号を生成してフレームメモリ制御回路８０に供給する機能を有する。拡大／フィルタ回路９４は、フレームメモリ３６から読み出された画像を垂直および水平方向に拡大するとともに、拡大の際に追加されるラインや追加される画素に関するフィルタリング処理を行う。拡大／フィルタ回路９４の内部構成と動作についてさらに後述する。なお、画像の読み出しの際には、読み出しアドレスを間引くことによって、画像を縮小することも可能である。このような画像の縮小処理は、読出制御信号生成回路９０によって実行される。

【００４５】

輝度／コントラスト調整回路９６は、表示される画像の輝度やコントラストを調整する機能を有する。また、階調補正回路９８は、ルックアップテーブルを用いてガンマ補正などの階調補正を行う。

【００４６】
ＣＰＵ読出用ラインバッファ１００は、フレームメモリ３６からバス上に画像信号を読み出す際に使用されるバッファである。バス上に画像信号を読み出す際には、ＣＰＵ読出制御回路１０２がアドレスや制御信号を生成する。
【００４７】
読出画像調整回路１０４は、フレームメモリ３６から読み出される画像の垂直方向および水平方向のサイズと、フレームメモリ３６のメモリ空間内における読出対象領域の位置とを調整する機能を有する。画像のサイズの調整は、画像の垂直方向と水平方向の拡大率を拡大／フィルタ回路９４に供給して、拡大／フィルタ回路９４に画像を拡大させることによって実現される。また、フレームメモリ３６内の読出対象領域の位置は、読出開始アドレスを読出画像調整回路１０４から読出制御信号生成回路９０に供給することによって実現される。読出制御信号生成回路９０は、この読出開始アドレスを始点として、読出対象領域内の読出アドレスを順次生成する。
【００４８】
画像読出条件レジスタ１０６は、画像信号をフレームメモリ３６から読み出す際の種々の条件を記憶するレジスタである。これらの条件は、バスを介してＣＰＵ５０によって設定される。図３において、「＊＊」が付されているブロックは、画像読出条件レジスタ１０６に設定された条件に従って、それぞれの処理を実行する。すなわち、画像読出条件レジスタ１０６に登録される読出条件としては、フレームメモリ３６の読出開始位置、拡大／フィルタ回路９４における拡大率、輝度／コントラスト調整回路９６における調整パラメータ、階調補正回路９８における補正パラメータ、等がある。
【００４９】
読出クロック生成回路１０８は、液晶ディスプレイ駆動回路４２（図１）から供給される水平同期信号ＨＳＹＮＣ２に従ってドットクロック信号ＤＣＬＫ２を生成する。読出クロック生成回路１０８は、内部に図示しないＰＬＬ回路を有している。このＰＬＬ回路における分周比は、画像読出条件レジスタ１０６から与えられる。なお、図３に示す画像読出制御部における処理は、このドットクロック信号ＤＣＬＫ２と、同期信号ＶＳＹＮＣ２，ＨＳＹＮＣ２とに同期して実行される。
【００５０】
Ｃ．縮小／フィルタ回路６６の内部構成と動作：
図４は、縮小／フィルタ回路６６によって行われる画像書込時の垂直方向の縮小／フィルタリング処理の概要を示す説明図である。図４（Ａ）は元画像を示し、図４（Ｂ）は従来の方法で縮小された縮小画像を、また、図４（Ｃ）は実施例の縮小／フィルタ回路６６によって縮小された縮小画像を示している。
【００５１】
各画像の左側には、元画像のラインアドレスＬＡＤがそれぞれ記されている。図４（Ｂ）に示す縮小画像は、従来技術において説明した図１６（Ｂ）の縮小画像と同じである。前述したように、従来の縮小処理では、元のラインアドレスが１，６のラインが欠落していた。このため、図１６（Ｃ），（Ｄ）で説明したように、画像内の重要な線が消失してしまうことがあった。
【００５２】
一方、図４（Ｃ）に示すように、実施例の縮小／フィルタ回路６６による縮小／フィルタリング処理では、欠落するラインアドレス１，６のラインが、それぞれ隣接するラインと加重平均される。例えば、ラインアドレス１のラインは、その直前のライン（ラインアドレス０のライン）と加重平均される。従って、ラインアドレス１のライン完全には消失せず、元の線分よりもやや薄い色の線分が縮小画像内に残される。すなわち、実施例の縮小／フィルタ回路６６は、１画素の幅の線分が縮小画像から完全に消失していまうことを防止することができる。なお、縮小／フィルタ回路６６において実行されるフィルタリング処理は、隣接する２ライン分の画像信号を加重平均する処理を意味している。
【００５３】

図５は、縮小／フィルタ回路６６の内部構成を示すブロック図である。縮小／フィルタ回路６６は、垂直縮小／フィルタ回路１１０と、水平縮小／フィルタ回路１１２とを備えている。なお、図５に示されているラインアドレス発生回路１４０と画素アドレス発生回路１４２は、図２に示した書込制御信号生成回路７２内に含まれる回路である。

【００５４】

垂直縮小／フィルタ回路１１０は、垂直デシメーションフラグ生成回路１２０と、ＦＩＦＯバッファ１２２と、加算器１２４と、乗算器１２６と、マルチプレクサ１２８とを有している。なお、この明細書において、「デシメーション」とは、画像の縮小処理や間引き処理を意味している。水平縮小／フィルタ回路１１２も、垂直縮小／フィルタ回路１１０とほぼ同様な構成を有しており、水平デシメーションフラグ生成回路１３０と、バッファ１３２と、加算器１３４と、乗算器１３６と、マルチプレクサ１３８とを有している。但し、垂直縮小／フィルタ回路１１０のＦＩＦＯバッファ１２２は１ライン分の画像信号を格納する容量を有しているのに対して、水平縮小／フィルタ回路１１２のバッファ１３２は１画素分の画像信号を格納する容量を有している。

【００５５】

垂直デシメーションフラグ生成回路１２０には、ラインアドレスＬＡＤと、書込時の垂直方向の縮小率Ｒwvとが書込画像調整回路６８（図２）から入力されている。ラインアドレスＬＡＤは、図２に示すラインバッファ６４から画像信号を読み出すために書込画像調整回路６８からラインバッファ６４に与えられるラインアドレスと同じものである。垂直デシメーションフラグ生成回路１２０は、このラインアドレスＬＡＤと垂直縮小率Ｒwvとに応じて、後述する演算を行って垂直デシメーションフラグＦwvを生成する。垂直デシメーションフラグＦwvは、ＦＩＦＯバッファ１２２とマルチプレクサ１２８とラインアドレス発生回路１４０とに供給される。

【００５６】

ラインバッファ６４（図２）から供給された１ライン分の画像信号ＶａはＦＩＦＯバッファ１２２に格納される。ＦＩＦＯバッファ１２２に格納された画像信号は、次のラインの画像信号がラインバッファ６４から供給される時にＦＩＦＯバッファ１２２から読み出される。従って、ＦＩＦＯバッファ１２２から読み出される画像信号Ｖｂは、ラインバッファ６４から与えられている画像信号Ｖａよりも１ライン手前の画像信号である。加算器１２４は、ラインバッファ６４から供給された画像信号Ｖａと、ＦＩＦＯバッファ１２２から読み出された画像信号Ｖｂとを加算し、加算された画像信号には、乗算器１２６において１／２が乗じられる。乗算器１２６から出力される画像信号Vabは、ラインバッファ６４から与えられた画像信号Ｖａと、その１ライン手前の画像信号Ｖｂとを平均したものである。この平均化された画像信号Vabは、マルチプレクサ１２８のＢ入力端子に入力される。マルチプレクサ１２８のＡ入力端子には、ラインバッファ６４から与えられた画像信号Ｖａがそのまま入力されている。マルチプレクサ１２８は、垂直デシメーションフラグＦwvのレベルに従って、入力された２つの画像信号Ｖａ，Vabの一方を選択して出力する。

【００５７】

図６は、垂直縮小／フィルタ回路１１０の動作に関連する各種のパラメータの算出方法を示す説明図である。ここで、Ｒwvは垂直縮小率を示し、また、ＬＡＤは元のラインアドレスを、ＷＬＡＤはフレームメモリ３６に与えられる書込ラインアドレスを、Fwvは垂直デシメーションフラグ生成回路１２０で生成される垂直デシメーションフラグを、ＭＰＸはマルチプレクサ１２８の入力端子Ａ／Ｂの選択状態を、そして、Vout1はマルチプレクサ１２８から出力される画像データが元のどのラインに対応しているかをそれぞれ示している。

【００５８】

書込ラインアドレスＷＬＡＤは、垂直縮小率Ｒwvと、元のラインアドレスＬＡＤとの乗算結果を整数化した値で与えられる。図６の例では、垂直縮小率Ｒwvが０．８なので、書込ラインアドレスＷＬＡＤは０，０，１，２…となる。垂直デシメーションフラグＦwvは、

書込ラインアドレスＷＬＡＤの値が２回以上繰り返されたときにＨレベルとなり、それ以外のときにはＬレベルとなる。すなわち、垂直デシメーションフラグ生成回路１２０は、ラインアドレスＬＡＤが更新される度に、ラインアドレスＬＡＤと垂直縮小率Ｒwvとを乗算して、その乗算結果ＷＬＡＤが前回の乗算結果と同じ場合には、垂直デシメーションフラグＦwvをＨレベルに立ち上げる。一方、乗算結果ＷＬＡＤが前回の乗算結果と異なる場合には、垂直デシメーションフラグＦwvをＬレベルに立ち下げる。図６の例では、元のラインアドレスＬＡＤが１と６の場合に垂直デシメーションフラグＦwvがＨレベルになっていることが解る。図４（Ｂ）に示したように、ラインアドレスＬＡＤが１と６のラインは、従来の単純な縮小処理において欠落するラインである。従って、垂直デシメーションフラグＦwvは、縮小に伴って欠落するラインを示す信号である。

【００５９】

マルチプレクサ１２８（図５）の選択状態は、垂直デシメーションフラグＦwvのレベルに応じて切り換えられる。すなわち、図６の「ＭＰＸ」の欄に示すように、垂直デシメーションフラグＦwvがＬレベルの場合には、マルチプレクサ１２８のＡ端子から入力された画像信号Ｖａが選択されて出力される。一方、垂直デシメーションフラグＦwvがＨレベルの場合には、マルチプレクサ１２８のＢ端子に入力された画像信号Ｖabが選択されて出力される。前述したように、Ａ端子に入力された画像信号Ｖａは、ラインバッファ６４から供給されている画像信号であり、Ｂ端子に入力される画像信号Ｖabは、この画像信号Ｖａと、その１ライン手前の画像信号Ｖｂとを平均した信号である。従って、垂直デシメーションフラグＦwvがＨレベルの場合には、欠落するラインの画像信号Ｖａと、その１つ手前のラインの画像信号Ｖｂとを平均した信号Ｖabがマルチプレクサ１２８で選択されて出力される。例えば、図６の例において、元のラインアドレスＬＡＤが１のラインの画像信号Ｖａが入力されたときには、出力画像信号Ｖout1として、ラインアドレスＬＡＤが０と１である２つのラインＬ１，Ｌ２を平均した画像信号Ｖabが出力される。なお、垂直デシメーションフラグＦwvがＬレベルの場合には、ラインバッファ６４から与えられた画像信号Ｖａがそのまま出力される。

【００６０】

図５に示されているように、垂直デシメーションフラグＦwvはラインアドレス発生回路１４０にも供給されている。このラインアドレス発生回路１４０は、書込制御信号生成回路７２（図２）に含まれる回路であり、フレームメモリ３６に与える書込ラインアドレスＷＬＡＤを実際に生成している。垂直デシメーションフラグＦwvがＬレベルの場合には、書込ラインアドレスは、ラインバッファ６４におけるラインアドレスＬＡＤの更新に同期して更新される。一方、垂直デシメーションフラグＦwvがＨレベルの場合には、書込ラインアドレスＷＬＡＤの更新が禁止され、書込ラインアドレスＷＬＡＤは同じ値に保たれる。従って、垂直デシメーションフラグＦwvがＨレベルの場合には、書込ラインアドレスＷＬＡＤが直前のラインと同じに保たれるので、フレームメモリ３６には、直前のラインの画像信号の上に次のラインの画像信号が書き込まれる。例えば、図６において、ラインアドレスＬＡＤが０と１である２つのラインＬ０，Ｌ１を平均した画像信号が、ラインアドレスＬＡＤが０であるラインＬ０の画像信号に上書きされる。

【００６１】

なお、ラインアドレス発生回路１４０における書込ラインアドレスＷＬＡＤの更新を、上述のように垂直デシメーションフラグＦwvのレベルに応じて制御する代わりに、ラインアドレス発生回路１４０内において独自に書込ラインアドレスＷＬＡＤの更新を制御することも可能である。この場合には、ラインアドレス発生回路１４０内に、垂直デシメーションフラグ生成回路１２０とほぼ同様の回路を設けて、垂直デシメーションフラグＦwvと等価な信号を生成するようにすればよい。

【００６２】

図７は、垂直縮小／フィルタ回路１１０の動作を示すタイミングチャートである。図７（ａ）はラインバッファ６４におけるラインアドレスを示し、図７（ｂ）は書込ラインアドレスＬＡＤを、また、図７（ｃ）は垂直デシメーションフラグＦwvを示している。図７（

ｄ）に示す書込制御信号ＦＷ＃と図７（ｅ）に示す読出制御信号ＦＲ＃は、ＦＩＦＯバッファ１２２における書込みと読み出しを許可する信号であり、図示しないＦＩＦＯ制御回路から供給されている。これらの信号ＦＷ＃、ＦＲ＃は負論理であり、Ｌレベルの時にのみ画像信号の書込みや読み出しが許可される。図７（ｃ）～（ｅ）を見れば解るように、垂直デシメーションフラグFwvがＬレベルのラインでは、ＦＩＦＯバッファ１２２への画像信号の書込みが許可されるとともに、ＦＩＦＯバッファ１２２からの読み出しが禁止される。一方、垂直デシメーションフラグFwvがＨレベルのラインでは、ＦＩＦＯバッファ１２２への画像信号の書込みが禁止されるとともに、ＦＩＦＯバッファ１２２からの読み出しが許可される。

【００６３】

図７（ａ）、（ｆ）に示すように、ラインバッファ６４から垂直縮小／フィルタ回路１１０に与えられる画像信号Ｖａのラインアドレスｌａｄは１つずつ順次増加する。また、図７（ｇ）に示すように、ＦＩＦＯバッファ１２２からは、垂直デシメーションフラグFwvがＨレベルのときにのみ、画像信号Ｖｂが読み出される。元のラインアドレスＬＡＤが１の時には、図７（ｆ）に示す画像信号Ｖａと、図７（ｇ）に示す画像信号Ｖｂとが加算平均されて、図７（ｈ）に示す画像信号Vabが作成される。そして、この画像信号Vabがマルチプレクサ１２８から出力される（図７（ｉ））。

【００６４】

このように、図５に示す垂直縮小／フィルタ回路１１０では、従来の単純な縮小処理において欠落していたラインを、その直前のラインと加算平均することによって、これらの２つのラインとの情報を含む１つのラインを生成する。この結果、１ラインが完全に欠落することが無いので、水平１ラインの重要な線分が縮小画像で消失してしまうことを防止することができる。また、縮小によって欠落するラインに隣接しないラインに関しては、フィルタリング処理（加算平均処理）を行わないので、フィルタリング処理によって画像の鮮鋭度を余り劣化させることが無い。

【００６５】

また、この垂直縮小／フィルタ回路１１０では、画像信号を一時的に格納するためのバッファメモリとして、１ライン分のＦＩＦＯバッファ１２２を使用するだけなので、バッファメモリの容量が比較的少なくて済むという利点がある。さらに、垂直縮小／フィルタ回路１１０では、１ライン毎に順次供給される画像信号をリアルタイムにフィルタリングしつつ出力できるので、動画画像信号を高速に処理して出力することができる。

【００６６】

図５に示す水平縮小／フィルタ回路１１２は、垂直縮小／フィルタ回路１１０とほぼ同様な構成を有しており、垂直縮小／フィルタ回路１１０のＦＩＦＯバッファ１２２は１ラインの記憶容量を有しているのに対して、水平縮小／フィルタ回路１１２のバッファ１３２は１画素分の記憶容量を有している点が異なるだけである。従って、その縮小／フィルタリング処理の内容もほぼ同じであり、上述の垂直縮小／フィルタ回路１１０の説明において、「１ライン」を「１画素」に置き換えればその動作は容易に理解できる。すなわち、水平縮小／フィルタ回路１１２は、垂直縮小／フィルタ回路１１０から出力された画像信号Vout1に対して、水平方向の縮小処理とフィルタリング処理とを並行して実行する。この処理は、水平デシメーションフラグ生成回路１３０において生成される水平デシメーションフラグRwhのレベルに従って実行される。また、画素アドレス発生回路１４２は、この水平デシメーションフラグRwhのレベルに応じてフレームメモリ３６の書込画素アドレスＭＰＡＤの更新の制御を行う。この結果、従来の単純な縮小処理において欠落していた画素を、その直前の画素と加算平均することによって、これらの２つの画素の情報を含む１つの画素を生成する。この結果、１画素が完全に欠落することが無いので、１画素幅の重要な線分が縮小画像で消失してしまうことを防止することができる。また、縮小によって欠落する画素に隣接しない画素に関しては、フィルタリング処理（加算平均処理）を行わないので、フィルタリング処理によって画像の鮮鋭度を余り劣化させることが無い。

【００６７】

垂直縮小／フィルタ回路１１０における垂直縮小率Ｒwvと、水平縮小／フィルタ回路１１２における水平縮小率Ｒwhは、独立に設定することが可能である。また、縮小によるラインや画素の欠落を防止する効果は、これらの縮小率が、それぞれ０．５から１の範囲内にあるときが顕著である。これは、この範囲では、１ヶ所に１ラインまたは１画素の欠落が生じるだけだからである。もちろん、縮小率は、これ以下の任意の値に設定することが可能である。

【００６８】

なお、図５に示す垂直縮小／フィルタ回路１１０と水平縮小／フィルタ回路１１２では、２つの画像データの単純な加算平均を行う回路（加算器１２４，１３４と乗算器１２６，１３６）をそれぞれ用いていたが、重み付き加算平均（すなわち加重平均）を行う回路を利用するようにしてもよい。

【００６９】

また、垂直縮小／フィルタ回路１１０と水平縮小／フィルタ回路１１２の配列は、図５とは逆にすることも可能である。すなわち、まず、水平縮小／フィルタ回路１１２で水平方向に縮小した後に、垂直縮小／フィルタ回路１１０で垂直方向に縮小するようにしてもよい。

【００７０】

Ｄ．拡大／フィルタ回路９４の構成と動作の概要：

図８は、フレームメモリ３６から読み出された画像を拡大するための拡大／フィルタ回路９４の内部構成とその処理内容の概要を示す説明図である。拡大／フィルタ回路９４は、直列に接続された２つの拡大／インターポレーション回路１５０，１５２を備えている。第１の拡大／インターポレーション回路１５０は、入力された画像信号Ｖ１をＭ１倍に拡大するとともに、拡大によって追加される画像部分を、その前後の画像部分から補間して生成する処理を行う。この第１の拡大率Ｍ１は、１から２の範囲内の値である。第２の拡大／インターポレーション回路１５２は、第１の拡大／インターポレーション回路１５０から与えられた画像信号Ｖ２をＭ２倍に拡大するとともに、拡大によって追加される画像部分をその前後の画像部分から補間して生成する処理を行う。この第２の拡大率Ｍ２は整数である。図８（Ｄ）に示すように、第２の拡大／インターポレーション回路１５２から出力される画像の拡大率は、２つの拡大率Ｍ１，Ｍ２の積に等しい。

【００７１】

このように、１から２の範囲の第１の拡大率Ｍ１で画像を拡大する第１の拡大／インターポレーション回路１５０と、整数である第２の拡大率Ｍ２で画像を拡大する第２の拡大／インターポレーション回路１５２を直列に設けるようにすれば、以下に詳述するように、それぞれの拡大率の範囲に応じた適切な処理を行うことができる。この結果、小数部を含む任意の拡大率（Ｍ１×Ｍ２）で、あまり画質を落とすことなく画像を拡大することが可能である。

【００７２】

Ｅ．第１の拡大／インターポレーション回路１５０の構成と動作：

図９は、第１の拡大／インターポレーション回路１５０によって行われる垂直方向の拡大／インターポレーション処理の概要を示す説明図である。図９（Ａ）は元画像を示し、図９（Ｂ）は従来の方法で拡大された拡大画像を、また、図９（Ｃ）は実施例の第１の拡大／インターポレーション回路１５０によって拡大された拡大画像を示している。

【００７３】

各画像の左側には、フレームメモリ３６から画像を読み出す際の読出ラインアドレスＲＬＡＤがそれぞれ記されている。図９（Ｂ）の縮小画像は、従来技術において説明した図１７（Ｂ）の縮小画像と同じである。前述したように、従来の拡大処理では、元のラインアドレスが０，４のラインが単純に追加されていた。このため、画像内に含まれる線の幅が過度に太ってしまうという問題があった。

【００７４】

一方、図９（Ｃ）に示すように、実施例の第１の拡大／インターポレーション回路１５０

による拡大／インターポレーション処理では、追加されるラインが、追加されるラインの前後に存在する元画像の２本のラインの加重平均によって生成される。例えば、ラインアドレス４と５の間に追加されるラインは、これらのラインの加重平均によって生成される。従って、ラインアドレス４のラインが単に太くならずに、やや濃度の薄いラインが追加されるだけである。すなわち、実施例の第１の拡大／インターポレーション回路１５０では、拡大によって画像内の線分が単純に太くなっていまうことを防止することができる。なお、第１の拡大／インターポレーション回路１５０において実行されるインターポレーション処理とは、追加されるラインの前後に存在する２ライン分の画像信号を加重平均する処理を意味している。

【００７５】

図１０は、第１の拡大／インターポレーション回路１５０の内部構成を示すブロック図である。第１の拡大／インターポレーション回路１５０は、垂直拡大／インターポレーション回路１６０と、水平拡大／インターポレーション回路１６２とを備えている。なお、図１０に示されているラインアドレス発生回路１９０と画素アドレス発生回路１９２は、図３に示した読出制御信号生成回路９０に含まれている回路である。

【００７６】

垂直拡大／インターポレーション回路１６０は、垂直インターポレーションフラグ生成回路１７０と、ＦＩＦＯバッファ１７２と、加算器１７４と、乗算器１７６と、マルチプレクサ１７８とを有している。水平拡大／インターポレーション回路１６２も、垂直拡大／インターポレーション回路１６０とほぼ同様な構成を有しており、水平インターポレーションフラグ生成回路１８０と、バッファ１８２と、加算器１８４と、乗算器１８６と、マルチプレクサ１８８とを有している。但し、垂直拡大／インターポレーション回路１６０のＦＩＦＯバッファ１７２は１ライン分の画像信号を格納する容量を有しているのに対して、水平拡大／インターポレーション回路１６２のバッファ１８２は１画素分の画像信号を格納する容量を有している。

【００７７】

図１０を図５と比較すれば解るように、図１０に示す垂直拡大／インターポレーション回路１６０は、図５に示す垂直縮小／フィルタ回路１１０の垂直デシメーションフラグ生成回路１２０を垂直インターポレーションフラグ生成回路１７０で置き換えた構成を有している。また、図１０に示す水平拡大／インターポレーション回路１６２は、図５に示す水平縮小／フィルタ回路１１２の水平デシメーションフラグ生成回路１３０を水平インターポレーションフラグ生成回路１８０で置き換えた構成を有している。

【００７８】

垂直インターポレーションフラグ生成回路１７０には、ラインアドレスＬＡＤと、読出時の垂直方向の第１の拡大率Ｒrvとが読出画像調整回路１０４（図３）から入力される。ラインアドレスＬＡＤは、垂直拡大／インターポレーション回路１６０で１ライン処理される度に１つずつ順次増加される。このラインアドレスＬＡＤは、図５に示すものとは異なるアドレスであるが、図示の便宜上、同じ符号を使用している。垂直インターポレーションフラグ生成回路１７０は、このラインアドレスＬＡＤと垂直拡大率Ｒrvとに応じて、後述する演算を行って垂直インターポレーションフラグＦrvを生成する。垂直インターポレーションフラグＦrvは、ＦＩＦＯバッファ１７２とマルチプレクサ１７８とラインアドレス発生回路１９０とに供給されている。

【００７９】

フレームメモリ３６から読み出された１ライン分の画像信号Ｕａは、ＦＩＦＯバッファ１７２に格納される。ＦＩＦＯバッファ１７２に格納された画像信号は、次のラインの画像信号がフレームメモリ３６から供給される時にＦＩＦＯバッファ１７２から読み出される。従って、ＦＩＦＯバッファ１７２から読み出される画像信号Ｕｂは、フレームメモリ３６から読み出されている画像信号Ｕａよりも１ライン手前の画像信号である。加算器１７４は、フレームメモリ３６から読み出された画像信号Ｕａと、ＦＩＦＯバッファ１７２から読み出された画像信号Ｕｂとを加算する。加算された画像信号には、乗算器１７６にお

いて１／２が乗じられる。すなわち、乗算器１７６から出力される画像信号Uabは、フレームメモリ３６から読み出された画像信号Ｕａと、その１ライン手前の画像信号Ｕｂとを平均したものである。この平均化された画像信号Uabは、マルチプレクサ１７８のＢ入力端子に入力される。マルチプレクサ１７８のＡ入力端子には、フレームメモリ３６から読み出された画像信号Ｕａがそのまま入力されている。マルチプレクサ１７８は、垂直インターポレーションフラグＦrvのレベルに従って、入力された２つの画像信号Ｕａ，Uabの一方を選択して出力する。

【００８０】

図１１は、垂直拡大／インターポレーション回路１６０における動作に関連する各種のパラメータの算出方法を示す説明図である。ここで、Ｒrvは垂直拡大率を示し、また、ＬＡＤは順次に更新されるラインアドレスを、ＬＡＤ／Ｒrvはラインアドレスを垂直拡大率Ｒrvで除算した結果を、ＲＬＡＤはフレームメモリ３６に与えられる読出ラインアドレスを、ＬＦＩＦＯはＦＩＦＯバッファ１７２に記憶されている画像信号の元のラインを、Frvは垂直インターポレーションフラグ生成回路１７０で生成される垂直インターポレーションフラグを、ＭＰＸはマルチプレクサ１７８の入力端子Ａ／Ｂの選択状態を、そして、Uout1はマルチプレクサ１７８から出力される画像データの元のラインアドレスをそれぞれ示している。なお、順次１ずつ更新されるラインアドレスＬＡＤは、垂直拡大／インターポレーション回路１６０から出力される画像のライン番号を示しているものと考えることができる。

【００８１】

図１１の左から３番目の欄の値「ＬＡＤ／Ｒrv」は、ラインアドレスＬＡＤを垂直拡大率Ｒrvで除した結果を整数化した値である。図１１の例では、垂直拡大率Ｒrvが１．２５なので、この除算結果ＬＡＤ／Ｒrvは０，０，１，２…となる。図１１に矢印で示すように、垂直インターポレーションフラグＦrvは、この除算結果ＬＡＤ／Ｒrvの値が２回以上繰り返されたときにＨレベルとなり、それ以外のときにはＬレベルとなる。すなわち、垂直インターポレーションフラグ生成回路１７０は、ラインアドレスＬＡＤが更新される度に、ラインアドレスＬＡＤと垂直拡大率Ｒrvとを除算して、除算結果（ＬＡＤ／Ｒrv）が前回の除算結果と同じ場合には、垂直インターポレーションフラグＦrvをＨレベルに立ち上げる。一方、除算結果が前回の結果と異なる場合には、垂直インターポレーションフラグＦrvをＬレベルに立ち下げる。図１１の例では、元のラインアドレスＬＡＤが１と６の場合に垂直インターポレーションフラグＦrvがＨレベルになっていることが解る。前述した図９（Ｂ）に示したように、ラインアドレスＬＡＤが１と６のラインは、従来の単純な拡大処理で追加されるラインである。従って、垂直インターポレーションフラグＦrvは、拡大に伴って追加されるラインを示す信号である。

【００８２】

マルチプレクサ１７８（図１０）の選択状態は、垂直インターポレーションフラグＦrvのレベルに応じて切り換えられる。すなわち、図１１の「ＭＰＸ」の欄に示すように、垂直インターポレーションフラグＦrvがＬレベルの場合には、マルチプレクサ１７８のＡ端子から入力された画像信号Ｕａが選択されて出力される。一方、垂直インターポレーションフラグＦrvがＨレベルの場合には、マルチプレクサ１７８のＢ端子に入力された画像信号Uabが選択されて出力される。前述したように、Ａ端子に入力された画像信号Ｕａは、フレームメモリ３６から読み出されつつある画像信号であり、Ｂ端子に入力される画像信号Uabは、この画像信号Ｕａとその１ライン手前の画像信号Ｕｂとを平均した信号である。従って、垂直インターポレーションフラグＦrvがＨレベルの場合には、フレームメモリ３６から読み出されているラインの画像信号Ｕａと、その１ライン手前の画像信号Ｕｂとを平均した信号Uabがマルチプレクサ１７８で選択されて出力される。例えば、図１１の例において、元のラインアドレスＬＡＤが１のラインの画像信号Ｕａが入力されているときには、出力画像信号Uout1として、ラインアドレスＬＡＤが０と１である２つのラインを平均した画像信号Uabが出力される。一方、垂直インターポレーションフラグＦrvがＬレベルの場合には、フレームメモリ３６から読み出されている画像信号Ｕａがそのまま出力

される。

【００８３】

図１０に示されているように、垂直インターポレーションフラグＦrvはラインアドレス発生回路１９０にも供給されている。このラインアドレス発生回路１９０は、読出制御信号生成回路９０（図３）に含まれている回路であり、フレームメモリ３６に与える読出ラインアドレスＲＬＡＤを実際に生成している。図１１に示されているように、垂直インターポレーションフラグＦrvがＬレベルの場合には、その次のラインにおいて、読出ラインアドレスＲＬＡＤは、元のラインアドレスＬＡＤの更新に同期して更新される。一方、垂直インターポレーションフラグＦrvがＨレベルの場合には、図１１に矢印で示されるように、その次のラインにおいて読出ラインアドレスＲＬＡＤの更新が禁止され、読出ラインアドレスＲＬＡＤが同じ値に保たれる。従って、垂直インターポレーションフラグＦrvがＨレベルの場合には、読出ラインアドレスＲＬＡＤが直前のラインと同じに保たれるので、フレームメモリ３６から、前回と同じラインの画像信号が読み出される。例えば、図１１において、ラインアドレスＬＡＤが１と２のときに、読出ラインアドレスＲＬＡＤが１であるラインの画像信号が２回続けて読み出される。

【００８４】

図１１の「ＬＦＩＦＯ」の欄に示すように、ＦＩＦＯバッファ１７２からは、現在フレームメモリ３６から読み出されているラインの１つ手前のラインの画像信号が読み出されている。

【００８５】

なお、ラインアドレス発生回路１９０における読出ラインアドレスＲＬＡＤの更新を、上述のように垂直インターポレーションフラグＦrvのレベルに応じて制御する代わりに、ラインアドレス発生回路１９０内において読出ラインアドレスＲＬＡＤの更新を独自に制御することも可能である。

【００８６】

図１２は、垂直拡大／インターポレーション回路１６０の動作を示すタイミングチャートである。図１２（ａ）は出力される画像信号のラインアドレスＬＡＤを示し、また、図１２（ｂ）は読出ラインアドレスＲＬＡＤを、図１２（ｃ）は垂直インターポレーションフラグＦrvを示している。図１２（ｄ）に示す書込制御信号ＦＷ＃と図１２（ｅ）に示す読出制御信号ＦＲ＃は、ＦＩＦＯバッファ１７２における書込みと読み出しを許可する信号であり、図示しないＦＩＦＯ制御回路から供給されている。これらの信号ＦＲ＃，ＦＷ＃は負論理であり、Ｌレベルの時にのみ画像信号の書込みや読み出しが許可される。図１２（ｃ）～（ｅ）を見れば解るように、垂直インターポレーションフラグＦrvがＬレベルのラインでは、ＦＩＦＯバッファ１７２への画像信号の書込みが許可されるとともに、ＦＩＦＯバッファ１７２からの読み出しが禁止される。一方、垂直インターポレーションフラグＦrvがＨレベルのラインでは、ＦＩＦＯバッファ１７２への画像信号の書込みが禁止されるとともに、ＦＩＦＯバッファ１７２からの読み出しが許可される。

【００８７】

図１２（ｆ）に示すように、フレームメモリ３６から読み出された画像信号Ｕａのラインのアドレスは、垂直インターポレーションフラグＦrvがＨレベルの時には更新されず、Ｌレベルの時には１つずつ増加する。一方、図１２（ｇ）に示すように、ＦＩＦＯバッファ１７２からは、垂直インターポレーションフラグＦrvがＨレベルのときにのみ、画像信号Ｕｂが読み出される。第１の拡大／インターポレーション回路１５０から出力される画像のラインアドレスＬＡＤが１の時には、図１２（ｆ）に示すラインＲ０の画像信号Ｕａと、図１２（ｇ）に示すラインＲ１の画像信号Ｕｂとが加算平均されて、図１２（ｈ）に示す画像信号Uabが作成される。そして、この画像信号Uabがマルチプレクサ１７８から出力される（図１２（ｉ））。

【００８８】

このように、図１０に示す垂直拡大／インターポレーション回路１６０では、従来の拡大処理において単純に追加されていたラインを、その前後に存在する２本のラインの加算平

均によって生成する。この結果、画像内の水平方向の線が単純に太くなっていまうことを防止することができる。また、拡大によって追加されるラインに隣接しないラインに関しては、インターポレーション処理（加算平均処理）を行わないので、インターポレーション処理によって画像の鮮鋭度を余り劣化させることが無い。

【００８９】

また、この垂直拡大／インターポレーション回路１６０では、画像信号を一時的に格納するためのバッファメモリとして、１ライン分のＦＩＦＯバッファ１７２を使用するだけなので、バッファメモリの容量が比較的少なくて済むという利点がある。さらに、垂直拡大／インターポレーション回路１６０では、１ライン毎に順次供給される画像信号をリアルタイムにフィルタリングしつつ出力できるので、動画画像信号を高速に処理して出力することができる。

【００９０】

図１０に示す水平拡大／インターポレーション回路１６２は、垂直拡大／インターポレーション回路１６０とほぼ同様な構成を有している。従って、その拡大／インターポレーション処理の内容もほぼ同じであり、上述の垂直拡大／インターポレーション回路１６０の説明において、「１ライン」を「１画素」に置き換えればその動作は容易に理解できる。この水平拡大／インターポレーション回路１６２では、画像内の拡大に伴って画像内の線が過度に太ってしまうことを防止することができる。また、拡大によって追加される画素に隣接しない画素に関しては、インターポレーション処理（加算平均処理）を行わないので、インターポレーション処理によって画像の鮮鋭度を余り劣化させることが無い。

【００９１】

垂直拡大／インターポレーション回路１６０における垂直拡大率Ｒrvと、水平拡大／インターポレーション回路１６２における水平拡大率Ｒrhは、独立に設定することが可能である。また、拡大による線分の太りを防止する効果は、これらの拡大率が、それぞれ１から２の範囲内にあるときが顕著である。これは、この範囲では、１ヶ所に１ラインまたは１画素の追加が生じるだけだからである。

【００９２】

なお、垂直拡大／インターポレーション回路１６０と水平拡大／インターポレーション回路１６２の接続の順序は、図１０とは逆にすることも可能である。すなわち、まず、水平拡大／インターポレーション回路１６２で水平方向に拡大した後に、垂直拡大／インターポレーション回路１６０で垂直方向に拡大するようにしてもよい。

【００９３】

Ｆ．第２の拡大／インターポレーション回路１５２の構成と動作：

図１３は、第２の拡大／インターポレーション回路１５２によって行われる垂直方向の拡大／インターポレーション処理の概要を示す説明図である。図１３（Ａ）は、第１の拡大／インターポレーション回路１５０で拡大された後の画像を示しており、図１３（Ｂ）は第２の拡大／インターポレーション回路１５２によって拡大された拡大画像を示している。なお、ここでは図１３（Ａ）の画像を「元画像」と呼ぶ。

【００９４】

各画像の左側には、元画像のライン番号Ｌ０，Ｌ１…が示されている。第２の拡大／インターポレーション回路１５２は、元画像を垂直方向にＮｖ倍に拡大する処理を実行する。拡大に伴って追加されるｊ番目のラインL_{Nv}は、次の式（１）に従って、追加されるラインの前後に存在する元画像の２本のラインL_{i-1}，L_iの加重平均によって直線内挿される。

【００９５】

$$L_{Nv}=(1-\alpha v)\times L_{i-1}+\alpha v\times L_i \quad \cdots(1)$$

ここで、αｖ＝ｊ／Ｎｖ，ｊ＝１～（Ｎｖ－１）である。

【００９６】

図１４は、第２の拡大／インターポレーション回路１５２の内部構成を示すブロック図である。第２の拡大／インターポレーション回路１５２は、垂直拡大／インターポレーショ

ン回路２００と、水平拡大／インターポレーション回路２０２とを備えている。
【００９７】
垂直拡大／インターポレーション回路２００は、重み算出回路２１０と、マルチプレクサ２１２と、２つのＦＩＦＯバッファ２１４，２１６と、補間演算回路２１８とを有している。水平拡大／インターポレーション回路２０２も、垂直拡大／インターポレーション回路２００とほぼ同様な構成を有しており、重み算出回路２２０と、マルチプレクサ２２２と、２つのバッファ２２４，２２６と、補間演算回路２２８とを有している。但し、垂直拡大／インターポレーション回路２００の２つのＦＩＦＯバッファ２１４，２１６はそれぞれ１ライン分の画像信号を格納する容量を有しているのに対して、水平拡大／インターポレーション回路２０２の２つのバッファ２２４，２２６はそれぞれ１画素分の画像信号を格納する容量を有している。
【００９８】
重み算出回路２１０には、ラインアドレスＮＬＡＤと、読出時の垂直方向の第２の拡大率Ｎｖとが読出画像調整回路１０４（図３）から入力される。ラインアドレスＮＬＡＤは、垂直拡大／インターポレーション回路２００で１ライン処理される度に１つずつ順次増加される。なお、このラインアドレスＮＬＡＤと、前述した第１の拡大／インターポレーション回路１５０におけるラインアドレスＬＡＤとの関係については後述する。
【００９９】
重み算出回路２１０は、このラインアドレスＮＬＡＤと垂直拡大率Ｎｖとに応じて、以下の式（２）に従って重みαｖを算出する。
【０１００】
αｖ＝｛（ＮＬＡＤ）％Ｎｖ｝／Ｎｖ　…（２）
【０１０１】
式（２）の右辺の｛｝内の項は、拡大によって追加されるラインに関しては１～（Ｎｖ－１）の範囲の値を取る。従って、式（２）は、上述した式（１）における重みαｖの定義と等価であることが解る。この重みαｖは補間演算回路２１８に供給される。
【０１０２】
第１の拡大／インターポレーション回路１５０から出力された１ライン分の画像信号Uout2は、マルチプレクサ２１２によって切り換えられて、２つのＦＩＦＯバッファ２１４，２１６に交互に格納される。これらのＦＩＦＯバッファ２１４，２１６からそれぞれ読み出された画像信号Ｓａ，Ｓｂは、補間演算回路２１８に入力される。補間演算回路２１８は、重み算出回路２１０から与えられた重みαｖを用いて２つの画像信号Ｓａ，Ｓｂを加重平均することによって、上述した式（１）による補間演算を実行する。補間演算回路２１８から出力される画像信号Sout1は、垂直方向にＮｖ倍に拡大された画像を表す信号である。
【０１０３】
図１５は、第２の拡大／インターポレーション回路１５２の垂直拡大／インターポレーション回路２００の動作を示すタイミングチャートである。図１５（ａ）は、第２の拡大／インターポレーション回路１５２におけるラインアドレスＮＬＡＤを示し、また、図１５（ｂ）は前述した第１の拡大／インターポレーション回路１５０の出力画像のラインアドレスＬＡＤを、図１５（ｃ）は第１の拡大／インターポレーション回路１５０の出力画像信号Uout2を示している。また、図１５（ｄ），（ｅ），（ｆ）は、図１４に示す補間演算回路２１８への入力画像信号Ｓａ，Ｓｂと、その出力画像信号Sout1とをそれぞれ示している。
【０１０４】
図１５（ａ），（ｂ）に示すように、第２の拡大／インターポレーション回路１５２におけるラインアドレスＮＬＡＤは、第１の拡大／インターポレーション回路１５０の出力画像のラインアドレスＬＡＤの２倍の速度で（すなわち１／２の周期で）更新されている。一般には、第２の拡大／インターポレーション回路１５２におけるラインアドレスＮＬＡＤは、第１の拡大／インターポレーション回路１５０の出力画像のラインアドレスＬＡＤ

のＮｖ倍の速度で更新される。ここで、Ｎｖは、第２の拡大／インターポレーション回路１５２における垂直拡大率である。従って、第２の拡大／インターポレーション回路１５２におけるラインアドレスＬＡＤは、図１５（ｂ）に示すように（Ｎｖ－１）個の休止サイクルを挟んで更新される。なお、前述した図１２では、図示の便宜上、ラインアドレスＬＡＤの休止サイクルが示されていないが、実際には図１５（ｂ）に示したように、休止サイクルを挟む形でラインアドレスＬＡＤが更新される。

【０１０５】

第１の拡大／インターポレーション回路１５０から入力された画像信号Uout2は、２つのＦＩＦＯバッファ２１４，２１６に１ラインずつ交互に書き込まれ、書込みサイクルの次のサイクルから読み出される。補間演算回路２１８は、図１５（ｄ），（ｅ）に示す２つの入力画像信号Ｓａ，Ｓｂを、重みαｖを用いて補間演算することによって、図１５（ｆ）に示す出力画像信号Sout1を生成する。

【０１０６】

このように、第２の拡大／インターポレーション回路１５２の垂直拡大／インターポレーション回路２００では、拡大に伴って追加されるラインを、その前後に存在する元画像の２つのラインを直線補間することによって生成するので、滑らかな拡大画像を得ることができる。

【０１０７】

図１４に示す水平拡大／インターポレーション回路２０２は、垂直拡大／インターポレーション回路２００とほぼ同様な構成を有している。従って、その拡大／インターポレーション処理の内容もほぼ同じであり、上述の垂直拡大／インターポレーション回路２００の説明において、「１ライン」を「１画素」に置き換えればその動作は容易に理解できる。なお、第２の拡大／インターポレーション回路１５２における画素アドレスＮＰＡＤは、第１の拡大／インターポレーション回路１５０における画素アドレスＰＡＤのＮｈ倍の周期で更新されることが好ましい。ここで、Ｎｈは、第２の拡大／インターポレーション回路１５２における水平拡大率である。

【０１０８】

なお、第２の拡大／インターポレーション回路１５２の垂直拡大／インターポレーション回路２００における垂直拡大率Ｎｖと、水平拡大／インターポレーション回路２０２における水平拡大率Ｎｈは、独立に設定することが可能である。また、垂直拡大／インターポレーション回路２００と水平拡大／インターポレーション回路２０２の接続の順序は、図１４とは逆にすることも可能である。すなわち、まず、水平拡大／インターポレーション回路２０２で水平方向に拡大した後に、垂直拡大／インターポレーション回路２００で垂直方向に拡大するようにしてもよい。

【０１０９】

以上のように、上記実施例では、第１の拡大／インターポレーション回路１５０で１から２の範囲内の第１の拡大率で拡大処理を行い、第２の拡大／インターポレーション回路１５２では整数である第２の拡大率で拡大処理を行っているので、これらの２つの拡大処理を組み合わせることによって、小数部を含む任意の拡大率で画像を拡大することが可能である。

【０１１０】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【０１１１】

（１）上記実施例において、ハードウェアによって実現されていた構成の一部をソフトウェアに置き換えるようにしてもよく、逆に、ソフトウェアによって実現されていた構成の一部をハードウェアに置き換えるようにしてもよい。

【０１１２】

（２）上記実施例では、縮小時の画像の欠落現象の緩和と、拡大時の画像の太り現象の緩

和とを、いずれも画像データの加重平均処理によって実現していたが、加重平均処理以外の種々の補間処理を使用して、画像の欠落現象や太り現象の緩和を実現することも可能である。補間処理としては、例えば幾何平均や直線補間、非直線補間などの種々の処理を利用できる。

【０１１３】

（３）縮小時の欠落ラインの補間処理は、欠落ラインと、欠落ラインに隣接する１本のラインとの２本のラインで補間を行う場合に限らず、一般に、これらの２本のラインを含む複数のラインを用いて補間を行うようにしてもよい。縮小時の欠落画素の補間処理も同様である。また、拡大時の追加ラインの補間処理についても、追加されるラインの前後に存在する２本のラインで補間を行う場合に限らず、一般に、追加されるラインに隣接する複数のラインを用いて補間を行えばよい。拡大時に追加画素の補間処理も同様である。

【図面の簡単な説明】

【図１】この発明の実施例としての画像処理装置の全体構成を示すブロック図。

【図２】ビデオプロセッサ３８内の画像書込制御部の構成を示すブロック図。

【図３】ビデオプロセッサ３８内の画像読出制御部の構成を示すブロック図。

【図４】画像書込時の縮小／フィルタリング処理の概要を示す説明図。

【図５】縮小／フィルタ回路６６の内部構成を示すブロック図。

【図６】垂直縮小／フィルタ回路１１０における動作に関連する各種のパラメータの算出方法を示す説明図。

【図７】垂直縮小／フィルタ回路１１０の動作を示すタイミングチャート。

【図８】図３に示す拡大／フィルタ回路９４の内部構成とその処理内容の概要を示す説明図。

【図９】第１の拡大／インターポレーション回路１５０によって行われる垂直方向の拡大／インターポレーション処理の概要を示す説明図。

【図１０】第１の拡大／インターポレーション回路１５０の内部構成を示すブロック図。

【図１１】第１の拡大／インターポレーション回路１５０の垂直拡大／インターポレーション回路１６０における動作に関連する各種のパラメータの算出方法を示す説明図。

【図１２】第１の拡大／インターポレーション回路１５０の垂直拡大／インターポレーション回路１６０の動作を示すタイミングチャート。

【図１３】第２の拡大／インターポレーション回路１５２によって行われる垂直方向の拡大／インターポレーション処理の概要を示す説明図。

【図１４】第２の拡大／インターポレーション回路１５２の内部構成を示すブロック図。

【図１５】第２の拡大／インターポレーション回路１５２の垂直拡大／インターポレーション回路２００の動作を示すタイミングチャート。

【図１６】従来の垂直方向の画像縮小処理の内容を示す説明図。

【図１７】従来の垂直方向の画像拡大処理の内容を示す説明図。

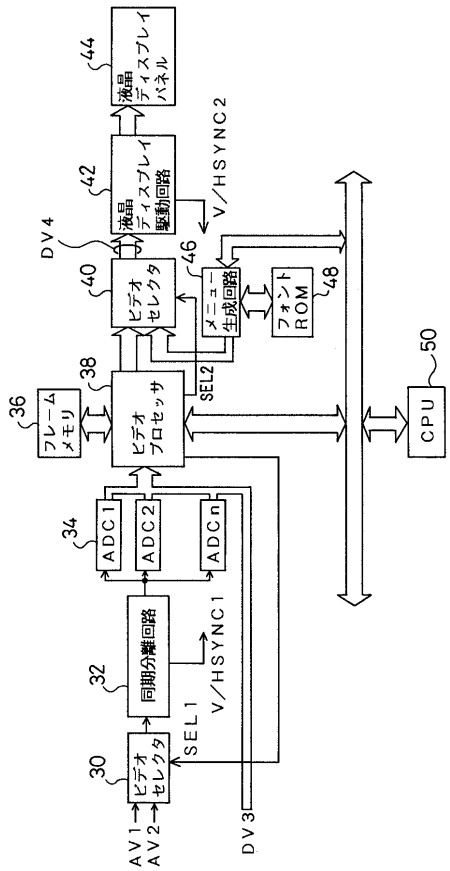
【符号の説明】

３０…ビデオセレクタ
３２…同期分離回路
３４…Ｄ変換器
３６…フレームメモリ
３８…ビデオプロセッサ
４０…ビデオセレクタ
４２…液晶ディスプレイ駆動回路
４４…液晶ディスプレイパネル
４６…メニュー生成回路
４８…フォントＲＯＭ
５０…ＣＰＵ
６０…色変換回路
６２…データセレクタ

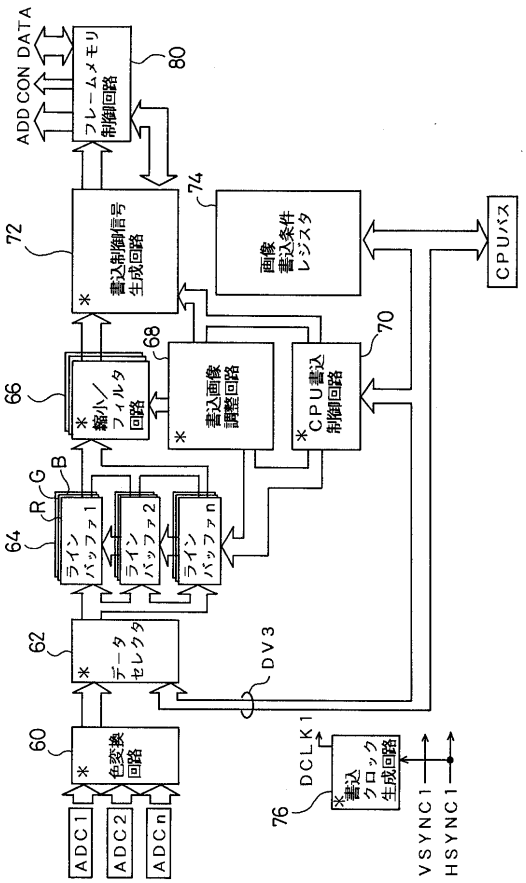
６４…ラインバッファ
６６…縮小／フィルタ回路
６８…書込画像調整回路
７０…ＣＰＵ書込制御回路
７２…書込制御信号生成回路
７４…画像書込条件レジスタ
７６…書込クロック生成回路
８０…フレームメモリ制御回路
９０…読出制御信号生成回路
９４…拡大／フィルタ回路
９６…輝度／コントラスト調整回路
９８…階調補正回路
１００…ＣＰＵ読出用ラインバッファ
１０２…ＣＰＵ読出制御回路
１０４…読出画像調整回路
１０６…画像読出条件レジスタ
１０８…読出クロック生成回路
１１０…垂直縮小／フィルタ回路
１１２…水平縮小／フィルタ回路
１２０…垂直デシメーションフラグ生成回路
１２２…ＦＩＦＯバッファ
１２４…加算器
１２６…乗算器
１２８…マルチプレクサ
１３０…水平デシメーションフラグ生成回路
１３２…バッファ
１３４…加算器
１３６…乗算器
１３８…マルチプレクサ
１４０…ラインアドレス発生回路
１４２…画素アドレス発生回路
１５０…第１の拡大／インターポレーション回路
１５２…第２の拡大／インターポレーション回路
１６０…垂直拡大／インターポレーション回路
１６２…水平拡大／インターポレーション回路
１７０…垂直インターポレーションフラグ生成回路
１７２…ＦＩＦＯバッファ
１７４…加算器
１７６…乗算器
１７８…マルチプレクサ
１８０…水平インターポレーションフラグ生成回路
１８２…バッファ
１８４…加算器
１８６…乗算器
１８８…マルチプレクサ
１９０…ラインアドレス発生回路
１９２…画素アドレス発生回路
２００…垂直拡大／インターポレーション回路
２０２…水平拡大／インターポレーション回路
２１０…重み算出回路

２１２…マルチプレクサ
２１４，２１６…ＦＩＦＯバッファ
２１８…補間演算回路
２２０…重み算出回路
２２２…マルチプレクサ
２２４，２２６…バッファ
２２８…補間演算回路

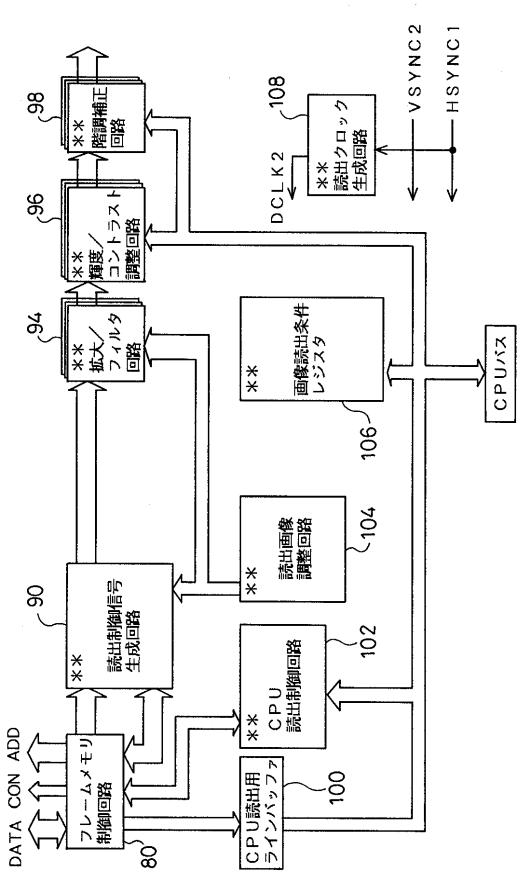
【図１】



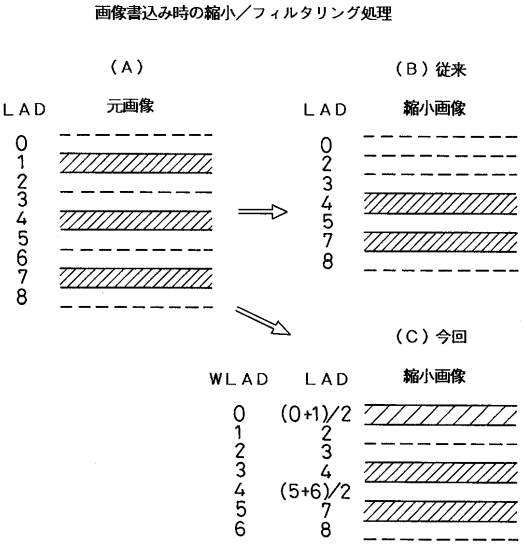
【図２】



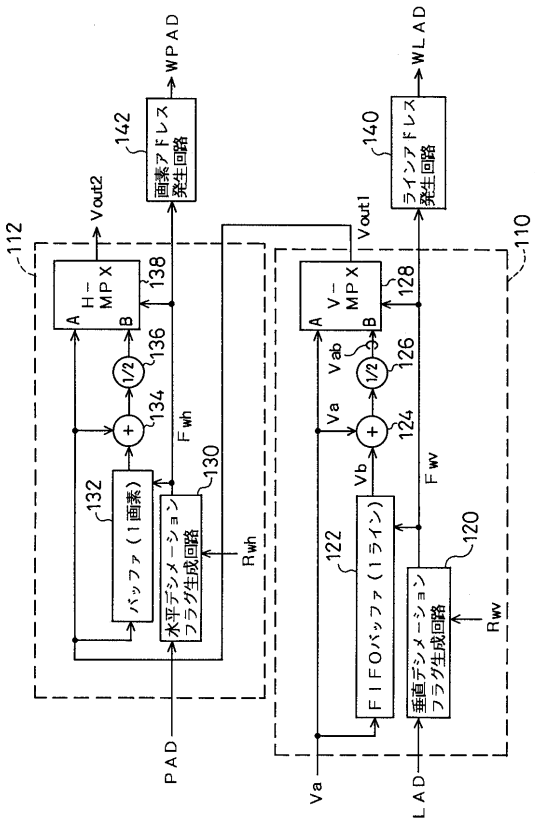
【図３】



【図４】



【図５】



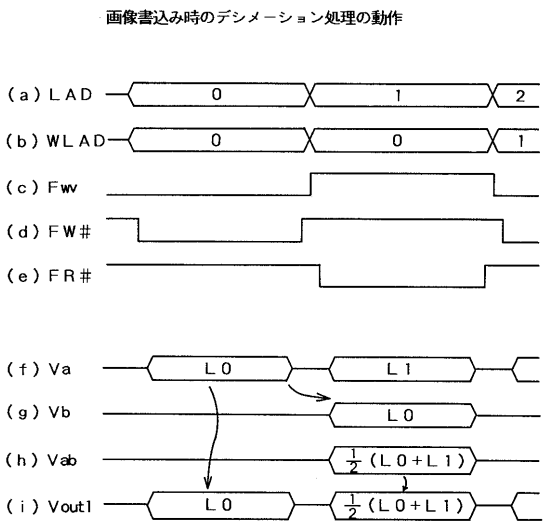
【図６】

垂直デシメーションパラメータの算出

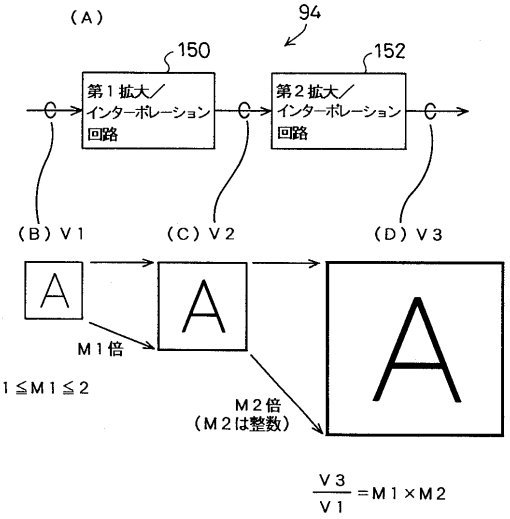
Rwv	LAD	WLAD=Rwv*LAD	Fwv	MPX	Vout1
0.8	0	0	L	A	L0
	1	0	H	B	$\frac{1}{2}$(L0+L1)
	2	1	L	A	L2
	3	2	L	A	L3
	4	3	L	A	L4
	5	4	L	A	L5
	6	4	H	B	$\frac{1}{2}$(L5+L6)
	7	5	L	A	L7
	8	6	L	A	L8

上書き
上書き

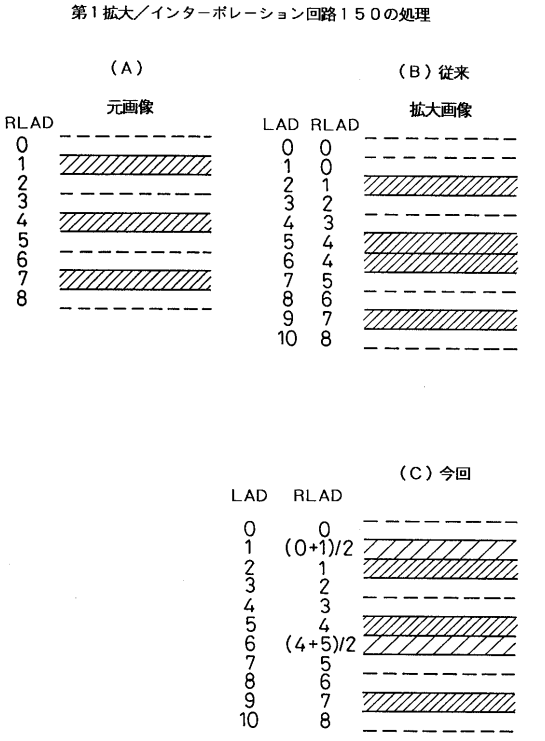
【図７】


画像書込み時のデシメーション処理の動作
(a) LAD
0
1
2
(b) WLAD
0
0
1
(c) Fwv
(d) FW#
(e) FR#
(f) Va
L0
L1
(g) Vb
L0
(h) Vab
1/2 (L0+L1)
(i) Vout1
L0
1/2 (L0+L1)

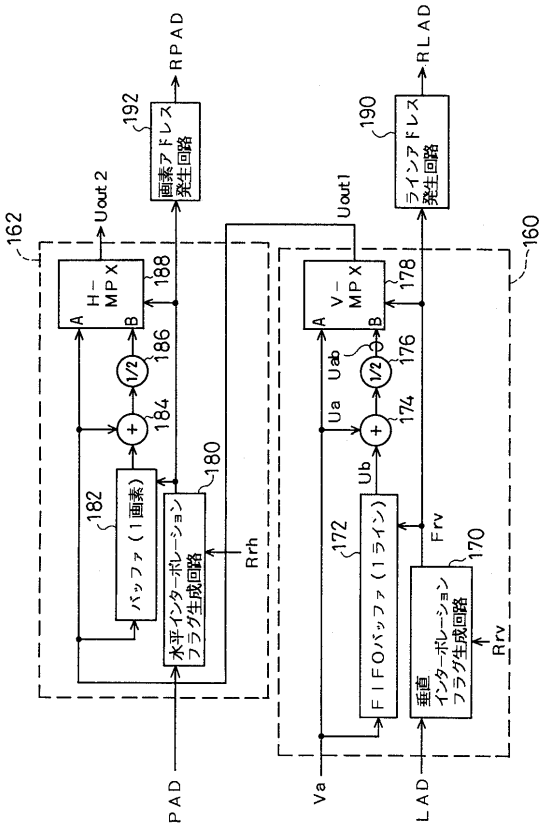
【図８】


(A)
94
150
第1拡大／インターポレーション回路
152
第2拡大／インターポレーション回路
(B) V1
(C) V2
(D) V3
A
A
A
M1倍
1≦M1≦2
M2倍
(M2は整数)
V3/V1 =M1×M2

【図９】


第1拡大／インターポレーション回路150の処理
(A)
元画像
RLAD
0
1
2
3
4
5
6
7
8
(B) 従来
拡大画像
LAD RLAD
0 0
1 0
2 1
3 2
4 3
5 4
6 4
7 5
8 6
9 7
10 8
(C) 今回
LAD RLAD
0 0
1 (0+1)/2
2 1
3 2
4 3
5 4
6 (4+5)/2
7 5
8 6
9 7
10 8

【図１０】

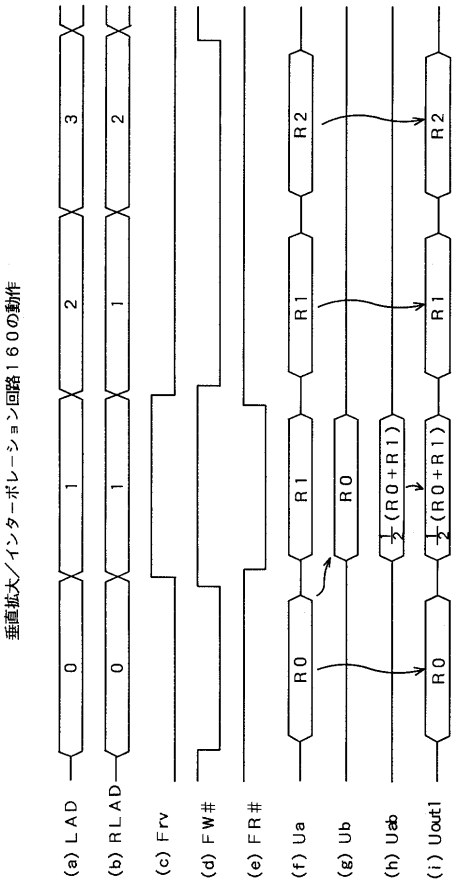

RPAD
192
画素アドレス発生回路
RLAD
190
ラインアドレス発生回路
162
160
Uout2
Uout1
H-MPX
V-MPX
188
178
A
B
1/2
186
176
Uab
Ua
Ub
184
174
182
バッファ（1画素）
180
水平インターポレーションフラグ生成回路
Rrh
172
FIFOバッファ（1ライン）
Frv
170
垂直インターポレーションフラグ生成回路
Rrv
PAD
Va
LAD

【図１１】

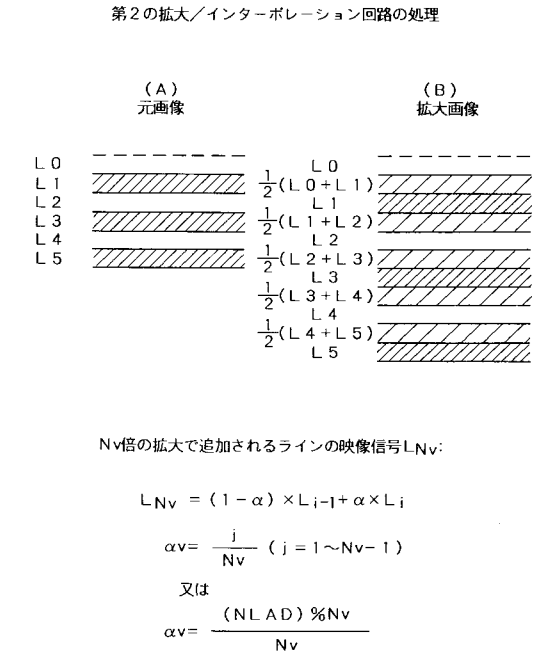
画像読出し時のインターポレーションフラグの算出

Rrv	LAD	LAD／Rrv	RLAD	LFIFO	Frv	MPX	Uout1
1.25	0	0	0	—	L	A	L0
	1	0	1	L0	H	B	$\frac{1}{2}$(L0+L1)
	2	1	1	L0	L	A	L1
	3	2	2	L1	L	A	L2
	4	3	3	L2	L	A	L3
	5	4	4	L3	L	A	L4
	6	4	5	L4	H	B	$\frac{1}{2}$(L4+L5)
	7	5	5	L4	L	A	L5
	8	6	6	L5	L	A	L6

【図１２】



【図１３】



Nv倍の拡大で追加されるラインの映像信号L_{Nv}:

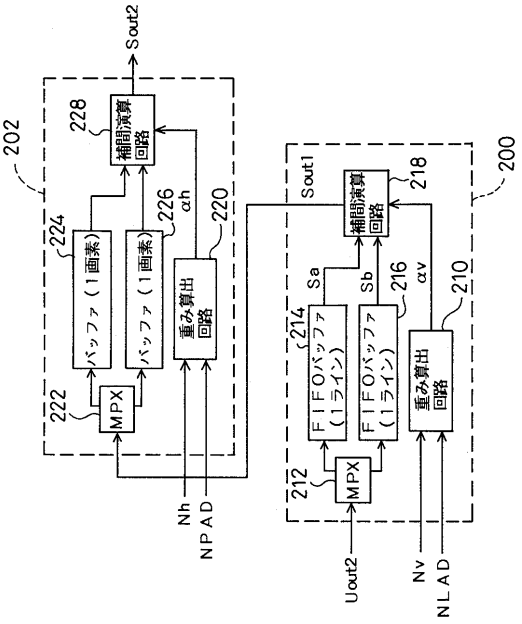
$$L_{Nv} = (1-\alpha) \times L_{i-1} + \alpha \times L_i$$

$$\alpha v = \frac{j}{Nv} \quad (j = 1 \sim Nv-1)$$

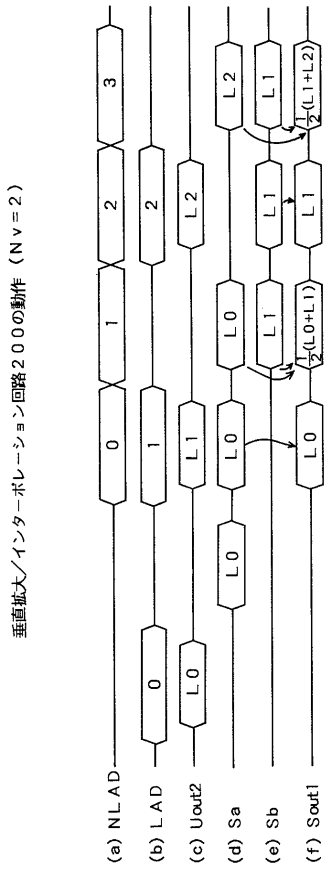
又は

$$\alpha v = \frac{(NLAD)\ \%Nv}{Nv}$$

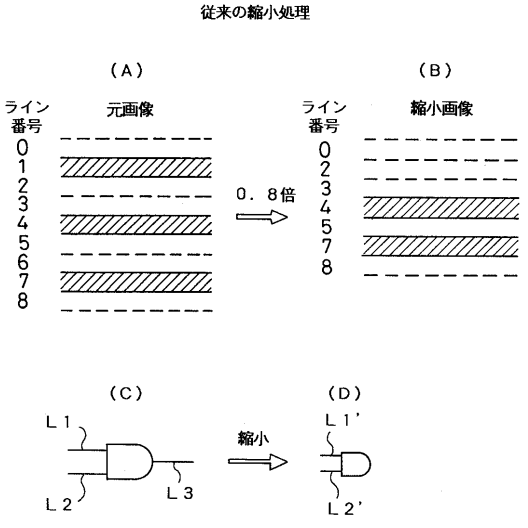
【図１４】



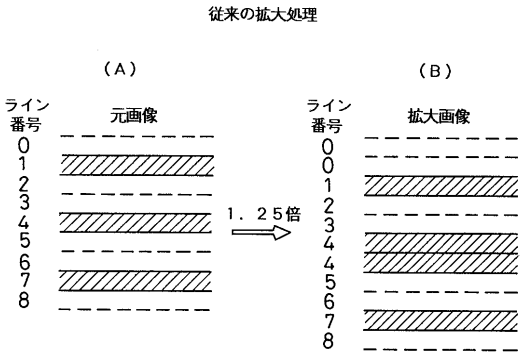
【図１５】


垂直拡大／インターポレーション回路２００の動作（Ｎｖ＝２）
(a) NLAD
(b) LAD
(c) Uout2
(d) Sa
(e) Sb
(f) Sout1

【図１６】


従来の縮小処理
（A）
元画像
ライン番号
（B）
縮小画像
０．８倍
（C）
（D）
縮小

【図１７】


従来の拡大処理
（A）
元画像
ライン番号
１．２５倍
（B）
拡大画像

フロントページの続き

(56)参考文献 特開平８－３３６０４１（ＪＰ，Ａ）
特開平１－１５２８６８（ＪＰ，Ａ）
特開平７－１９９８５５（ＪＰ，Ａ）
特開昭５９－３９１５８（ＪＰ，Ａ）