(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月22日(22.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/213334 A1

(51) 国際特許分類:
G06F 1/24 (2006.01) *H03K 3/037* (2006.01)

(21) 国際出願番号： PCT/JP2020/011758

(22) 国際出願日： 2020年3月17日(17.03.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-078607 2019年4月17日(17.04.2019) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 木村 啓明 (**KIMURA Hiromitsu**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 黒土 勇二 (**KUROTSUCHI Yuji**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

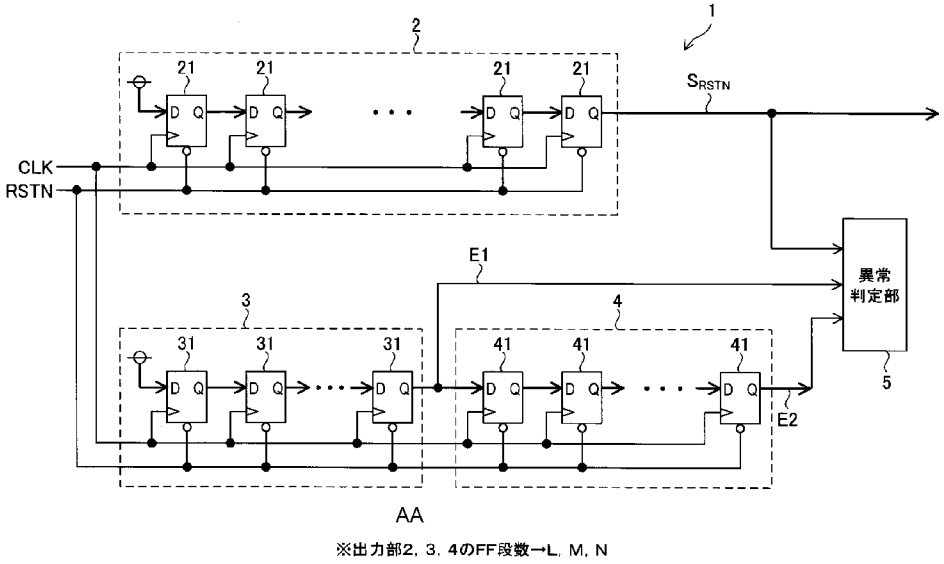
(74) 代理人: 特許業務法人 佐野特許事務所 (**SANO PATENT OFFICE**); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館５Ｆ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SYNCHRONOUS RESET SIGNAL GENERATION CIRCUIT AND DIGITAL PROCESSING DEVICE

(54) 発明の名称： 同期リセット信号生成回路及びデジタル処理装置

[図3]



5 Malfunction determination unit
AA *Number of flip-flop stages in output units 2, 3, and 4 → L, M, N

(57) **Abstract:** A synchronous reset signal (S_{RSTN}) is generated from a non-synchronous reset signal (RSTN). The synchronous reset signal is output from the flip-flop at the final stage of L flip-flops (21) connected in cascade. A first error determination signal (E1) is output from the flip-flop at the final stage of M flip-flops (31) connected in cascade. A second error determination signal (E1) is output from the flip-flop, from among N flip-flops (41) connected in cascade, at the final stage when the flip-flip in the first stage receives the first error

WO 2020/213334 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

determination signal. The presence or absence of a circuit malfunction is determined on the basis of the three outputs. $M \geq 2$, $L \geq M + 1$, and $M + N \geq L + 1$.

(57) 要約：非同期リセット信号（ＲＳＴＮ）から同期リセット信号（S_{RSTN}）を生成する。縦続接続されたＬ個のＦＦ（２１）における最終段のＦＦから同期リセット信号を出力する。縦続接続されたＭ個のＦＦ（３１）における最終段のＦＦから第１エラー判定信号（Ｅ１）を出力する。縦続接続されたＮ個のＦＦ（４１）の内、初段のＦＦにて第１エラー判定信号を受けて最終段のＦＦから第２エラー判定信号（Ｅ１）を出力する。３つの出力に基づき回路の異常の有無を判定する。Ｍ≧２、Ｌ≧Ｍ＋１、Ｍ＋Ｎ≧Ｌ＋１、である。

明　細　書

発明の名称 ： 同期リセット信号生成回路及びデジタル処理装置

技術分野

[0001] 本発明は、同期リセット信号生成回路及びデジタル処理装置に関する。

背景技術

[0002] 同期リセット信号生成回路は、ロジック回路を安定して初期化するために必要な同期リセット信号を生成する重要な回路であり、ＣＰＵプラットフォームから簡単なシーケンサまで幅広く用いられている。

[0003] 図１２に一般的な同期リセット信号生成回路９０１を示す。同期リセット信号生成回路９０１は、縦続接続された複数のフリップフロップから成り、複数のフリップフロップには共通してクロック信号ＣＬＫ’及び非同期リセット信号ＲＳＴＮ’が入力される。同期リセット信号生成回路９０１は、非同期リセット信号ＲＳＴＮ’をクロック信号ＣＬＫ’にて同期化することで、クロック信号ＣＬＫ’に同期したリセット信号である同期リセット信号S_{RSTN}’を生成する。

先行技術文献

特許文献

[0004] 特許文献1：特開平１０－１６３８２１号公報

特許文献2：特開２００９－８０６３４号公報

発明の概要

発明が解決しようとする課題

[0005] 同期リセット信号生成回路に異常がある場合、リセット不良が発生するため、ロジック回路を組み込んだシステム全体に大きな不具合が発生する可能性が高まる。このため、そのような異常の有無を良好に判定及び検出できる技術の開発が望まれる。そのような技術は、特に、車載機器や産業用機器など高信頼性が求められるシステムにおいて重要である（但し、任意のシステムにおいて有益となり得る）。

[0006] 本発明は、同期リセットに関わる異常の有無を良好に判定及び検出可能な同期リセット信号生成回路及びデジタル処理装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明に係る同期リセット信号生成回路は、非同期リセット信号をクロック信号にて同期化することで同期リセット信号を生成する同期リセット信号生成回路において、縦続接続されたＬ個のフリップフロップを有し、前記Ｌ個のフリップフロップにおける最終段のフリップフロップから前記同期リセット信号を出力する同期リセット信号出力部と、縦続接続されたＭ個のフリップフロップを有し、前記Ｍ個のフリップフロップにおける最終段のフリップフロップから第１エラー判定信号を出力する第１エラー判定信号出力部と、縦続接続されたＮ個のフリップフロップを有し、前記Ｎ個のフリップフロップにおける最終段のフリップフロップから第２エラー判定信号を出力する第２エラー判定信号出力部と、前記同期リセット信号、前記第１エラー判定信号、及び、前記第２エラー判定信号に基づいて、当該同期リセット信号生成回路における異常の有無を判定する異常判定部と、を備え、前記Ｎ個のフリップフロップにおける初段のフリップフロップに対し前記第１エラー判定信号が入力され、前記Ｌ個、前記Ｍ個及び前記Ｎ個のフリップフロップに対し、共通に、前記クロック信号及び前記非同期リセット信号が入力され、Ｌ、Ｍ及びＮは、“Ｍ≧２”、“Ｌ≧Ｍ＋１”且つ“Ｍ＋Ｎ≧Ｌ＋１”を満たす整数である構成（第１の構成）である。

[0008] 上記第１の構成に係る同期リセット信号生成回路において、“Ｌ≧Ｍ＋２”且つ“Ｍ＋Ｎ≧Ｌ＋２”が満たされる構成（第２の構成）であっても良い。

[0009] 上記第１又は第２の構成に係る同期リセット信号生成回路において、前記同期リセット信号出力部、前記第１エラー判定信号出力部及び前記第２エラー判定信号出力部において、各フリップフロップは、データ入力端子、データ出力端子、クロック入力端子及び非同期リセット入力端子を有して、各フ

リップフロップの前記クロック入力端子及び前記非同期リセット入力端子に夫々前記クロック信号及び前記非同期リセット信号が入力され、且つ、互いに隣接する２つのフリップフロップにおける前段側のフリップフロップの前記データ出力端子からの出力信号が後段側のフリップフロップの前記データ入力端子に入力され、前記Ｌ個のフリップフロップにおいて、初段のフリップフロップの前記データ入力端子に所定論理値を持つ信号が入力され、最終段のフリップフロップの前記データ出力端子から前記同期リセット信号が出力され、前記Ｍ個のフリップフロップにおいて、初段のフリップフロップの前記データ入力端子に前記所定論理値を持つ信号が入力され、最終段のフリップフロップの前記データ出力端子から前記第１エラー判定信号が出力され、前記Ｎ個のフリップフロップにおいて、初段のフリップフロップの前記データ入力端子に前記第１エラー判定信号が入力され、最終段のフリップフロップの前記データ出力端子から前記第２エラー判定信号が出力される構成（第３の構成）であっても良い。

[0010] 上記第３の構成に係る同期リセット信号生成回路において、各フリップフロップは、アクティブ状態の前記非同期リセット信号が入力されているとき、第１論理値を持つ信号を前記データ出力端子から出力し、非アクティブ状態の前記非同期リセット信号が入力されているとき、前記クロック信号の所定レベル変化に応答して前記データ入力端子への入力信号の論理値を保持して保持値の信号を前記データ出力端子から出力し、前記所定論理値は第２論理値であり、前記第１論理値の前記同期リセット信号は、前記クロック信号に同期して動作するロジック回路をリセットするための信号である構成（第４の構成）であっても良い。

[0011] 上記第４の構成に係る同期リセット信号生成回路において、前記異常判定部は、前記第１エラー判定信号及び前記第２エラー判定信号が前記第２論理値を有していて、且つ、前記同期リセット信号が前記第１論理値を有しているとき、前記異常が有ると判定する構成（第５の構成）であっても良い。

[0012] 上記第４又は第５の構成に係る同期リセット信号生成回路において、前記

異常判定部は、前記第１エラー判定信号及び前記第２エラー判定信号が前記第１論理値を有していて、且つ、前記同期リセット信号が前記第２論理値を有しているとき、前記異常が有ると判定する構成（第６の構成）であっても良い。

[0013] 本発明に係るデジタル処理装置は、上記第１～第６の構成の何れかに係る同期リセット信号生成回路と、クロック異常判定回路と、を備えたデジタル処理装置であって、前記クロック異常判定回路は、前記クロック信号と、前記クロック信号とは別のクロック信号とに基づき、前記クロック信号の異常の有無を判定する構成（第７の構成）である。

[0014] 上記第７の構成に係るデジタル処理装置において、前記クロック異常判定回路は、前記クロック信号を分周することで分周クロック信号を生成する分周器と、前記分周クロック信号における所定レベル変化の間隔を前記別のクロック信号を用いて監視する監視部と、有し、当該監視の結果から前記クロック信号又は前記分周器の異常の有無を判定する構成（第８の構成）であっても良い。

[0015] 上記第８の構成に係るデジタル処理装置において、前記分周器は、データ入力端子、データ出力端子及びクロック入力端子を各々に備えた複数段の分周用フリップフロップから成り、各分周用フリップフロップにおいて前記データ出力端子からの出力信号の論理反転信号が前記データ入力端子への入力信号とされ、前記複数段の分周用フリップフロップにおいて、初段の分周用フリップフロップの前記クロック入力端子には前記クロック信号が入力され、初段の分周用フリップフロップ以外の各分周用フリップフロップの前記クロック入力端子には前段の分周用フリップフロップの前記データ出力端子からの出力信号が入力され、最終段の分周用フリップフロップの前記データ出力端子から前記分周クロック信号が出力される構成（第９の構成）であっても良い。

[0016] 本発明に係るデジタル処理装置は、第１及び第２同期リセット信号生成回路を含む複数の同期リセット信号生成回路と、第１及び第２クロック異常判

定回路を含む複数のクロック異常判定回路と、を備えたデジタル処理装置であって、前記第１及び第２同期リセット信号生成回路の夫々として上記第１～第６の構成の何れかに係る同期リセット信号生成回路が用いられ、前記第１同期リセット信号生成回路におけるクロック信号、前記第２同期リセット信号生成回路におけるクロック信号は、夫々、第１クロック信号、第２クロック信号であり、前記第１クロック異常判定回路は、前記第１クロック信号と前記第２クロック信号とに基づき、前記第１クロック信号の異常の有無を判定し、前記第２クロック異常判定回路は、前記第２クロック信号と前記第１クロック信号とに基づき、前記第２クロック信号の異常の有無を判定する構成（第１０の構成）であっても良い。

[0017] 上記第１０の構成に係るデジタル処理装置において、前記第１クロック異常判定回路は、前記第１クロック信号を分周することで第１分周クロック信号を生成する第１分周器と、前記第１分周クロック信号における所定レベル変化の間隔を前記第２クロック信号を用いて監視する第１監視部と、有して、当該監視の結果から前記第１クロック信号又は前記第１分周器の異常の有無を判定し、前記第２クロック異常判定回路は、前記第２クロック信号を分周することで第２分周クロック信号を生成する第２分周器と、前記第２分周クロック信号における所定レベル変化の間隔を前記第１クロック信号を用いて監視する第２監視部と、有して、当該監視の結果から前記第２クロック信号又は前記第２分周器の異常の有無を判定する構成（第１１の構成）であっても良い。

[0018] 上記第１１の構成に係るデジタル処理装置において、前記第１分周器及び前記第２分周器の夫々は、データ入力端子、データ出力端子及びクロック入力端子を各々に備えた複数段の分周用フリップフロップから成り、各分周器の各分周用フリップフロップにおいて前記データ出力端子からの出力信号の論理反転信号が前記データ入力端子への入力信号とされ、前記第１分周器における前記複数段の分周用フリップフロップにおいて、初段の分周用フリップフロップの前記クロック入力端子には前記第１クロック信号が入力され、

初段の分周用フリップフロップ以外の各分周用フリップフロップの前記クロック入力端子には前段の分周用フリップフロップの前記データ出力端子からの出力信号が入力され、前記第１分周器における最終段の分周用フリップフロップの前記データ出力端子から前記第１分周クロック信号が出力され、前記第２分周器における前記複数段の分周用フリップフロップにおいて、初段の分周用フリップフロップの前記クロック入力端子には前記第２クロック信号が入力され、初段の分周用フリップフロップ以外の各分周用フリップフロップの前記クロック入力端子には前段の分周用フリップフロップの前記データ出力端子からの出力信号が入力され、前記第２分周器における最終段の分周用フリップフロップの前記データ出力端子から前記第２分周クロック信号が出力される構成（第１２の構成）であっても良い。

発明の効果

[0019] 本発明によれば、同期リセットに関わる異常の有無を良好に判定及び検出可能な同期リセット信号生成回路及びデジタル処理装置を提供することが可能となる。

図面の簡単な説明

[0020] [図1]本発明の実施形態に係るデジタル処理装置の概略構成図である。

[図2]本発明の実施形態に係り、同期リセット信号生成回路に関する信号波形図である。

[図3]本発明の実施形態に係る同期リセット信号生成回路の構成図である。

[図4]本発明の実施形態に係る１つフリップフロップを示す図である。

[図5]本発明の実施形態に係り、同期リセット信号生成回路に関する正常状況での信号波形図である。

[図6]本発明の第１実施例に係る同期リセット信号生成回路の構成図である。

[図7]本発明の第２実施例に係るデジタル処理装置の構成図である。

[図8]本発明の第２実施例に係る分周器の構成図である。

[図9]本発明の第３実施例に係るデジタル処理装置の構成図である。

[図10]図９のロジック回路の内部構成図である。

[図11]図９のエラー処理回路の内部構成図である。

[図12]従来の同期リセット信号生成回路の構成図である。

発明を実施するための形態

[0021] 以下、本発明の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、素子又は部位等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、素子又は部位等の名称を省略又は略記することがある。例えば、後述の“ＲＳＴＮ”によって参照される非同期リセット信号は（図１参照）、非同期リセット信号ＲＳＴＮと表記されることもあるし、リセット信号ＲＳＴＮ又は信号ＲＳＴＮと略記されることもあり得るが、それらは全て同じものを指す。

[0022] まず、本発明の実施形態の記述にて用いられる幾つかの用語について説明を設ける。レベルとは電位のレベルを指し、任意の信号についてハイレベルはローレベルよりも高い電位を有する。或る任意の注目した信号について、注目した信号がハイレベルであるとき、当該注目した信号の反転信号（論理反転信号）はローレベルをとり、注目した信号がローレベルであるとき、当該注目した信号の反転信号（論理反転信号）はハイレベルをとる。

任意の信号において、ローレベルからハイレベルへの切り替わりをアップエッジと称し、ローレベルからハイレベルへの切り替わりのタイミングをアップエッジタイミングと称する。同様に、任意の信号において、ハイレベルからローレベルへの切り替わりをダウンエッジと称し、ハイレベルからローレベルへの切り替わりのタイミングをダウンエッジタイミングと称する。

[0023] 図１は本発明の実施形態に係るデジタル処理装置の概略構成図である。図１のデジタル処理装置は、同期リセット信号生成回路１と、ロジック回路ＬＧと、を備える。

[0024] 同期リセット信号生成回路１には、クロック信号ＣＬＫと、非同期リセット信号ＲＳＴＮと、が入力される。クロック信号ＣＬＫは所定のクロック周

波数を有する矩形波信号であり、故に、クロック信号ＣＬＫの信号レベルは周期的にハイレベル及びローレベル間で切り替わる。

[0025] 非同期リセット信号ＲＳＴＮは、クロック信号ＣＬＫとは非同期の信号であって、ハイレベル又はローレベルの信号レベルをとる。同期リセット信号生成回路１は、非同期リセット信号ＲＳＴＮをクロック信号ＣＬＫにて同期化することで、クロック信号ＣＬＫに同期したリセット信号である同期リセット信号S_{RSTN}を生成する。

[0026] ここでは、リセット信号ＲＳＴＮ及びS_{RSTN}に対して負論理が採用されていることを想定する。故に、ローレベルのリセット信号ＲＳＴＮ及びS_{RSTN}はアクティブ状態（アサートの状態）にあり、ハイレベルのリセット信号ＲＳＴＮ及びS_{RSTN}は非アクティブ状態（ネゲートの状態）にある。

[0027] 図２を参照し、生成回路１は、ローレベルの非同期リセット信号ＲＳＴＮが入力されているとき、同期リセット信号S_{RSTN}をローレベルに維持する。そして、非同期リセット信号ＲＳＴＮにアップエッジが生じると、そのアップエッジの後に生じるクロック信号ＣＬＫのアップエッジに同期して同期リセット信号S_{RSTN}にアップエッジを生じさせる。信号ＲＳＴＮのアップエッジタイミングから信号S_{RSTN}のアップエッジタイミングまでの遅延量は生成回路１の構成に依存する。その後、非同期リセット信号ＲＳＴＮにダウンエッジが生じると、生成回路１は、クロック信号ＣＬＫのレベルに関係なく、直ちに同期リセット信号S_{RSTN}にダウンエッジを生じさせる。

[0028] 同期リセット信号S_{RSTN}のアップエッジはリセット解除の機能を持ち、同期リセット信号S_{RSTN}のダウンエッジはリセット発行の機能を持つ。

[0029] ロジック回路ＬＧにはクロック信号ＣＬＫ及び同期リセット信号S_{RSTN}が入力される。ロジック回路ＬＧは、クロック信号ＣＬＫに同期して動作する回路であり、クロック信号ＣＬＫに同期して動作するフリップフロップ等を含む。ロジック回路ＬＧには、信号ＣＬＫ及びS_{RSTN}に加えて、図示されない様々なデータ信号が入力されており、同期リセット信号S_{RSTN}がハイレベルであるときには、データ信号に基づく所定の通常動作を実行する。通常動

作はクロック信号ＣＬＫに同期して行われる。一方、同期リセット信号S_{RSTN}がローレベルであるとき、ロジック回路ＬＧにて上記通常動作が実行されず、ロジック回路ＬＧの状態（ロジック回路ＬＧに含まれるフリップフロップの状態を含む）は、所定の初期状態に維持される。

[0030] 故に、ロジック回路ＬＧが初期状態であるときにおいて、同期リセット信号S_{RSTN}にアップエッジが生じると、当該アップエッジはリセット解除として機能し、ロジック回路ＬＧは、以後、初期状態を起点にして上記通常動作を開始する。その後、同期リセット信号S_{RSTN}にダウンエッジが生じると、当該ダウンエッジはリセット発行として機能し、ロジック回路ＬＧの状態は初期状態へとリセット（換言すれば初期化）される。このように、ローレベルの同期リセット信号S_{RSTN}は、クロック信号ＣＬＫに同期して動作するロジック回路ＬＧをリセットする（即ちロジック回路ＬＧの状態を初期状態にリセットする）ための信号として機能する。

[0031] 尚、図１には、ロジック回路ＬＧが１つしか示されていないが、本実施形態に係るデジタル処理装置にロジック回路ＬＧが複数設けられていても良い。また、本実施形態に係るデジタル処理装置に、クロック信号ＣＬＫを生成するクロック信号生成回路や非同期リセット信号ＲＳＴＮを生成する非同期リセット信号生成回路（双方不図示）が含まれていても良い。

[0032] 図３は同期リセット信号生成回路１の構成図である。同期リセット信号生成回路１は、同期リセット信号出力部２と、第１エラー判定信号出力部３と、第２エラー判定信号出力部４と、異常判定部５と、を備える。

[0033] 出力部２、３及び４の夫々には複数のフリップフロップが備えられている。出力部２、３及び４の夫々に設けられる各フリップフロップとして、図４に示すフリップフロップ６００が用いることができる。

[0034] フリップフロップ６００の構成及び動作について説明する。以下、フリップフロップをＦＦと表記することがある。ＦＦ６００は、Ｄ型且つポジティブエッジトリガ型のフリップフロップであって、データ入力端子（以下Ｄ端子とも称され得る）と、データ出力端子（以下Ｑ端子とも称され得る）と、

クロック入力端子と、非同期リセット入力端子（以下リセット入力端子とも称され得る）と、を備える。ＦＦ６００のリセット入力端子には負論理が採用されている。故に、ＦＦ６００のリセット入力端子に対するローレベルの信号はアクティブ状態の信号であり、ＦＦ６００のリセット入力端子に対するハイレベルの信号は非アクティブ状態の信号である。

[0035] ＦＦ６００のＤ端子には第１論理値又は第２論理値を有する信号が入力され、ＦＦ６００のＱ端子からは第１論理値又は第２論理値を有する信号が出力される。ここでは、第１論理値を有する信号はローレベルの信号であるとし、第２論理値を有する信号はハイレベルの信号であるとする。

[0036] ＦＦ６００において、リセット入力端子にアクティブ状態の信号（ここではローレベルの信号）が入力されているとき、ＦＦ６００はリセット状態の論理値に相当する第１論理値を有する信号をＱ端子から出力する。ＦＦ６００においてリセット入力端子に非アクティブ状態の信号（ここではハイレベルの信号）が入力されているとき、ＦＦ６００はクロック入力端子に入力される信号のアップエッジに応答してＤ端子への入力信号の論理値を取り込んで保持し（詳細には、クロック入力端子に入力される信号のアップエッジタイミングにおけるＤ端子への入力信号の論理値を取り込んで保持し）、保持している論理値を有する信号をＱ端子から出力する。

[0037] 図３の構成の説明に戻る。出力部２はＬ個のＦＦ２１から成り、出力部３はＭ個のＦＦ３１から成り、出力部４はＮ個のＦＦ４１から成る。Ｌ、Ｍ及びＮは２以上の整数であるが、それらの整数が満たすべき関係については後述される。

[0038] 出力部２、３及び４における全てのＦＦ２１、３１及び４１において、クロック入力端子には共通のクロック信号ＣＬＫが入力され、リセット入力端子には共通の非同期リセット信号ＲＳＴＮが入力される。

[0039] ＦＦ２１、３１及び４１は、ＦＦ６００と同一の構成を有し、ＦＦ６００と同一の動作を行う。このため、非同期リセット信号ＲＳＴＮがローレベルであるとき、ＦＦ２１は自身のＱ端子からローレベルの信号を出力する。Ｆ

Ｆ３１及びＦＦ４１についても同様である。一方、非同期リセット信号ＲＳＴＮがハイレベルであるとき、ＦＦ２１は、クロック信号ＣＬＫのアップエッジに応答して自身のＤ端子への入力信号の論理値を取り込んで保持し（詳細には、クロック信号ＣＬＫのアップエッジタイミングにおけるＤ端子への入力信号の論理値を取り込んで保持し）、保持している論理値を有する信号を自身のＱ端子から出力する。ＦＦ３１及びＦＦ４１についても同様である。

[0040] より具体的には、或る注目した１つのＦＦ２１に関し、非同期リセット信号ＲＳＴＮがハイレベルである場合において、

クロック信号ＣＬＫのアップエッジタイミングにおけるＤ端子への入力信号が第１論理値（ローレベル）を有しているならば、当該ＦＦ２１は、クロック信号ＣＬＫのアップエッジに同期して第１論理値を取り込んで保持し、保持している第１論理値に対応したローレベルの信号をＱ端子から出力し、

クロック信号ＣＬＫのアップエッジタイミングにおけるＤ端子への入力信号が第２論理値（ハイレベル）を有しているならば、当該ＦＦ２１は、クロック信号ＣＬＫのアップエッジに同期して第２論理値を取り込んで保持し、保持している第２論理値に対応したハイレベルの信号をＱ端子から出力する。

ＦＦ３１及びＦＦ４１についても同様である。

[0041] 同期リセット信号出力部２において、Ｌ個のＦＦ２１は互いに縦続接続されてＬ段のシフトレジスタを構成する。即ち、Ｌ個のＦＦ２１は第１段目のＦＦ２１から第Ｌ段目のＦＦ２１から成り、第ｉ段目のＦＦ２１のＱ端子が第（ｉ＋１）段目のＦＦ２１のＤ端子に接続されることで、第ｉ段目のＦＦ２１のＱ端子からの出力信号が第（ｉ＋１）段目のＦＦ２１のＤ端子に入力される（ここにおけるｉは１以上且つＬ未満の整数）。つまり、互いに隣接する２つのＦＦ２１における前段側のＦＦ２１のＱ端子からの出力信号が後段側のＦＦ２１のＤ端子に入力される。初段のＦＦ２１に相当する第１段目のＦＦ２１のＤ端子にはハイレベルの信号（第２論理値を有する信号）が固

定して入力される。最終段のＦＦ２１に相当する第Ｌ段目のＦＦ２１のＱ端子からの出力信号は同期リセット信号S_{RSTN}として機能する。

[0042] 第１エラー判定信号出力部３において、Ｍ個のＦＦ３１は互いに縦続接続されてＭ段のシフトレジスタを構成する。即ち、Ｍ個のＦＦ３１は第１段目のＦＦ３１から第Ｍ段目のＦＦ３１から成り、第ｉ段目のＦＦ３１のＱ端子が第（ｉ＋１）段目のＦＦ３１のＤ端子に接続されることで、第ｉ段目のＦＦ３１のＱ端子からの出力信号が第（ｉ＋１）段目のＦＦ３１のＤ端子に入力される（ここにおけるｉは１以上且つＭ未満の整数）。つまり、互いに隣接する２つのＦＦ３１における前段側のＦＦ３１のＱ端子からの出力信号が後段側のＦＦ３１のＤ端子に入力される。初段のＦＦ３１に相当する第１段目のＦＦ３１のＤ端子にはハイレベルの信号（第２論理値を有する信号）が固定して入力される。最終段のＦＦ３１に相当する第Ｍ段目のＦＦ３１のＱ端子からの出力信号は第１エラー判定信号Ｅ１として機能する。

[0043] 第２エラー判定信号出力部４において、Ｎ個のＦＦ４１は互いに縦続接続されてＮ段のシフトレジスタを構成する。即ち、Ｎ個のＦＦ４１は第１段目のＦＦ４１から第Ｎ段目のＦＦ４１から成り、第ｉ段目のＦＦ４１のＱ端子が第（ｉ＋１）段目のＦＦ４１のＤ端子に接続されることで、第ｉ段目のＦＦ４１のＱ端子からの出力信号が第（ｉ＋１）段目のＦＦ４１のＤ端子に入力される（ここにおけるｉは１以上且つＮ未満の整数）。つまり、互いに隣接する２つのＦＦ４１における前段側のＦＦ４１のＱ端子からの出力信号が後段側のＦＦ４１のＤ端子に入力される。初段のＦＦ４１に相当する第１段目のＦＦ４１のＤ端子は、出力部３における最終段のＦＦ３１のＱ端子に接続される。故に、出力部４における初段のＦＦ４１のＤ端子には第１エラー判定信号Ｅ１が入力される。出力部４において、最終段のＦＦ４１に相当する第Ｎ段目のＦＦ４１のＱ端子からの出力信号は第２エラー判定信号Ｅ２として機能する。

[0044] 異常判定部５は、出力部２からの同期リセット信号S_{RSTN}、出力部３からの第１エラー判定信号Ｅ１及び出力部４からの第２エラー判定信号Ｅ２に基

づいて、同期リセット信号生成回路１における異常の有無を判定する。異常判定部５は、その異常の有無の判定結果を示す信号を外部回路（即ち回路１と異なる回路；図３において不図示）に対して出力することができる。異常は、故障を含む概念であって、正常とは異なる状態を指す。回路１の何れかに故障が生じているとき、回路１には異常がある。

[0045] 出力部３及び４は出力部２の異常の有無を検知するために設けられる回路である。故に、異常判定部５にて有無が判定される異常は、基本的に出力部２の異常又は同期リセット信号S_{RSTN}の異常であると解して良い。同期リセット信号S_{RSTN}の異常の主要因は出力部２の故障である。但し、後述されるように、出力部２だけでなく出力部３又は４の異常の有無をも判定しうるように異常判定部５を構成することも可能であり、この場合、異常判定部５は、出力部２～４の異常又は同期リセット信号S_{RSTN}の異常の有無を判定する部位である、と解することができる。尚、異常に関わる“判定”は“検出”と同義であると考えて良く、故に異常判定部５は上記の異常の有無を検出する異常検出部であると考えても良い。

[0046] 図５に、同期リセット信号生成回路１に何ら異常が生じていない状況（以下、正常状況と称する）における信号ＲＳＴＮ、Ｅ１、S_{RSTN}及びＥ２の関係を示す。正常状況において、信号ＲＳＴＮ、Ｅ１、S_{RSTN}及びＥ２が全てローレベルである状態を起点に非同期リセット信号ＲＳＴＮにアップエッジが生じると、まず第１エラー判定信号Ｅ１にアップエッジが生じ、次に同期リセット信号S_{RSTN}にアップエッジが生じ、最後に第２エラー判定信号Ｅ２にアップエッジが生じる。クロック信号ＣＬＫの周期（周期の時間長さ）を“t_{CLK}”にて表すと、典型的には、信号ＲＳＴＮのアップエッジタイミングから見た、信号Ｅ１のアップエッジタイミングまでの時間は“$M\times t_{CLK}+\Delta$”となり、信号S_{RSTN}のアップエッジタイミングまでの時間は“$L\times t_{CLK}+\Delta$”となり、信号Ｅ２のアップエッジタイミングまでの時間は“$(M+N)\times t_{CLK}+\Delta$”となることが期待される。時間Δは周期$t_{CLK}$よりも短い。

[0047] このようなアップエッジの発生順序を実現すべく、出力部３におけるＦＦ

３１の段数Ｍよりも出力部２におけるＦＦ２１の段数Ｌは大きく設定され、且つ、出力部２におけるＦＦ２１の段数Ｌよりも出力部３及び４におけるＦＦ３１及びＦＦ４１の段数の合計（Ｍ＋Ｎ）が大きく設定される。つまり、“Ｍ＜Ｌ＜Ｍ＋Ｎ”が満たされる。

[0048] 一方で、出力部３の最終段のＦＦ３１がメタステーブル状態となることを抑制すべく（換言すれば信号Ｅ１を確実にクロック信号ＣＬＫにて同期化された信号とすべく）、出力部３におけるＦＦ３１の段数Ｍは２以上とすべきである。まとめると、Ｌ、Ｍ及びＮは、“Ｍ≧２”、“Ｌ≧Ｍ＋１”且つ“Ｍ＋Ｎ≧Ｌ＋１”を満たす整数とされる。

[0049] これにより　仮に、信号Ｅ１及びＥ２がハイレベルであるのに信号$Ｓ_{ＲＳＴＮ}$がローレベルであれば、回路１（主として出力部２）に異常があると判定することができる。この異常は、リセット解除が正しく行われない状態を意味するので、リセット解除エラー又はリセット解除異常と称される。例えば、出力部２における最終段のＦＦ２１の出力信号がローレベルに固定される異常が発生したとき、リセット解除エラーが発生する。

[0050] また、これとは別に、信号ＲＳＴＮがローレベルであるときには信号Ｅ１、$Ｓ_{ＲＳＴＮ}$及びＥ２が全てローレベルとなるはずである。故に例えば、信号Ｅ１及びＥ２がローレベルであるのに信号$Ｓ_{ＲＳＴＮ}$がハイレベルであれば、回路１（主として出力部２）に異常があると判定することができる。この異常は、リセット発行が正しく行われない状態を意味するので、リセット発行エラー又はリセット発行異常と称される。例えば、出力部２における最終段のＦＦ２１の出力信号がハイレベルに固定される異常が発生したとき、リセット発行エラーが発生する。

[0051] 尚、以下では、リセット解除エラー及びリセット発行エラーを、まとめてリセットエラーと称することがある。

[0052] 非同期リセット信号ＲＳＴＮはクロック信号ＣＬＫと同期していないので、非同期リセット信号ＲＳＴＮのアップエッジが生じたとき、出力部２において、最終段以外のＦＦ２１にてメタステーブルが発生することがある。出

力部３及び４についても同様である。そして、非同期リセット信号ＲＳＴＮのアップエッジの後、出力部２及び３の内、出力部３のみにおいてメタステーブルが発生した場合、出力部３にメタステーブルが発生しなかった場合との比較において信号Ｅ１のアップエッジが１クロック分だけ遅れる。そうすると、“Ｌ＝Ｍ＋１”であったならば、非同期リセット信号ＲＳＴＮのアップエッジに応答して、まず第１エラー判定信号Ｅ１にアップエッジが生じ、次に同期リセット信号S_{RSTN}にアップエッジが生じるという順序が満たされないおそれが生じる。同様に、“Ｍ＋Ｎ＝Ｌ＋１”であったならば、非同期リセット信号ＲＳＴＮのアップエッジに応答して、同期リセット信号S_{RSTN}にアップエッジが生じ、その後に第２エラー判定信号Ｅ２のアップエッジが生じるという順序が満たされないおそれが生じる。

[0053] これらのおそれを排除すべく、Ｌ、Ｍ及びＮは、“Ｍ≧２”、“Ｌ≧Ｍ＋２”且つ“Ｍ＋Ｎ≧Ｌ＋２”を満たすことが望ましい。但し、メタステーブルが生じないようにするための対策が各ＦＦに施されている場合などにあっては、“Ｌ＝Ｍ＋１”且つ“Ｍ＋Ｎ＝Ｌ＋１”であっても実害が無いこともある。

[0054] 本実施形態の構成によれば、同期リセット信号に関わる異常の有無（即ちリセットエラーの有無）を正確に且つ迅速に判定することができる。結果、当該異常の発生に伴う保護動作によりシステム（デジタル処理装置を含むシステム）の不具合を未然に防ぐといったことが可能となり、信頼性又は安全性の高いシステムを構築することが可能となる。

[0055] 上述のデジタル処理装置（特に同期リセット信号生成回路１）に関する具体的な構成例や動作例などを、以下の第１～第９実施例の中で説明する。本実施形態にて上述した事項は、特に記述無き限り且つ矛盾無き限り、以下の第１～第９実施例に適用され、各実施例において、上述の事項と矛盾する事項については各実施例での記載が優先されて良い。また矛盾無き限り、第１～第９実施例の内、任意の実施例に記載した事項を、他の任意の実施例に適用することもできる（即ち第１～第９実施例の内の任意の２以上の実施例を

組み合わせることも可能である）。

[0056] ［第１実施例］

本発明の第１実施例を説明する。図６は第１実施例に係る同期リセット信号生成回路１の構成図である。第１実施例では、“（Ｌ，Ｍ，Ｎ）＝（５，３，４）”に設定されている。この場合、同期リセット信号出力部２を、第１段目～第３段目のＦＦ２１から成る前段部と、第４段目～第５段目のＦＦ２１から成る後段部と、に分けて考えることができる。前段部の構成は第１エラー判定出力部３の構成と同じであり、前段部に対して後段部を付加することで、“Ｌ≧Ｍ＋２”を担保していると考えることもできる。

[0057] 第１実施例に係る異常判定部５は、ＯＲ回路５１と、ＡＮＤ回路５２及び５３を備える。ＯＲ回路５１は、信号S_{RSTN}、Ｅ１及びＥ２の論理和信号を、エラー処理回路用のリセット信号E_{RST}として出力する。ＡＮＤ回路５２は、信号S_{RSTN}の反転信号と信号Ｅ１と信号Ｅ２との論理積信号を、リセット解除エラー判定信号Ｅｒｒａとして出力する。ＡＮＤ回路５３は、信号S_{RSTN}と信号Ｅ１の反転信号と信号Ｅ２の反転信号との論理積信号を、リセット発行エラー判定信号Ｅｒｒｂとして出力する。

[0058] リセット解除エラー判定信号Ｅｒｒａは、信号Ｅ１及びＥ２がハイレベルであって且つ信号S_{RSTN}がローレベルであるときに限り、ハイレベルとなり、それ以外のときにはローレベルとなる。ハイレベルの信号Ｅｒｒａはリセット解除エラーの発生及び存在を示し、ローレベルの信号Ｅｒｒａはリセット解除エラーの発生及び存在を示さない。

[0059] リセット発行エラー判定信号Ｅｒｒｂは、信号Ｅ１及びＥ２がローレベルであって且つ信号S_{RSTN}がハイレベルであるときに限り、ハイレベルとなり、それ以外のときにはローレベルとなる。ハイレベルの信号Ｅｒｒｂはリセット発行エラーの発生及び存在を示し、ローレベルの信号Ｅｒｒｂはリセット発行エラーの発生及び存在を示さない。

[0060] 信号Ｅｒｒａ及びＥｒｒｂは、図示されないエラー処理回路に送信される。エラー処理回路は、信号Ｅｒｒａ及びＥｒｒｂに基づいて所定のエラー処

理を実行する。即ち例えば、ハイレベルの信号Ｅｒｒａ又はハイレベルの信号Ｅｒｒｂを受けたとき、エラー処理回路は、エラー処理として所定のエラー発生対応処理を実行する。

[0061] 尚、エラー処理回路も、クロック信号ＣＬＫに同期して動作可能であり、図１のロジック回路ＬＧと同様に、同期リセット信号$Ｓ_{RSTN}$がローレベルであるときには、初期状態とされて、原則としてエラー処理の実行を停止する。但し、リセットエラーの発生時にエラー処理回路を有効に機能させるため、エラー処理回路にはリセット信号$Ｅ_{RST}$が入力されており、リセット信号$Ｅ_{RST}$がハイレベルであるときには、同期リセット信号$Ｓ_{RSTN}$に関わらずエラー処理回路のリセットが解除されて、エラー処理回路にてエラー処理が実行されるようになっている。但し、エラー処理回路にクロック信号ＣＬＫとは非同期で動作する回路を含めておき、当該回路にてエラー発生対応処理を含むエラー処理を行わせるようにしても良い。この場合には、ＯＲ回路５１及び信号$Ｅ_{RST}$は不要である。

[0062] ［第２実施例］

本発明の第２実施例を説明する。本実施形態に係るデジタル処理装置は複数の同期リセット信号生成回路１を有していて良い。第２実施例では、デジタル処理装置に２つの同期リセット信号生成回路１が設けられているものとする。図７は第２実施例に係るデジタル処理装置の構成図である。第２実施例に係るデジタル処理装置は２つの同期リセット信号生成回路１を備え、その内の一方を符号“１_{A}”にて参照し、他方を符号“１_{B}”にて参照する。同期リセット信号生成回路１_{A}、１_{B}に対するクロック信号ＣＬＫを、夫々、クロック信号$ＣＬＫ_{A}$、$ＣＬＫ_{B}$と称する。クロック信号$ＣＬＫ_{A}$及び$ＣＬＫ_{B}$は互いに非同期のクロック信号ＣＬＫである。

[0063] 回路１_{A}及び１_{B}に対し共通の非同期リセット信号ＲＳＴＮが入力される。回路１_{A}、１_{B}にて生成される同期リセット信号$Ｓ_{RSTN}$を、夫々、同期リセット信号$Ｓ_{RSTNA}$、$Ｓ_{RSTNB}$と称する。回路１_{A}は、非同期リセット信号ＲＳＴＮをクロック信号$ＣＬＫ_{A}$にて同期化することで、クロック信号$ＣＬＫ_{A}$に同

期したリセット信号である同期リセット信号S_{RSTNA}を生成する。回路1_Bは、非同期リセット信号ＲＳＴＮをクロック信号CLK_Bにて同期化することで、クロック信号CLK_Bに同期したリセット信号である同期リセット信号S_{RSTNB}を生成する。

[0064] 回路1_A及び1_Bの夫々の構成及び動作は上述の回路１と同様である。尚、第２実施例に係るデジタル処理装置に、クロック信号CLK_A及びCLK_Bを生成する第１及び第２クロック信号生成回路や非同期リセット信号ＲＳＴＮを生成する非同期リセット信号生成回路（全て不図示）が含まれていても良い。

[0065] 第２実施例に係るデジタル処理装置には、クロック信号CLK_Aの異常の有無を判定するための第１クロック異常判定回路と、クロック信号CLK_Bの異常の有無を判定するための第２クロック異常判定回路と、が備えられている。

[0066] 各クロック異常判定回路は、分周器とウォッチドッグタイマ（以下、ＷＤＴと称する）とを備えて成る。ＷＤＴはウィンドウ型のＷＤＴとして構成される。第１クロック異常判定回路における分周器及びＷＤＴは分周器6_A及び$WDT7_A$であり、第２クロック異常判定回路における分周器及びＷＤＴは分周器6_B及び$WDT7_B$である。

[0067] 分周器6_Aにはクロック信号CLK_A及び同期リセット信号S_{RSTNA}が入力される。分周器6_Aは、同期リセット信号S_{RSTNA}がハイレベル（非アクティブ状態）である区間において、クロック信号CLK_Aを所定の分周比にて分周することにより分周クロック信号を生成する。分周器6_Aにて生成された分周クロック信号はクリア信号CLR_Aとして$WDT7_A$に出力される。同期リセット信号S_{RSTNA}がローレベル（アクティブ状態）である区間では、分周器6_Aにて分周動作は行われず、クリア信号CLR_Aはローレベルに維持される。

[0068] $WDT7_A$には、クロック信号CLK_B、クリア信号CLR_A及び同期リセット信号S_{RSTNB}が入力される。クリア信号CLR_Aのアップエッジは$WDT7_A$に対するクリア制御に相当する。$WDT7_A$は、同期リセット信号S_{RSTNB}

がハイレベル（非アクティブ状態）である区間において第１ＷＤＴ処理を実行する。第１ＷＤＴ処理において、ＷＤＴ７$_A$は、クリア信号ＣＬＲ$_A$のアップエッジの発生間隔（クリア信号ＣＬＲ$_A$におけるローレベルからハイレベルへの変化の間隔）をクロック信号ＣＬＫ$_B$を用いて監視することで、クロック信号ＣＬＫ$_A$の異常の有無を判定する。その判定結果はクロックエラー判定信号ＣＥ$_A$としてＷＤＴ７$_A$から出力される。尚、分周器６$_A$に何らかの異常が発生した場合にもクリア信号ＣＬＲ$_A$のアップエッジの発生間隔が正常ではなくなり、ＷＤＴ７$_A$にて異常があると判断されることになる。故に、ＷＤＴ７$_A$は、上記の監視によりクロック信号ＣＬＫ$_A$又は分周器６$_A$の異常の有無を判定しているとも言える。

[0069] クロックエラー判定信号ＣＥ$_A$はハイレベル又はローレベルの信号レベルをとる二値化信号であり、ハイレベルの判定信号ＣＥ$_A$はクロック信号ＣＬＫ$_A$又は分周器６$_A$に異常があることを示し、ローレベルの判定信号ＣＥ$_A$はクロック信号ＣＬＫ$_A$又は分周器６$_A$に異常があることを示さない。同期リセット信号Ｓ$_{RSTNB}$がローレベル（アクティブ状態）である区間においては、第１ＷＤＴ処理は実行されず、判定信号ＣＥ$_A$はローレベルとされる。

[0070] より具体的には例えば、ＷＤＴ７$_A$は値ＣＮＴ$_A$をカウントするカウンタを備える。第１ＷＤＴ処理において、ＷＤＴ７$_A$におけるカウンタは、クロック信号ＣＬＫ$_B$のアップエッジが生じるごとに値ＣＮＴ$_A$に“１”を加算し、またクリア信号ＣＬＲ$_A$にてアップエッジが生じると値ＣＮＴ$_A$をリセットする（即ち値ＣＮＴ$_A$に“０”を代入する）。値ＣＮＴ$_A$の初期値は“０”であり、同期リセット信号Ｓ$_{RSTNB}$がローレベルであるとき値ＣＮＴ$_A$はリセットされている（即ち“ＣＮＴ$_A$＝０”である）。

[0071] クロック信号ＣＬＫ$_A$及び分周器６$_A$が正常であれば、一定の間隔でクリア信号ＣＬＲ$_A$にアップエッジが生じるはずであり、故に第１ＷＤＴ処理において、値ＣＮＴ$_A$が所定の上限値ＲＥＦ＿Ｈ$_A$に達すること又は値ＣＮＴ$_A$が所定の下限値ＲＥＦ＿Ｌ$_A$に達する前にクリア信号ＣＬＲ$_A$にアップエッジが生じることは無いはずである。従って、ＷＤＴ７$_A$は原則として判定信号ＣＥ$_A$を

ローレベルとしつつ、第１ＷＤＴ処理において、値$ＣＮＴ_A$が所定の上限値$ＲＥＦ＿Ｈ_A$に達したとき、又は、値$ＣＮＴ_A$が所定の下限値$ＲＥＦ＿Ｌ_A$に達する前にクリア信号$ＣＬＲ_A$にアップエッジが生じたとき、クロック信号$ＣＬＫ_A$又は分周器６_Aに異常があると判定してハイレベルの判定信号$ＣＥ_A$を出力する。クロック信号$ＣＬＫ_A$の生成回路又は分周器６_Aが故障した場合や、クロック信号$ＣＬＫ_A$を伝搬する配線に断線が生じた場合などに、判定信号$ＣＥ_A$がハイレベルとなることが想定される。上限値$ＲＥＦ＿Ｈ_A$及び下限値$ＲＥＦ＿Ｌ_A$は“$ＲＥＦ＿Ｈ_A$＞$ＲＥＦ＿Ｌ_A$＞０”を満たし、クロック信号$ＣＬＫ_A$及び$ＣＬＫ_B$の周波数の設計値に基づき決定される。

[0072] 分周器６_Bにはクロック信号$ＣＬＫ_B$及び同期リセット信号$Ｓ_{RSTNB}$が入力される。分周器６_Bは、同期リセット信号$Ｓ_{RSTNB}$がハイレベル（非アクティブ状態）である区間において、クロック信号$ＣＬＫ_B$を所定の分周比にて分周することにより分周クロック信号を生成する。分周器６_Bにて生成された分周クロック信号はクリア信号$ＣＬＲ_B$として$ＷＤＴ７_B$に出力される。同期リセット信号$Ｓ_{RSTNB}$がローレベル（アクティブ状態）である区間では、分周器６_Bにて分周動作は行われず、クリア信号$ＣＬＲ_B$はローレベルに維持される。

[0073] $ＷＤＴ７_B$には、クロック信号$ＣＬＫ_A$、クリア信号$ＣＬＲ_B$及び同期リセット信号$Ｓ_{RSTNA}$が入力される。クリア信号$ＣＬＲ_B$のアップエッジは$ＷＤＴ７_B$に対するクリア制御に相当する。$ＷＤＴ７_B$は、同期リセット信号$Ｓ_{RSTNA}$がハイレベル（非アクティブ状態）である区間において第２ＷＤＴ処理を実行する。第２ＷＤＴ処理において、$ＷＤＴ７_B$は、クリア信号$ＣＬＲ_B$のアップエッジの発生間隔（クリア信号$ＣＬＲ_B$におけるローレベルからハイレベルへの変化の間隔）をクロック信号$ＣＬＫ_A$を用いて監視することで、クロック信号$ＣＬＫ_B$の異常の有無を判定する。その判定結果はクロックエラー判定信号$ＣＥ_B$として$ＷＤＴ７_B$から出力される。尚、分周器６_Bに何らかの異常が発生した場合にもクリア信号$ＣＬＲ_B$のアップエッジの発生間隔が正常ではなくなり、$ＷＤＴ７_B$にて異常があると判断されることになる。故に、$ＷＤＴ７_B$は、上記の監視によりクロック信号$ＣＬＫ_B$又は分周器６_Bの異常の有無を判

定しているとも言える。

[0074] クロックエラー判定信号CE_Bはハイレベル又はローレベルの信号レベルをとる二値化信号であり、ハイレベルの判定信号CE_Bはクロック信号CLK_B又は分周器6_Bに異常があることを示し、ローレベルの判定信号CE_Bはクロック信号CLK_B又は分周器6_Bに異常があることを示さない。同期リセット信号S_{RSTNA}がローレベル（アクティブ状態）である区間においては、第２ＷＤＴ処理は実行されず、判定信号CE_Bはローレベルとされる。

[0075] より具体的には例えば、$WDT7_B$は値CNT_Bをカウントするカウンタを備える。第２ＷＤＴ処理において、$WDT7_B$におけるカウンタは、クロック信号CLK_Aのアップエッジが生じるごとに値CNT_Bに“１”を加算し、またクリア信号CLR_Bにてアップエッジが生じると値CNT_Bをリセットする（即ち値CNT_Bに“０”を代入する）。値CNT_Bの初期値は“０”であり、同期リセット信号S_{RSTNA}がローレベルであるとき値CNT_Bはリセットされている（即ち“$CNT_B=0$”である）。

[0076] クロック信号CLK_B及び分周器6_Bが正常であれば、一定の間隔でクリア信号CLR_Bにアップエッジが生じるはずであり、故に第２ＷＤＴ処理において、値CNT_Bが所定の上限値$REF__H_B$に達すること又は値CNT_Bが所定の下限値$REF__L_B$に達する前にクリア信号CLR_Bにアップエッジが生じることは無いはずである。従って、$WDT7_B$は原則として判定信号CE_Bをローレベルとしつつ、第２ＷＤＴ処理において、値CNT_Bが所定の上限値$REF__H_B$に達したとき、又は、値CNT_Bが所定の下限値$REF__L_B$に達する前にクリア信号CLR_Bにアップエッジが生じたとき、クロック信号CLK_B又は分周器6_Bに異常があると判定してハイレベルの判定信号CE_Bを出力する。クロック信号CLK_Bの生成回路又は分周器6_Bが故障した場合や、クロック信号CLK_Bを伝搬する配線に断線が生じた場合などに、判定信号CE_Bがハイレベルとなることが想定される。上限値$REF__H_B$及び下限値$REF__L_B$は“$REF__H_B>REF__L_B>0$”を満たし、クロック信号CLK_A及びCLK_Bの周波数の設計値に基づき決定される。

[0077] 尚、以下では、ハイレベルのクロックエラー判定信号CE_A又はCE_Bにて示される異常を、クロックエラーと称する。

[0078] このように、クロック異常判定回路を設けることで、クロックエラーを検出することが可能となる。同期リセット信号生成回路（1_A、1_B）は、リセットエラーを検出可能な一方でクロックエラーを検出することはできない。同期リセット信号生成回路に対してクロック異常判定回路を追加することで、リセットエラー及びクロックエラーの双方の検出が可能となり、信頼性の高いシステム（デジタル処理装置を含むシステム）を形成することが可能となる。

[0079] また、図７の構成によれば、２つのクロック信号の異常の有無を相互に監視することが可能となる。

[0080] $WDT7_A$は、クロック信号CLK_Aに基づく分周クロック信号（クリア信号CLR_A）における所定レベル変化の発生間隔を、クロック信号CLK_Bを用いて監視する第１監視部として機能する。$WDT7_B$は、クロック信号CLK_Bに基づく分周クロック信号（クリア信号CLR_B）における所定レベル変化の発生間隔を、クロック信号CLK_Aを用いて監視する第２監視部として機能する。所定レベル変化がアップエッジであるときの具体的動作を上述したが、所定レベル変化はダウンエッジであっても構わない。

[0081] 図８に分周器６の構成例を示す。図８の分周器６を分周器6_Aとして用いることができると共に分周器6_Bとして用いることができる。分周器６は、クロック信号ＣＬＫ及び同期リセット信号S_{RSTN}の入力を受け、クロック信号ＣＬＫを分周することで得た分周クロック信号をクリア信号ＣＬＲとして出力する。分周器６を分周器6_Aとして用いる場合、信号ＣＬＫ、S_{RSTN}、ＣＬＲを、夫々、信号CLK_A、S_{RSTNA}、CLR_Aとみなせば良く、分周器６を分周器6_Bとして用いる場合、信号ＣＬＫ、S_{RSTN}、ＣＬＲを、夫々、信号CLK_B、S_{RSTNB}、CLR_Bとみなせば良い。

[0082] 分周器６の構成及び動作を説明する。分周器６は複数段のフリップフロップ６１（ＦＦ６１）から成る。図８の例では、３つのＦＦ６１にて分周器６

が構成されている。３つのＦＦ６１を互いに区別する必要がある場合、３つのＦＦ６１を符号“６１＿１”、“６１＿２”、“６１＿３”にて参照する。ＦＦ６１＿１、６１＿２、６１＿３は、夫々、第１段目のＦＦ６１（初段のＦＦ６１）、第２段目のＦＦ６１、第３段目のＦＦ６１（最終段のＦＦ６１）である。

[0083] 各ＦＦ６１として図４に示すＦＦ６００が用いられる。分周器６を構成する全ＦＦ６１のリセット入力端子に対し同期リセット信号S_{RSTN}が入力される。分周器６を構成する各ＦＦ６１においてＱ端子からの出力信号の反転信号（論理反転信号）がＤ端子への入力信号とされる。即ち、ｉを任意の整数とした場合、ＦＦ６１＿ｉのＱ端子からの出力信号の反転信号（論理反転信号）がＦＦ６１＿ｉのＤ端子への入力信号となる。

[0084] 初段のＦＦ６１（即ちＦＦ６１＿１）のクロック入力端子にはクロック信号ＣＬＫ（分周器６_Aではクロック信号$ＣＬＫ_A$であり、分周器６_Bではクロック信号$ＣＬＫ_B$）が入力される。初段のＦＦ６１以外の各ＦＦ６１のクロック入力端子には前段のＦＦ６１のＱ端子からの出力信号が入力される。即ち、第２段目のＦＦ６１＿２のクロック入力端子には第１段目のＦＦ６１＿１のＱ端子からの出力信号が入力され、第３段目のＦＦ６１＿３のクロック入力端子には第２段目のＦＦ６１＿２のＱ端子からの出力信号が入力される。そして、最終段のＦＦ６１＿３のＱ端子から分周クロック信号としてのクリア信号ＣＬＲ（分周器６_Aではクリア信号$ＣＬＲ_A$であり、分周器６_Bではクリア信号$ＣＬＲ_B$）が出力される。

[0085] ＦＦ６１＿３のＱ端子から出力される分周クロック信号は、クロック信号ＣＬＫを“８”の分周比で分周した信号となる。図８の構成では、ＦＦ６１の段数（個数）は３とされているが、ＦＦ６１の段数（個数）は　３以外でも良い。ＦＦ６１の段数が“ｎ”であるとき、分周比は“２^n”となる（ｎは任意の自然数）。

[0086] カウンタを用いて分周器を構成しても良いが、図８の分周器６の構成によれば、クロック信号ＣＬＫからクリア信号ＣＬＲを生成する経路の何れに故

障が発生した場合でも、クリア信号ＣＬＲに正常なレベル変化が生じなくなるため（故障がマスクされるパスが存在しないため）、分周器６自体の故障を確実にＷＤＴにて検知することが可能となる。

[0087] ［第３実施例］

本発明の第３実施例を説明する。図９は第３実施例に係るデジタル処理装置の構成図である。第３実施例に係るデジタル処理装置は３つの同期リセット信号生成回路１を備える。ここでは、３つの同期リセット信号生成回路１を符号“１［１］”、“１［２］”　及び“１［３］”にて参照する。同期リセット信号生成回路１［１］～１［３］には互いに非同期のクロック信号ＣＬＫが入力され、同期リセット信号生成回路１［１］、１［２］、１［３］に対するクロック信号ＣＬＫを、夫々、符号“ＣＬＫ［１］”、“ＣＬＫ［２］”、“ＣＬＫ［３］”にて参照する。同期リセット信号生成回路１［１］～１［３］の夫々は、第１実施例に係る同期リセット信号生成回路１（図６参照）と同一の構成を有しているものとし、同期リセット信号生成回路１［ｉ］から出力される信号S_{RSTN}、E_{RST}、Ｅｒｒａ、Ｅｒｒｂを、特に夫々、信号S_{RSTN}［ｉ］、E_{RST}［ｉ］、Ｅｒｒａ［ｉ］、Ｅｒｒｂ［ｉ］にて参照する。ｉは任意の整数を表す。同期リセット信号生成回路１［１］～１［３］には共通の非同期リセット信号ＲＳＴＮが入力される。

[0088] 尚、第２実施例に係るデジタル処理装置に、クロック信号ＣＬＫ［１］～ＣＬＫ［３］を生成する第１～第３クロック信号生成回路や非同期リセット信号ＲＳＴＮを生成する非同期リセット信号生成回路（全て不図示）が含まれていても良い。

[0089] 同期リセット信号生成回路１［ｉ］は、非同期リセット信号ＲＳＴＮをクロック信号ＣＬＫ［ｉ］にて同期化することで、クロック信号ＣＬＫ［ｉ］に同期したリセット信号である同期リセット信号S_{RSTN}［ｉ］を生成する。ローレベルのリセット信号ＲＳＴＮ及びS_{RSTN}［ｉ］はアクティブ状態（アサートの状態）にあり、ハイレベルのリセット信号ＲＳＴＮ及びS_{RSTN}［ｉ］は非アクティブ状態（ネゲートの状態）にある。また、同期リセット信号

生成回路１［ｉ］に設けられた異常判定部５（図６参照）からエラー処理回路用のリセット信号E_{RST}［ｉ］、リセット解除エラー判定信号Ｅｒｒａ［ｉ］及びリセット発行エラー判定信号Ｅｒｒｂ［ｉ］が出力される。

[0090] 第３実施例に係るデジタル処理装置にはロジック回路ＬＧａ及びＬＧｂが設けられている。ロジック回路ＬＧａ及びＬＧｂの夫々に対し、クロック信号ＣＬＫ［１］及びＣＬＫ［２］並びに同期リセット信号S_{RSTN}［１］及びS_{RSTN}［２］が入力される。ロジック回路ＬＧａ及びＬＧｂは２つのロジック回路ＬＧであり、図１０に示す如く、各ロジック回路ＬＧには（即ちロジック回路ＬＧａ及びＬＧｂの夫々には）、ロジック回路ＬＧ［１］及びＬＧ［２］が設けられている。

[0091] ロジック回路ＬＧ［１］又はＬＧ［２］を表すロジック回路ＬＧ［ｉ］について説明する。ロジック回路ＬＧ［ｉ］にはクロック信号ＣＬＫ［ｉ］及び同期リセット信号S_{RSTN}［ｉ］が入力される。ロジック回路ＬＧ［ｉ］はクロック信号ＣＬＫ［ｉ］に同期して動作する回路であり、クロック信号ＣＬＫ［ｉ］に同期して動作するフリップフロップ等を含む。ロジック回路ＬＧ［ｉ］には、信号ＣＬＫ［ｉ］及びS_{RSTN}［ｉ］に加えて、図示されない様々なデータ信号が入力されており、同期リセット信号S_{RSTN}［ｉ］がハイレベルであるときには、データ信号に基づく所定の通常動作を実行する。ロジック回路ＬＧ［ｉ］における通常動作はクロック信号ＣＬＫ［ｉ］に同期して行われる。一方、同期リセット信号S_{RSTN}［ｉ］がローレベルであるとき、ロジック回路ＬＧ［ｉ］にて上記通常動作が実行されず、ロジック回路ＬＧ［ｉ］の状態（ロジック回路ＬＧ［ｉ］に含まれるフリップフロップの状態を含む）は、所定の初期状態に維持される。

[0092] 故に、ロジック回路ＬＧ［ｉ］が初期状態であるときにおいて、同期リセット信号S_{RSTN}［ｉ］にアップエッジが生じると、当該アップエッジはリセット解除として機能し、ロジック回路ＬＧ［ｉ］は、以後、初期状態を起点にして上記通常動作を開始する。その後、同期リセット信号S_{RSTN}［ｉ］にダウンエッジが生じると、当該ダウンエッジはリセット発行として機能し、

ロジック回路ＬＧ［ｉ］の状態は初期状態へとリセット（換言すれば初期化）される。このように、ローレベルの同期リセット信号S_{RSTN}［ｉ］は、クロック信号ＣＬＫ［ｉ］に同期して動作するロジック回路ＬＧ［ｉ］をリセットする（即ちロジック回路ＬＧ［ｉ］の状態を初期状態にリセットする）ための信号として機能する。

[0093] 第３実施例に係るデジタル処理装置には、分周器６［１］及びＷＤＴ７［１］から成り、クロック信号ＣＬＫ［１］の異常の有無を判定するためのクロック異常判定回路と、分周器６［２］及びＷＤＴ７［２］から成り、クロック信号ＣＬＫ［２］の異常の有無を判定するためのクロック異常判定回路と、分周器６［３］及びＷＤＴ７［３］から成り、クロック信号ＣＬＫ［３］の異常の有無を判定するためのクロック異常判定回路と、が備えられている。分周器６［ｉ］からＷＤＴ７［ｉ］に供給されるクリア信号を符号“ＣＬＲ［ｉ］”にて参照する。

[0094] 分周器６［１］にはクロック信号ＣＬＫ［１］及び同期リセット信号S_{RSTN}［１］が入力され、ＷＤＴ７［１］にはクリア信号ＣＬＲ［１］とクロック信号ＣＬＫ［３］及び同期リセット信号S_{RSTN}［３］が入力される。分周器６［１］及びＷＤＴ７［１］から成るクロック異常判定回路は、クロック信号ＣＬＫ［１］及びＣＬＫ［３］に基づいてクロック信号ＣＬＫ［１］の異常の有無（或いは分周器６［１］の異常の有無）を判定し、その判定結果を示すクロックエラー判定信号ＣＥ［１］を生成及び出力する。

分周器６［１］及びＷＤＴ７［１］の構成及び動作は図７の分周器６_{A}及び$ＷＤＴ７_{A}$と同一であるとみなして良く、この場合、図９の信号ＣＬＫ［１］、S_{RSTN}［１］、ＣＬＫ［３］、S_{RSTN}［３］、ＣＬＲ［１］、ＣＥ［１］を、夫々、図７の信号$ＣＬＫ_{A}$、S_{RSTNA}、$ＣＬＫ_{B}$、S_{RSTNB}、$ＣＬＲ_{A}$、$Ｅ_{A}$とみなせば良い。

[0095] 分周器６［２］にはクロック信号ＣＬＫ［２］及び同期リセット信号S_{RSTN}［２］が入力され、ＷＤＴ７［２］にはクリア信号ＣＬＲ［２］とクロック信号ＣＬＫ［３］及び同期リセット信号S_{RSTN}［３］が入力される。分周器

６［２］及びＷＤＴ７［２］から成るクロック異常判定回路は、クロック信号ＣＬＫ［２］及びＣＬＫ［３］に基づいてクロック信号ＣＬＫ［２］の異常の有無（或いは分周器６［２］の異常の有無）を判定し、その判定結果を示すクロックエラー判定信号ＣＥ［２］を生成及び出力する。

分周器６［２］及びＷＤＴ７［２］の構成及び動作は図７の分周器６_{A}及び$ＷＤＴ７_{A}$と同一であるとみなして良く、この場合、図９の信号ＣＬＫ［２］、$Ｓ_{RSTN}$［２］、ＣＬＫ［３］、$Ｓ_{RSTN}$［３］、ＣＬＲ［２］、ＣＥ［２］を、夫々、図７の信号$ＣＬＫ_{A}$、$Ｓ_{RSTNA}$、$ＣＬＫ_{B}$、$Ｓ_{RSTNB}$、$ＣＬＲ_{A}$、$Ｅ_{A}$とみなせば良い。

[0096] 分周器６［３］にはクロック信号ＣＬＫ［３］及び同期リセット信号$Ｓ_{RSTN}$［３］が入力され、ＷＤＴ７［３］にはクリア信号ＣＬＲ［３］とクロック信号ＣＬＫ［２］及び同期リセット信号$Ｓ_{RSTN}$［２］が入力される。分周器６［３］及びＷＤＴ７［３］から成るクロック異常判定回路は、クロック信号ＣＬＫ［３］及びＣＬＫ［２］に基づいてクロック信号ＣＬＫ［３］の異常の有無（或いは分周器６［３］の異常の有無）を判定し、その判定結果を示すクロックエラー判定信号ＣＥ［３］を生成及び出力する。

分周器６［３］及びＷＤＴ７［３］の構成及び動作は図７の分周器６_{A}及び$ＷＤＴ７_{A}$と同一であるとみなして良く、この場合、図９の信号ＣＬＫ［３］、$Ｓ_{RSTN}$［３］、ＣＬＫ［２］、$Ｓ_{RSTN}$［２］、ＣＬＲ［３］、ＣＥ［３］を、夫々、図７の信号$ＣＬＫ_{A}$、$Ｓ_{RSTNA}$、$ＣＬＫ_{B}$、$Ｓ_{RSTNB}$、$ＣＬＲ_{A}$、$Ｅ_{A}$とみなせば良い。

[0097] 第３実施例に係るデジタル処理装置には更にエラー処理回路８が設けられる。エラー処理回路８には、クロック信号ＣＬＫ［１］～ＣＬＫ［３］と、同期リセット信号$Ｓ_{RSTN}$［１］～$Ｓ_{RSTN}$［３］と、エラー処理回路用のリセット信号$Ｅ_{RST}$［１］～$Ｅ_{RST}$［３］と、エラー判定信号群と、が入力される。エラー判定信号群は、リセット解除エラー判定信号Ｅｒｒａ［１］～Ｅｒｒａ［３］と、リセット発行エラー判定信号Ｅｒｒｂ［１］～Ｅｒｒｂ［３］と、クロックエラー判定信号ＣＥ［１］～ＣＥ［３］と、を含む。

[0098] 図１１に示す如くエラー処理回路８はエラー処理部８［１］～８［３］を備える。エラー処理部８［１］～８［３］の何れかを表すエラー処理部８［ｉ］の入力信号及び動作について説明する。エラー処理部８［ｉ］には、クロック信号ＣＬＫ［ｉ］、同期リセット信号S_{RSTN}［ｉ］及びリセット信号E_{RST}［ｉ］が入力される。エラー処理部８［ｉ］はクロック信号ＣＬＫ［ｉ］に同期して動作する回路であり、クロック信号ＣＬＫ［ｉ］に同期して動作するフリップフロップ等を含む。

[0099] エラー処理部８［ｉ］にはエラー判定信号群も入力される。エラー処理部８［ｉ］はエラー判定信号群に基づいて所定のエラー処理を実行する。エラー処理部８［ｉ］は、エラー判定信号群を構成する何れか１以上のエラー判定信号の信号レベルがハイレベルであるとき（即ち、信号Ｅｒｒａ［１］～Ｅｒｒａ［３］、Ｅｒｒｂ［１］～Ｅｒｒｂ［３］及びＣＥ［１］～ＣＥ［３］の内、何れか１以上の信号の信号レベルがハイレベルであるとき）、エラー処理として所定のエラー発生対応処理を実行する。

[0100] エラー処理部８［ｉ］は同期リセット信号S_{RSTN}［ｉ］がローレベルであるときには、リセット状態となり、原則としてエラー処理の実行を停止する。但し、同期リセット信号S_{RSTN}［ｉ］に関わるリセットエラーの発生時にエラー処理部８［ｉ］を有効に機能させるため、エラー処理部８［ｉ］にはリセット信号E_{RST}［ｉ］が入力されており、リセット信号E_{RST}［ｉ］がハイレベルであるときには、同期リセット信号S_{RSTN}［ｉ］に関わらずエラー処理部８［ｉ］のリセットが解除されて、エラー処理部８［ｉ］にてエラー処理が実行されるようになっている。

[0101] エラー発生対応処理では、原則として“０”が代入されているエラーフラグに“１”が代入される。エラー処理回路８は、エラーフラグに“１”が代入されているとき、所定のエラー発生通知信号を、図９のデジタル処理装置に接続された上位システム回路（不図示）に伝達する。上位システム回路は、エラー発生通知信号を受信すると、図９のデジタル処理装置が設けられた機器の動作を停止させるなどの必要な保護動作を実行する。

[0102] エラー発生対応処理において、何のエラーが発生したのかを区別し得るような処理を行うようにしても良い。最も詳細には例えば、信号Ｅｒｒａ［１］～Ｅｒｒａ［３］、Ｅｒｒｂ［１］～Ｅｒｒｂ［３］及びＣＥ［１］～ＣＥ［３］に１対１で対応付けた第１～第９エラーフラグをエラー処理回路８に設けておく。各エラーフラグの初期値は“０”である。そして、信号Ｅｒｒａ［１］～Ｅｒｒａ［３］、Ｅｒｒｂ［１］～Ｅｒｒｂ［３］及びＣＥ［１］～ＣＥ［３］の何れかがハイレベルとなったとき、エラー処理回路８は、それら９つの信号の内、ハイレベルとなった信号に対応付けられたエラーフラグにのみ“１”を代入すると良い。この際、エラー発生通知信号は、第１～第９エラーフラグの内、何れのエラーフラグに“１”が代入されているのかを示す情報を含んでいて良い。

[0103] 尚、上述のエラーフラグはエラー処理回路８に設けられたメモリ（不図示）に設定される。エラーフラグが設定されたメモリは、ＥＥＰＲＯＭ（Electrically Erasable Programmable Read-Only Memory）等の不揮発性メモリであっても良いし、揮発性メモリであっても良い。

[0104] 図９の構成によれば、各クロック信号についてリセットエラー及びクロックエラーの双方の検出が可能となり、信頼性の高いシステム（デジタル処理装置を含むシステム）を形成することが可能となる。

[0105] 上述の説明から理解されるように、クロック信号ＣＬＫ［１］及びＣＬＫ［２］は、主としてロジック回路ＬＧａ及びＬＧｂを動作させるためのクロック信号である。これに対し、クロック信号ＣＬＫ［３］は、クロック信号ＣＬＫ［１］及びＣＬＫ［２］に関わるクロックエラーを検出するためのセイフティメカニズム専用クロック信号ＣＬＫＳＭとして機能する。

[0106] ［第４実施例］

本発明の第４実施例を説明する。第１実施例（図６参照）の構成では、信号Ｅ１及びＥ２がハイレベルであって且つ信号$Ｓ_{RSTN}$がローレベルであるときの異常と、信号Ｅ１及びＥ２がローレベルであって且つ信号$Ｓ_{RSTN}$がハイレベルであるときの異常しか検出できない（第３実施例も同様）。同期リセ

ット信号S_{RSTN}自体の異常の検出を目的とした場合、これで十分であるとも言えるが、他の種類の異常をも検知可能な構成をデジタル処理装置に設けておいても良い。

[0107] 例えば、図６の構成において出力部２及び４は正常であるが信号Ｅ１がローレベルで固定される故障が出力部３に生じていた場合に、これを検知し得るように（即ち出力部３の異常を検知し得るように）、信号S_{RSTN}及びＥ２がハイレベルであって且つ信号Ｅ１がローレベルであるときにハイレベルの信号を出力するＡＮＤ回路（不図示）を異常判定部５に追加し、そのハイレベルの信号を、回路１の異常を示す信号として、エラー処理回路８（図９参照）に伝達するようにしても良い。

[0108] また例えば、図６の構成において出力部２及び３は正常であるが信号Ｅ２がハイレベルで固定される故障が出力部４に生じていた場合に、これを検知し得るように（即ち出力部４の異常を検知し得るように）、信号S_{RSTN}及びＥ１がローレベルであって且つ信号Ｅ２がハイレベルであるときにハイレベルの信号を出力するＡＮＤ回路（不図示）を異常判定部５に追加し、そのハイレベルの信号を、回路１の異常を示す信号として、エラー処理回路８（図９参照）に伝達するようにしても良い。

[0109] 図９の構成において、同期リセット信号生成回路１［１］～１［３］における異常判定部５の機能をエラー処理回路８に担わせるようにしても良い。即ち（図６も参照）、同期リセット信号生成回路１［１］にて生成される同期リセット信号S_{RSTN}（S_{RSTN}［１］）並びにエラー判定信号Ｅ１及びＥ２と、同期リセット信号生成回路１［２］にて生成される同期リセット信号S_{RSTN}（S_{RSTN}［２］）並びにエラー判定信号Ｅ１及びＥ２と、同期リセット信号生成回路１［３］にて生成される同期リセット信号S_{RSTN}（S_{RSTN}［３］）並びにエラー判定信号Ｅ１及びＥ２とをエラー処理回路８に伝達するようにし、エラー処理回路８にて、同期リセット信号生成回路１［１］～１［３］における異常判定部５の機能を実現するようにしても良い。この場合、出力部２～４とエラー処理回路８とで、本発明に係る同期リセット信号生成

回路が構成されると考えることもできる。

[0110] ［第５実施例］

本発明の第５実施例を説明する。第３実施例ではロジック回路用のクロック信号が２種類であることを想定したが、ロジック回路用のクロック信号は３種類であっても良い。即ち例えば、第３実施例（図９参照）に係るデジタル処理装置において、クロック信号ＣＬＫ［１］に同期して動作するロジック回路及びクロック信号ＣＬＫ［２］に同期して動作するロジック回路に加えて、クロック信号ＣＬＫ［４］に同期して動作するロジック回路が更に設けられていても良い。この場合、図９のデジタル処理装置に、クロック信号ＣＬＫ［４］用の同期リセット信号生成回路１［４］、分周器６［４］及びＷＤＴ７［４］を追加すれば良く（全て不図示）、生成回路１［４］からの信号Ｅｒｒａ［４］及びＥｒｒｂ［４］並びにＷＤＴ７［４］からの信号ＣＥ［４］をエラー判定信号群に追加すれば良い。ロジック回路用のクロック信号が４種類以上である場合も同様である。

[0111] ［第６実施例］

本発明の第６実施例を説明する。ロジック回路用のクロック信号は１種類であっても良い。この場合、第３実施例（図９～図１１参照）に係るデジタル処理装置を基準として、クロック信号ＣＬＫ［１］に関わる回路ブロック（同期リセット信号生成回路１［１］、分周器６［１］、ＷＤＴ７［１］、ロジック回路ＬＧ［１］及びエラー処理部８［１］を含む）を削除すれば良い。

[0112] ［第７実施例］

本発明の第７実施例を説明する。第３実施例（図９～図１１参照）に係るデジタル処理装置において、セイフティメカニズム専用クロック信号ＣＬＫＳＭに相当するクロック信号ＣＬＫ［３］を利用しない変形が適用されても良い。この場合、第３実施例（図９～図１１参照）に係るデジタル処理装置を基準として、クロック信号ＣＬＫ［３］に関わる回路ブロック（同期リセット信号生成回路１［３］、分周器６［３］、ＷＤＴ７［３］及びエラー処

理部８［３］を含む）を削除すると共に、図９のクロック信号ＣＬＫ［１］及びＣＬＫ［２］、分周器６［１］及び６［２］、ＷＤＴ７［１］及び７［２］を、図７のクロック信号$ＣＬＫ_A$及び$ＣＬＫ_B$、分周器６_A及び６_B、$ＷＤＴ７_A$及び７_Bとみなすことで、クロック信号ＣＬＫ［１］及びＣＬＫ［２］の相互監視を実現すると良い。

[0113] ［第８実施例］

本発明の第８実施例を説明する。本実施形態に係る同期リセット信号生成回路及びデジタル処理装置は、クロック信号に同期した動作を行う必要のある任意の機器に搭載することができ、当該機器として、特に、高い信頼性が求められる機器が挙げられる。例えば、本実施形態に係る同期リセット信号生成回路及びデジタル処理装置は、自動車の車両に設けられたＥＣＵ（Electronic Control Unit）に搭載又は接続されても良いし、産業用機器や原子炉制御装置に搭載されても良いし、鉄道の走行制御を担う機器に搭載されても良い。

[0114] ［第９実施例］

本発明の第９実施例を説明する。

[0115] 上述の説明では、各ＦＦがポジティブエッジトリガ型のＦＦであることを想定したが、各ＦＦはネガティブエッジトリガ型のＦＦとされても良い。

[0116] 上述の主旨を損なわない形で、任意の信号に関して、ハイレベルとローレベルの関係を逆にしても良い。これに関連するが、任意の信号について正論理及び負論理の何れを採用するかは任意である。

[0117] 本実施形態に係るデジタル処理装置のみを含む半導体装置を構成しても良いし、本実施形態に係るデジタル処理装置と他の装置（演算処理装置やメモリ等）を組み込んだ半導体装置を構成するようにしても良い。ここにおける半導体装置は半導体集積回路を筐体に封入して構成される装置であり、半導体集積回路にて、本実施形態に係るデジタル処理装置が形成され、上記他の装置も形成されうる。

[0118] 本発明の実施形態は、特許請求の範囲に示された技術的思想の範囲内にお

いて、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本発明の実施形態の例であって、本発明ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

符号の説明

[0119] １、１$_A$、１$_B$、１［ｉ］　同期リセット信号生成回路

２　同期リセット信号出力部

３　第１エラー判定信号出力部

４　第２エラー判定信号出力部

５　異常判定部

６$_A$、６$_B$、６［ｉ］　分周器

７$_A$、７$_B$、７［ｉ］　ウォッチドッグタイマ

８　エラー処理回路

ＬＧ、ＬＧａ、ＬＧｂ　ロジック回路

ＣＬＫ、ＣＬＫ$_A$、ＣＬＫ$_B$、ＣＬＫ［ｉ］　クロック信号

ＲＳＴＮ　非同期リセット信号

Ｓ$_{RSTN}$、Ｓ$_{RSTNA}$、Ｓ$_{RSTNB}$、Ｓ$_{RSTN}$［ｉ］　同期リセット信号

Ｅ１　第１エラー判定信号

Ｅ２　第２エラー判定信号

請求の範囲

[請求項1] 非同期リセット信号をクロック信号にて同期化することで同期リセット信号を生成する同期リセット信号生成回路において、

縦続接続されたＬ個のフリップフロップを有し、前記Ｌ個のフリップフロップにおける最終段のフリップフロップから前記同期リセット信号を出力する同期リセット信号出力部と、

縦続接続されたＭ個のフリップフロップを有し、前記Ｍ個のフリップフロップにおける最終段のフリップフロップから第１エラー判定信号を出力する第１エラー判定信号出力部と、

縦続接続されたＮ個のフリップフロップを有し、前記Ｎ個のフリップフロップにおける最終段のフリップフロップから第２エラー判定信号を出力する第２エラー判定信号出力部と、

前記同期リセット信号、前記第１エラー判定信号、及び、前記第２エラー判定信号に基づいて、当該同期リセット信号生成回路における異常の有無を判定する異常判定部と、を備え、

前記Ｎ個のフリップフロップにおける初段のフリップフロップに対し前記第１エラー判定信号が入力され、

前記Ｌ個、前記Ｍ個及び前記Ｎ個のフリップフロップに対し、共通に、前記クロック信号及び前記非同期リセット信号が入力され、

Ｌ、Ｍ及びＮは、“Ｍ≧２”、“Ｌ≧Ｍ＋１”且つ“Ｍ＋Ｎ≧Ｌ＋１”を満たす整数である

ことを特徴とする同期リセット信号生成回路。

[請求項2] “Ｌ≧Ｍ＋２”且つ“Ｍ＋Ｎ≧Ｌ＋２”が満たされる

ことを特徴とする請求項１に記載の同期リセット信号生成回路。

[請求項3] 前記同期リセット信号出力部、前記第１エラー判定信号出力部及び前記第２エラー判定信号出力部において、各フリップフロップは、データ入力端子、データ出力端子、クロック入力端子及び非同期リセット入力端子を有して、各フリップフロップの前記クロック入力端子及

び前記非同期リセット入力端子に夫々前記クロック信号及び前記非同期リセット信号が入力され、且つ、互いに隣接する２つのフリップフロップにおける前段側のフリップフロップの前記データ出力端子からの出力信号が後段側のフリップフロップの前記データ入力端子に入力され、

前記Ｌ個のフリップフロップにおいて、初段のフリップフロップの前記データ入力端子に所定論理値を持つ信号が入力され、最終段のフリップフロップの前記データ出力端子から前記同期リセット信号が出力され、

前記Ｍ個のフリップフロップにおいて、初段のフリップフロップの前記データ入力端子に前記所定論理値を持つ信号が入力され、最終段のフリップフロップの前記データ出力端子から前記第１エラー判定信号が出力され、

前記Ｎ個のフリップフロップにおいて、初段のフリップフロップの前記データ入力端子に前記第１エラー判定信号が入力され、最終段のフリップフロップの前記データ出力端子から前記第２エラー判定信号が出力される

ことを特徴とする請求項１又は２に記載の同期リセット信号生成回路。

[請求項4] 各フリップフロップは、アクティブ状態の前記非同期リセット信号が入力されているとき、第１論理値を持つ信号を前記データ出力端子から出力し、非アクティブ状態の前記非同期リセット信号が入力されているとき、前記クロック信号の所定レベル変化に応答して前記データ入力端子への入力信号の論理値を保持して保持値の信号を前記データ出力端子から出力し、

前記所定論理値は第２論理値であり、

前記第１論理値の前記同期リセット信号は、前記クロック信号に同期して動作するロジック回路をリセットするための信号である

ことを特徴とする請求項３に記載の同期リセット信号生成回路。

[請求項5] 前記異常判定部は、前記第１エラー判定信号及び前記第２エラー判定信号が前記第２論理値を有していて、且つ、前記同期リセット信号が前記第１論理値を有しているとき、前記異常が有ると判定する

ことを特徴とする請求項４に記載の同期リセット信号生成回路。

[請求項6] 前記異常判定部は、前記第１エラー判定信号及び前記第２エラー判定信号が前記第１論理値を有していて、且つ、前記同期リセット信号が前記第２論理値を有しているとき、前記異常が有ると判定する

ことを特徴とする請求項４又は５に記載の同期リセット信号生成回路。

[請求項7] 請求項１～６の何れかに記載の同期リセット信号生成回路と、クロック異常判定回路と、を備えたデジタル処理装置であって、

前記クロック異常判定回路は、前記クロック信号と、前記クロック信号とは別のクロック信号とに基づき、前記クロック信号の異常の有無を判定する

ことを特徴とするデジタル処理装置。

[請求項8] 前記クロック異常判定回路は、前記クロック信号を分周することで分周クロック信号を生成する分周器と、前記分周クロック信号における所定レベル変化の間隔を前記別のクロック信号を用いて監視する監視部と、有し、当該監視の結果から前記クロック信号又は前記分周器の異常の有無を判定する

ことを特徴とする請求項７に記載のデジタル処理装置。

[請求項9] 前記分周器は、データ入力端子、データ出力端子及びクロック入力端子を各々に備えた複数段の分周用フリップフロップから成り、

各分周用フリップフロップにおいて前記データ出力端子からの出力信号の論理反転信号が前記データ入力端子への入力信号とされ、

前記複数段の分周用フリップフロップにおいて、初段の分周用フリップフロップの前記クロック入力端子には前記クロック信号が入力さ

れ、初段の分周用フリップフロップ以外の各分周用フリップフロップの前記クロック入力端子には前段の分周用フリップフロップの前記データ出力端子からの出力信号が入力され、最終段の分周用フリップフロップの前記データ出力端子から前記分周クロック信号が出力されることを特徴とする請求項８に記載のデジタル処理装置。

[請求項10] 第１及び第２同期リセット信号生成回路を含む複数の同期リセット信号生成回路と、第１及び第２クロック異常判定回路を含む複数のクロック異常判定回路と、を備えたデジタル処理装置であって、

前記第１及び第２同期リセット信号生成回路の夫々として請求項１～６の何れかに記載の同期リセット信号生成回路が用いられ、

前記第１同期リセット信号生成回路におけるクロック信号、前記第２同期リセット信号生成回路におけるクロック信号は、夫々、第１クロック信号、第２クロック信号であり、

前記第１クロック異常判定回路は、前記第１クロック信号と前記第２クロック信号とに基づき、前記第１クロック信号の異常の有無を判定し、

前記第２クロック異常判定回路は、前記第２クロック信号と前記第１クロック信号とに基づき、前記第２クロック信号の異常の有無を判定する

ことを特徴とするデジタル処理装置。

[請求項11] 前記第１クロック異常判定回路は、前記第１クロック信号を分周することで第１分周クロック信号を生成する第１分周器と、前記第１分周クロック信号における所定レベル変化の間隔を前記第２クロック信号を用いて監視する第１監視部と、有して、当該監視の結果から前記第１クロック信号又は前記第１分周器の異常の有無を判定し、

前記第２クロック異常判定回路は、前記第２クロック信号を分周することで第２分周クロック信号を生成する第２分周器と、前記第２分周クロック信号における所定レベル変化の間隔を前記第１クロック信

号を用いて監視する第２監視部と、有して、当該監視の結果から前記第２クロック信号又は前記第２分周器の異常の有無を判定する
ことを特徴とする請求項１０に記載のデジタル処理装置。

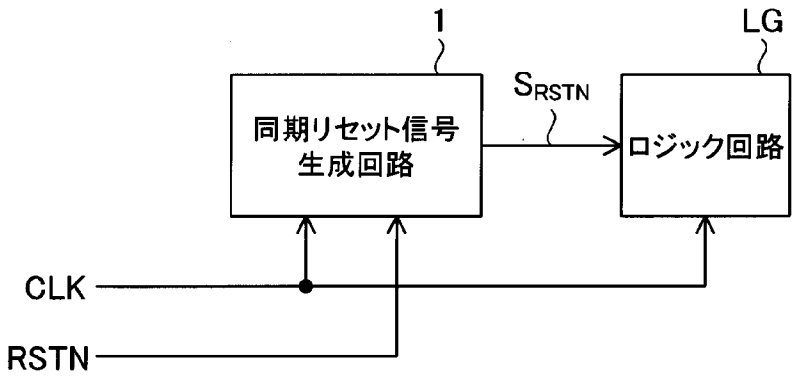
[請求項12] 前記第１分周器及び前記第２分周器の夫々は、データ入力端子、データ出力端子及びクロック入力端子を各々に備えた複数段の分周用フリップフロップから成り、

各分周器の各分周用フリップフロップにおいて前記データ出力端子からの出力信号の論理反転信号が前記データ入力端子への入力信号とされ、

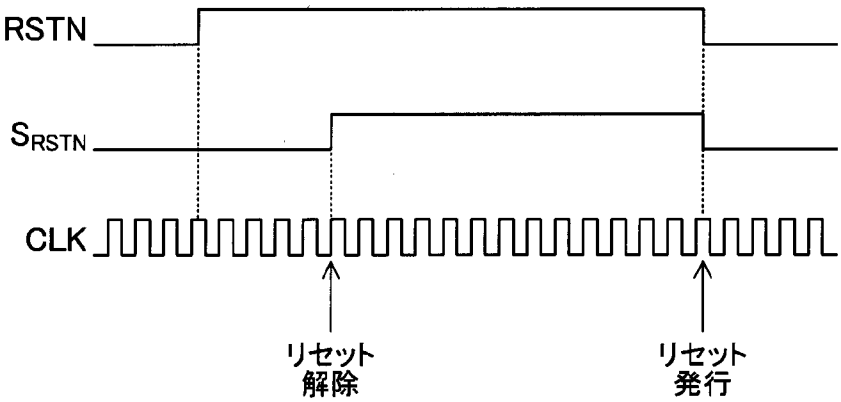
前記第１分周器における前記複数段の分周用フリップフロップにおいて、初段の分周用フリップフロップの前記クロック入力端子には前記第１クロック信号が入力され、初段の分周用フリップフロップ以外の各分周用フリップフロップの前記クロック入力端子には前段の分周用フリップフロップの前記データ出力端子からの出力信号が入力され、前記第１分周器における最終段の分周用フリップフロップの前記データ出力端子から前記第１分周クロック信号が出力され、

前記第２分周器における前記複数段の分周用フリップフロップにおいて、初段の分周用フリップフロップの前記クロック入力端子には前記第２クロック信号が入力され、初段の分周用フリップフロップ以外の各分周用フリップフロップの前記クロック入力端子には前段の分周用フリップフロップの前記データ出力端子からの出力信号が入力され、前記第２分周器における最終段の分周用フリップフロップの前記データ出力端子から前記第２分周クロック信号が出力される
ことを特徴とする請求項１１に記載のデジタル処理装置。

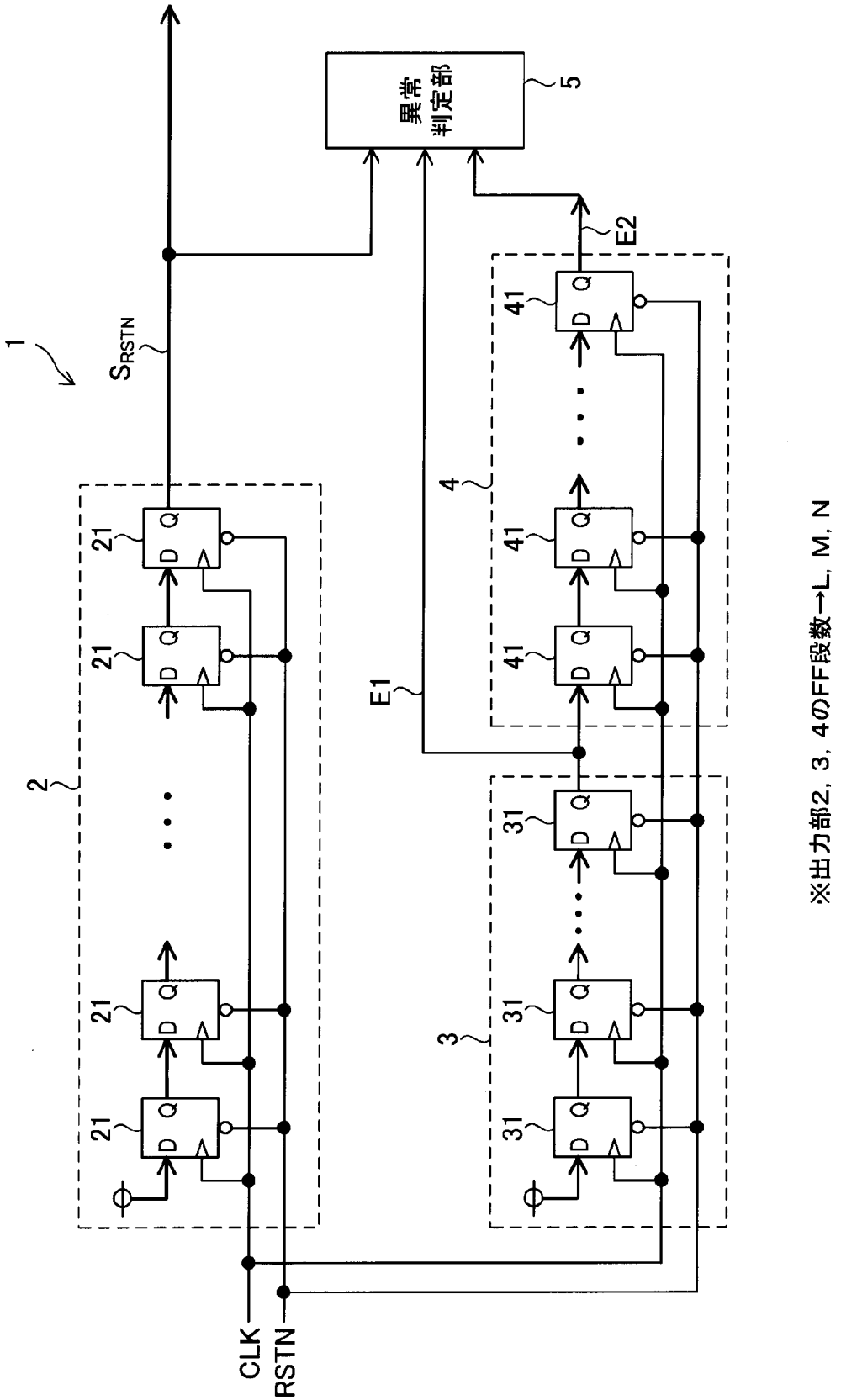
[図1]


1
LG
同期リセット信号
生成回路
SRSTN
ロジック回路
CLK
RSTN

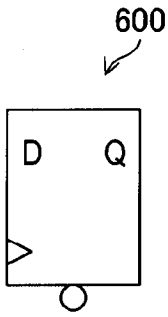
[図2]


RSTN
SRSTN
CLK
リセット
解除
リセット
発行

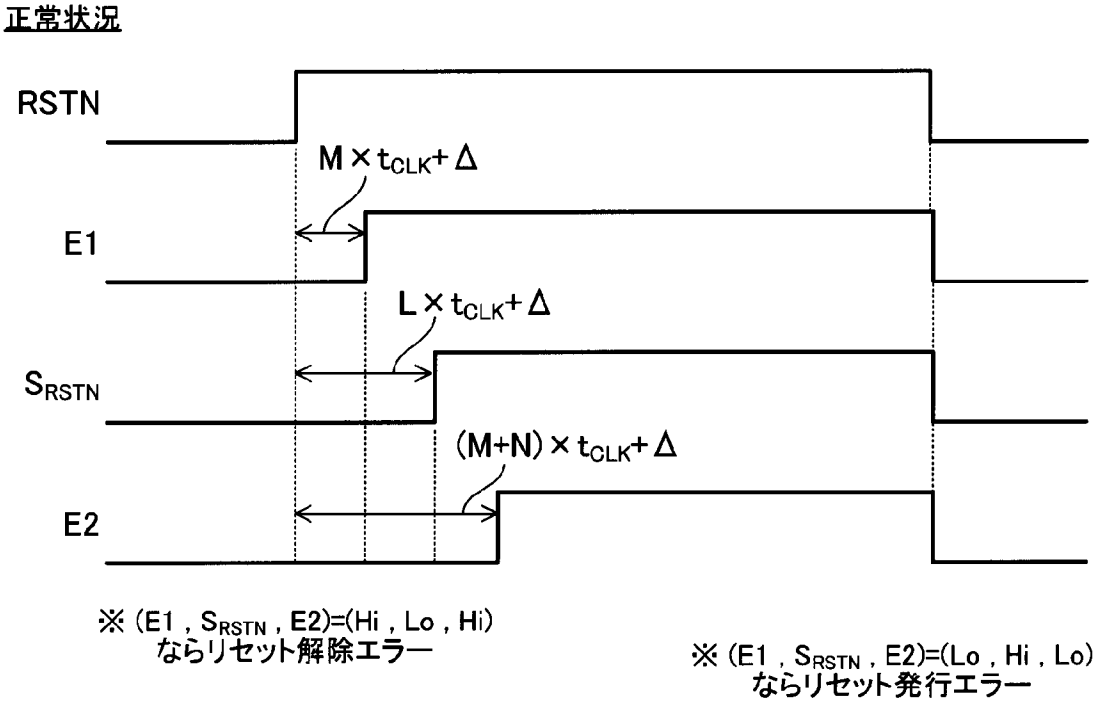
[図3]



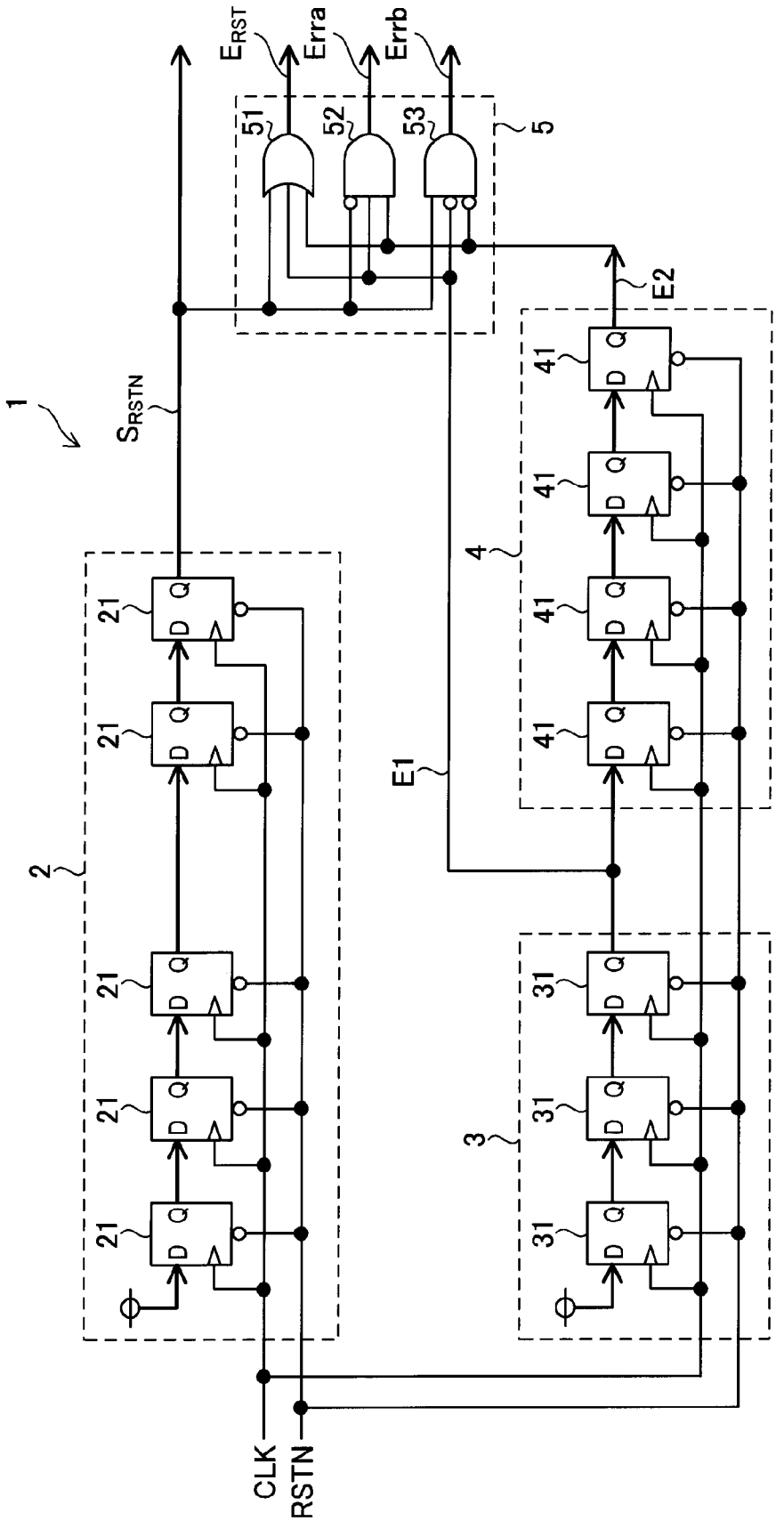
[図4]


600
D
Q

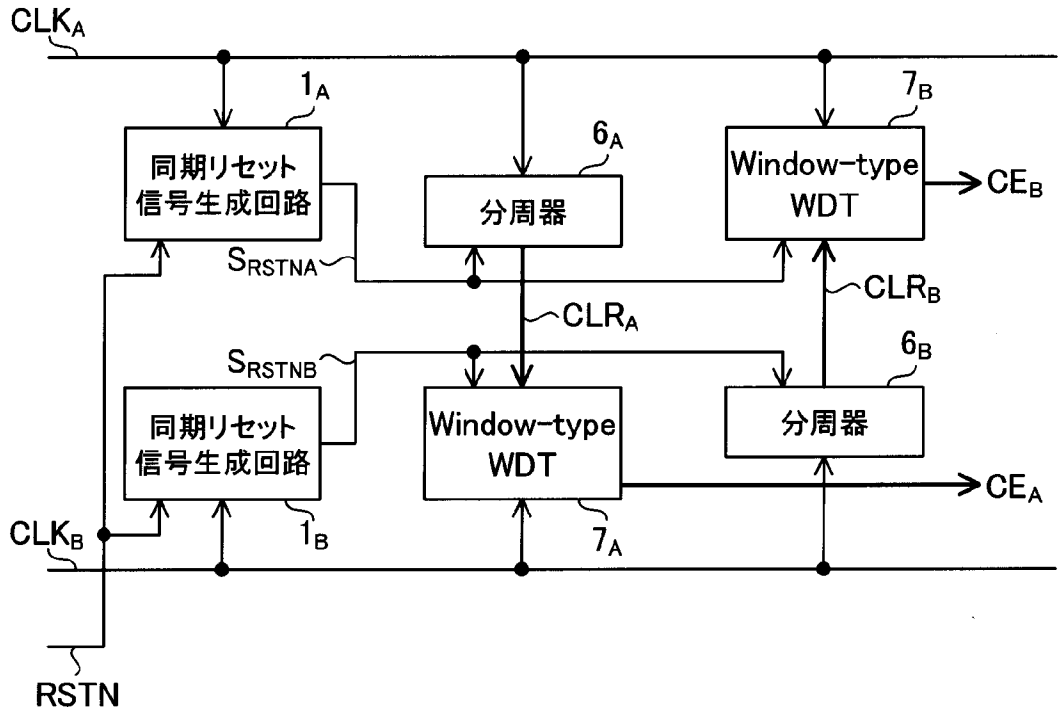
[図5]


正常状況
RSTN
M × tCLK + Δ
E1
L × tCLK + Δ
SRSTN
(M+N) × tCLK + Δ
E2
※ (E1 , SRSTN , E2)=(Hi , Lo , Hi)
ならリセット解除エラー
※ (E1 , SRSTN , E2)=(Lo , Hi , Lo)
ならリセット発行エラー

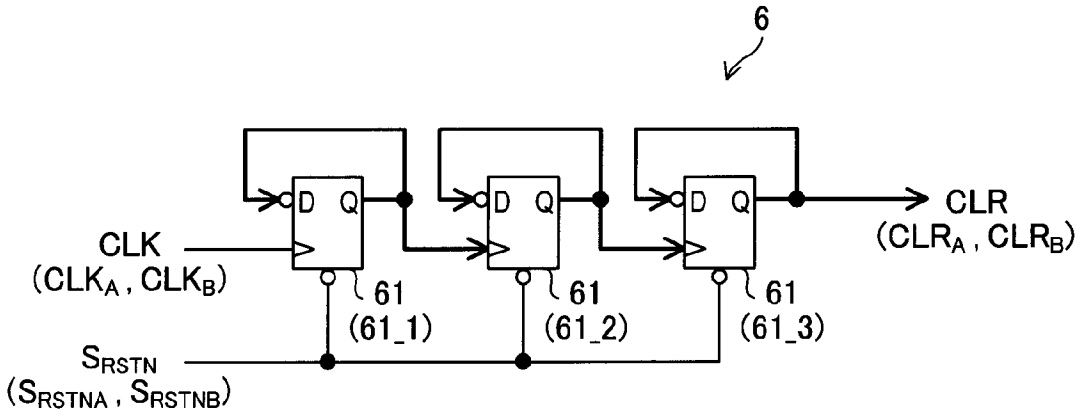
[図6]



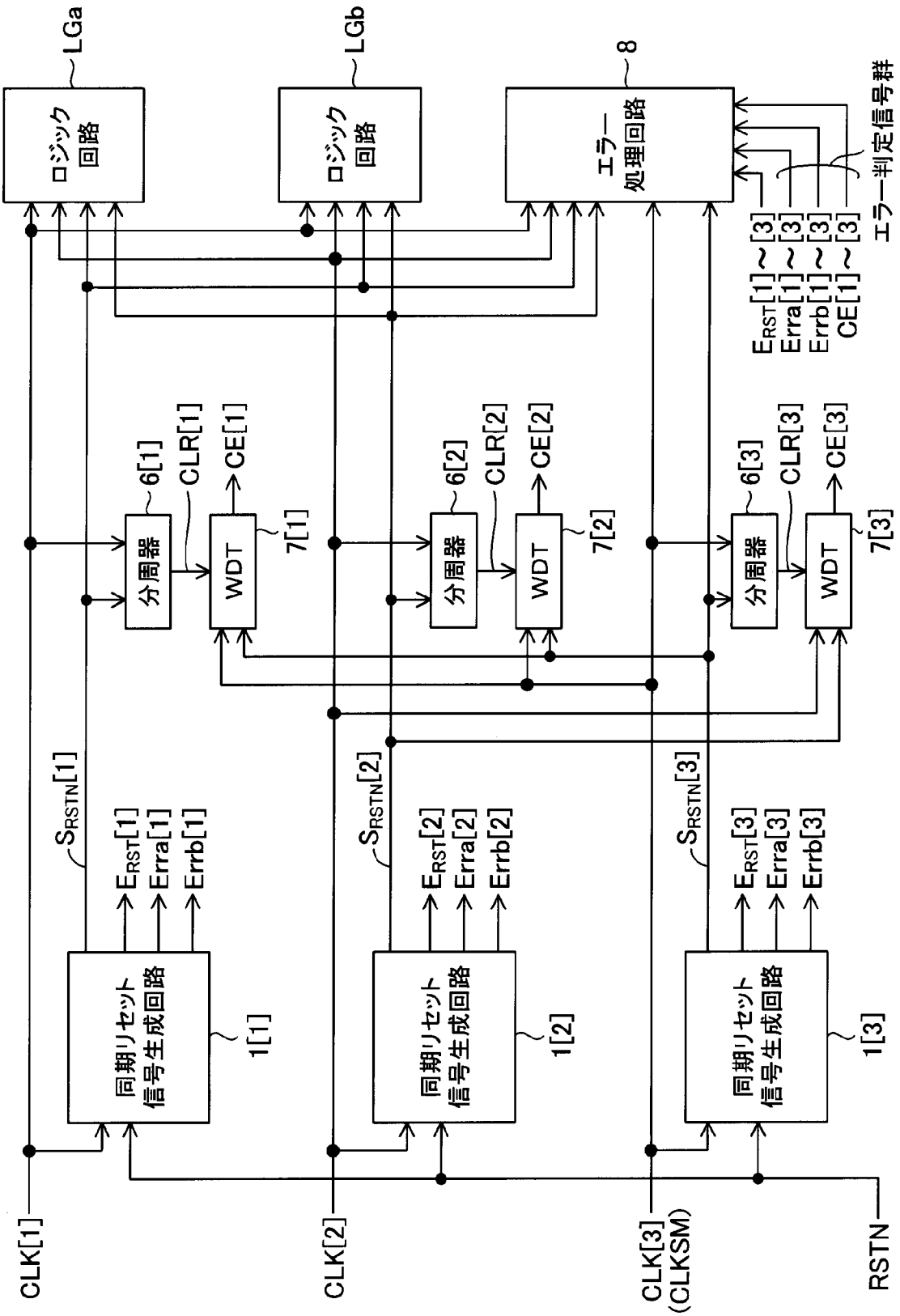
[図7]


CLK_A
1_A
7_B
同期リセット
信号生成回路
6_A
分周器
Window-type
WDT
CE_B
S_RSTNA
CLR_A
CLR_B
S_RSTNB
6_B
同期リセット
信号生成回路
Window-type
WDT
分周器
CE_A
CLK_B
1_B
7_A
RSTN

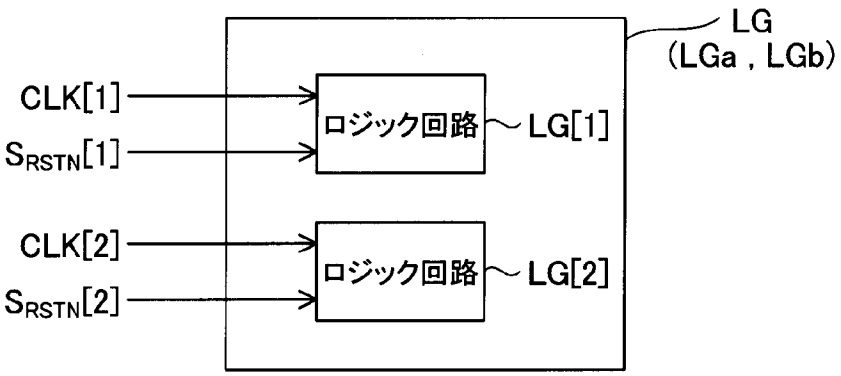
[図8]


6
D Q
D Q
D Q
CLR
(CLR_A , CLR_B)
CLK
(CLK_A , CLK_B)
61
(61_1)
61
(61_2)
61
(61_3)
S_RSTN
(S_RSTNA , S_RSTNB)

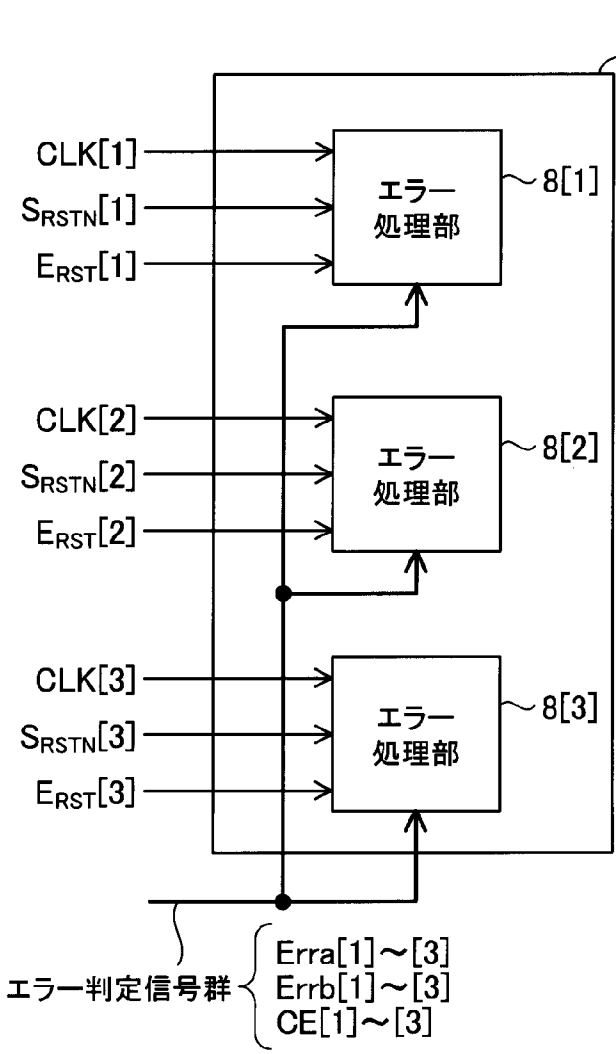
[図9]


LGa
LGb
8
ロジック回路
ロジック回路
エラー処理回路
エラー判定信号群
ERST[1]~[3]
Erra[1]~[3]
Errb[1]~[3]
CE[1]~[3]
6[1]
6[2]
6[3]
CLR[1]
CLR[2]
CLR[3]
CE[1]
CE[2]
CE[3]
分周器
WDT
7[1]
7[2]
7[3]
SRSTN[1]
SRSTN[2]
SRSTN[3]
ERST[1]
Erra[1]
Errb[1]
ERST[2]
Erra[2]
Errb[2]
ERST[3]
Erra[3]
Errb[3]
同期リセット信号生成回路
1[1]
1[2]
1[3]
CLK[1]
CLK[2]
CLK[3] (CLKSM)
RSTN

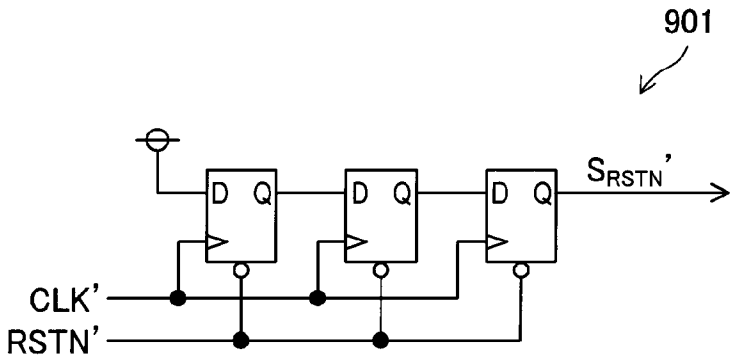
[図10]


LG
(LGa , LGb)
CLK[1]
SRSTN[1]
ロジック回路
LG[1]
CLK[2]
SRSTN[2]
ロジック回路
LG[2]

[図11]


8
CLK[1]
SRSTN[1]
ERST[1]
エラー
処理部
8[1]
CLK[2]
SRSTN[2]
ERST[2]
エラー
処理部
8[2]
CLK[3]
SRSTN[3]
ERST[3]
エラー
処理部
8[3]
エラー判定信号群
Erra[1]～[3]
Errb[1]～[3]
CE[1]～[3]

[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/011758

A. CLASSIFICATION OF SUBJECT MATTER
G06F 1/24(2006.01)i; H03K 3/037(2006.01)i
FI: G06F1/24 351; H03K3/037 Z
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F1/24; H03K3/037

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-9427 A (FUJITSU TEN LTD.) 14.01.2010 (2010-01-14) paragraphs [0032]-[0037], fig. 8	1-12
A	JP 2016-514332 A (QUALCOMM INCORPORATED) 19.05.2016 (2016-05-19) paragraphs [0017]-[0021], fig. 2, 4-5	1-12
A	JP 2011-176411 A (RENESAS ELECTRONICS CORP.) 08.09.2011 (2011-09-08) paragraphs [0015]-[0024], fig. 2-3	1-12
A	JP 2000-261310 A (HITACHI, LTD.) 22.09.2000 (2000-09-22) paragraphs [0014]-[0033], fig. 1, 3-4	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June 2020 (05.06.2020)	16 June 2020 (16.06.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/011758

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2010-9427 A	14 Jan. 2010	(Family: none)	
JP 2016-514332 A	19 May 2016	US 2014/0281643 A1 paragraphs [0026]-[0030], fig. 2, 4-5 WO 2014/164512 A1 CN 105103160 A KR 10-2015-0128834 A	
JP 2011-176411 A	08 Sep. 2011	(Family: none)	
JP 2000-261310 A	22 Sep. 2000	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2020/011758

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G06F 1/24(2006.01)i; H03K 3/037(2006.01)i
FI: G06F1/24 351; H03K3/037 Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G06F1/24; H03K3/037

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-9427 A (富士通テン株式会社) 14.01.2010 (2010-01-14) 段落[0032]-[0037], 図8	1-12
A	JP 2016-514332 A (クアルコム, インコーポレイテッド) 19.05.2016 (2016-05-19) 段落[0017]-[0021], 図2,4-5	1-12
A	JP 2011-176411 A (ルネサスエレクトロニクス株式会社) 08.09.2011 (2011-09-08) 段落[0015]-[0024], 図2-3	1-12
A	JP 2000-261310 A (株式会社日立製作所) 22.09.2000 (2000-09-22) 段落[0014]-[0033], 図1,3-4	1-12

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.06.2020	16.06.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

白石　圭吾 5E 9856

電話番号 03-3581-1101 内線 3521

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/011758

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-9427 A	14.01.2010	（ファミリーなし）	
JP 2016-514332 A	19.05.2016	US 2014/0281643 A1 段落[0026]-[0030]，図2,4-5 WO 2014/164512 A1 CN 105103160 A KR 10-2015-0128834 A	
JP 2011-176411 A	08.09.2011	（ファミリーなし）	
JP 2000-261310 A	22.09.2000	（ファミリーなし）	