

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6895643号
(P6895643)

(45) 発行日 令和3年6月30日 (2021.6.30)

(24) 登録日 令和3年6月10日 (2021.6.10)

(51) Int.Cl.

H02M 7/483 (2007.01)

F I

H02M 7/483

請求項の数 11 (全 25 頁)

(21) 出願番号 特願2017-190704 (P2017-190704)
 (22) 出願日 平成29年9月29日 (2017.9.29)
 (65) 公開番号 特開2019-68578 (P2019-68578A)
 (43) 公開日 平成31年4月25日 (2019.4.25)
 審査請求日 令和2年2月25日 (2020.2.25)

(73) 特許権者 314012076
 パナソニック IP マネジメント株式会社
 大阪府大阪市中央区域見2丁目1番61号
 (74) 代理人 100123102
 弁理士 宗田 悟志
 (72) 発明者 伊藤 智規
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 (72) 発明者 花村 賢治
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内

審査官 土井 悠生

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項 1】

直流電源と並列に、第1スイッチング素子、第1フライングキャパシタ回路、第2スイッチング素子の順に直列接続された第1アーム回路と、

前記直流電源及び前記第1アーム回路と並列に、第3スイッチング素子、第2フライングキャパシタ回路、第4スイッチング素子の順に直列接続された第2アーム回路と、

前記第1スイッチング素子と前記第1フライングキャパシタ回路との接続点と、前記第2フライングキャパシタ回路と前記第4スイッチング素子との接続点との間に接続された第5スイッチング素子と、

前記第3スイッチング素子と前記第2フライングキャパシタ回路との接続点と、前記第1フライングキャパシタ回路と前記第2スイッチング素子との接続点との間に接続された第6スイッチング素子と、を備え、

前記第1フライングキャパシタ回路の midpoint と、前記第2フライングキャパシタ回路の midpoint から交流電力を出力し、

前記第1スイッチング素子、前記第6スイッチング素子、及び前記第4スイッチング素子がオン状態、並びに前記第2スイッチング素子、前記第5スイッチング素子、及び前記第3スイッチング素子がオフ状態で前記交流電力の半波を生成し、

前記第1スイッチング素子、前記第6スイッチング素子、及び前記第4スイッチング素子がオフ状態、並びに前記第2スイッチング素子、前記第5スイッチング素子、及び前記第3スイッチング素子がオン状態で前記交流電力の逆極性の半波を生成することを特徴と

10

20

する電力変換装置。

【請求項 2】

直流電源と並列に、第 1 スイッチング素子、第 1 フライングキャパシタ回路、第 2 スイッチング素子の順に直列接続された第 1 アーム回路と、

前記直流電源及び前記第 1 アーム回路と並列に、第 3 スイッチング素子、第 2 フライングキャパシタ回路、第 4 スイッチング素子の順に直列接続された第 2 アーム回路と、

前記第 1 スイッチング素子と前記第 1 フライングキャパシタ回路との接続点と、前記第 2 フライングキャパシタ回路と前記第 4 スイッチング素子との接続点との間に接続された第 5 スイッチング素子と、

前記第 3 スイッチング素子と前記第 2 フライングキャパシタ回路との接続点と、前記第 1 フライングキャパシタ回路と前記第 2 スイッチング素子との接続点との間に接続された第 6 スイッチング素子と、を備え、

前記第 1 フライングキャパシタ回路の midpoint と、前記第 2 フライングキャパシタ回路の midpoint から交流電力を出力し、

前記第 1 スイッチング素子、前記第 6 スイッチング素子、及び前記第 4 スイッチング素子がオン状態、並びに前記第 2 スイッチング素子、前記第 5 スイッチング素子、及び前記第 3 スイッチング素子がオフ状態と、

前記第 1 スイッチング素子、前記第 6 スイッチング素子、及び前記第 4 スイッチング素子がオフ状態、並びに前記第 2 スイッチング素子、前記第 5 スイッチング素子、及び前記第 3 スイッチング素子がオン状態の切替が、

前記第 1 フライングキャパシタ回路の midpoint と前記第 2 フライングキャパシタ回路の midpoint から出力される出力電圧の極性を切り替えるときに動作することを特徴とする電力変換装置。

【請求項 3】

前記第 1 フライングキャパシタ回路は、

直列接続された第 7 - 1 スイッチング素子、第 7 - 2 スイッチング素子、第 7 - 3 スイッチング素子、及び第 7 - 4 スイッチング素子と、

前記第 7 - 1 スイッチング素子と第 7 - 2 スイッチング素子との接続点と、第 7 - 3 スイッチング素子と第 7 - 4 スイッチング素子との接続点との間に接続された第 1 キャパシタと、を含み、

前記第 2 フライングキャパシタ回路は、

直列接続された第 8 - 1 スイッチング素子、第 8 - 2 スイッチング素子、第 8 - 3 スイッチング素子、及び第 8 - 4 スイッチング素子と、

前記第 8 - 1 スイッチング素子と第 8 - 2 スイッチング素子との接続点と、第 8 - 3 スイッチング素子と第 8 - 4 スイッチング素子との接続点との間に接続された第 2 キャパシタと、を含むことを特徴とする請求項 1 または 2 に記載の電力変換装置。

【請求項 4】

前記第 5 スイッチング素子、及び前記第 6 スイッチング素子には、前記直流電源の電圧より高い耐圧の素子が使用され、

前記第 1 スイッチング素子、前記第 2 スイッチング素子、前記第 3 スイッチング素子、前記第 4 スイッチング素子、前記第 7 - 1 スイッチング素子、前記第 7 - 2 スイッチング素子、前記第 7 - 3 スイッチング素子、前記第 7 - 4 スイッチング素子、前記第 8 - 1 スイッチング素子、前記第 8 - 2 スイッチング素子、前記第 8 - 3 スイッチング素子、及び前記第 8 - 4 スイッチング素子には、前記直流電源の電圧より低い耐圧の素子が使用されることを特徴とする請求項 3 に記載の電力変換装置。

【請求項 5】

前記第 1 フライングキャパシタ回路は、 N (N は自然数) 個のキャパシタを含み、

前記第 2 フライングキャパシタ回路は、 N (N は自然数) 個のキャパシタを含み、

前記第 1 フライングキャパシタ回路の midpoint と、前記第 2 フライングキャパシタ回路の midpoint から、 $(2N + 3)$ レベルの電圧が出力されることを特徴とする請求項 1 または 2 に記

10

20

30

40

50

載の電力変換装置。

【請求項 6】

前記第 1 スイッチング素子、前記第 2 スイッチング素子、前記第 3 スイッチング素子、及び前記第 4 スイッチング素子の少なくとも 1 つが、前記第 1 フライングキャパシタ回路、及び前記第 2 フライングキャパシタ回路に含まれるスイッチング素子の耐圧に対応する複数のスイッチング素子で構成される直列回路または直並列回路に置き換えられることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の電力変換装置。

【請求項 7】

前記第 1 フライングキャパシタ回路の midpoint と、前記第 2 フライングキャパシタ回路の midpoint との間に接続された短絡回路をさらに備えることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の電力変換装置。

10

【請求項 8】

前記短絡回路は、前記交流電力のゼロクロス付近において短絡することを特徴とする請求項 7 に記載の電力変換装置。

【請求項 9】

前記短絡回路は、前記電力変換装置の出力電圧を 0 V に維持すべき期間に短絡することを特徴とする請求項 7 または 8 に記載の電力変換装置。

【請求項 10】

直流電源と並列に、第 1 スイッチング素子、第 1 フライングキャパシタ回路、第 2 スイッチング素子の順に直列接続された第 1 アーム回路と、

20

前記直流電源及び前記第 1 アーム回路と並列に、第 3 スイッチング素子、第 2 フライングキャパシタ回路、第 4 スイッチング素子の順に直列接続された第 2 アーム回路と、

前記第 1 スイッチング素子と前記第 1 フライングキャパシタ回路との接続点と、前記第 2 フライングキャパシタ回路と前記第 4 スイッチング素子との接続点との間に接続された第 5 スイッチング素子と、

前記第 3 スイッチング素子と前記第 2 フライングキャパシタ回路との接続点と、前記第 1 フライングキャパシタ回路と前記第 2 スイッチング素子との接続点との間に接続された第 6 スイッチング素子と、を備え、

前記第 1 フライングキャパシタ回路の midpoint と、前記第 2 フライングキャパシタ回路の midpoint から交流電力を出力し、

30

前記第 1 フライングキャパシタ回路、及び前記第 2 フライングキャパシタ回路に含まれる少なくとも 1 つのキャパシタと並列に接続された DC / DC コンバータをさらに備えることを特徴とする電力変換装置。

【請求項 11】

前記直流電源と並列に接続されたアクティブバッファ回路をさらに備えることを特徴とする請求項 1 から 10 のいずれか 1 項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、直流電力を交流電力に変換する電力変換装置に関する。

40

【背景技術】

【0002】

太陽電池、蓄電池、燃料電池などに接続されるパワーコンディショナは、高効率な電力変換と小型設計が望まれる。特に家庭用パワーコンディショナの系統連系単相インバータは、漏電電流を抑えるため、コモンモード電圧の変化が少ないスイッチングパターンにより電力変換を行う必要がある。

【0003】

パワーコンディショナを小型化するには、出力段のリアクトルを小型化することが有効であり、出力段のリアクトルを小型化する方法の 1 つに、マルチレベル電力変換装置がある。マルチレベル電力変換装置では、出力段のリアクトルに、擬似的正弦波を出力できる

50

ため出力段のリアクトルを小型化できる。

【 0 0 0 4 】

一般的な電力変換装置は、電源電圧とグランド電圧の2レベルを、Hブリッジ回路と、リアクトルを含むフィルタで正弦波交流電力に変換する。一方、マルチレベル電力変換装置では、例えばフライングキャパシタ回路を用いて3レベル以上の電圧を生成し、リアクトルを含むフィルタで正弦波交流電力に変換する（例えば、特許文献1参照）。

【 0 0 0 5 】

フライングキャパシタ回路を使用すると、その分、スイッチング素子を多く使用することになる。通常、フライングキャパシタ回路に含まれるスイッチング素子には、比較的低耐圧のスイッチング素子が使用され、インバータ部のその他の箇所のスイッチング素子には、比較的高耐圧のスイッチング素子が使用される。フライングキャパシタ回路に含まれるスイッチング素子は、直列接続されて使用され、キャパシタにより電圧が規定されるため、比較的低耐圧のスイッチング素子の使用が可能である。

10

【 0 0 0 6 】

低耐圧のスイッチング素子は、高耐圧のスイッチング素子と比較して安価であり、サイズも小さく、電力変換中の導通損失及びスイッチング損失も少ない。また高耐圧のスイッチング素子はスイッチング速度が遅く、基本的に高周波制御に不向きである。また高耐圧のスイッチング素子は高周波化によるスイッチング損失の増加が、低耐圧のスイッチング損失より大きくなる。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 1 4 - 5 0 1 3 5 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

インバータ部のスイッチング素子は通常、PWM(Pulse Width Modulation)制御により駆動される。PWM制御される際、スイッチング周波数が高いほど、出力段のリアクトルを小型化できる。ただし、高耐圧のスイッチング素子では、スイッチング損失が大きく増加する。

30

【 0 0 0 9 】

本発明はこうした状況に鑑みなされたものであり、その目的は、高効率で小型の電力変換装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 0 】

上記課題を解決するために、本発明のある態様の電力変換装置は、直流電源と並列に、第1スイッチング素子、第1フライングキャパシタ回路、第2スイッチング素子の順に直列接続された第1アーム回路と、前記直流電源及び前記第1アーム回路と並列に、第3スイッチング素子、第2フライングキャパシタ回路、第4スイッチング素子の順に直列接続された第2アーム回路と、前記第1スイッチング素子と前記第1フライングキャパシタ回路との接続点と、前記第2フライングキャパシタ回路と前記第4スイッチング素子との接続点との間に接続された第5スイッチング素子と、前記第3スイッチング素子と前記第2フライングキャパシタ回路との接続点と、前記第1フライングキャパシタ回路と前記第2スイッチング素子との接続点との間に接続された第6スイッチング素子と、を備える。前記第1フライングキャパシタ回路の midpoint と、前記第2フライングキャパシタ回路の midpoint から交流電力を出力する。

40

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、高効率で小型の電力変換装置を実現することができる。

【 図面の簡単な説明 】

50

【 0 0 1 2 】

【図 1】本発明の実施の形態に係る電力変換装置の構成を説明するための図である。

【図 2】図 2 (a) - (c) は、フライングキャパシタ回路の構成例を示す図である。

【図 3】図 1 の第 1 フライングキャパシタ回路及び第 2 フライングキャパシタ回路に、1 段のフライングキャパシタ回路を使用した場合の構成を示す図である。

【図 4】図 4 (a)、(b) は、図 3 の直交変換部の状態 1 及び状態 2 A の電流経路を示す図である。

【図 5】図 5 (a)、(b) は、図 3 の直交変換部の状態 2 B 及び状態 3 A の電流経路を示す図である。

【図 6】図 6 (a)、(b) は、図 3 の直交変換部の状態 5 及び状態 4 A の電流経路を示す図である。

10

【図 7】図 7 (a)、(b) は、図 3 の直交変換部の状態 4 B 及び状態 3 B の電流経路を示す図である。

【図 8】状態 1、状態 2 A、状態 2 B、状態 3 A、状態 3 B、状態 4 A、状態 4 B、状態 5 における、第 1 スイッチング素子～第 6 スイッチング素子、第 7 - 1 スイッチング素子～第 7 - 4 スイッチング素子、第 8 - 1 スイッチング素子～第 8 - 4 スイッチング素子のオン / オフ状態をまとめた図である。

【図 9】5 レベル ($+V_{dc}$ 、 $+V_{dc}/2$ 、0、 $-V_{dc}/2$ 、 $-V_{dc}$) の電圧で生成される擬似的正弦波を示す図である。

【図 10】図 10 (a) - (d) は、スイッチングパターン A - D における、第 1 スイッチング素子～第 6 スイッチング素子、第 7 - 1 スイッチング素子～第 7 - 4 スイッチング素子、第 8 - 1 スイッチング素子～第 8 - 4 スイッチング素子のオン / オフ状態をまとめた図である。

20

【図 11】図 11 (a) - (d) は、スイッチングパターン E - H における、第 1 スイッチング素子～第 6 スイッチング素子、第 7 - 1 スイッチング素子～第 7 - 4 スイッチング素子、第 8 - 1 スイッチング素子～第 8 - 4 スイッチング素子のオン / オフ状態をまとめた図である。

【図 12】図 9 の期間 2 におけるスイッチング状態遷移と出力電圧の一例を示す図である。

【図 13】図 3 の回路構成の第 1 スイッチング素子～第 4 スイッチング素子をそれぞれ、2 直列のより低耐圧のスイッチング素子に置き換えた回路構成を示す図である。

30

【図 14】図 3 の回路構成の第 5 スイッチング素子及び第 6 スイッチング素子をそれぞれ、4 直列のより低耐圧のスイッチング素子に置き換えた回路構成を示す図である。

【図 15】図 3 の回路構成に短絡回路を追加した回路構成を示す図である。

【図 16】図 9 に示した擬似的正弦波のゼロクロスを示す図である。

【図 17】図 17 (a)、(b) は、スイッチングパターン I における、第 1 スイッチング素子～第 6 スイッチング素子、第 7 - 1 スイッチング素子～第 7 - 4 スイッチング素子、第 8 - 1 スイッチング素子～第 8 - 4 スイッチング素子、第 9 - 1 スイッチング素子、第 9 - 2 スイッチング素子のオン / オフ状態をまとめた図である。

【図 18】図 3 の回路構成に第 1 DC / DC コンバータ及び第 2 DC / DC コンバータを追加した回路構成を示す図である。

40

【図 19】図 3 の回路構成に絶縁型 DC / DC コンバータを追加した回路構成を示す図である。

【図 20】図 3 の回路構成にアクティブバッファ回路を追加した回路構成を示す図である。

【図 21】図 13 の回路構成の第 1 フライングキャパシタ回路及び第 2 フライングキャパシタ回路を、3 段のフライングキャパシタ回路に置き換えた回路構成を示す図である。

【発明を実施するための形態】

【 0 0 1 3 】

図 1 は、本発明の実施の形態に係る電力変換装置 1 の構成を説明するための図である。

50

電力変換装置 1 は、直流電源部 2 から供給される直流電力を交流電力に変換して、商用電力系統 3（以下、単に系統 3 という）に出力する。直流電源部 2 は、太陽電池、蓄電池、燃料電池などの直流電源と、直流電源の出力電圧を調整可能な DC / DC コンバータを含む。

【0014】

電力変換装置 1 は、直交変換部 10、フィルタ部 20 及び制御部 30 を備える。直交変換部 10 は、直流電源部 2 と並列に接続された第 1 アーム回路（U 相）と、第 2 アーム回路（W 相）を備える。第 1 アーム回路は、直流電源部 2 の正側配線と負側配線との間に、第 1 スwitching 素子 Q 1、第 1 フライングキャパシタ回路 F 1、第 2 スwitching 素子 Q 2 の順に直列接続されて構成される。第 2 アーム回路は、直流電源部 2 の正側配線と負側配線との間に、第 3 スwitching 素子 Q 3、第 2 フライングキャパシタ回路 F 2、第 4 スwitching 素子 Q 4 の順に直列接続されて構成される。

10

【0015】

第 1 スwitching 素子 Q 1 と第 1 フライングキャパシタ回路 F 1 との接続点と、第 2 フライングキャパシタ回路 F 2 と第 4 スwitching 素子 Q 4 との接続点との間に、第 5 スwitching 素子 Q 5 が接続される。第 3 スwitching 素子 Q 3 と第 2 フライングキャパシタ回路 F 2 との接続点と、第 1 フライングキャパシタ回路 F 1 と第 2 スwitching 素子 Q 2 との接続点との間に、第 6 スwitching 素子 Q 6 が接続される。

【0016】

第 1 スwitching 素子 Q 1 ~ 第 6 スwitching 素子 Q 6 には例えば、IGBT (Insulated Gate Bipolar Transistor) を使用できる。第 1 ダイオード D 1 ~ 第 6 ダイオード D 6 は、第 1 スwitching 素子 Q 1 ~ 第 6 スwitching 素子 Q 6 にそれぞれ並列に、逆向きに接続される。なお第 1 スwitching 素子 Q 1 ~ 第 6 スwitching 素子 Q 6 に MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) を使用してもよい。この場合、第 1 ダイオード D 1 ~ 第 6 ダイオード D 6 は、ソースからドレイン方向に形成される寄生ダイオードを利用できる。第 1 ダイオード D 1 ~ 第 6 ダイオード D 6 は還流ダイオードとして作用する。

20

【0017】

直交変換部 10 は、第 1 アーム回路及び第 2 アーム回路に並列接続された直流電源部 2 の直流電力を交流電力に変換し、当該交流電力を第 1 フライングキャパシタ回路 F 1 及び第 2 フライングキャパシタ回路 F 2 の中点から出力するインバータ回路として動作する。

30

【0018】

フィルタ部 20 は、第 1 リアクトル L 1、第 2 リアクトル L 2 及び第 3 コンデンサ C 3 を含み、直交変換部 10 の出力電圧および出力電流の高調波成分を減衰させて、直交変換部 10 の出力電圧および出力電流を正弦波に近づける。

【0019】

制御部 30 は、第 1 スwitching 素子 Q 1 ~ 第 6 スwitching 素子 Q 6、並びに第 1 フライングキャパシタ回路 F 1 及び第 2 フライングキャパシタ回路 F 2 に含まれる複数のス switching 素子を PWM 制御する。制御部 30 は、ハードウェア資源とソフトウェア資源の協働、またはハードウェア資源のみにより実現できる。ハードウェア資源としてアナログ素子、マイクロコンピュータ、DSP、ROM、RAM、FPGA、その他の LSI を利用できる。ソフトウェア資源としてファームウェア等のプログラムを利用できる。

40

【0020】

図 2 (a) - (c) は、フライングキャパシタ回路の構成例を示す図である。図 2 (a) は 1 段のフライングキャパシタ回路を示す。図 2 (a) に示すフライングキャパシタ回路は、直列接続された第 7 - 1 スwitching 素子 Q 7 1、第 7 - 2 スwitching 素子 Q 7 2、第 7 - 3 スwitching 素子 Q 7 3 及び第 7 - 4 スwitching 素子 Q 7 4 と、第 1 キャパシタ C 1 を備える。第 1 キャパシタ C 1 は、第 7 - 1 スwitching 素子 Q 7 1 と第 7 - 2 スwitching 素子 Q 7 2 との接続点と、第 7 - 3 スwitching 素子 Q 7 3 と第 7 - 4 スwitching 素子 Q 7 4 との接続点との間に接続される。

50

【 0 0 2 1 】

第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4 には、I G B T 又は M O S F E T を使用できる。第 7 - 1 ダイオード D 7 1 ~ 第 7 - 4 ダイオード D 7 4 は、第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4 にそれぞれ並列に、逆向きに接続または形成される。

【 0 0 2 2 】

図 2 (b) は 2 段のフライングキャパシタ回路を示す。2 段のフライングキャパシタ回路では、第 7 - 1 スイッチング素子 Q 7 1 の高電位側に第 7 - 5 スイッチング素子 Q 7 5 がさらに接続され、第 7 - 4 スイッチング素子 Q 7 4 の低電位側に第 7 - 6 スイッチング素子 Q 7 6 がさらに接続される。第 7 - 5 スイッチング素子 Q 7 5 と第 7 - 1 スイッチング素子 Q 7 1 との接続点と、第 7 - 4 スイッチング素子 Q 7 4 と第 7 - 6 スイッチング素子 Q 7 6 との接続点との間に、第 1 - 2 キャパシタ C 1 b がさらに接続される。

10

【 0 0 2 3 】

図 2 (c) は 3 段のフライングキャパシタ回路を示す。3 段のフライングキャパシタ回路では、第 7 - 5 スイッチング素子 Q 7 5 の高電位側に第 7 - 7 スイッチング素子 Q 7 7 がさらに接続され、第 7 - 6 スイッチング素子 Q 7 6 の低電位側に第 7 - 8 スイッチング素子 Q 7 8 がさらに接続される。第 7 - 7 スイッチング素子 Q 7 7 と第 7 - 5 スイッチング素子 Q 7 5 との接続点と、第 7 - 6 スイッチング素子 Q 7 6 と第 7 - 8 スイッチング素子 Q 7 8 との接続点との間に、第 1 - 3 キャパシタ C 1 c がさらに接続される。

【 0 0 2 4 】

図 2 (a) - (c) のいずれかのフライングキャパシタ回路を直流電源部 2 に対して 2 アーム、並列接続し、コモンモード電圧を一定に保つように 2 アームを対象にスイッチング制御する場合、N 段のフライングキャパシタから (2 N + 1) レベルの電圧を出力可能である。

20

【 0 0 2 5 】

図 3 は、図 1 の第 1 フライングキャパシタ回路 F 1 及び第 2 フライングキャパシタ回路 F 2 に、1 段のフライングキャパシタ回路を使用した場合の構成を示す図である。第 1 フライングキャパシタ回路 F 1 は、第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4 及び第 1 キャパシタ C 1 を含む。第 2 フライングキャパシタ回路 F 2 は、第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4 及び第 2 キャパシタ C 2 を含む。それぞれの接続関係は、図 2 (a) に示した 1 段のフライングキャパシタ回路の接続関係と同じである。第 7 - 2 スイッチング素子 Q 7 2 と第 7 - 3 スイッチング素子 Q 7 3 との接続点、及び第 8 - 2 スイッチング素子 Q 8 2 と第 8 - 3 スイッチング素子 Q 8 3 との接続点が、直交変換部 1 0 の出力点となる。

30

【 0 0 2 6 】

図 3 に示す回路構成では、第 1 アーム回路と第 2 アーム回路がたすき掛け接続されているため、直交変換部 1 0 からフィルタ部 2 0 に 5 レベル (+ V d c 、 + V d c / 2 、 0 、 - V d c / 2 、 - V d c) の電圧を出力可能である。

【 0 0 2 7 】

上述のように、第 1 スイッチング素子 Q 1 、第 6 スイッチング素子 Q 6 及び第 4 スイッチング素子 Q 4 は、交流電力の正の半波を生成する期間、オン状態に固定され、負の半波を生成する期間、オフ状態に固定される。第 2 スイッチング素子 Q 2 、第 5 スイッチング素子 Q 5 及び第 3 スイッチング素子 Q 3 は、交流電力の正の半波を生成する期間、オフ状態に固定され、負の半波を生成する期間、オン状態に固定される。日本では系統 3 の周波数は 5 0 / 6 0 H z であるため、第 1 スイッチング素子 Q 1 ~ 第 6 スイッチング素子 Q 6 は 5 0 / 6 0 H z の半分の周波数でスイッチング制御される。

40

【 0 0 2 8 】

一方、第 1 フライングキャパシタ回路 F 1 に含まれる第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4 、及び第 2 フライングキャパシタ回路 F 2 に含まれる第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 2 スイッチング素子 Q 8 2 は、高周波 (例えば

50

、20kHz)でスイッチング制御される。以下、図3に示す電力変換装置1の動作を、図面を参照しながら詳細に説明する。

【0029】

以下の説明において、第1スイッチング素子Q1～第6スイッチング素子Q6のオン状態は、定常的なオン状態を意味し、第1スイッチング素子Q1～第6スイッチング素子Q6のオフ状態は、定常的なオフ状態を意味する。一方、第7-1スイッチング素子Q71～第7-4スイッチング素子Q74、第8-1スイッチング素子Q81～第8-2スイッチング素子Q82のオン状態は、PWMスイッチングされた状態を意味し、第7-1スイッチング素子Q71～第7-4スイッチング素子Q74、第8-1スイッチング素子Q81～第8-2スイッチング素子Q82のオフ状態は、定常的なオフ状態を意味する。

10

【0030】

図4(a)、(b)は、図3の直交変換部10の状態1及び状態2Aの電流経路を示す図である。図5(a)、(b)は、図3の直交変換部10の状態2B及び状態3Aの電流経路を示す図である。図6(a)、(b)は、図3の直交変換部10の状態5及び状態4Aの電流経路を示す図である。図7(a)、(b)は、図3の直交変換部10の状態4B及び状態3Bの電流経路を示す図である。図8は、状態1、状態2A、状態2B、状態3A、状態3B、状態4A、状態4B、状態5における、第1スイッチング素子Q1～第6スイッチング素子Q6、第7-1スイッチング素子Q71～第7-4スイッチング素子Q74、第8-1スイッチング素子Q81～第8-4スイッチング素子Q84のオン/オフ状態をまとめた図である。

20

【0031】

図4(a)に示す状態1は、直流電源部2の電圧Vdcを、極性を変えずにそのまま出力している状態である。制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7-1スイッチング素子Q71、第7-2スイッチング素子Q72、第8-3スイッチング素子Q83、第8-4スイッチング素子Q84をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5スイッチング素子Q5、第7-3スイッチング素子Q73、第7-4スイッチング素子Q74、第8-1スイッチング素子Q81、第8-2スイッチング素子Q82をオフ状態に制御する。状態1では、直流電源部2を介在し、第1キャパシタC1及び第2キャパシタC2を介在せずに電流が流れる。

30

【0032】

図4(b)に示す状態2Aは、直流電源部2の電圧Vdcを、極性を変えずに半分にして出力している状態である。制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7-1スイッチング素子Q71、第7-3スイッチング素子Q73、第8-2スイッチング素子Q82、第8-4スイッチング素子Q84をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5スイッチング素子Q5、第7-2スイッチング素子Q72、第7-4スイッチング素子Q74、第8-1スイッチング素子Q81、第8-3スイッチング素子Q83をオフ状態に制御する。状態2Aでは、第1キャパシタC1及び第2キャパシタC2にそれぞれ、直流電源部2の電圧Vdcの1/4の電圧幅に相当する電荷が充電される。状態2Aでは、直流電源部2、第1キャパシタC1及び第2キャパシタC2を介在して電流が流れる。直流電源部2の正極側の電位が第1キャパシタC1により1/4の電圧幅分、プルダウンされ、直流電源部2の負極側の電位が第2キャパシタC2により1/4の電圧幅分、プルアップされることにより、+Vdc/2が出力される。

40

【0033】

図5(a)に示す状態2Bも、直流電源部2の電圧Vdcを、極性を変えずに半分にして出力している状態である。制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7-2スイッチング素子Q72、第7-4スイッチング素子Q74、第8-1スイッチング素子Q81、第8-3スイッチング素子Q83をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5ス

50

イッチング素子Q 5、第7 - 1スイッチング素子Q 7 1、第7 - 3スイッチング素子Q 7 3、第8 - 2スイッチング素子Q 8 2、第8 - 4スイッチング素子Q 8 4をオフ状態に制御する。状態2 Bでは、第1キャパシタC 1及び第2キャパシタC 2に充電された電荷がそれぞれ放電される。状態2 Bでは、直流電源部2を介在せずに、第1キャパシタC 1及び第2キャパシタC 2を介在して還流電流が流れる。第1キャパシタC 1及び第2キャパシタC 2にはそれぞれ、直流電源部2の電圧V d cの1 / 4の電圧幅に相当する電荷が充電されているため、 $+V d c / 2$ が出力される。

【0034】

図5 (b) に示す状態3 Aは、0 Vを出力している状態である。制御部30は第1スイッチング素子Q 1、第4スイッチング素子Q 4、第6スイッチング素子Q 6、第7 - 3スイッチング素子Q 7 3、第7 - 4スイッチング素子Q 7 4、第8 - 1スイッチング素子Q 8 1、第8 - 2スイッチング素子Q 8 2をオン状態に制御し、第2スイッチング素子Q 2、第3スイッチング素子Q 3、第5スイッチング素子Q 5、第7 - 1スイッチング素子Q 7 1、第7 - 2スイッチング素子Q 7 2、第8 - 3スイッチング素子Q 8 3、第8 - 4スイッチング素子Q 8 4をオフ状態に制御する。状態3 Aでは、直流電源部2、第1キャパシタC 1及び第2キャパシタC 2を介在せずに、短絡経路が形成される。

【0035】

図6 (a) に示す状態5は、直流電源部2の電圧V d cを、極性を反転させて出力している状態である。制御部30は第2スイッチング素子Q 2、第3スイッチング素子Q 3、第5スイッチング素子Q 5、第7 - 3スイッチング素子Q 7 3、第7 - 4スイッチング素子Q 7 4、第8 - 1スイッチング素子Q 8 1、第8 - 2スイッチング素子Q 8 2をオン状態に制御し、第1スイッチング素子Q 1、第4スイッチング素子Q 4、第6スイッチング素子Q 6、第7 - 1スイッチング素子Q 7 1、第7 - 2スイッチング素子Q 7 2、第8 - 3スイッチング素子Q 8 3、第8 - 4スイッチング素子Q 8 4をオフ状態に制御する。状態5では、直流電源部2を介在し、第1キャパシタC 1及び第2キャパシタC 2を介在せずに電流が流れる。図4 (a) と比較して第1アーム回路と第2アーム回路に流れる電流の関係が反対になる。

【0036】

図6 (b) に示す状態4 Aは、直流電源部2の電圧V d cを、極性を反転させ、かつ半分に出力している状態である。制御部30は第2スイッチング素子Q 2、第3スイッチング素子Q 3、第5スイッチング素子Q 5、第7 - 2スイッチング素子Q 7 2、第7 - 4スイッチング素子Q 7 4、第8 - 1スイッチング素子Q 8 1、第8 - 3スイッチング素子Q 8 3をオン状態に制御し、第1スイッチング素子Q 1、第4スイッチング素子Q 4、第6スイッチング素子Q 6、第7 - 1スイッチング素子Q 7 1、第7 - 3スイッチング素子Q 7 3、第8 - 2スイッチング素子Q 8 2、第8 - 4スイッチング素子Q 8 4をオフ状態に制御する。状態4 Aでは、第1キャパシタC 1及び第2キャパシタC 2にそれぞれ、直流電源部2の電圧V d cの1 / 4の電圧幅に相当する電荷が充電される。状態4 Aでは、直流電源部2、第1キャパシタC 1及び第2キャパシタC 2を介在して電流が流れる。直流電源部2の正極側の電位が第2キャパシタC 2により1 / 4の電圧幅分、プルダウンされ、直流電源部2の負極側の電位が第1キャパシタC 1により1 / 4の電圧幅分、プルアップされることにより、 $-V d c / 2$ が出力される。図4 (b) と比較して第1アーム回路と第2アーム回路に流れる電流の関係が反対になる。

【0037】

図7 (a) に示す状態4 Bも、直流電源部2の電圧V d cを、極性を反転させ、かつ半分に出力している状態である。制御部30は第2スイッチング素子Q 2、第3スイッチング素子Q 3、第5スイッチング素子Q 5、第7 - 1スイッチング素子Q 7 1、第7 - 3スイッチング素子Q 7 3、第8 - 2スイッチング素子Q 8 2、第8 - 4スイッチング素子Q 8 4をオン状態に制御し、第1スイッチング素子Q 1、第4スイッチング素子Q 4、第6スイッチング素子Q 6、第7 - 2スイッチング素子Q 7 2、第7 - 4スイッチング素子Q 7 4、第8 - 1スイッチング素子Q 8 1、第8 - 3スイッチング素子Q 8 3をオフ状

10

20

30

40

50

態に制御する。状態 4 B では、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 に充電された電荷がそれぞれ放電される。状態 4 B では、直流電源部 2 を介在せずに、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 を介在して還流電流が流れる。第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 にはそれぞれ、直流電源部 2 の電圧 V_{dc} の $1/4$ に相当する電荷が充電されているため、 $-V_{dc}/2$ が出力される。図 5 (a) と比較して第 1 アーム回路と第 2 アーム回路に流れる電流の関係が反対になる。

【 0 0 3 8 】

図 7 (b) に示す状態 3 B は、0 V を出力している状態である。制御部 3 0 は第 2 スイッチング素子 Q 2、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 - 1 スイッチング素子 Q 7 1、第 7 - 2 スイッチング素子 Q 7 2、第 8 - 3 スイッチング素子 Q 8 3、第 8 - 4 スイッチング素子 Q 8 4 をオン状態に制御し、第 1 スイッチング素子 Q 1、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 7 - 3 スイッチング素子 Q 7 3、第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1、第 8 - 2 スイッチング素子 Q 8 2 をオフ状態に制御する。状態 3 B では、直流電源部 2、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 を介在せずに、短絡経路が形成される。図 5 (b) と比較して第 1 アーム回路と第 2 アーム回路に流れる電流の関係が反対になる。

【 0 0 3 9 】

図 9 は、5 レベル ($+V_{dc}$ 、 $+V_{dc}/2$ 、0、 $-V_{dc}/2$ 、 $-V_{dc}$) の電圧で生成される擬似的正弦波を示す図である。期間 1 では $+V_{dc}/2$ と 0 を交互に出力し、期間 2 では $+V_{dc}$ と $+V_{dc}/2$ を交互に出力し、期間 3 では 0 と $-V_{dc}/2$ を交互に出力し、期間 4 では $-V_{dc}/2$ と $-V_{dc}$ を交互に出力する。電圧指令値が正のとき、状態 1、状態 2 A、状態 2 B、状態 3 A が使用される。これらの状態では、第 1 スイッチング素子 Q 1、第 6 スイッチング素子 Q 6 及び第 4 スイッチング素子 Q 4 がオン状態に固定され、第 2 スイッチング素子 Q 2、第 5 スイッチング素子 Q 5 及び第 3 スイッチング素子 Q 3 がオフ状態に固定され、電力変換装置 1 は交流電力の正の半波を生成する。

【 0 0 4 0 】

一方、電圧指令値が負のとき、状態 5、状態 4 A、状態 4 B、状態 3 B が使用される。これらの状態では、第 2 スイッチング素子 Q 2、第 5 スイッチング素子 Q 5 及び第 3 スイッチング素子 Q 3 がオン状態に固定され、第 1 スイッチング素子 Q 1、第 6 スイッチング素子 Q 6 及び第 4 スイッチング素子 Q 4 がオフ状態に固定され、電力変換装置 1 は交流電力の負の半波を生成する。

【 0 0 4 1 】

以上に説明したように本実施の形態では、1 段のフライングキャパシタ回路で 5 レベルの電圧を出力可能である。これは、第 1 アーム回路と第 2 アーム回路が、第 5 スイッチング素子 Q 5 及び第 6 スイッチング素子 Q 6 を介してたすき掛け接続されていることにより、正負 2 通りの電圧を出力可能になるためである。これに対して、第 1 アーム回路と第 2 アーム回路がたすき掛け接続されていない場合、3 レベルの電圧しか出力できない。

【 0 0 4 2 】

以上の知見は、2 段以上のフライングキャパシタ回路でも同じである。N 段のフライングキャパシタ回路を用いた、たすき掛け接続されていない第 1 アーム回路と第 2 アーム回路を用いた場合、 $(2N + 1)$ レベルの電圧を出力可能である。一方、本実施の形態のように、N 段のフライングキャパシタ回路を用いた、たすき掛け接続されている第 1 アーム回路と第 2 アーム回路を用いた場合、 $(2N + 3)$ レベルの電圧を出力可能である。即ち、本実施の形態ではキャパシタの数を、1 段削減することができる。フライングキャパシタ回路はキャパシタの充放電を制御するため、段数が多いほど、スイッチングパターンが複雑化する。これに対して本実施の形態では、同じマルチレベル出力を実現する際のキャパシタの数を削減することができる。

【 0 0 4 3 】

図 9 の各期間において、2 通りのスイッチングパターンを有する。期間 1 はスイッチングパターン C とスイッチングパターン D を有し、期間 2 はスイッチングパターン A とスイ

10

20

30

40

50

ッティングパターンBを有し、期間3はスイッチングパターンEとスイッチングパターンFを有し、期間4はスイッチングパターンGとスイッチングパターンHを有する。

【0044】

図10(a) - (d)は、スイッチングパターンA - Dにおける、第1スイッチング素子Q1 ~ 第6スイッチング素子Q6、第7 - 1スイッチング素子Q71 ~ 第7 - 4スイッチング素子Q74、第8 - 1スイッチング素子Q81 ~ 第8 - 4スイッチング素子Q84のオン/オフ状態をまとめた図である。図11(a) - (d)は、スイッチングパターンE - Hにおける、第1スイッチング素子Q1 ~ 第6スイッチング素子Q6、第7 - 1スイッチング素子Q71 ~ 第7 - 4スイッチング素子Q74、第8 - 1スイッチング素子Q81 ~ 第8 - 4スイッチング素子Q84のオン/オフ状態をまとめた図である。

10

【0045】

図10(a)に示すようにスイッチングパターンAは、状態1(+Vdc)と状態2A(+Vdc/2)を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。デッドタイム期間は、貫通電流を防止するために挿入される。当該デッドタイム期間中、制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7 - 1スイッチング素子Q71、第8 - 4スイッチング素子Q84をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5スイッチング素子Q5、第7 - 2スイッチング素子Q72、第7 - 3スイッチング素子Q73、第7 - 4スイッチング素子Q74、第8 - 1スイッチング素子Q81、第8 - 2スイッチング素子Q82、第8 - 3スイッチング素子Q83をオフ状態に制御する。

20

【0046】

図10(b)に示すようにスイッチングパターンBは、状態1(+Vdc)と状態2B(+Vdc/2)を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7 - 2スイッチング素子Q72、第8 - 3スイッチング素子Q83をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5スイッチング素子Q5、第7 - 1スイッチング素子Q71、第7 - 3スイッチング素子Q73、第7 - 4スイッチング素子Q74、第8 - 1スイッチング素子Q81、第8 - 2スイッチング素子Q82、第8 - 4スイッチング素子Q84をオフ状態に制御する。

30

【0047】

図10(c)に示すようにスイッチングパターンCは、状態3A(0V)と状態2A(+Vdc/2)を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7 - 3スイッチング素子Q73、第8 - 2スイッチング素子Q82をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5スイッチング素子Q5、第7 - 1スイッチング素子Q71、第7 - 2スイッチング素子Q72、第7 - 4スイッチング素子Q74、第8 - 1スイッチング素子Q81、第8 - 3スイッチング素子Q83、第8 - 4スイッチング素子Q84をオフ状態に制御する。

40

【0048】

図10(d)に示すようにスイッチングパターンDは、状態3A(0V)と状態2B(+Vdc/2)を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部30は第1スイッチング素子Q1、第4スイッチング素子Q4、第6スイッチング素子Q6、第7 - 4スイッチング素子Q74、第8 - 1スイッチング素子Q81をオン状態に制御し、第2スイッチング素子Q2、第3スイッチング素子Q3、第5スイッチング素子Q5、第7 - 1スイッチング素子Q71、第7 - 2スイッチング素子Q72、第7 - 3スイッチング素子Q73、第8 - 2スイッチング素子Q82、第8 - 3スイッチング素子Q83、第8 - 4スイッチング素子Q84をオフ状態に制御する。

50

4 をオフ状態に制御する。

【 0 0 4 9 】

図 1 1 (a) に示すようにスイッチングパターン E は、状態 3 B (0 V) と状態 4 A ($-V_{dc}/2$) を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部 3 0 は第 2 スイッチング素子 Q 2、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 - 2 スイッチング素子 Q 7 2、第 8 - 3 スイッチング素子 Q 8 3 をオン状態に制御し、第 1 スイッチング素子 Q 1、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1、第 7 - 3 スイッチング素子 Q 7 3、第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1、第 8 - 2 スイッチング素子 Q 8 2、第 8 - 4 スイッチング素子 Q 8 4 をオフ状態に制御する。

10

【 0 0 5 0 】

図 1 1 (b) に示すようにスイッチングパターン F は、状態 3 B (0 V) と状態 4 B ($-V_{dc}/2$) を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部 3 0 は第 2 スイッチング素子 Q 2、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 - 1 スイッチング素子 Q 7 1、第 8 - 4 スイッチング素子 Q 8 4 をオン状態に制御し、第 1 スイッチング素子 Q 1、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 7 - 2 スイッチング素子 Q 7 2、第 7 - 3 スイッチング素子 Q 7 3、第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1、第 8 - 2 スイッチング素子 Q 8 2、第 8 - 3 スイッチング素子 Q 8 3 をオフ状態に制御する。

20

【 0 0 5 1 】

図 1 1 (c) に示すようにスイッチングパターン G は、状態 5 B ($-V_{dc}$) と状態 4 A ($-V_{dc}/2$) を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部 3 0 は第 2 スイッチング素子 Q 2、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1 をオン状態に制御し、第 1 スイッチング素子 Q 1、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1、第 7 - 2 スイッチング素子 Q 7 2、第 7 - 3 スイッチング素子 Q 7 3、第 8 - 2 スイッチング素子 Q 8 2、第 8 - 3 スイッチング素子 Q 8 3、第 8 - 4 スイッチング素子 Q 8 4 をオフ状態に制御する。

30

【 0 0 5 2 】

図 1 1 (d) に示すようにスイッチングパターン H は、状態 5 B ($-V_{dc}$) と状態 4 B ($-V_{dc}/2$) を交互に繰り返すスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。当該デッドタイム期間中、制御部 3 0 は第 2 スイッチング素子 Q 2、第 3 スイッチング素子 Q 3、第 5 スイッチング素子 Q 5、第 7 - 3 スイッチング素子 Q 7 3、第 8 - 2 スイッチング素子 Q 8 2 をオン状態に制御し、第 1 スイッチング素子 Q 1、第 4 スイッチング素子 Q 4、第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1、第 7 - 2 スイッチング素子 Q 7 2、第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1、第 8 - 3 スイッチング素子 Q 8 3、第 8 - 4 スイッチング素子 Q 8 4 をオフ状態に制御する。

40

【 0 0 5 3 】

図 1 2 は、図 9 の期間 2 におけるスイッチング状態遷移と出力電圧の一例を示す図である。図 1 2 において、「遷移」はデッドタイム期間に相当する。制御部 3 0 は、各期間における 2 通りのスイッチングパターンを、第 1 キャパシタ C 1 の電圧、第 2 キャパシタ C 2 の電圧、出力電流の極性に依りて切り替える。第 1 キャパシタ C 1 の電圧値、及び第 2 キャパシタ C 2 の電圧値は、電圧センサ (不図示) で計測した値を使用してもよい。使用するキャパシタの充電時間 / 放電時間と電圧との関係を規定した充放電特性をもとに推定した値を使用してもよい。第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 が充電中か放電中かは、出力電流の極性により決定される。期間 2 における遷移中の出力電圧も、出力電流

50

の極性により、 V_{dc} か $V_{dc} / 2$ が決定される。

【0054】

制御部30は、設定された目標デューティ比をもとに、単位制御周期における状態1のオン時間 T_1 と状態2のオン時間 T_2 を決定する。なお目標デューティ比は、出力電流の目標値と、電流センサ（不図示）で実際に計測された出力電流の計測値との差分をもとに決定される。制御部30は、上記目標デューティ比をもとに決定された状態2のオン時間 T_2 を、第1キャパシタ C_1 の電圧、第2キャパシタ C_2 の電圧、出力電流の極性に応じて、状態2Aのオン時間 T_{2A} と状態2Bのオン時間 T_{2B} に時分割する。制御部30は、状態2Aのオン時間 T_{2A} と状態2Bのオン時間 T_{2B} の合計が、上記目標デューティ比をもとに決定された状態2のオン時間 T_2 と等しくなるように制御する。

10

【0055】

図3に示した回路構成において、第5スイッチング素子 Q_5 及び第6スイッチング素子 Q_6 には、直流電源部2の電圧より高い耐圧のスイッチング素子が使用される。一方、第1スイッチング素子 Q_1 ～第4スイッチング素子 Q_4 、第7-1スイッチング素子 Q_{71} ～第7-4スイッチング素子 Q_{74} 、及び第8-1スイッチング素子 Q_{81} ～第8-4スイッチング素子 Q_{84} には、直流電源部2の電圧より低い耐圧のスイッチング素子が使用される。

【0056】

例えば、系統3の電圧が $AC200V$ の場合において、直流電源部2として太陽電池や蓄電池が1つの直流バスに並列接続されている場合、当該直流バスの電圧が最大 $450V$ 程度まで上昇することがある。第5スイッチング素子 Q_5 及び第6スイッチング素子 Q_6 は、当該直流バスの電圧を1つのスイッチング素子で受ける経路が形成される可能性があるため、第5スイッチング素子 Q_5 及び第6スイッチング素子 Q_6 は、 $450V$ 以上の耐圧が必要である。例えば、第1スイッチング素子 Q_1 →第5スイッチング素子 Q_5 →第4スイッチング素子 Q_4 の経路が形成され、第1スイッチング素子 Q_1 及び第4スイッチング素子 Q_4 がオン状態の場合、第5スイッチング素子 Q_5 には、 $450V$ 印加される可能性がある。そこで第5スイッチング素子 Q_5 及び第6スイッチング素子 Q_6 に、 $450V$ にマージンを加えた約 $600V$ 耐圧のスイッチング素子を使用する。

20

【0057】

第1スイッチング素子 Q_1 ～第4スイッチング素子 Q_4 は、上記直流バスの電圧を2つのスイッチング素子で受ける経路が形成される可能性があるため、第1スイッチング素子 Q_1 ～第4スイッチング素子 Q_4 はそれぞれ、 $(450/2)V$ 以上の耐圧が必要である。例えば、第1スイッチング素子 Q_1 →第5スイッチング素子 Q_5 →第4スイッチング素子 Q_4 の経路が形成され、第5スイッチング素子 Q_5 がオン状態の場合、第1スイッチング素子 Q_1 及び第4スイッチング素子 Q_4 にそれぞれ、 $(450/2)V$ 印加される可能性がある。そこで第1スイッチング素子 Q_1 ～第4スイッチング素子 Q_4 に、 $(450/2)V$ にマージンを加えた約 $300V$ 耐圧のスイッチング素子を使用する。

30

【0058】

第7-1スイッチング素子 Q_{71} ～第7-4スイッチング素子 Q_{74} 、及び第8-1スイッチング素子 Q_{81} ～第8-4スイッチング素子 Q_{84} は、上記直流バスの電圧を4つのスイッチング素子で受ける経路が形成される可能性があるため、第7-1スイッチング素子 Q_{71} ～第7-4スイッチング素子 Q_{74} 、及び第8-1スイッチング素子 Q_{81} ～第8-4スイッチング素子 Q_{84} はそれぞれ、 $(450/4)V$ 以上の耐圧が必要である。例えば、第1スイッチング素子 Q_1 →第7-1スイッチング素子 Q_{71} →第7-2スイッチング素子 Q_{72} →第7-3スイッチング素子 Q_{73} →第7-4スイッチング素子 Q_{74} →第2スイッチング素子 Q_2 の経路が形成され、第1スイッチング素子 Q_1 及び第2スイッチング素子 Q_2 がオン状態の場合、第7-1スイッチング素子 Q_{71} ～第7-4スイッチング素子 Q_{74} にそれぞれ、 $(450/4)V$ 印加される可能性がある。そこで第7-1スイッチング素子 Q_{71} ～第7-4スイッチング素子 Q_{74} 、及び第8-1スイッチング素子 Q_{81} ～第8-4スイッチング素子 Q_{84} に、 $(450/4)V$ にマージンを加

40

50

えた約150V耐圧のスイッチング素子を使用する。

【0059】

なお、第7-1スイッチング素子Q71と第7-2スイッチング素子Q72との接続点と、第7-3スイッチング素子Q73と第7-4スイッチング素子Q74との接続点との間には第1キャパシタC1が接続されており、第1キャパシタC1は直流電源部2の電圧の1/4に相当する電荷を充電可能であるため、第7-1スイッチング素子Q71～第7-4スイッチング素子Q74間において、略1/4ずつの分圧が可能である。

【0060】

上述のように高耐圧のスイッチング素子は、スイッチング速度の限界が低くなるが、図3の回路構成では、高耐圧の第5スイッチング素子Q5及び第6スイッチング素子Q6は、高周波スイッチングされない箇所に使用されており、スイッチング制御に対する追従遅れは基本的に発生しない。一方、第1フライングキャパシタ回路F1及び第2フライングキャパシタ回路F2に、低耐圧の第7-1スイッチング素子Q71～第7-4スイッチング素子Q74、及び第8-1スイッチング素子Q81～第8-4スイッチング素子Q84を使用することにより、導通損失及びスイッチング損失を低減でき、高効率化を図ることができる。

【0061】

図13は、図3の回路構成の第1スイッチング素子Q1～第4スイッチング素子Q4をそれぞれ、2直列のより低耐圧のスイッチング素子に置き換えた回路構成を示す図である。図3の第1スイッチング素子Q1は、第1-1スイッチング素子Q1aと第1-2スイッチング素子Q1bの直列回路に置き換えられる。第2スイッチング素子Q2～第4スイッチング素子Q4も同様である。

【0062】

第1-1スイッチング素子Q1aと第1-2スイッチング素子Q1bのそれぞれには、第1スイッチング素子Q1の耐圧の約半分の耐圧のスイッチング素子を使用される。例えば、第1フライングキャパシタ回路F1に含まれる第7-1スイッチング素子Q71～第7-4スイッチング素子Q74と同じスイッチング素子を使用される。第2-1スイッチング素子Q2aと第2-2スイッチング素子Q2b、第3-1スイッチング素子Q3aと第3-2スイッチング素子Q3b、及び第4-1スイッチング素子Q4aと第4-2スイッチング素子Q4bも同様である。

【0063】

300V耐圧のスイッチング素子を150V耐圧のスイッチング素子に置き換えると、導通損失を1/2より小さくできる。従って、150V耐圧のスイッチング素子を2直列で使用した方が、導通損失を低減することができる。

【0064】

なお300V耐圧のスイッチング素子を、2直列の150V耐圧のスイッチング素子(2個)に置き換えた場合、電流容量が不足する場合がある。その場合、300V耐圧のスイッチング素子を、2直2並列の150V耐圧のスイッチング素子(4個)に置き換える。

【0065】

第1スイッチング素子Q1～第4スイッチング素子Q4は、高周波スイッチングされない箇所のスイッチング素子である。従って、2直列化/2直2並列化された複数のスイッチング素子間において、素子ばらつき等に起因するオン/オフタイミングの僅かなずれは許容される。

【0066】

図14は、図3の回路構成の第5スイッチング素子Q5及び第6スイッチング素子Q6をそれぞれ、4直列のより低耐圧のスイッチング素子に置き換えた回路構成を示す図である。図3の第5スイッチング素子Q5は、第5-1スイッチング素子Q5a～第5-4スイッチング素子Q5dの直列回路に置き換えられる。第6スイッチング素子Q6も同様である。

【 0 0 6 7 】

第 5 - 1 スイッチング素子 Q 5 a ~ 第 5 - 4 スイッチング素子 Q 5 d のそれぞれには、第 5 スイッチング素子 Q 5 の耐圧の約 1 / 4 の耐圧のスイッチング素子を使用される。例えば、第 1 フライングキャパシタ回路 F 1 に含まれる第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4 と同じスイッチング素子を使用される。第 6 - 1 スイッチング素子 Q 6 a ~ 第 6 - 4 スイッチング素子 Q 6 d も同様である。

【 0 0 6 8 】

図 1 5 は、図 3 の回路構成に短絡回路を追加した回路構成を示す図である。短絡回路は、第 1 フライングキャパシタ回路 F 1 の中点と第 2 フライングキャパシタ回路 F 2 の中点との間に接続される。即ち、直交変換部 1 0 の出力端子間に接続される。図 1 5 では、短絡回路が、第 9 - 1 スイッチング素子 Q 9 1 と第 9 - 2 スイッチング素子 Q 9 2 が逆向きに直列接続された双方向スイッチで構成される例を示している。なお短絡回路には、I G B T 又は M O S F E T の代わりに、G a N (窒化ガリウム)などのワイドバンドギャップの半導体スイッチを使用してもよい。

【 0 0 6 9 】

図 1 6 は、図 9 に示した擬似的正弦波のゼロクロスを示す図である。図 1 6 に示すように期間 1 から期間 3 に遷移する際、出力電圧がゼロクロスする。期間 3 から期間 1 に遷移する際も、同様に出力電圧がゼロクロスする。制御部 3 0 は、電力変換装置 1 の出力する交流電力のゼロクロス付近で、第 9 - 1 スイッチング素子 Q 9 1 及び第 9 - 2 スイッチング素子 Q 9 2 をオン状態にして短絡回路を短絡させる。

【 0 0 7 0 】

図 1 7 (a)、(b) は、スイッチングパターン I における、第 1 スイッチング素子 Q 1 ~ 第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4、第 9 - 1 スイッチング素子 Q 9 1、第 9 - 2 スイッチング素子 Q 9 2 のオン / オフ状態をまとめた図である。図 1 7 (a) は短絡回路が設けられない場合のスイッチングパターン I を示しており、図 1 7 (b) は短絡回路が設けられる場合のスイッチングパターン I を示している。なお状態 3 A 及び状態 3 B では、第 9 - 1 スイッチング素子 Q 9 1 及び第 9 - 2 スイッチング素子 Q 9 2 はオフ状態に制御される。

【 0 0 7 1 】

スイッチングパターン I は、状態 3 A (0 V) と状態 3 B (0 V) 間の切り替え時におけるスイッチングパターンであり、両者の間にデッドタイム期間が挿入される。図 1 7 (a) に示す例では、当該デッドタイム期間中、制御部 3 0 は第 1 スイッチング素子 Q 1 ~ 第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4 の全てをオフ状態 (以下、全オフ状態という) に制御する。

【 0 0 7 2 】

全オフ状態では、第 1 フライングキャパシタ回路 F 1 の中点と第 2 フライングキャパシタ回路 F 2 の中点間が電氣的に分離されるため、いずれかのアームの還流ダイオードに電流が流れると、第 1 フライングキャパシタ回路 F 1 の中点または第 2 フライングキャパシタ回路 F 2 の電位が変動して、0 V から離れてしまうことがある。

【 0 0 7 3 】

図 1 7 (b) に示す例では、状態 3 A と全オフ状態との間に、第 1 スイッチング素子 Q 1 ~ 第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4、第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4 のオン / オフ状態が状態 3 A のオン / オフ状態と同じで、第 9 - 1 スイッチング素子 Q 9 1 及び第 9 - 2 スイッチング素子 Q 9 2 がオフ状態の短絡状態 A を設ける。

【 0 0 7 4 】

同様に状態 3 B と全オフ状態との間に、第 1 スイッチング素子 Q 1 ~ 第 6 スイッチング素子 Q 6、第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4、第 8 -

1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4 のオン / オフ状態が状態 3 B のオン / オフ状態と同じで、第 9 - 1 スイッチング素子 Q 9 1 及び第 9 - 2 スイッチング素子 Q 9 2 がオフ状態の短絡状態 B を設ける。

【 0 0 7 5 】

このように全オフ状態に移行する前に第 9 - 1 スイッチング素子 Q 9 1 と第 9 - 2 スイッチング素子 Q 9 2 をオフ状態に制御して、出力端子間を短絡させることにより、状態 3 A (0 V) と状態 3 B (0 V) 間の切り替え時において、出力電圧が 0 V から離れてしまうことを防止することができる。即ち、出力電圧を 0 V に維持すべき期間において、短絡回路を短絡させることにより、出力電圧が 0 V から離れてしまうことを防止することができる。

10

【 0 0 7 6 】

図 1 8 は、図 3 の回路構成に第 1 D C / D C コンバータ 1 1 及び第 2 D C / D C コンバータ 1 2 を追加した回路構成を示す図である。第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 が充電された状態では、それぞれ直流電源部 2 の電圧の 1 / 4 の電圧幅で安定するはずである。しかしながら、系統 3 の過渡応答や位相跳躍などが発生すると、第 1 キャパシタ C 1 の電圧と、第 2 キャパシタ C 2 の電圧とのバランスが崩れるときがある。

【 0 0 7 7 】

図 1 8 に示す回路構成では、第 1 キャパシタ C 1 と並列に第 1 D C / D C コンバータ 1 1 を接続して、第 1 キャパシタ C 1 の電圧を安定させている。同様に第 2 キャパシタ C 2 と並列に第 2 D C / D C コンバータ 1 2 を接続することにより、第 2 キャパシタ C 2 の電圧を安定させている。第 1 D C / D C コンバータ 1 1 は、第 1 キャパシタ C 1 が充電された状態において、第 1 キャパシタ C 1 の正極電位を直流電源部 2 の正極電位に、第 1 キャパシタ C 1 の負極電位を、直流電源部 2 の電圧の 3 / 4 の電位に制御する。第 2 D C / D C コンバータ 1 2 は、第 1 キャパシタ C 1 が充電された状態において、第 2 キャパシタ C 2 の正極電位を、直流電源部 2 の電圧の 1 / 4 の電位に、第 2 キャパシタ C 2 の負極電位を直流電源部 2 の負極電位に制御する。

20

【 0 0 7 8 】

図 1 9 は、図 3 の回路構成に絶縁型 D C / D C コンバータ 1 3 を追加した回路構成を示す図である。図 1 9 に示す回路構成では、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 と並列に絶縁型 D C / D C コンバータ 1 3 が接続される。上述のように第 1 キャパシタ C 1 の正極電位と第 2 キャパシタ C 2 の正極電位、第 1 キャパシタ C 1 の負極電位と第 2 キャパシタ C 2 の負極電位はそれぞれ異なる。これに対して、絶縁型 D C / D C コンバータ 1 3 は、トランスにより 1 次側と 2 次側が絶縁されているため、1 次側と 2 次側の基準電位が揃っている必要がない。図 1 9 に示す回路構成では、第 1 キャパシタ C 1 の電力と第 2 キャパシタ C 2 の電力を、絶縁型 D C / D C コンバータ 1 3 を介して融通し合うことが可能である。

30

【 0 0 7 9 】

図 2 0 は、図 3 の回路構成にアクティブバッファ回路 1 4 を追加した回路構成を示す図である。図 2 0 に示す回路構成では、直流電源部 2 と並列にアクティブバッファ回路 1 4 が接続される。直流電源部 2 と直交変換部 1 0 を接続する直流バスの正側配線と負側配線間には、大容量の電解コンデンサが接続されることが多い。近年、当該電解コンデンサを、電解コンデンサより寿命が長いフィルムコンデンサに置き換える設計方法が、採用され始めている。

40

【 0 0 8 0 】

フィルムコンデンサは、電解コンデンサより高価であり体積も大きい。同じ容量の場合、フィルムコンデンサの体積が、電解コンデンサの 1 0 倍以上の体積になる場合もある。そこでフィルムコンデンサの容量を小さくすることが考えられる。それにより直流バスの容量が小さくなると、リップルノイズの影響が大きくなる。これに対して、アクティブバッファ回路 1 4 を追加することにより、リップルノイズの影響を低減することができる。従って、大容量の電解コンデンサを、当該電解コンデンサより容量が小さいフィルムコン

50

デンサに置き換えることができ、コンデンサの寿命を延ばすことができる。

【 0 0 8 1 】

以上説明したように本実施の形態によれば、高効率で小型の電力変換装置 1 を実現することができる。第 1 フライングキャパシタ回路 F 1 及び第 2 フライングキャパシタ回路 F 2 を用いたマルチレベル電力変換装置であるため、フィルタ部 2 0 の第 1 リアクトル L 1 及び第 2 リアクトル L 2 のサイズを小さくすることができる。

【 0 0 8 2 】

また、擬似的正弦波の半波を実際に生成している第 1 フライングキャパシタ回路 F 1 に含まれる第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4、及び第 2 フライングキャパシタ回路 F 2 に含まれる第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4 を高速（例えば、20 kHz）にスイッチングすることにより、フィルタ部 2 0 の第 1 リアクトル L 1 及び第 2 リアクトル L 2 のサイズをさらに小さくすることができる。

10

【 0 0 8 3 】

また、高速スイッチングされる第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 4 スイッチング素子 Q 7 4、及び第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 4 スイッチング素子 Q 8 4 に、低耐圧のスイッチング素子を使用することにより、導通損失及びスイッチング損失を低減することができる。

【 0 0 8 4 】

また、導通損失及びスイッチング損失が相対的に大きい高耐圧のスイッチング素子は、第 5 スイッチング素子 Q 5 及び第 6 スイッチング素子 Q 6 の 2 個しか使用しない。また、相対的にスイッチング速度が遅い第 5 スイッチング素子 Q 5 及び第 6 スイッチング素子 Q 6 は、極性切替時にのみスイッチングする箇所に使用する。このように高耐圧のスイッチング素子が高周波スイッチングしないことにより、スイッチング損失の増大を抑制することができる。また電力変換装置 1 全体としては高周波化が容易に可能であり、高周波化することにより、第 1 リアクトル L 1 及び第 2 リアクトル L 2 のサイズを小さくすることができる。

20

【 0 0 8 5 】

また第 5 スイッチング素子 Q 5 と第 6 スイッチング素子 Q 6 は相補的に動作するため、直流電源部 2 から供給される電流が、高耐圧のスイッチング素子を 2 個通過するスイッチングパターンが発生しない。これに対して H ブリッジ回路では、高耐圧のスイッチング素子を 2 個通過するスイッチングパターンが発生する。

30

【 0 0 8 6 】

以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【 0 0 8 7 】

上述の実施の形態では、第 1 フライングキャパシタ回路 F 1 及び第 2 フライングキャパシタ回路 F 2 に、1 段のフライングキャパシタ回路を使用する例を示した。この点、2 段以上のフライングキャパシタ回路を使用してもよい。

40

【 0 0 8 8 】

図 2 1 は、図 1 3 の回路構成の第 1 フライングキャパシタ回路 F 1 及び第 2 フライングキャパシタ回路 F 2 を、3 段のフライングキャパシタ回路に置き換えた回路構成を示す図である。図 2 1 に示す回路構成では、9 レベル（+ V d c、+ V d c * 3 / 4、+ V d c / 2、+ V d c / 4、0、- V d c * 3 / 4、- V d c / 2、- V d c / 4、- V d c）の電圧を出力可能である。

【 0 0 8 9 】

図 2 1 の回路構成において、第 1 フライングキャパシタ回路 F 1 に含まれる第 7 - 1 スイッチング素子 Q 7 1 ~ 第 7 - 8 スイッチング素子 Q 7 8、及び第 2 フライングキャパシタ回路 F 2 に含まれる第 8 - 1 スイッチング素子 Q 8 1 ~ 第 8 - 8 スイッチング素子 Q 8

50

8 に、約 75 V 耐圧のスイッチング素子を使用する。

【0090】

第 5 スwitchング素子 Q 5 及び第 6 スwitchング素子 Q 6 には、約 600 V 耐圧のスイッチング素子を使用し、第 1 - 1 スwitchング素子 Q 1 a、第 1 - 2 スwitchング素子 Q 1 b、第 2 - 1 スwitchング素子 Q 2 a、第 2 - 2 スwitchング素子 Q 2 b、第 3 - 1 スwitchング素子 Q 3 a、第 3 - 2 スwitchング素子 Q 3 b、第 4 - 1 スwitchング素子 Q 4 a、第 4 - 2 スwitchング素子 Q 4 b には、約 150 V 耐圧のスイッチング素子を使用する。図 2 1 に示すように 9 レベル出力の電力変換装置 1 を使用すれば、より滑らかな擬似的正弦波を生成することができる。

【0091】

なお、実施の形態は、以下の項目によって特定されてもよい。

【0092】

[項目 1]

直流電源 (2) と並列に、第 1 スwitchング素子 (Q 1)、第 1 フライングキャパシタ回路 (F 1)、第 2 スwitchング素子 (Q 2) の順に直列接続された第 1 アーム回路と、前記直流電源 (2) 及び前記第 1 アーム回路と並列に、第 3 スwitchング素子 (Q 3)、第 2 フライングキャパシタ回路 (F 2)、第 4 スwitchング素子 (Q 4) の順に直列接続された第 2 アーム回路と、

前記第 1 スwitchング素子 (Q 1) と前記第 1 フライングキャパシタ回路 (F 1) との接続点と、前記第 2 フライングキャパシタ回路 (F 2) と前記第 4 スwitchング素子 (Q 4) との接続点との間に接続された第 5 スwitchング素子 (Q 5) と、

前記第 3 スwitchング素子 (Q 3) と前記第 2 フライングキャパシタ回路 (F 2) との接続点と、前記第 1 フライングキャパシタ回路 (F 1) と前記第 2 スwitchング素子 (Q 2) との接続点との間に接続された第 6 スwitchング素子 (Q 6) と、を備え、

前記第 1 フライングキャパシタ回路 (F 1) の中点と、前記第 2 フライングキャパシタ回路 (F 2) の中点から交流電力を出力することを特徴とする電力変換装置 (1)。

これによれば、高効率で小型の電力変換装置 (1) を実現することができる。

[項目 2]

前記第 1 スwitchング素子 (Q 1)、前記第 6 スwitchング素子 (Q 6)、及び前記第 4 スwitchング素子 (Q 4) がオン状態、並びに前記第 2 スwitchング素子 (Q 2)、前記第 5 スwitchング素子 (Q 5)、及び前記第 3 スwitchング素子 (Q 3) がオフ状態で前記交流電力の半波を生成し、

前記第 1 スwitchング素子 (Q 1)、前記第 6 スwitchング素子 (Q 6)、及び前記第 4 スwitchング素子 (Q 4) がオフ状態、並びに前記第 2 スwitchング素子 (Q 2)、前記第 5 スwitchング素子 (Q 5)、及び前記第 3 スwitchング素子 (Q 3) がオン状態で前記交流電力の逆極性の半波を生成することを特徴とする項目 1 に記載の電力変換装置 (1)。

このように第 1 スwitchング素子 (Q 1) ~ 第 6 スwitchング素子 (Q 6) が制御されることにより、交流電力の極性を切り替えることができる。

[項目 3]

前記第 1 スwitchング素子 (Q 1)、前記第 6 スwitchング素子 (Q 6)、及び前記第 4 スwitchング素子 (Q 4) がオン状態、並びに前記第 2 スwitchング素子 (Q 2)、前記第 5 スwitchング素子 (Q 5)、及び前記第 3 スwitchング素子 (Q 3) がオフ状態と、

前記第 1 スwitchング素子 (Q 1)、前記第 6 スwitchング素子 (Q 6)、及び前記第 4 スwitchング素子 (Q 4) がオフ状態、並びに前記第 2 スwitchング素子 (Q 2)、前記第 5 スwitchング素子 (Q 5)、及び前記第 3 スwitchング素子 (Q 3) がオン状態の切替が、

前記第 1 フライングキャパシタ回路 (F 1) の中点と前記第 2 フライングキャパシタ回路 (F 2) の中点から出力される出力電圧の極性を切り替えるときに動作する項目 1 に記

10

20

30

40

50

載の電力変換装置。

このように第1スイッチング素子(Q1)～第6スイッチング素子(Q6)が制御されることにより、交流電力の極性を切り替えることができる。

[項目4]

前記第1フライングキャパシタ回路(F1)は、

直列接続された第7-1スイッチング素子(Q71)、第7-2スイッチング素子(Q72)、第7-3スイッチング素子(Q73)、及び第7-4スイッチング素子(Q74)と、

前記第7-1スイッチング素子(Q71)と第7-2スイッチング素子(Q72)との接続点と、第7-3スイッチング素子(Q73)と第7-4スイッチング素子(Q74)との接続点との間に接続された第1キャパシタ(C1)と、を含み、

10

前記第2フライングキャパシタ回路(F2)は、

直列接続された第8-1スイッチング素子(Q81)、第8-2スイッチング素子(Q82)、第8-3スイッチング素子(Q83)、及び第8-4スイッチング素子(Q84)と、

前記第8-1スイッチング素子(Q81)と第8-2スイッチング素子(Q82)との接続点と、第8-3スイッチング素子(Q83)と第8-4スイッチング素子(Q84)との接続点との間に接続された第2キャパシタ(C2)と、を含むことを特徴とする項目1から3のいずれか1項に記載の電力変換装置(1)。

これによれば、5レベルの電圧を生成することができる。

20

[項目5]

前記第5スイッチング素子(Q5)、及び前記第6スイッチング素子(Q6)には、前記直流電源(2)の電圧より高い耐圧の素子を使用され、

前記第1スイッチング素子(Q1)、前記第2スイッチング素子(Q2)、前記第3スイッチング素子(Q3)、前記第4スイッチング素子(Q4)、前記第7-1スイッチング素子(Q71)、前記第7-2スイッチング素子(Q72)、前記第7-3スイッチング素子(Q73)、前記第7-4スイッチング素子(Q74)、前記第8-1スイッチング素子(Q81)、前記第8-2スイッチング素子(Q82)、前記第8-3スイッチング素子(Q83)、及び前記第8-4スイッチング素子(Q84)には、前記直流電源(2)の電圧より低い耐圧の素子を使用されることを特徴とする項目4に記載の電力変換装置(1)。

30

高速スイッチングが不要な箇所に高耐圧のスイッチング素子を使用し、高速スイッチングが必要な箇所に低耐圧のスイッチング素子を使用することにより、安全性を確保しつつ、全体としての導通損失及びスイッチング損失を低減することができる。

[項目6]

前記第1フライングキャパシタ回路(F1)は、N(Nは自然数)個のキャパシタを含み、

前記第2フライングキャパシタ回路(F2)は、N(Nは自然数)個のキャパシタを含み、

前記第1フライングキャパシタ回路(F1)の midpoint と、前記第2フライングキャパシタ回路(F2)の midpoint から、(2N+3)レベルの電圧が出力されることを特徴とする項目1から3のいずれか1項に記載の電力変換装置(1)。

40

これによれば、少ないキャパシタの数で、より多くの電圧レベルを生成することができる。

[項目7]

前記第1スイッチング素子(Q1)、前記第2スイッチング素子(Q2)、前記第3スイッチング素子(Q3)、及び前記第4スイッチング素子(Q4)の少なくとも1つが、前記第1フライングキャパシタ回路(F1)、及び前記第2フライングキャパシタ回路(F2)に含まれるスイッチング素子の耐圧に対応する複数のスイッチング素子で構成される直列回路または直並列回路に置き換えられることを特徴とする項目1から6のいずれか

50

1 項に記載の電力変換装置 (1)。

これによれば、導通損失及びスイッチング損失を低減することができる。

[項目 8]

前記第 1 フライングキャパシタ回路 (F 1) の中点と、前記第 2 フライングキャパシタ回路 (F 2) の中点との間に接続された短絡回路 (Q 9 1、Q 9 2) をさらに備えることを特徴とする項目 1 から 7 のいずれか 1 項に記載の電力変換装置 (1)。

これによれば、マルチレベルの 1 つに含まれる 0 V を高精度に生成することができる。

[項目 9]

前記短絡回路 (Q 9 1、Q 9 2) は、前記交流電力のゼロクロス付近において短絡することを特徴とする項目 8 に記載の電力変換装置 (1)。

10

これによれば、交流電力がゼロクロスする際に、0 V 以外の電圧が出力されることを回避することができる。

[項目 10]

前記短絡回路 (Q 9 1、Q 9 2) は、前記電力変換装置 (1) の出力電圧を 0 V に維持すべき期間に短絡することを特徴とする項目 8 または 9 に記載の電力変換装置 (1)。

これによれば、交流電力がゼロクロスする際に、0 V 以外の電圧が出力されることを回避することができる。

[項目 11]

前記第 1 フライングキャパシタ回路 (F 1)、及び前記第 2 フライングキャパシタ回路 (F 2) に含まれる少なくとも 1 つのキャパシタと並列に接続された DC / DC コンバータ (11、12、13) をさらに備えることを特徴とする項目 1 から 10 のいずれか 1 項に記載の電力変換装置 (1)。

20

これによれば、第 1 キャパシタ (C 1) 及び / 又は第 2 キャパシタ (C 2) の電圧を安定化させることができる。

[項目 12]

前記直流電源 (2) と並列に接続されたアクティブバッファ回路 (14) をさらに備えることを特徴とする項目 1 から 11 のいずれか 1 項に記載の電力変換装置 (1)。

これによれば、直流バスに重畳されるリップルノイズを低減することができる。

【符号の説明】

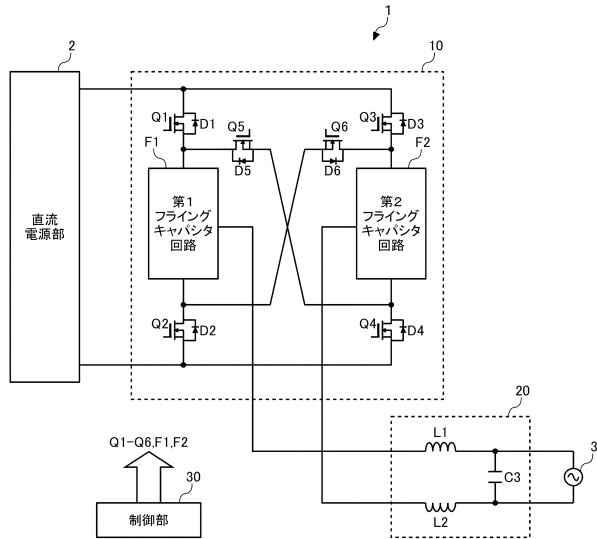
【 0093 】

30

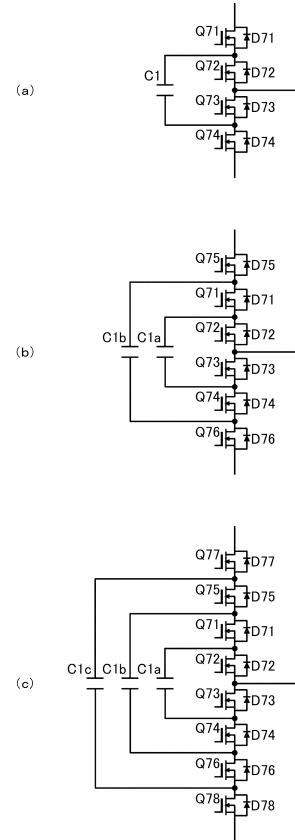
1 電力変換装置、 2 直流電源部、 3 系統、 10 直交変換部、 20 フィルタ部、 30 制御部、 F 1 第 1 フライングキャパシタ回路、 F 2 第 2 フライングキャパシタ回路、 Q 1 第 1 スwitchング素子、 Q 2 第 2 スwitchング素子、 Q 3 第 3 スwitchング素子、 Q 4 第 4 スwitchング素子、 Q 5 第 5 スwitchング素子、 Q 6 第 6 スwitchング素子、 Q 7 1 第 7 - 1 スwitchング素子、 Q 7 2 第 7 - 2 スwitchング素子、 Q 7 3 第 7 - 3 スwitchング素子、 Q 7 4 第 7 - 4 スwitchング素子、 Q 8 1 第 8 - 1 スwitchング素子、 Q 8 2 第 8 - 2 スwitchング素子、 Q 8 3 第 8 - 3 スwitchング素子、 Q 8 4 第 8 - 4 スwitchング素子、 Q 9 1 第 9 - 1 スwitchング素子、 Q 9 2 第 9 - 2 スwitchング素子、 D 1 第 1 ダイオード、 D 2 第 2 ダイオード、 D 3 第 3 ダイオード、 D 4 第 4 ダイオード、 D 5 第 5 ダイオード、 D 6 第 6 ダイオード、 D 7 1 第 7 - 1 ダイオード、 D 7 2 第 7 - 2 ダイオード、 D 7 3 第 7 - 3 ダイオード、 D 7 4 第 7 - 4 ダイオード、 D 8 1 第 8 - 1 ダイオード、 D 8 2 第 8 - 2 ダイオード、 D 8 3 第 8 - 3 ダイオード、 D 8 4 第 8 - 4 ダイオード、 D 9 1 第 9 - 1 ダイオード、 D 9 2 第 9 - 2 ダイオード、 C 1 第 1 キャパシタ、 C 2 第 2 キャパシタ、 L 1 第 1 リアクトル、 L 2 第 2 リアクトル、 L 3 第 3 キャパシタ、 11 第 1 DC / DC コンバータ、 12 第 2 DC / DC コンバータ、 13 絶縁型 DC / DC コンバータ、 14 アクティブバッファ回路。

40

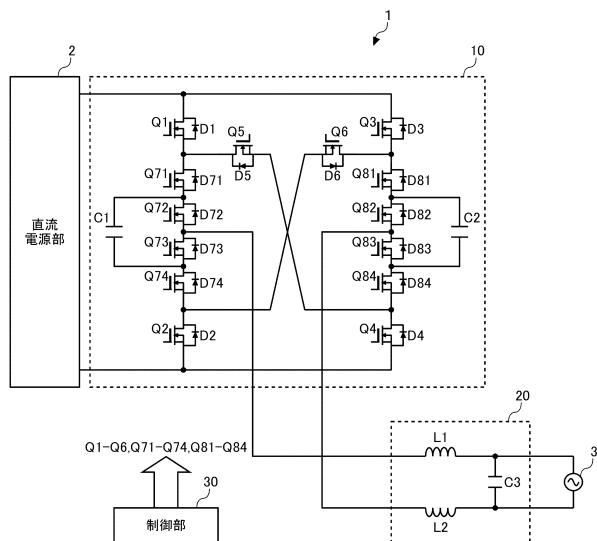
【図 1】



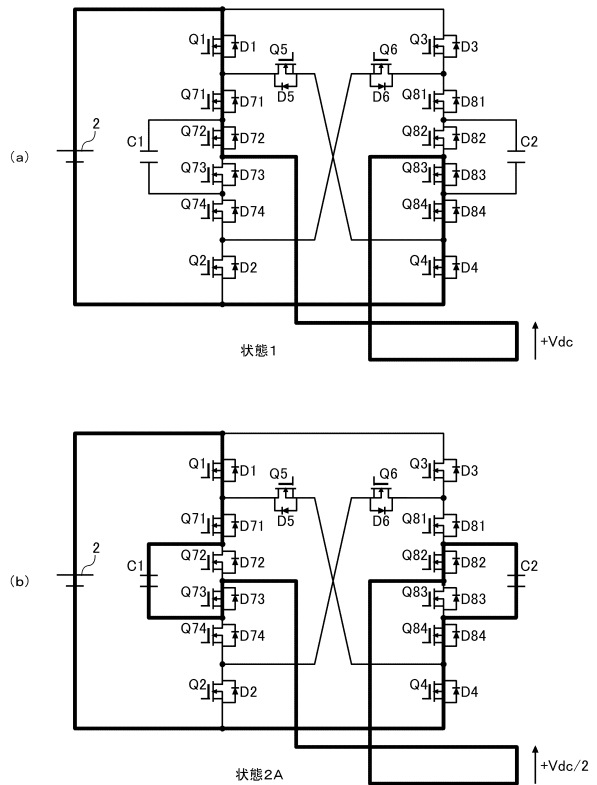
【図 2】



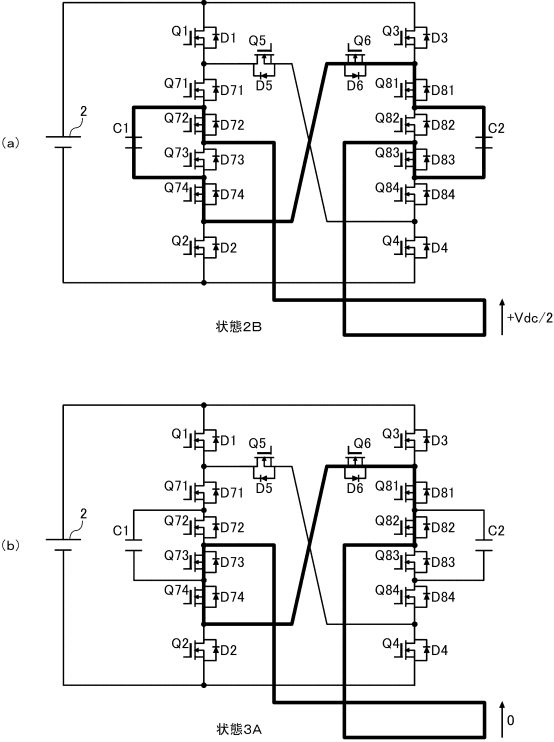
【図 3】



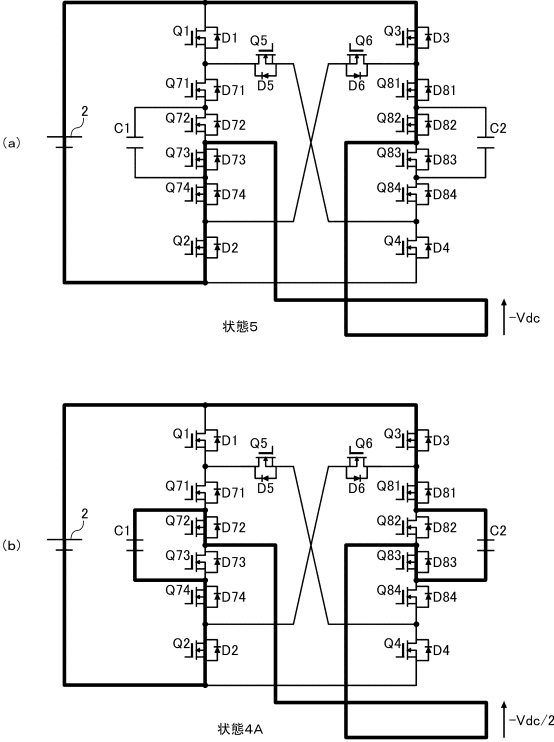
【図 4】



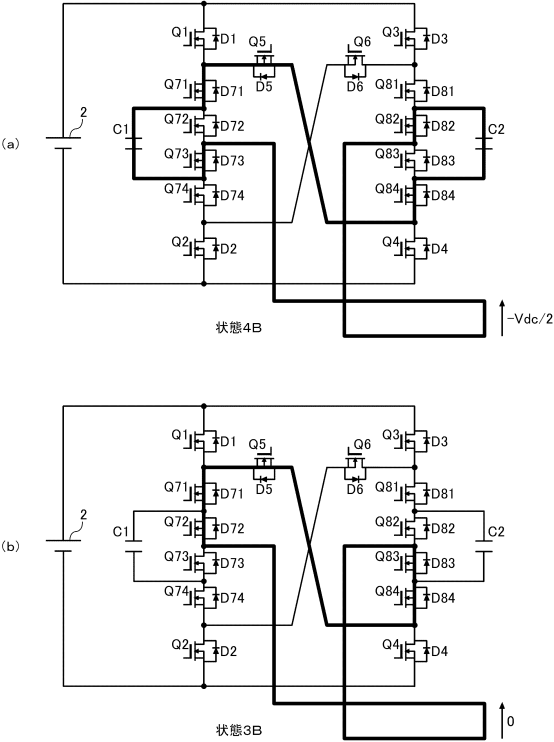
【図 5】



【図 6】



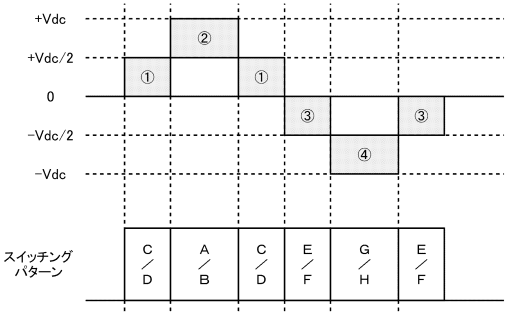
【図 7】



【図 8】

	状態1	状態2A	状態2B	状態3A	状態3B	状態4A	状態4B	状態5
	+Vdc	+Vdc/2	+Vdc/2	0	0	-Vdc/2	-Vdc/2	-Vdc
Q1	ON	ON	ON	ON	OFF	OFF	OFF	OFF
Q2	OFF	OFF	OFF	OFF	ON	ON	ON	ON
Q3	OFF	OFF	OFF	OFF	ON	ON	ON	ON
Q4	ON	ON	ON	ON	OFF	OFF	OFF	OFF
Q5	OFF	OFF	OFF	OFF	ON	ON	ON	ON
Q6	ON	ON	ON	ON	OFF	OFF	OFF	OFF
Q71	ON	ON	OFF	OFF	ON	OFF	ON	OFF
Q72	ON	OFF	ON	OFF	ON	ON	OFF	OFF
Q73	OFF	ON	OFF	ON	OFF	OFF	ON	ON
Q74	OFF	OFF	ON	ON	OFF	ON	OFF	ON
Q81	OFF	OFF	ON	ON	OFF	ON	OFF	ON
Q82	OFF	ON	OFF	ON	OFF	OFF	ON	ON
Q83	ON	OFF	ON	OFF	ON	ON	OFF	OFF
Q84	ON	ON	OFF	OFF	ON	OFF	ON	OFF

【図 9】



【図 10】

スイッチングパターンA			
	状態1 +Vdc	デッド タイム	状態2A +Vdc/2
Q1	ON	ON	ON
Q2	OFF	OFF	OFF
Q3	OFF	OFF	OFF
Q4	ON	ON	ON
Q5	OFF	OFF	OFF
Q6	ON	ON	ON
Q71	ON	ON	ON
Q72	ON	OFF	OFF
Q73	OFF	OFF	ON
Q74	OFF	OFF	OFF
Q81	OFF	OFF	OFF
Q82	OFF	OFF	ON
Q83	ON	OFF	OFF
Q84	ON	ON	ON

(a)

【図 11】

スイッチングパターンB			
	状態1 +Vdc	デッド タイム	状態2B +Vdc/2
Q1	ON	ON	ON
Q2	OFF	OFF	OFF
Q3	OFF	OFF	OFF
Q4	ON	ON	ON
Q5	OFF	OFF	OFF
Q6	ON	ON	ON
Q71	ON	OFF	OFF
Q72	ON	ON	ON
Q73	OFF	OFF	OFF
Q74	OFF	OFF	ON
Q81	OFF	OFF	ON
Q82	OFF	OFF	OFF
Q83	ON	ON	ON
Q84	ON	OFF	OFF

(b)

スイッチングパターンE			
	状態3B 0	デッド タイム	状態4A -Vdc/2
Q1	OFF	OFF	OFF
Q2	ON	ON	ON
Q3	ON	ON	ON
Q4	OFF	OFF	OFF
Q5	ON	ON	ON
Q6	OFF	OFF	OFF
Q71	ON	OFF	OFF
Q72	ON	ON	ON
Q73	OFF	OFF	OFF
Q74	OFF	OFF	ON
Q81	OFF	OFF	ON
Q82	OFF	OFF	OFF
Q83	ON	ON	ON
Q84	ON	OFF	OFF

(a)

スイッチングパターンF			
	状態3B 0	デッド タイム	状態4B -Vdc/2
Q1	OFF	OFF	OFF
Q2	ON	ON	ON
Q3	ON	ON	ON
Q4	OFF	OFF	OFF
Q5	ON	ON	ON
Q6	OFF	OFF	OFF
Q71	ON	ON	ON
Q72	ON	OFF	OFF
Q73	OFF	OFF	ON
Q74	OFF	OFF	OFF
Q81	OFF	OFF	OFF
Q82	OFF	OFF	ON
Q83	ON	OFF	OFF
Q84	ON	ON	ON

(b)

スイッチングパターンC			
	状態3A 0	デッド タイム	状態2A +Vdc/2
Q1	ON	ON	ON
Q2	OFF	OFF	OFF
Q3	OFF	OFF	OFF
Q4	ON	ON	ON
Q5	OFF	OFF	OFF
Q6	ON	ON	ON
Q71	OFF	OFF	ON
Q72	OFF	OFF	OFF
Q73	ON	ON	ON
Q74	ON	OFF	OFF
Q81	ON	OFF	OFF
Q82	ON	ON	ON
Q83	OFF	OFF	OFF
Q84	OFF	OFF	ON

(c)

スイッチングパターンD			
	状態3A 0	デッド タイム	状態2B +Vdc/2
Q1	ON	ON	ON
Q2	OFF	OFF	OFF
Q3	OFF	OFF	OFF
Q4	ON	ON	ON
Q5	OFF	OFF	OFF
Q6	ON	ON	ON
Q71	OFF	OFF	OFF
Q72	OFF	OFF	ON
Q73	ON	OFF	OFF
Q74	ON	ON	ON
Q81	ON	ON	ON
Q82	ON	OFF	OFF
Q83	OFF	OFF	ON
Q84	OFF	OFF	OFF

(d)

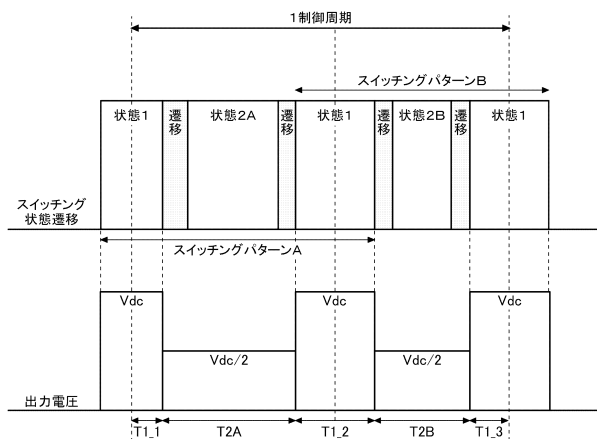
スイッチングパターンG			
	状態5 -Vdc	デッド タイム	状態4A -Vdc/2
Q1	OFF	OFF	OFF
Q2	ON	ON	ON
Q3	ON	ON	ON
Q4	OFF	OFF	OFF
Q5	ON	ON	ON
Q6	OFF	OFF	OFF
Q71	OFF	OFF	OFF
Q72	OFF	OFF	ON
Q73	ON	OFF	OFF
Q74	ON	ON	ON
Q81	ON	ON	ON
Q82	ON	OFF	OFF
Q83	OFF	OFF	ON
Q84	OFF	OFF	OFF

(c)

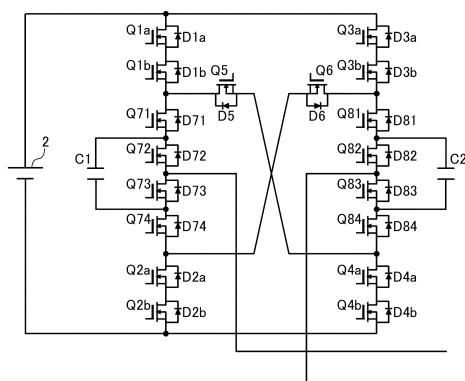
スイッチングパターンH			
	状態5 -Vdc	デッド タイム	状態4B -Vdc/2
Q1	OFF	OFF	OFF
Q2	ON	ON	ON
Q3	ON	ON	ON
Q4	OFF	OFF	OFF
Q5	ON	ON	ON
Q6	OFF	OFF	OFF
Q71	OFF	OFF	ON
Q72	OFF	OFF	OFF
Q73	ON	ON	ON
Q74	ON	OFF	OFF
Q81	ON	OFF	OFF
Q82	ON	ON	ON
Q83	OFF	OFF	OFF
Q84	OFF	OFF	ON

(d)

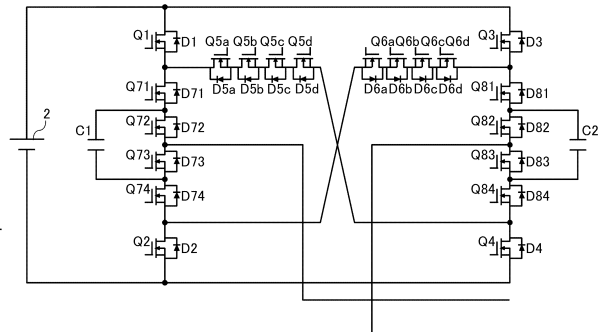
【図 12】



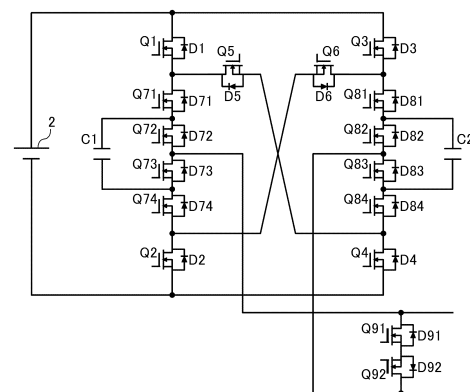
【図 13】



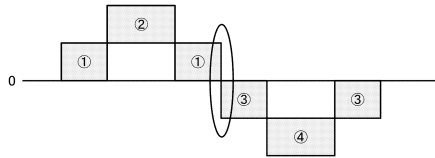
【図 14】



【図 15】



【図 16】



【図 17】

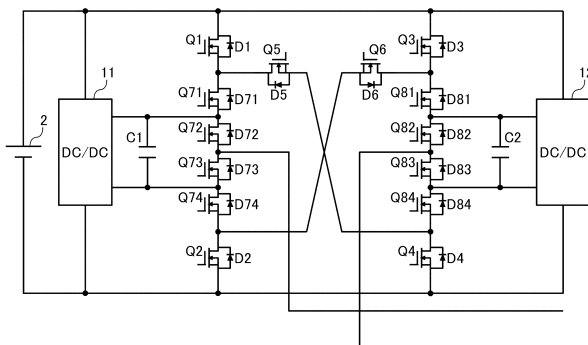
スイッチングパターンI(短絡回路無し)			
	状態3A	デッドタイム	状態3B
	0		0
Q1	ON	OFF	OFF
Q2	OFF	OFF	ON
Q3	OFF	OFF	ON
Q4	ON	OFF	OFF
Q5	OFF	OFF	ON
Q6	ON	OFF	OFF
Q71	OFF	OFF	ON
Q72	OFF	OFF	ON
Q73	ON	OFF	OFF
Q74	ON	OFF	OFF
Q81	ON	OFF	OFF
Q82	ON	OFF	OFF
Q83	OFF	OFF	ON
Q84	OFF	OFF	ON

(a)

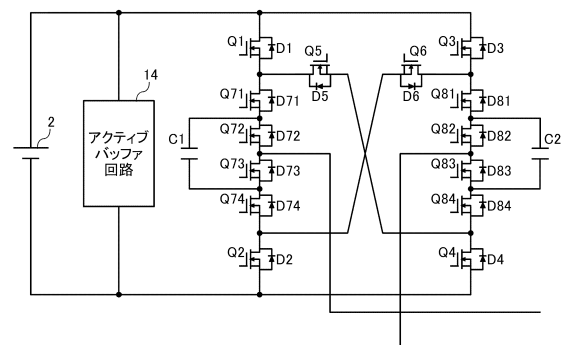
スイッチングパターンI(短絡回路有り)				
	状態3A	デッドタイム(短絡状態)		状態3B
	0	短絡A	全OFF	短絡B
Q1	ON	ON	OFF	OFF
Q2	OFF	OFF	OFF	ON
Q3	OFF	OFF	OFF	ON
Q4	ON	ON	OFF	OFF
Q5	OFF	OFF	OFF	ON
Q6	ON	ON	OFF	OFF
Q71	OFF	OFF	OFF	ON
Q72	OFF	OFF	OFF	ON
Q73	ON	ON	OFF	OFF
Q74	ON	ON	OFF	OFF
Q81	ON	ON	OFF	OFF
Q82	ON	ON	OFF	OFF
Q83	OFF	OFF	OFF	ON
Q84	OFF	OFF	OFF	ON
Q91	OFF	ON	ON	OFF
Q92	OFF	ON	ON	OFF

(b)

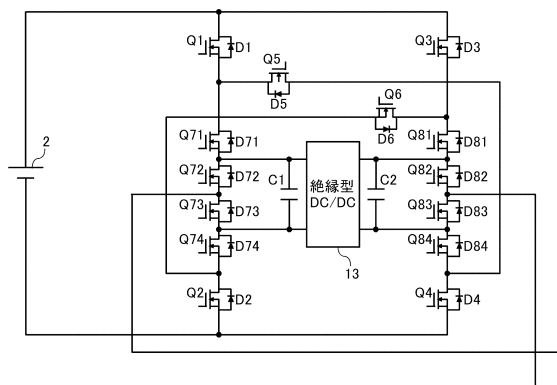
【図 18】



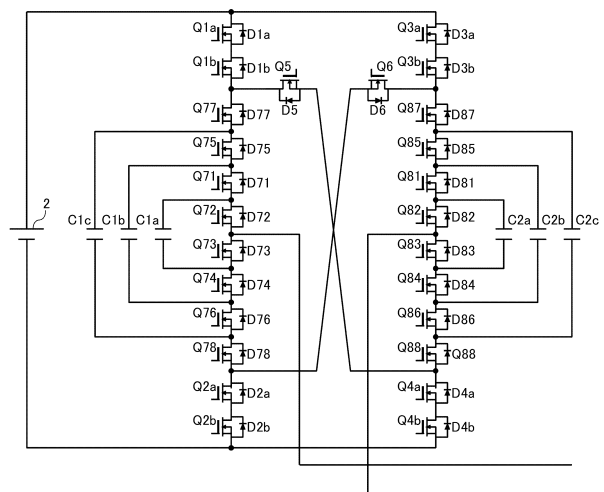
【図 20】



【図 19】



【図 21】



フロントページの続き

(56)参考文献 米国特許出願公開第2015/0280608(US, A1)

特開2016-092846(JP, A)

特開2004-112903(JP, A)

特開2015-202033(JP, A)

特開2016-096616(JP, A)

国際公開第2014/157700(WO, A1)

大沼, 伊東, “アクティブバッファ付き昇圧形三相-単相電力変換器の基礎検討”, 電気学会研究会資料, 電気学会, 2009年 6月26日, SPC-09-97, IEA-09-15, p.1-6

(58)調査した分野(Int.Cl., DB名)

H02M 1/00-7/98