(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/115

(45) 공고일자 1999년09월15일
(11) 등록번호 10-0221062
(24) 등록일자 1999년06월24일

(21) 출원번호 10-1994-0029291
(22) 출원일자 1994년11월07일
(65) 공개번호 특1995-0015799
(43) 공개일자 1995년06월17일

(30) 우선권주장 93-278209 1993년11월08일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤 마찌다 가쯔히꼬
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자 마쯔시다 다다시
일본국 나라껜 나라시 사꼬 3-6 아르스-다까노하라 1-102
(74) 대리인 백덕열, 이태희

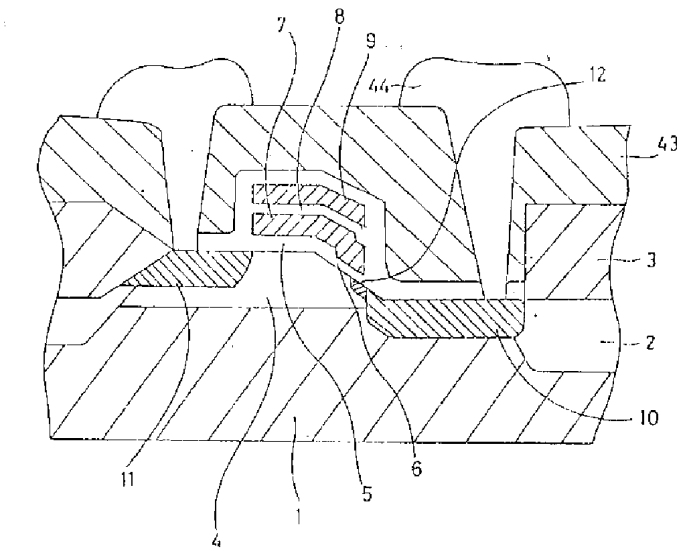
심사관 : 임동우

(54) 플래시메모리 및 그 제조방법

요약

본 발명은 플래시메모리 및 그 제조방법에 관한 것으로, 구체적으로는 부유 게이트전극을 구비하고 전기적으로 기입 및 소거가능한 플래시메모리와 그 제조방법에 관한 것이다. 이 메모리는, 반도체기판; 상기 반도체기판의 주 표면에 일정한 거리를 두고 서로 떨어지게 형성된 소스영역 및 드레인영역; 상기 소스영역과 드레인영역 사이에 배치되는 채널영역; 상기 채널영역상에 배치되는 게이트절연막; 상기 게이트절연막상에 배치되는 부유 게이트전극; 및 층간절연막을 사이에 두고 상기 부유 게이트 전극에 적어도 부분적으로 적층되도록 배치되는 제어 게이트전극;을 구비하고, 상기 채널영역과 주 표면이 경사부를 갖고, 상기 소스영역이 상기 드레인영역보다 상대적으로 상방 또는 하방에 배치되는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

플래시메모리 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 플래시메모리의 개략적 단면도.

제2도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.

제3도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.

제4도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제5도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제6도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제7도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제8도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제9도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제10도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제11도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제12도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제13도는 제1도의 플래시메모리의 제조공정 일부를 보여주는 단면도.
제14도는 본 발명에 따른 플래시메모리중 DDD 구조를 갖는 메모리의 개략적 단면도.
제15도는 본 발명의 오프셋형 플래시메모리의 개략적 단면도.
제16도는 본 발명의 플래시메모리의 개략적 단면도.
제17도는 본 발명의 플래시메모리의 개략적 단면도.
제18도는 본 발명의 플래시메모리의 개략적 단면도.
제19도는 본 발명의 결합용량이 증가된 플래시메모리의 개략적 단면도.
제20도는 본 발명의 결합용량이 증가된 플래시메모리의 개략적 단면도.
제21도는 본 발명의 결합용량이 증가된 플래시메모리의 개략적 단면도.
제22도는 본 발명의 플래시메모리를 DRAM에 적용한 소자의 개략적 단면도.
제23도는 본 발명의 플래시메모리의 개략적 단면도.
제24(a)도는 본 발명의 플래시메모리의 개략도.
제24(b)도는 제24(a)도의 A 부분의 확대도.
제24(c)도는 본 발명의 채널영역의 경사부의 확대도.
제25도는 본 발명의 플래시메모리의 개략적 단면도.
제26도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제27도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제28도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제29도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제30도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제31도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제32도는 제25도에 도시된 플래시메모리의 제조공정의 일부를 보여주는 개략적 단면도.
제33도는 본 발명의 플래시메모리의 기입중의 전자 흐름을 나타낸 도면.
제34도는 본 발명의 플래시메모리의 소거중의 전자 흐름을 나타낸 도면.
제35도는 본 발명의 오프셋형 플래시메모리의 기입중의 전자 흐름을 나타낸 도면.
제36도는 매트릭스 형태로 배열된 플래시메모리의 기입도.
제37도는 본 발명의 플래시메모리의 전기접속도.
제38도는 본 발명의 플래시메모리의 전기접속도.
제39도는 본 발명의 플래시메모리의 전기접속도.
제40도는 종래의 플래시메모리의 개략적 단면도.
제41도는 종래의 플래시메모리의 개략적 단면도.
제42도는 종래의 플래시메모리의 개략적 단면도.
제43도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.
제44도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.
제45도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.
제46도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제47도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제48도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제49도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제50도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제51도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제52도는 제24(a)도의 플래시메모리 제조공정의 일부를 보여주는 개략적 단면도.

제53도는 본 발명의 플래시메모리가 매트릭스 형태로 배열되어 있는 기입도.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체기판 2 : 필드도프층

3 : 소자분리 산화막(LOCOS) 4 : 채널영역

5 : 제1게이트절연막 6 : 제2게이트절연막

7 : 제1폴리실리콘 층(부유 게이트전극) 8 : 제3게이트절연막

9 : 제2폴리실리콘 층(제어 게이트전극) 10 : 소스영역(N^+형 불순물영역)

11 : 드레인영역(N^+형 불순물영역) 12 : LDD 영역

[발명의 상세한 설명]

본 발명은 플래시메모리 및 그 제조방법에 관한 것으로, 구체적으로는 부유 게이트전극을 구비하고 전기적으로 기입 및 소거가능한 플래시메모리와 그 제조방법에 관한 것이다.

데이타를 전기적으로 기입 및 소거할 수 있는 다양한 플래시메모리와 그 제조방법이 제시되어 왔다. 그중에서도 최근 가장 주목받는 플래시메모리는 핫 일렉트론 주입이라 불리우는 것을 이용한다. 이런 플래시메모리는 소스영역과 드레인영역 사이의 공간에 높은 전압을 인가하는 제어 게이트전극 밑에 위치하는 게이트 절연막내의 부유 게이트전극을 제공하고, 또 이 제어 게이트전극에 높은 전압을 인가하여 발생된 핫 캐리어가 제어 게이트전극내의 전계에 의해 흡수되어 부유 게이트전극으로 주입된다. 예컨대, USP 4,963,825와 일본국 특허원 소 61-127179호에는 종래의 구성을 갖는 메모리로서 가장 주목받는 플래시메모리를 개시하고 있다. 제40-42도는 플래시메모리의 종래 구성을 보여준다.

제40-42도는 플래시메모리중에서도 구조가 가장 간단한 자기정합형의 소위 단일 메모리셀의 구성을 보여주는 단면도이다. 실용 레벨에서는, 이런 플래시메모리는 구조가 더 복잡하지만, 편의상 제40-42도를 예로 들어 설명한다. 제40-42도에서, 번호 101은 P형 폴리실리콘층, 102는 제2게이트 절연막, 103은 제1게이트 절연막, 104는 제1폴리실리콘층(부유 게이트전극), 105는 제3게이트 절연막, 106은 제2폴리실리콘층(제어 게이트전극), 107은 소스영역(N^+형 불순물 영역), 108은 드레인영역(N^+형 불순물 영역), 109는 소자분리 산화막(LOCOS)이다.

이런 구조를 자기정합형이라고 하는데, 이는 부유 게이트전극(104)의 단부와 제어 게이트전극(106)의 단부가 채널의 장방향으로 일치되게(자기정합적으로) 형성되기 때문이다. 소스영역(107)은 소거동작시 내압을 향상시키기 위해 가볍게 도포된 드레인(LDD) 또는 더블 도프된 드레인(DDD) 구조를 취한다고 알려져있다. 제41도는 LDD 구조이고, 제42도는 DDD 구조이다.

이하, 이 메모리의 동작원리와 특징에 대해 간단히 설명한다. 드레인영역(108)과 제어 게이트전극(106)에 높은 전압을 인가하고, 채널내의 드레인영역(108)과의 접합 영역에서 전자사태항복에 의해 발생된 캐리어를 제어 게이트전극에서 흡수한 뒤, 이렇게 발생된 캐리어를 부유 게이트전극에서 축적하면 메모리셀에 데이타를 기입할 수 있다. 반면에, 제어게이트(106)가 접지된 상태로 소스영역에 높은 전압을 인가하고 파울러-노르드하임(Fowler-Nordheim; F-N) 터널주입을 이용해 부유게이트(104)에 축적된 전하를 방출하면 데이타가 소거된다. 이 동작에서는 제2게이트 절연막(102)보다도 얇은 제1게이트 절연막(103)을 통해 전하가 방출되고, F-N 터널주입이 생기기 쉽다. 그외에, 제2게이트 절연막의 두께가 증가하면 데이타 판독중에 드레인측으로부터 판독방해(read disturb) 모드에 의한 오소거가 방지된다.

이어서, 상술한 플래시메모리의 제조방법에 대해 설명한다. 먼저, P형 실리콘기판(101)상에 버퍼 산화막을 3000Å 성장시킨다. 다음에, 버퍼 산화막상에 산화저지막을 구성하는 실리콘 질화막을 3000Å 퇴적한다. 이 실리콘 질화막상에, 소자영역을 섬처럼 분리하기 위한 소자분리 산화막이 형성된 영역으로 트여있는 레지스트 패턴을 형성한다. 이 패턴을 마스크로 하여 상기 실리콘 질화막을 선택제거하여 소자분리 산화막이 형성된 부분이 트여있는 실리콘 질화막 패턴을 형성한다. 이어서, 레지스트 패턴을 에칭으로 제거한 뒤, 실리콘 질화막 패턴을 마스크로 붕소이온을 주입(주입에너지; 40KeV, 도스량; 5×10^{13} ions/cm^2)하여, 필드도프층을 형성한다. 그후, P형 실리콘기판의 노출면에 실리콘 질화막을 성장시켜 소자분리 산화막(109)을 형성한다. 이 단계에서, 상기 필드도포층의 붕소원자가 활성화 및 재분포되어 소자분리 산화막(109)의 하층에 반전방지층이 형성된다.

다음에, 건식에칭으로 실리콘 질화막 패턴을 제거한다. 또, 습식에칭으로 버퍼 산화막을 제거한다. 그후, 열산화를 행하여 P형 실리콘기판의 노출표면에 제1게이트 절연막(102)을 20nm 성장시킨다. 이어서, 기판면 전체에 레지스트를 도포하여 사진식각법으로 레지스트 패턴을 형성하되, 이 패턴은 소스영역측의 게이트 절연막을 제공하는 영역에서 트이게한다. 이 레지스트 패턴을 마스크로 하여 제2게이트절연막(103)의 일부를 하이드로플루오르산으로 제거한다. 레지스트 패턴을 제거한 뒤, 열산화법으로 제2게이트 절연막(103)을 제거한다. 이때, 제2게이트 절연막(102)을 추가로 산화한다. 따라서, 보다 두꺼운 제2게

이트 절연막이 형성된다.

여기서, 제1게이트 절연막(103)의 두께는 통상의 플래시메모리의 게이트 절연막과 마찬가지로 10㎚ 정도의 두께로 제어한다. 제2게이트 절연막(102)의 두께는 24~35㎚로 한다. 다음에, CVD법으로 기판면 전체에 폴리실리콘 막을 1500Å 성장시킨다. 열산화법이나 이온주입법으로 인 등의 N형 불순물을 주입한 뒤, 레지스트 패턴으로 폴리실리콘 막을 에칭하여 부유 게이트전극(104)을 형성한다. 이 레지스트 패턴을 제거한 뒤, 부유 게이트전극(104)의 표면을 산화시켜 실리콘 산화막으로 구성된 20~30㎚ 두께의 층간 절연막을 형성한다. 이어서, CVD법 등으로 기판면 전체에 2500Å 두께의 폴리실리콘 막을 형성한다. 이 폴리실리콘 막은 부유 게이트전극(104)가 마찬가지로 인으로 도프된다. 그후, CVD법 등에 의해 1500Å 두께의 실리콘 산화막을 형성한다.

다음에, 레지스트막으로 된 마스크를 이용해 실리콘 산화막과 폴리실리콘 막을 에칭해 연속적으로 패턴화하여 제어 게이트전극(106)을 형성한다. 이때, 채널의 장방향으로 제어 게이트전극(106)의 하부에서 돌출하는 부유 게이트전극의 일부분을 에칭하여 부유 게이트전극(104)과 제어 게이트전극(106)을 자기정합적으로 형성한다. 이후, 레지스트를 제거한 뒤, 전체면에 산화막을 형성하고 제어 게이트전극(106)과 부유 게이트전극(104)을 마스크로 하여 As 이온을 낮은 에너지에서 주입하여 소스영역이 형성된 부분에 저농도 확산층(107a, 107b)을 형성한다. 다음에, CVD법으로 전체면에 산화막을 기상성장시킨 후, 반응성 이온에칭(RIE)에 의해 CVD 실리콘 산화막을 다시 에칭하여 제어 게이트전극(106)과 부유 게이트전극(104) 측면에 측벽을 형성한다. 제어 게이트전극(106), 부유 게이트전극(104) 및 측벽을 마스크로 하여 As 이온을 주입에너지 40KeV, 도스량 5×10^{15} ions/㎠의 조건으로 주입한 뒤 열처리하여 소스, 드레인 영역들(107, 108)을 형성한다. 그후, 통상의 공정에 따라, 층간절연막을 형성하고, 콘택트홀을 만들며 메탈라이제이션을 행하여 패시베이션(passivation) 막을 형성하면, 가장 기본적인 구조의 플래시메모리가 완성된다.

이상과 같이, 부유 게이트 밑의 게이트 절연막의 두께를 소스측을 얇게 형성하면, 소거시에 F-N 터널링의 발생이 용이해진다. 또, 드레인측의 산화막이 두껍기 때문에, 데이타의 판독 및 기입시 드레인측으로 부터의 오소거가 방지될 수 있다.

따라서, 플래시메모리는 채널영역, 저농도 확산층 및 부유 게이트전극 사이에 위치하는 극히 얇은 산화막을 통해 전하를 아주 빈번하게 교체한다. 캐리어들이 교체되는 효율은 디바이스를 동작시키는 속도의 향상에 큰 영향을 미친다. 또, 이런 얇은 산화막을 형성할 수 있는가에 따라 플래시메모리의 내구성과 신뢰성이 좌우된다고 해도 과언이 아니다. 그러나, 전술한 바와같은 종래 구조의 플래시메모리와 종래의 제조방법에는 다음과 같은 단점이 있다.

즉, 종래의 구조에서는, 채널영역과 부유 게이트전극 사이에 위치하는 산화막과 이온주입에 관계하는 전하가 거의 완전히 수평방향으로 진행하기 때문에, F-N 터널링이 일어나기 어려운 문제가 있다.

또, 제조공정에서는, 부유 게이트전극 밑의 얇은 산화막 형성공정이 다음 공정으로 이루어진다.

(1) 제1게이트 절연막을 형성하는 공정,

(2) 레지스트를 도포하는 공정,

(3) 레지스트를 노광/패턴화하는 공정,

(4) 레지스트 패턴을 마스크로 사용하여 제1게이트 절연막의 일부를 에칭하는 공정,

(5) 레지스트를 박리하는 공정, 및

(6) 제2게이트 절연막을 형성하는 공정.

정밀도가 높고 얇은 산화막을 재현성이 양호하게 형성하는 것은 극히 어렵다. 또, 게이트 절연막이 유기 레지스트와 밀접하는 공정이 있어서, 게이트 절연막의 오염방지가 극히 어렵다. 또, 제1게이트 절연막의 일부를 제거한 뒤 산화막을 추가 산화하기 때문에, 제1게이트 절연막과 제2게이트 절연막의 경계영역의 실리콘 계면에 에지 스트레스가 발생하기 쉽다. 또, 산화막의 내구성과 신뢰성을 논하기 전에 산화막의 절연파괴로 인한 수율 확보가 극히 곤란했다.

또, USP 4,964,080, USP 5,049,515에는 제어게이트가 절연막을 통해 채널영역(수직 영역)에 밀접하도록 선택적 게이트전극을 형성한 선택적 게이트 구조를 갖는 플래시메모리에 대해 기술하고 있다. 그러나, 이들 플래시메모리는 제어 게이트전극과 부유 게이트전극을 자기정합적으로 형성한 플래시메모리에 비해 고집적이 곤란하다는 단점이 있다.

따라서, 본 발명은, 반도체기판; 상기 반도체기판의 주 표면에 일정한 거리를 두고 서로 떨어지게 형성된 소스영역 및 드레인영역; 상기 소스영역과 드레인영역 사이에 배치되는 채널영역; 상기 채널영역상에 배치되는 게이트절연막; 상기 게이트절연막상에 배치되는 부유 게이트전극; 및 층간절연막을 사이에 두고 상기 부유 게이트전극에 적어도 부분적으로 적층되도록 배치되는 제어 게이트전극;을 구비한 전기적으로 소거 및 프로그램 가능한 메모리에 있어서: 상기 채널영역과 주 표면이 경사부를 갖고, 상기 소스영역이 상기 드레인영역보다 상대적으로 상방 또는 하방에 배치되는 것을 특징으로 하는 메모리를 제공한다.

또, 본 발명은, 제1도전형의 반도체기판의 주 표면의 소정 영역에 두꺼운 소자분리 산화막을 형성하는 공정; 상기 소자분리 산화막의 일부를 포함한 산화막을 제거하여 표면에 경사부를 갖는 활성영역을 형성하는 공정; 상기 활성영역의 경사부에 제1게이트절연막을, 경사부 이외의 활성영역에 제2게이트절연막을 형성하는 공정; 상기 제1게이트절연막상에 부유 게이트전극을 형성하는 공정; 상기 부유 게이트전극상에 제2절연막을 형성하는 공정; 상기 부유 게이트전극에 적어도 부분적으로 적층하는 형태로 패턴화된 제어 게이트전극을 형성하는 공정; 상기 부유 게이트전극을 상기 제어게이트에 자기정합적으로 패턴화하는 공정; 상기 제어게이트에 제2도전형의 불순물 이온을 주입하여 소스영역 및 드레인영역을 형성하는 공정;으로 구성되

는 전기적으로 소거 및 프로그램 가능한 메모리의 제조방법을 제공한다.

이하, 첨부 도면을 참조하여 본 발명에 대해 자세히 설명하면 다음과 같다.

따라서, 본 발명자들은 부유 게이트전극을 구비한 전기적으로 소거 및 프로그램 가능한 메모리(EEPROM)에 있어서, 부유 게이트전극 밑의 산화막의 내구성과 신뢰성을 높여 성능 향상을 도모할 수 있는 메모리는 물론 그 제조방법을 발견하였고, 본 발명을 제조하였다.

또, 본 발명에 의하면 부유 게이트전극의 전하보유성이 향상된다.

본 발명의 플래시메모리의 반도체기판에 대해서는 종래의 플래시메모리에 사용할 수 있는 기판을 사용할 수 있다. 이런 반도체기판으로는 실리콘기판이나 GaAs 기판 등이 있다. 또, p형이나 n형 불순물을 함유하는 반도체기판도 사용할 수 있다. 이런 불순물에는 p형 불순물로서 붕소가, n형 불순물로서 인 등이 있다. 또, 게터(getter)를 사용해 유해불순물과 결함을 제거한 기판을 사용하는 것이 좋다. 또, 기판에는 경사부를 제공한다. 이 경사부의 높이는 100~5000Å이고 폭은 200~8000Å가 바람직하다. 이 높이는 노광시 해상도가 저하되지 않도록 조정될 수 있다. 높이는 낮을 수록 좋다.

이 기판의 표면층에는 소스영역과 드레인영역을 마련한다. 본 발명의 플래시메모리는 또한 상기 2 영역중 하나의 위치가 나머지 영역에 비해 상당히 높이 위치한다는 사실을 특징으로 한다. 이하, 소스영역이 드레인영역보다 상당히 낮은 위치에 있는 반도체에 대해 설명한다. 그러나, 드레인영역이 소스영역보다 상당히 낮은 위치에 있는 반도체 디바이스의 제조방법도 동일함은 말할 나위도 없다.

또, 이 반도체 디바이스에서 소스영역과 드레인영역 사이에는 채널영역이 있다. 또, 소스영역을 경사부까지 배열하면 채널이 짧은 디바이스의 형성이 가능하다. 소스영역과 드레인영역에는 기판과 반대 도전형의 불순물을 주입한다. 이 불순물의 농도는 10^{19}~10^{21} ions/cm^3가 바람직하다. 또, 드레인영역 부근에는 불순물 농도가 벌크 보다 높고 동일한 도전형의 영역을 배치할 수 있다. 이런 영역을 배치하면 핫 일렉트론의 발생효율이 향상되어 기입속도를 높일 수 있다. 채널영역은 다른 불순물 영역을 형성할 때 반도체 디바이스가 프로필의 영향을 받지 않을만큼의 충분한 깊이로 형성될 수 있다. 그 깊이는 Rp0.1~0.4㎛가 좋다.

또, 이 기판상에는 소스영역과 드레인영역 위에 부유 게이트전극과 제어 게이트전극이 펼쳐지도록 부유 게이트전극과 제어 게이트전극을 순서대로 적층한다. 이 기판과 부유 게이트전극 사이, 및 부유 게이트전극과 제어 게이트전극 사이에는 게이트 절연막을 배열한다. 각 전극의 재료로서는 폴리실리콘 등을 포함한 종래의 재료를 사용할 수 있다. 부유 게이트전극의 전면이나 일부는, 확산이나 이온주입에 의해 불순물의 농도와 도전형을 변화시킬 수 있다. 부유 게이트전극과 제어 게이트전극의 두께는 3000~5000Å이 바람직하다. 여기서는 핫 일렉트론에 수직으로 전계를 형성하거나 전하축적용량을 증가시키기 위해, 부유 게이트전극을 소스영역에 중첩시킨 구성을 취할 수도 있다.

또, 게이트절연막으로는 산화실리콘, 질화실리콘, 탄탈륨, 유전물질 등의 기존 재료를 사용할 수 있다. 산화실리콘 막-질화실리콘 막-산화실리콘 막(ONO 구조)의 게이트절연막도 좋다. 여기서, 기판과 부유 게이트전극 사이의 게이트절연막의 두께는 드레인영역측 보다 소스영역측이 얇은 것이 좋다(이하, 소스영역측의 얇은 게이트절연막을 제1게이트절연막, 드레인측의 두꺼운 게이트절연막을 제2게이트절연막이라 한다). 제1게이트절연막과 제2게이트절연막의 두께는 각각 70~100Å, 100~200Å이 좋다.

부유 게이트전극과 제어 게이트전극 사이의 게이트산화막(이 산화막을 이하 제3게이트절연막이라 한다)의 두께는 150~300Å이 좋다. 제3게이트절연막은 드레인측을 얇게, 소스측을 두껍게 하여 인입효율을 향상시킬 수 있다. 전하의 누설을 낮추기 위해, 절연막중의 1 층에 SiN 막을 사용할 수도 있다. 이렇게 하면 내부 포토미션(photomission) 등에 의한 오소거를 방지할 수 있다.

본 발명에 따른 플래시메모리는 이상과 같이 구성된다. 여기서, 소스영역은 LDD 구조, DDD 구조 또는 PLD(profiled lightly doped drain) 구조를 가질 수 있다. LDD 구조의 경우, 채널영역측에 저농도 영역을 더 형성한다. 저농도 영역의 불순물 농도는 10^{17}~10^{18} ions/cm^3가 바람직하다. DDD 구조의 경우에는 소스영역을 덮도록 저농도영역을 형성한다. 저농도영역의 불순물 농도는 10^{18}~10^{19} ions/cm^3이 바람직하다. 또, DDD 구조는 LDD 구조에 비해 펀치-스루(punch-through)가 거의 발생하지 않는다는 이점이 있다. 또, PLD 구조의 경우에는 LDD의 저농도 영역과 소스영역을 덮도록 불순물 영역을 형성한다. 이 불순물 영역의 불순물 농도는 10^{17}~10^{19} ions/cm^3가 바람직하다. 이런 구조에서는 소거동작시의 내압을 향상시킬 수 있다. 또, 저농도 영역과 고농도 영역을 형성하기 위한 이온주입 때문에 이온주입(도스량 1~9×10^{14} ions/cm^3)시 형성된 손상영역이 중복되지 않도록 손상영역을 확산시킬 수도 있다. 예컨대, 산화저지막 측벽에 부드러운 측벽 스페이서를 걸쳐서 이 스페이서를 통해 이온을 주입할 수도 있다. 이렇게 하면 산화저지막 모서리 바로 밑의 실리콘으로의 이온주입에 의해 형성된 프로필에 의한 손상영역의 중복이 방지된다. 이 측벽 스페이서는 에칭속도가 다른 2중막을 사용하거나 이방성 에칭에 의해 쉽게 형성할 수 있다.

상기 설명에서는 2층 폴리실리콘 구조의 폴리실리콘에 대해 설명하였지만, 3층 폴리실리콘 구조를 이용할 수도 있다. 예컨대 소거게이트를 구비한 플래시메모리에도 적용할 수 있다.

또, 소자분리 산화막 대신에, 게이트전극에 의해 소자분리를 행할 수도 있다. 또, 소자분리 산화막 밑에 매립확산층(비트라인 등)을 배치할 수도 있다.

이하, 본 발명의 플래시메모리의 제조방법에 대해 설명한다.

[소자분리 산화막 형성을 위한 예비처리]

먼저, 소정의 도전형을 갖는 반도체기판상에 두께 1000Å 이상의 버퍼산화막을 열산화법으로 형성한다.

이 버퍼산화막은, 재현성이 좋은 새부리(bird's beak)만큼의 길이를 얻기위해, 이 영역의 실리콘기판내에서의 전위나 슬립의 발생을 억제하기 위해, 그리고 후에 형성될 산화저지막의 응력 완화를 위해 형성된다. 예컨대, 버퍼산화막에는 레지스트를 도포하여 소자분리영역만이 개방된 패턴을 형성한다.

다음에, 채널도프층을 형성하기 위해, 불순물을 반도체기판에 주입한다. 주입할 불순물로는 p형 불순물로서 붕소 등을, n형 불순물로서 인 등을 사용한다. 불순물 주입조건은 다음과 같다. 이온주입 프로필의 테일(tail)의 영향을 받지않도록 불순물 이온을 충분한 깊이로 주입해야만 하기 때문에 도스량은 10^{12}~10^{13} ions/㎠으로, 주입에너지는 40~200 KeV로 한다. 도스량과 주입에너지는 핫 일렉트론 주입효율이 농도에 따라 달라지기 때문에 대단히 중요하다. 최종 공정이 끝났을 때의 표면 농도는 1~3×10^{16} ions/㎠로 제어한다.

다음 공정은 레지스트를 제거하고, CVD법 등을 이용해 두께 700~1000Å의 산화저지막을 형성하는 것이다. 산화저지막으로는 실리콘 질화막이 바람직하다. 그뒤, 소자분리영역을 형성할 부분에서 레지스트를 이용해 에칭에 의해 산화저지막을 선택적으로 제거한다.

레지스트를 제거하고, 기판에 SOG(spin on grass)나 TEOS($Si(OC_2H_5)_4$) 막등을 도포하고 산화저지막의 측벽에 측벽 스페이서를 형성한다. 그후, 필드도프층을 형성하기 위해, 도스량 10^{13}~10^{14} ions/㎠, 주입에너지 100~150 KeV로 불순물을 주입한다. 불순물로는 종래의 재료를 사용할 수 있다. 또, 측벽 스페이서에 의해 불순물의 주입이 제한된다. 따라서, 필드도프층을 소정 영역에만 형성할 수 있다.

[소자분리 산화막 형성단계]

다음 단계로 1000~1100℃에서 열산화법(국소 산화법)으로 소자분리 산화막을 형성한다. 소자분리 산화막의 형성에 의해, 필드도프층이 활성화 및 재분포되어, 소자분리 산화막 하부층에서 반전방지층으로 된다. 소자분리 산화막의 코너 귀퉁이에는 소자의 주요부분이 배치되지 않도록 설계한다.

[활성영역을 형성하기 위한 예비처리]

다음 단계로 건식 에칭법 등을 이용한 종래의 방법으로 산화방지막을 제거한다. 도스량 10^{15}~10^{16} ions/㎠, 주입에너지 10~20 KeV로 기판에 불순물을 주입한다. 이온주입에 의해 두께가 두꺼운 소자분리 산화막 밑의 부분을 제외한 기판의 표면 버퍼산화막에 불순물을 주입할 수 있다. 또, 사용할 수 있는 불순물로는, 후에 제1, 제2게이트절연막을 형성할 때에 이들 절연막에 쉽게 주입될 수 있는 불순물을 사용하는 것이 좋으며, 붕소가 바람직하다. 또, 기판을 어닐링하여 활성영역을 형성한다. 어닐링 조건은 불순물이 버퍼산화막을 자유롭게 활성화시킬 수 있는 온도로서, 단결정 실리콘의 계면준위 이상 폴리실리콘의 계면준위 이하로 한다. 이것은 제1게이트절연막의 단위체적을 형성하는데 실리콘 영역에 0.43~0.44 (Si/SiO_2) 체적을 필요로 하기때문이다. 이 목적으로 800~900℃의 온도를 이용한다.

[활성영역 형성단계]

다음 단계로, 활성영역과 소스영역 형성 예정영역만을 레지스트 등을 사용해 개방한다. 레지스트를 마스크로 하여, 개방부분의 버퍼산화막과 소자분리영역을 제거한다. 소자분리영역을 제거하는데는 종래의 방법을 이용할 수 있지만, 실리콘 계면에 영향을 주는 에칭제는 좋지 않다. 또, 건식에칭법도 적절하지 않다. 바람직한 에칭법으로는 HF를 이용한 습식에칭법을 이용할 수 있다.

이와같이, 산화에 의해 형성된 경사부는 에칭으로 형성된 종래의 경사부에 비해 매끄러운 형상을 갖는다. 따라서, 단차부의 피복이 양호해지고, 후속 단계에서 형성되는 부유 게이트전극 등의 응력을 완화할 수 있어, 미세화되는 소자의 신뢰성을 향상시킬 수 있다. 또, 산화법에 의하면 에칭법보다 실리콘 계면을 덜 손상시켜 안정된 소자를 제조할 수 있으므로 좋다. 또, 경사부의 크기에 영향을 미치는 새부리의 길이는 버퍼산화막의 두께를 조정해서 쉽게 제어할 수 있다. 또, 버퍼산화막의 미세한 길이도 간단히 조절할 수 있다.

[제1, 제2게이트절연막 형성단계]

다음 단계로, 레지스트 등을 제거하여 제1, 제2게이트절연막을 형성한다. 이 절연막으로 산화막을 이용할 때는, 열산화법으로 절연막을 형성할 수 있다. 산화법은 프로세스 사이의 정합성과 소자의 종류를 고려하여 결정할 수 있다. 이 산화법으로는 건조한 O_2에 의한 산화나 파이로제너레이틱(pyrogeneratic) 산화 등이 있다. 산화 온도는 850~950℃ 범위로 비교적 낮을 수 있다. 바람직한 온도는 약 900℃이다. 이 온도에서는 붕소 불순물이 확산되기 때문에 소자에 내부 채널 구조가 생긴다. 즉, 건조한 O_2(포획준위를 낮추려면 파이로제너레이틱 산화를 이용하는 것이 좋다)를 사용해 형성된 산화막은 활성화 에너지가 최대로 제어될 수 있어 우수한 유전내압특성을 보이고 임계치에서 시프트가 없으며 산화막중의 트랩 밀도가 증가하기때문이다. 이런 산화에 의해 노출된 기판이 산화되고, 그결과 소자분리 산화막이 제거된 부분에서의 경사부의 산화막 두께가 버퍼산화막 부분에서의 산화막 두께보다 얇아진다. 여기서, 경사부의 산화막은 제1게이트절연막 기능을 하고, 버퍼산화막의 절연막은 제2게이트절연막 기능을 한다. 또, 상기 단계에서 주입된 불순물이 절연막의 내부로 확산되므로, 제1, 제2게이트절연막이 터널절연막으로서 전계에 대한 특성을 개선하는 방향으로 기여하여, 반복적인 재기입 동작에 대한 내구성을 향상시키는 효과를 발휘한다.

또, 상기 불순물 주입을 하지 않거나 이와 함께 제2게이트절연막을 형성하는 영역에 열산화를 촉진할 수 있는 Ar 등의 불활성 물질을 미리 주입할 수 있다. 또, 제2게이트절연막을 형성하는 영역에 Si 이온을 주입하여 Si 결정의 결합력을 약화시킬 수 있다. 이런 Si 이온 주입은 버퍼산화막중의 불순물의 기판으로의 확산 억제에 효과가 있다. 또, 절연막을 형성한 뒤, 기판을 H_2 분위기에서 어닐링하여 절연막의 불순물 농도를 조절할 수 있다. 비교적 저온에서 기판을 산화시키기 때문에, 절연막중에 높은 계면고정전하가 발

생한다. N_2, Ar 등의 불활성 분위기에서 기판을 어닐링하면 높은 전하를 낮출 수 있다. 또, 제1 및 제2 게이트절연막을 형성하기 전에 그 형성 영역을 희생 산화하면 더 양호한 절연막을 형성할 수 있다.

터널 절연막에는 HTO 막과 열산화막을 사용할 수도 있다.

[부유 게이트전극 형성단계]

다음 단계로, CVD 등에 의해 기판면 전체에 폴리실리콘 등을 적층하고 에칭하여 원하는 위치에 부유 게이트전극을 형성한다.

[소스영역과 드레인영역 형성단계]

다음 단계로, 부유 게이트전극을 마스크로 불순물을 주입하여 소스영역과 드레인영역을 형성한다. 불순물 주입조건은 도스량 10^{15}~10^{16} ions/㎠, 주입에너지 30~80 KeV로 한다. 이 불순물은 부유 게이트전극에 주입될 수도 있다. 절연막의 면적과 두께에 따라 불순물의 도스량을 변화시켜 부유 게이트전극과 주변 사이의 결합용량을 적당한 값으로 할 수 있다. 여기서, 채널영역의 경사부에 Si 이온을 주입하면 채널영역을 더 깊게 형성할 수 있다.

[제3게이트절연막 형성단계]

다음 단계로, 부유 게이트전극을 산화하거나 기타 방법에 의해 제3게이트절연막을 형성한다.

[제어 게이트전극 형성단계]

제3게이트절연막 표면 전체에 폴리실리콘 등을 적층한 뒤 에칭하여 제어전극을 형성해 제어 게이트전극을 형성한다. 또, 기판면 전체를 산화시켜 산화막을 형성한다. 다음 단계로, 부유 레지스트를 이용해 게이트전극과 제어 게이트전극을 자기정합적으로 에칭한다.

[후속 단계]

그후, 통상의 공정에 따라, 층간절연막을 적층하고, 콘택트홀을 개방하며, 메탈라이제이션에 의해 패시베이션 막을 형성하여 자기정합 구조의 플래시메모리를 형성한다.

[LDD 구조를 형성할 경우]

부유 게이트전극과 제어 게이트전극을 자기정합적으로 에칭한 뒤 불순물 주입에 의해 LDD 구조를 형성할 수 있다. 주입 조건은 도스량 10^{14}~10^{16} ions/㎠, 주입에너지 40~80 KeV가 좋다.

[DDD 구조를 형성할 경우]

$^{31}P^{+}$를 저농도 이온주입한 뒤 $^{75}As^{+}$를 고농도 이온주입하여 DDD 구조를 형성할 수 있다. $^{75}As^{+}$의 주입조건은 도스량 10^{14}~10^{16} ions/㎠, 주입에너지 30~80 KeV가 바람직하다.

[PLD 구조를 형성할 경우]

주입각도와 주입에너지를 조금씩 변화시켜 PLD 구조를 형성할 수 있다. 주입조건은 도스량 10^{13}~10^{16} ions/㎠, 주입에너지 20~100 KeV, 주입각도 40~70° 로 할 수 있다. 또, 상기 주입조건은 이온주입 프로필의 최대 농도가 10^{19}~10^{21} ions/㎠ 정도 되도록 분할하는 것이 좋을 수도 있다. 또, 주입 사이사이에 충분한 냉각기간을 두고 주입한다. 예컨대, 도스량 2×10^{15} ions/㎠ 주입에너지 80 KeV, 도스량 1.5×10^{15} ions/㎠ 주입에너지 40 KeV, 및 도스량 7×10^{14} ions/㎠ 주입에너지 20 KeV로 As 이온을 주입할 수 있다.

또, 상기 본 발명의 제조방법의 설명에 있어서는, 기판의 도스량에 따라 게이트절연막이 좌우되는 공정을 채택하였다. 그러나, 본 발명은 이 방법에 한정되지 않으며, 본 발명의 플래시메모리는 통상의 방법과 동일한 방법으로도 제조될 수 있다. 통상의 방법을 이용해 본 발명의 플래시메모리를 제조할 때는, 클리닝화와 자동화는 물론 극히 심각한 공정관리를 주의해야한다. 또, 본 발명에서는 오프셋 게이트를 채용하지 않으므로, 소거용 게이트절연막을 정밀하게 형성하기 위해 채널도프층을 형성한 벌크를 사용할 수도 있다.

이하, 제37, 39도를 참조하여, 본 발명에 따른 플래시메모리의 전기접속에 대해 설명한다.

여기서, V_{se}는 소스영역(10)에 인가되는 소거용 전압, V_{fg}는 부유 게이트전극(7)의 전위, C4는 제어 게이트전극(9)과 부유 게이트전극(7) 사이의 기생용량, C3는 부유 게이트전극(7)과 기판(37) 사이의 용량, C2는 부유 게이트전극(7)과 기판(38) 사이의 용량, C1은 부유 게이트전극(7)과 드레인영역(11) 사이의 용량이다.

제2게이트절연막의 두께를 d2라 하면, 제2게이트절연막(6)의 내부에 인가되는 (소거용) 전위 E_e는 다음 관계식 (1)로 표시된다.

$$E_e = V_{se}(C5 + C4 + C3 + C2)/d2(C1 + C2 + C3 + C4 + C5) \quad \cdots (1)$$

터널효과를 이용하는 소거용 메모리는 두께 d2를 적절히 조절할 필요가 있다. 그 결과 제2절연막(6)과 소스영역(10) 사이의 면적을 조절하지 않고도 C1은 크게 증가되고 E_e는 감소된다. 따라서, 본 발명의 플래시메모리 제조방법은 전술한 용량을 적절히 선택하고 수율 레벨을 명확히 고정하여 필요한 E_e를 얻을 수 있

는 간단한 방법이다.

한편, 핀치오프(pinch-off) 지점의 제1게이트절연막(5)의 두께를 d1이라 하면, 제1절연막중의 핫 캐리어 흡인에 기여하는 제어 게이트전극(9)으로의 기입전압 V_{gw}와 부유 게이트전극(7)의 전압 V_{fg}는 다음 관계식 (2)로 표현할 수 있다.

$$V_{fg} = V_{gw}\{C4/(C4 + C2 + C3 + C5 + C1)\} \quad \cdots (2)$$

따라서, 본 발명에 의하면 막의 면적이나 두께나 품질 등과 같이 C1-C4를 발생시키는 각 영역의 성질을 적당히 세팅할 수 있고 플래시메모리의 제조시 불균일성을 제거할 수 있다. 따라서, 메모리가 미세해질 때에도 기입 및 소거 성능을 유지할 수 있다.

한편, 기판(38), 제2게이트절연막(6) 및 부유 게이트절연막(7)에 의해 C2가 형성되기 때문에, C2를 크게할 때 C1이 증가한 결과로 파생되는 영향을 줄일 수 있다.

[실시예]

이하, 본 발명의 실시예에 대해 상세히 설명하겠지만, 본 발명은 이들 실시예에 한정되지는 않는다. 각각의 변형은 전술한 기술적 개념을 기초로 할 수 있다.

[실시예 1]

플래시메모리와 그 제조방법에 대해, 자기정합형 플래시메모리셀 트랜지스터에 적용한 경우를 도면을 참조하여 설명한다.

제1도는 본 발명의 제1실시예에 따른 플래시메모리내의 단일 셀의 단면도이다. 제1도에서, 1은 P형 반도체기판, 2는 필드도프층, 3은 소자분리 산화막(LOCOS), 4는 채널영역, 5는 제1게이트절연막, 6은 경사부에 배치되고 채널영역(4)을 소재로 하여 형성되는 제2게이트절연막, 7은 제1폴리실리콘 층(부유 게이트전극), 8은 제3게이트절연막, 9는 제2폴리실리콘 층(제어 게이트전극), 10은 소스영역(N^+형 불순물영역), 11은 드레인영역(N^+형 불순물영역), 12는 메모리에서 데이타 소거동작시 내압을 향상시키기 위한 LDD 영역이다.

본 발명의 실시예에 따른 비휘발성 메모리의 동작원리는 종래와 같다. 그러나, 실시예 1의 플래시메모리의 특징은, 메모리에서 데이타를 소거할 때 전하를 방출하는 제2게이트절연막(6)이 새부리의 길이방향 경사부(약 0.6-0.8㎛)에 형성되는데 있다. 또, 제2게이트절연막(6)은 실리콘기판(1)에서 아주 정밀하게 제어되는 채널도프층 영역(4)상에 형성된다는 것을 특징으로 한다.

즉, 드레인영역(11)과 제어 게이트전극(9)에 높은 전압을 인가하고, 발생된 캐리어를 제어 게이트전극(9)에 흡수하고 부유 게이트전극(7)에 축적하여 데이타를 플래시메모리에 기입한다. 한편, 제어 게이트전극(9)을 접지한 상태로 소스영역에 높은 전압을 인가하고, F-N 터널주입을 이용해 부유 게이트전극(7)내의 축적된 전하를 방출하여 데이타를 소거한다. 이때 전하의 방출은, 경사부에 형성된 얇은 제2게이트절연막(6)을 통해 행해진다. 또, 원래 소자분리영역인 부분에 소스영역(10)이 형성된다. 따라서, 캐리어 전하는 하방으로 부터 상방의 드레인영역(11)을 향하는 형태를 취한다. 이런식으로, 캐리어 전하는 제1게이트절연막(5)에 대해 일정한 각도로 진행한다.

따라서, 반도체 표면에 대해 거의 수평으로 전하가 진행하는 종래의 구조에 비해 제1게이트절연막(5)으로 전하가 점프하기 쉽다. 이때문에 부유 게이트전극(7)으로 핫 캐리어들이 흡수되는 효율이 향상된다. 한편, 본 실시예의 구조는 제2게이트절연막(6)으로는 전하가 거의 점프할 수 없는 구조로 되어있다. 따라서, LDD 영역(12)을 이용해 채널 장방향의 모서리의 내압을 확보하면 소스영역측의 전자사태항복의 발생을 억제할 수 있다. 이렇게 하면 게이트절연막의 두께, 소거전압 및 판독전압에 가해지는 제한을 완화하여 플렉시블한 고성능 디바이스를 실현할 수 있다.

또, LOCOS 산화에 의해 형성된 실리콘기판의 경사부에 제1게이트절연막이 형성되기 때문에, 불순물이 극히 적은 순수한 절연막을 형성할 수 있다.

한편, 표면방향(100)의 실리콘기판상에는 붕소 등의 불순물을 고농도로 함유하는 제2게이트절연막을 형성한다. 따라서, 제2게이트절연막에는 대량의 불순물이 함유되어 있다. 이들 불순물은 제2게이트절연막에서 핫 캐리어 역할을 하여, 핀치-오프 지점 부근에서의 전자 획득 성질을 크게 향상시켜 메모리에 데이타를 기입하는 효율을 향상시킨다.

게이트절연막의 이런 성질 때문에, 기입/소거 성능, 전하보유성능 및 재기입 내구성이 우수한 플래시메모리를 얻을 수 있다.

또, 종래의 플래시메모리와 비교하여, 제2게이트절연막은 두껍고 제1게이트절연막을 얇기 때문에 제어 게이트전극의 전계를 이용해 부유 게이트전극에 데이타를 기입하고 소스전극의 전계를 이용해 데이타를 소거하는 것을 반복하는 플래시 메모리의 기본동작이 개선된다. 또, 각 전극이나 소스 및 드레인영역들과 절연막의 결합 용량을 조정하여 기본동작을 향상시킬 수 있다.

또, 기입동작시 제1게이트절연막이 제2게이트전극보다 얇기 때문에, 제1게이트절연막 밑의 채널은 제2게이트절연막 밑의 채널보다 더 강하게 반전된다. 그결과, 부유 게이트전극 밑의 전자들이 더 쉽게 이동하여 기입동작을 용이하게 할 수 있다.

다음, 상기 장치의 제조방법을 설명한다. 제2-13도는 본 발명에 따른 자기정합형 비휘발성 플래시메모리의 제조방법을 예시하는데 이용하기 위한 단일 셀의 단면도이다. 제1게이트전극과 소스영역의 크기는 설계규칙에 따라 적당히 조정되었다.

[소자분리 산화막을 형성하기 위한 예비처리]

먼저, 게터링 등에 의해 표면 산소농도가 충분히 낮아진 P형 실리콘기판(1)상에 버퍼 산화막을 두께 1000Å로 형성했다. 재현성이 좋은 새부리 길이(bird's beak length)를 얻기위해, 그리고 후에 형성되는 질화실리콘 막의 응력을 10^{10} dyn/㎠로 완화하기 위해, 또는 실리콘기판내의 슬립의 전위나 발생을 억제하기 위해, 버퍼산화막을 두께 1000Å 이상으로 형성했다. 본 예에서는, 새부리 길이를 0.8 미크론으로 하였다. 따라서, 버퍼산화막(22)상에는 소자형성 영역에서만 개방된 레지스트 패턴(23)이 형성되었다.

다음에, 제3도와 같이, 고농도 붕소의 주입에 의해 형성되는 프로필의 테일(tail)의 영향을 받지않을 만큼 충분한 깊이(Rp 0.3 미크론 이상)로 붕소를 도스량 5×10^{12} ions/㎠, 주입에너지 100 KeV로 주입했다. 이런식으로, 채널도프층(24)을 형성했다. 이온은 극히 깨끗한 장치로 극히 청정한 환경에서 주입되어야만 한다. 따라서, 중이온들을 스퍼터하지 않는 주입장비를 사용했다.

다음에, 제4도에 도시된 바와같이, 레지스트 패턴을 제거하고, 산화저지막을 이루는 실리콘질화막을 두께 1000Å으로 퇴적했다. 이어서, 이 실리콘질화막상에, 소자영역을 섬 모양으로 분리하기 위한 소자분리 산화막이 형성된 영역으로만 개방된 레지스트 패턴(26)을 형성했다. 이 레지스트 패턴(26)을 마스크로 실리콘질화막을 선택적으로 제거하여, 소자분리 산화막이 형성된 부분이 개방된 실리콘 질화막 패턴(25)을 형성했다.

다음에, 제5도와 같이, 레지스트 패턴(26)을 에칭으로 제거한 뒤, 이온주입통과 제한용 측벽 스페이서(27)를 실리콘 질화막 패턴(26)의 개방부 측벽에 형성했다. 이후, 채널 스토퍼를 형성하기 위한 붕소이온을 도스량 5×10^{13} ions/㎠, 주입에너지 450 KeV의 조건으로 주입하여 필드도프층(28)을 형성했다.

[소자분리 산화막 형성단계]

다음에, 제6도와 같이, 기판을 1000℃에서 습식산화(소위, 국소 산화법)하여 기판(1)의 노출면에 실리콘산화막을 성장시켜, 소자분리 산화막(29)을 형성했다. 이 실시예에서는, 소자분리 산화막이 1㎛ 두께로 형성된 기판을 약 4300~4400Å으로 에칭한다. 형성과정에서, 필드도프층(28)내의 붕소원자들이 활성화되고 재분포되어 필드채널 산화막(29)의 하부층에 반전방지층(30)을 형성한다.

[활성영역을 형성하기 위한 예비처리]

다음에, 제7도와 같이, 실리콘 질화막 패턴(25)을 건식 에칭으로 제거했다. 도스량 5×10^{15} ions/㎠, 주입에너지 15 KeV의 조건으로 붕소를 버퍼산화막(22)에 주입했다. 이 기판을 850℃에서 어닐링하여 소자활성영역의 표면에 P^+형 불순물층(31)을 형성했다. 버퍼산화막(22)내에서 붕소를 자유롭게 활성화시키는 온도와 단결정실리콘의 계면준위 이상이고 폴리실리콘의 계면준위 이하의 활성화에너지 온도로 기판을 어닐링했다. 이것은 본 발명에 따른 산화법에 의해 단위 체적의 제1게이트절연막을 제조하는데 필요한 실리콘영역의 체적이 0.43~0.44 Si/SiO_2이기 때문이다. P^+형 불순물층(31)은 퇴적된 층에 극히 가까웠다.

또, P^+형 불순물층(31)에 따르면, 실리콘기판, 산화막, 및 기판측의 표면층상에 두께 약 10Å인 극히 얇은 영역 사이의 천이층(SiO, Si_2O, Si_2O_3, SiO_x 층)에 붕소를 고농도(3×10^{15} ions/㎠ 이상의 표면농도)로 주입하였다. P^+형 불순물층(31)은 4가지 검사법으로도 표면저항을 측정할 수 없는 극히 얇은 층이다. 따라서, P^+형 불순물층(31)의 형성에 필요한 조건은 이론상으로는 결정될 수 없고 실험적으로만 결정할 수 있다. 그러나, 고전적인 측정기술인 반드포법(Van Dea Pau method)을 채택하여, 조건들을 아주 쉽게 결정하였다. 즉, 이 측정법에 따라 웨이퍼상에 홀 측정을 위한 TEG 패턴을 형성하고, 테트라히드로푸르푸릴 알코올 등의 전해질을 사용해 양극산화법으로 측정할 층을 에칭한 다음, 실리콘 기판에 이르기까지의 양극산화물의 깊이를 측정하여 P^+형 불순물층(31)의 깊이를 계산한다.

이 실시예에서, 게이트절연막은 900℃에서 형성되었고, 이 온도는 기판방향으로의 P^+형 불순물층(31)의 내부 확산계수를 고려할 때 최고 온도이다. 이런 저온 산화법으로 생긴 산화막의 성질 때문에, 다음 단계에서 정합조정이 필요했다.

필요한 성질을 갖는 산화막 형성에 필요한 산화온도가 900℃ 이상일 때는, 버퍼 산화막(22)에 붕소를 주입하지 않고 P^+ 형 불순물층이 형성된 영역에 고농도의 실리콘을 주입하여 실리콘중 산화될 극히 얕은 부분에서 실리콘 결합력이 약해지도록 공정을 바꾸어도 좋다.

[활성영역 형성공정]

다음에, 제8도와 같이, 후속 단계에서 활성영역과 소스영역을 형성할 소자영역이 개방된 레지스트 패턴(32)을 형성했다. 이 패턴(32)을 마스크로 깨끗한 HF 용액을 사용해 버퍼산화막(22)과 소자분리 산화막의 일부를 습식에칭으로 제거하여 활성영역을 형성했다. 이때, 소자분리 산화막이 버퍼산화막(22)보다 상당히 두껍기 때문에, 버퍼산화막 부분이 오버에칭되고 이 공정에는 약 10분이 필요했다. P^+형 불순물층(31)의 표면을 일부분을 에칭했다.

[제1, 제2게이트절연막 형성단계]

다음 단계로, 레지스트 패턴(32)을 박리하고 열산화한 뒤, 동일한 산화법으로 기판 노출면에 제1, 제2게이트절연막(33, 34)을 형성했다. 그러나, 소자분리영역 끝에서 기판표면상의 단차를 없애기 위해 희생산화

를 미리 행했다면, P^+형 불순물층(31)의 깊이를 조정할 수 있고 안정된 게이트절연막을 제공할 수 있다. 또, 이 희생 산화는 산화 후의 H_2 어닐링과 병용될 때 유효했다.

채용될 산화법의 종류는 소자의 종류와 프로세스의 정합성을 감안하여 결정된다. 소자분리 산화막이 형성된 영역 이외의 노출면에는 P^+형 불순물층(31)을 형성했다. 이 불순물층 표면의 붕소농도는 3×10^{20} ions/㎤ 이상으로 조절되었다. 한편 새부리 길이 영역의 표면 붕소농도는 기판의 농도와 거의 같은 수준으로 조절되었다. 다음 단계로, 종형노를 이용해 900℃에서 15분 동안 건조한 O_2에서 기판을 산화시켜 두께 10㎚ 정도의 제2게이트절연막(33)을 채널영역(24)내에 형성했다. 이때, P^+형 불순물층(31) 위치의 산화막 성장은 표면상의 붕소농도에 따라 좌우되므로, 제1게이트절연막(34)의 두께는 12 내지 20㎚로 한다. 이런 산화에 의해 기판 표면에 형성된 P^+형 불순물층(31)에는 실리콘이 결핍된다. 이것은, 붕소가 인이나 비소에 비해 실리콘 계면에서의 편석계수가 작아서 열산화막에 병합되기때문이다. 한편, 붕소의 확산 계수는 실리콘에서 보다 실리콘산화막에서 더 크기 때문에, 이정도의 온도에서는 실리콘내의 재분포가 거의 촉진되지 않아, 붕소의 외부로의 확산이 촉진된다. 따라서, 제1게이트절연막에 대량의 붕소가 함유된다.

이들 게이트절연막의 불순물은 일정 수준을 넘지 않으면 전계에 대한 터널산화막의 성질을 향상시키는데 기여한다. 이 불순물은 메모리에 대한 데이타의 재기입을 반복하는데 있어서의 내구성을 향상시키는 효과를 가져온다. 게이트절연막을 형성한 뒤 H_2내의 어닐링에 의해 산화막의 붕소농도를 조정하면 재기입 특성을 훨씬 더 안정되게 할 수 있다. 또, 저온 산화에 의해 게이트절연 산화막중에 높은 계면(고정) 전하가 발생하지만, 이런 높은 계면전하는 게이트 절연막의 형성 후에 불활성 분위기(예; N_2, Ar 등)에서 어닐링하면 줄일 수 있다(제9도 참조).

[부유 게이트전극 형성단계]

다음에, 제10도와 같이, CVD법으로 전체 표면에 1500Å으로 폴리실리콘 막을 성장시켰다. 이 폴리실리콘막을 레지스트 패턴을 사용해 에칭했다. 부유 게이트전극(35)을 형성한 뒤에 레지스트 패턴을 제거했다.

[소스영역과 드레인영역의 형성단계]

다음에, 제11도와 같이, 소자분리 산화막과 부유게이트를 마스크로 하여 40KeV의 주입에너지와 5×10^{15} 이온의 도스량으로 As 이온을 이온주입하여 소스영역(36)과 드레인영역(37)을 형성했다. 이 단계에서, 부유게이트전극을 n형 불순물로 도프했다. 소스영역에는 더 높은 에너지로 불순물을 추가로 주입할 수도 있다. 한편, 채널영역과 같은 도전형으로 채널영역보다 높은 농도를 갖는 드레인영역에 불순물을 추가 주입할 수도 있다. 또, As 이온과 P 이온을 동시에 주입할 수도 있다.

[제3게이트절연막 형성단계]

부유 게이트전극(35)의 표면을 산화시켜 두께 20 내지 30㎚의 제3게이트절연막(38)을 형성했다. 이 부유게이트 전극의 표면에는 소스영역과 드레인영역에 도프된 As 이온과 같은 양의 As 이온을 제어성 좋게 도프했다. 따라서, 균일성이 좋은 제3게이트절연막을 얻을 수 있었다.

[제어 게이트전극 형성단계]

이어서, 제12도와 같이, CVD법 등을 이용해 기판면 전체에 폴리실리콘을 두께 약 2500Å으로 형성하여 제어 게이트전극을 형성했다. 이 폴리실리콘 막에는 부유 게이트전극과 동일한 인을 도프했다. 제어 게이트전극은 폴리실리콘과 WSi의 2층 구조를 갖는다. 이어서, 예컨대 CVD법으로 산화실리콘막(40)을 1500Å 정도로 형성했다. 그뒤, 레지스트막으로 된 마스크(41)를 사용해 산화실리콘 막과 폴리실리콘 막을 연속적으로 패턴화하여 제어 게이트(39)를 형성했다. 이때, 채널 길이방향에 대해, 제어 게이트전극의 하부로부터 소스영역으로 뻗는 부유 게이트전극(35a)을 에칭하여 자기정합 배치를 실현했다.

레지스트를 제거한 뒤, 제어 게이트전극(39)과 부유 게이트전극(35)을 마스크로 하여 As 이온을 저에너지, 저농도로 주입하여, 소스영역과 드레인영역은 물론 게이트 오프셋부에 저농도 확산층(LDD; 42)을 형성했다(제13도 참조). 저농도 확산층(42)은 후속 열처리에 의해 적당한 부분에서 부유 게이트전극에 중첩된다. 필요한 중첩이 용이하도록 As 이온은 60° 정도의 각도로 기판을 회전시켜서 주입될 수도 있다. 게이트전극에 중첩되는 소스영역의 표면 농도는 게이트산화막의 두께가 60~100Å일 때 저농도층에서는 10^{18}/㎤ 이하이고 고농도층에서는 10^{19}/㎤ 이상인 것이 좋다. 이렇게 하면 본 발명의 얇은 게이트산화막에 대해 게이트전극 바로 밑의 불순물 확산층내의 제너 현상에 의한 누설전류의 증가를 억제할 수 있다. 이어서, 열산화에 의해 부유 게이트전극과 제어 게이트전극의 측벽, 및 소스영역과 드레인영역의 경계부에 충분한 내압을 갖는 산화막을 형성했다.

다음 단계로, 기판 표면에 산화막을 형성한 뒤 통상의 공정에 따라 층간절연막(43)을 형성했다. 이 기판상에 콘택트홀을 만들고 기판을 메탈라이제이션(44)하여 패시베이션 막(도시안됨)을 형성했다. 따라서, 본 발명을 이용한 자기정합형 구조의 플래시메모리가 완성되었다(제1도 참조).

다음에, 플래시메모리의 기본 동작을 구성하는 데이타 기입, 소거 및 판독의 3개 동작에 대해 설명하겠다.

먼저, 기입동작에 대해 설명한다. 소스영역을 접지한 뒤 드레인영역에 5V의 전압을 인가하고 제어 게이트전극에 12V의 전압을 인가하면, 소스영역으로 부터 드레인영역으로 높은 전계로 전자가 흐르고, 드레인영역 부근의 실리콘 표면으로 부터 절연막까지 에너지 장벽을 넘을 수 있는 전자가 발생한다. 본 발명의 구성에서는, 소스영역은 드레인영역보다 상대적으로 낮은 영역에 형성되어 있어 상기 고전계 전자가 일정한 각도로 드레인영역 부근에서 절연막을 향하게 된다. 따라서, 전자는 제어 게이트전극의 전계에 쉽게 흡수

되고, 이때문에 플래시메모리의 기입 성능이 향상된다.

소거동작은 종래의 방법과 마찬가지로 실행되었다. 소거전압을 인가하여 부유 게이트전극으로 부터 소스영역측으로 전계의 방출이 발생한다. 소스영역 부근의 절연막은 10㎚ 정도까지 박막화될 수 있으므로, 소거속도를 높일 수 있다.

데이타는 드레인영역과 제어 게이트전극에 5V의 전압을 인가했을 때 드레인영역으로 부터 흐르는 전류가 있는지를 조사하여 플래시메모리에서 판독할 수 있다. 이때, 게이트 절연막을 거의 완전히 두꺼운 게이트 절연막으로 피복한다. 그 위에, 박막화된 소거영역 근방의 소거용 절연막은 F-N 터널이 발생하기 어려운 각도로 형성된다. 따라서, 장시간 드레인영역에 전압을 인가하여 데이타의 오소거를 방지할 수 있다.

부유 게이트전극의 절연막을 사이에 두고 드레인영역 위에 뻗어있는 디바이스에 있어서 드레인영역상에 제어 게이트전극이 형성되지 않았기 때문에, 데이타의 오소거는 문제되지 않는다. 그러나, 드레인영역상의 절연막은 게이트 절연막보다 두꺼워야 한다.

이상의 플래시메모리는 LDD 구조를 취하였지만, DDD 구조를 취할 수도 있다. 또, 제14도에서, 110은 소스영역의 저농도 불순물 영역이고 112는 소스영역의 고농도 불순물 영역이다.

[실시예 2]

제15도는 본 발명의 개념을 오프셋 게이트형 플래시메모리에 적용한 예를 보여주는 도면이다. 이 구조에서, 소거용 절연막은 자기정합형 플래시메모리보다 경사가 급한 경사영역에 배치된다. 따라서, 새부리 길이는 0.7 미크론(버퍼산화막은 500 Å)이었다.

[실시예 3]

제16도는 본 발명의 일 실시예에 따른 플래시메모리를 보여주는 도면이다. 드레인영역측의 부유 게이트전극 상부의 표면적은 소스영역측 상부의 표면적보다 넓게 되었다.

이 플래시메모리는 다음과 같이 제조된 것 이외에는 실시예 1과 동일하게 제조되었다.

먼저, 부유 게이트전극을 형성한 뒤, 그위에 산화막을 형성했다. 이어서, 드레인영역측의 부유 게이트전극상에 개구를 갖는 레지스트 패턴을 형성했다. 이 레지스트 패턴을 마스크로 하여 RIE에 의해 상기 개구의 산화막을 제거했다. 기판면 전체에 폴리실리콘을 적층한 뒤, 기판을 이방성 에칭으로 에칭하여, 절연막의 개구 측벽 이외에 퇴적된 폴리실리콘을 제거했다. 또, 산화막을 제거함으로써 돌기부를 갖는 부유 게이트전극을 형성했다.

[실시예 4]

제17도는 일방의 소자분리 산화막에 의한 소자분리를 게이트전극(51)에 의한 소자분리로 대치한 실시예를 보여주는 도면이다. 제3게이트절연막을 드레인영역측은 얇고 소스영역측은 두껍게 형성했다. 이 플래시메모리는 제어게이트 전극에 의한 흡인 효율이 향상될 수 있다.

[실시예 5]

제18도는 제1, 제2게이트절연막의 두께를 변화시키는 대신에 불순물로서 인을 선택적으로 주입하고 유전율이 다른 절연막을 형성함으로써 동일한 효과를 내는 플래시메모리의 실시예이다. 이 실시예에서, 제1게이트절연막(65)의 유전율은 3.5였고, 제2게이트절연막(66)의 유전율은 3.9였다.

[실시예 6]

본발명의 초미세 메모리에서, 부유 게이트전극과 제어 게이트전극 사이의 결합용량이 선택적 기입특성에 큰 영향을 미쳤다. 특히, 전자사태항복에 대한 내구성 향상을 위해 채널도핑을 낮게 조정하고 소스와 드레인 사이의 펀치스루를 억제시킨 소자에서는 기입신호를 인가하는 부유 게이트전극과 드레인영역 사이의 결합용량이 가장 중요한 요소이다.

다음, 제19-21도는 부유 게이트전극을 절연막을 사이에 두고 드레인영역상에 연장시켜, 이 드레인영역을 제어 게이트전극으로 사용하여 결합용량을 증대시켜 기입 효율을 향상시킨 디바이스를 보여준다. 제10-21도에서는, 드레인영역에 요철을 형성하고, 트렌치영역의 결합 깊이를 변화시키며, 드레인영역에 트렌치를 두어 결합용량을 증대시킨다. 제19-21도에 따르면, 일반적으로 드레인영역과 제어 게이트전극에 같은 바이어스를 인가하고, 이때문에 핀치오프를 안정시키기가 매우 어렵다. 그 대책으로서, 소스측의 게이트절연막에 강유전체막을 두고, 드레인측의 채널영역에 고농도 불순물을 도프하는 것이 좋다.

[실시예 7]

제22도에서 소자가 게이트(53)와 분리되어 있다. 이 소자 제조단계에서, LOCOS 산화막을 제거한 뒤, 부유 게이트전극과 소자분리 게이트를 같은 단계에서 형성했다. 이 게이트를 마스크로 소스영역과 드레인영역을 형성했다. 이런 구조에 의하면 소자분리게이트(53)에 인접한 소스영역들 사이의 도통을 플렉시블하게 실현할 수 있다. 또, 소자분리게이트를 부유 게이트전극과 제어 게이트전극으로 실현할 수도 있다. 이렇게 하면 부유 게이트전극에 선택적으로 전하를 축적함으로써 소자분리 여부를 설정할 수 있다. 또, 부유 게이트전극(7) 사이에 형성되는 드레인영역(11)을 피복하도록 채널영역보다 약간 높은 농도의 확산층(52)을 형성했다. A는 제22도의 핀치오프 지점이다.

[실시예 8]

또, 제23도와 같이, 제1도의 소자를 웰(45) 내에 형성할 수도 있다. 이 웰의 도전형은 기판과 같거나 반대일 수 있다.

[실시예 9]

상기 실시예에서는 소스영역 위에 드레인 영역을 형성한 소자를 형성했지만, 제24(a)-(c)도와 같이, 드레인영역 위에 소스영역을 형성한 소자를 형성할 수도 있다. 이 경우에는, 소스측의 채널영역에 기판면 방위를 이용할 수 있다. 제24(a)도의 셀의 개략도이고, 제24(b)도는 부유 게이트전극의 일부(A)의 확대도이며, 제24(c)도는 채널영역의 경사부의 확대도이다.

제24(a)-(c)도에서, 201은 P형 반도체기판, 204는 채널영역, 205는 제1게이트산화막, 206은 경사부에 배치되고 반도체기판내에 형성된 제2절연막, 207은 부유 게이트절연막, 208은 제3게이트절연막, 209는 제어 게이트전극, 210은 소스영역, 211은 드레인영역, 212는 소거동작시 내압을 향상시키기 위한 LDD 영역이다.

제24(a)도에 도시된 소자는 다음과 같이 제조되었다.

먼저 실시예 1의 제6도까지의 공정을 반복했다. 다음에, 레지스트 패턴(214)을 형성한 뒤, 이 레지스트 패턴(214)과 실리콘질화막(25)을 마스크로 이방성 에칭을 하여 소자분리 산화막(29)의 일부를 제거했다(제43도 참조).

등방성 에칭으로, 실리콘질화막(25) 밑의 소자분리 산화막(29)을 소정량 에칭했다.

다음에, 적당한 에칭으로 SOG(spin on glass) 막(215)을 도포했다(제45도 참조).

실리콘 질화막(25)을 에칭하여, 그위에 형성된 SOG 막을 상승시켰다(제46도 참조).

버퍼산화막(22)의 양단과 소자분리 산화막(29)의 양단을 제거했다(제47도 참조).

표면 전체를 열산화하여 게이트절연막(216)을 형성했다(제48도 참조). 표면 전체에 폴리실리콘 층을 형성하고 레지스트 패턴을 이용해 폴리실리콘 층을 에칭하여 부유 게이트전극(217)을 형성했다(제49도 참조).

소자분리 산화막(29)과 부유 게이트전극(217)을 마스크로 고농도 불순물을 주입하여 소스영역(210)과 드레인영역(211)을 형성했다(제50도 참조). 이때, 게이트절연막(216)을 통해 불순물을 주입함으로써 소스영역(210)을 드레인영역(211)보다 얇게 형성했다. 부유 게이트전극(217)의 표면을 산화시켜 제3게이트절연막(208)을 형성했다. 다음에, 표면 전체에 폴리실리콘 층을 형성한다. 레지스트 패턴을 이용해 이 폴리실리콘 층을 에칭하여 산화공정에 의해 제어 게이트전극(209)을 형성했다(제51도 참조).

제어 게이트전극(209)의 양단과 부유 게이트전극(217)의 양단을 서로 정렬하여 표면 전체를 산화시킨다. 이어서, 기판을 회전시키면서 비스듬히 불순물을 주입하여 소스영역측의 부유 게이트전극(217) 밑에 LDD 영역(212)을 형성한다(제52도 참조).

제24(a)-(c)도에서, 채널을 통과한 전자가 소스영역에서 드레인영역으로 가속되는 방향은 전자가 경사부에 진입할 때 채널영역 형태로 휘어진다. 따라서, 기판내에서 전자가 휘어 진행하는 방향(정확한 경로를 설명하기는 어렵지만 LOCOS 산화시 에지 강도로 인해 전위 복합 결함부로 휘어짐)과 경사부 위로의 드레인영역의 결핍층 단부의 중첩으로 인해 고전계가 발생한다. 고전계가 생기고 전자의 진행 방향이 휘어지므로 핫 일렉트론의 발생이 촉진된다. 소스영역이 상대적으로 드레인영역 위에 배치되는 셀에서, 실리콘 기판(100)을 이용할 때, 이 실리콘기판의 경사면(111)을 재료로 하여 드레인영역측에 게이트산화막을 형성한다. 따라서, 드레인영역의 경사면 상부는 동일한 열산화 공정에서 소스영역측보다 두껍게 형성된다. 이때문에 드레인영역이 소스영역 위에 배치된 소자에 비해 데이타를 판독할 때의 오소거에 대한 대책이 용이해진다. 즉, 실제로 가장 어려운 불순물층(31) 형성 공정을 생략할 수 있다.

제24(a)-(c)도의 소스영역을 드레인영역 위에 배치한 소자의 장점에 대해 핫 캐리어 주입형 소자에 대한 데이타 기입과 함께 설명한다. 먼저, 드레인영역에 정전압 Vd와 Vcg를 인가하면서 핫 캐리어 주입형 소자에 데이타를 기입한다. 정전압 Vd와 Vcg는 각각 드레인영역과 제어 게이트전극에 인가된다. 이때, 기판과 소스영역이 동일 준위에 있고 Vs=0이라 하면, 채널영역을 흐르는 전류 Id는 다음 관계식에서 구해질 수 있다.

$$Id = \frac{\mu n \cdot \varepsilon ox \cdot W}{2(d1 \cdot l1 + d2 \cdot l2)} (Vf - Vt)^2 \quad \cdots\cdots (1)$$

여기서 d1은 평탄 채널영역내의 게이트절연막의 두께, d2는 경사 채널영역내의 게이트절연막의 두께, ε_{ox}는 게이트절연막의 도전율, l1은 평탄 채널영역의 유효길이, W는 채널폭이다. 평탄 채널영역의 게이트절연막의 도전율과 경사 채널영역의 게이트절연막의 도전율은 같다고 하자.

Vt는 부유 게이트전극에 대한 임계치이고, 유효 채널길이 l에 따라 달라진다.

Vf는 부유 게이트전극의 전위이고, 다음 관계식에서 구해진다.

$$Vf = \frac{Cfc \cdot Vc + Cfd \cdot Vd - Qf}{Cfs + Cfss1 + Cfss2 + Cfd + Cfc} \quad \cdots\cdots (2)$$

여기서, Cfc는 부유 게이트전극과 소스영역 사이의 용량, Cfss1은 부유 게이트전극과 경사 채널영역 사이의 용량, Cfss2는 부유 게이트전극과 평탄 채널영역 사이의 용량, Cfd는 부유 게이트전극과 드레인영역 사이의 용량, Cfc는 부유 게이트전극과 제어 게이트전극 사이의 용량, Qf는 채널영역을 흐르는 전류가 소스영역과 드레인영역 사이의 전계에서 가속되고 충분한 에너지를 흡수한 전자를 부유 게이트전극에 주입할 때 부유 게이트전극에 생기는 전하이다. Qf로 표시된 전하는 핫 캐리어가 게이트절연막에 주입되는 속도

γ 에 좌우된다. 채널전류 Id에서의 γ Id의 시적분은 다음과 같다.

$$Qf = \int_0^T \gamma Id \, dt$$

이때, 게이트절연막내의 전계강도는 다음 관계식에서 구해진다.

$$Eox = \frac{Cfs+Cffs1+Cfss2+Cfd}{Cfs+Cfss1+Cfss2+Cfd+Cfc} \cdot \frac{Cfc \cdot Vc+Cfd \cdot Vd-Qf}{S1 \cdot \varepsilon_{ox}}$$

따라서, 위 식의 시적분은 다음 관계식으로 나타낼 수 있다.

$$\frac{dEox}{dt} \fallingdotseq \frac{\gamma\beta}{\varepsilon 1} \left\{ \frac{\varepsilon 1 \cdot Eox}{(Cfs+Cfss1+Cfss2+Cfd+Cfc)} \right\}^2$$

위 관계식에서,

$$\varepsilon 1 = S1 \cdot \varepsilon ox \cdot \frac{Cfs+Cffs1+Cfss2+Cfd+Cfc}{Cfs+Cfss1+Cfss2+Cfd}$$

S1은 유효 채널길이의 면적 (I1+I2)W, 부유게이트의 면적 및 소스영역의 면적의 중첩부의 합이다. 메모리 트랜지스터 Tw의 기입시간은 상기 합을 적분하여 다음 관계식의 함수로 표현될 수 있다.

$$\frac{(Cfs+Cffs1+Cfss2+Cfd+Cfc)^2}{\gamma \beta \varepsilon 1}$$

Cfss1과 Cfss2가 두께 d1, d2에 의해 그리고 처리조건에 따라 I1과 I2를 적당한 값으로 조정해서 결정되기 때문에, 종래의 구조보다 기입시간을 조정하기가 용이하다. 전술한 바와같이, 채널 전류의 휘어짐이 발생하고, 그결과 이 부분에서 주입 효율이 향상될 수 있다.

[실시예 10]

상기 실시예들에서는 회전이온주입법을 이용하여 소스영역내의 저농도 영역의 형성시에 부유 게이트전극간의 중첩량을 확보하였지만, 제25도와 같이, 경사부의 거의 전 영역을 저농도 소스영역으로 할 수 있다.

상기 방법에 대해 자세히 설명한다.

먼저, 실시예 1과 마찬가지로, 제6도의 소자분리 산화막(29)까지는 모든 부분을 동일하게 형성한다. 이어서, 제26도와 같이, 실리콘질화막(25)은 그대로 두고 소스영역이 형성된 소자분리영역과 활성영역의 일부분상에 개구를 갖는 레지스트 패턴(43)을 형성했다. 깨끗한 HF 용액으로 습식에칭에 의해 레지스트 패턴(43)과 실리콘 질화막(25)을 마스크로 소자분리 산화막(29)의 일부분을 제거한다(제27도 참조). 다음에, 레지스트 패턴(43)을 벗겨내고 실리콘 질화막(25)을 제거한 뒤, As 이온을 10Kev에서 저농도로 주입하여 저농도 소스영역을 형성한다(제28도 참조). 이렇게 경사부에 저농도 소스영역(44)을 형성한다(제29도 참조). 채널영역과 드레인영역상에는 두께 1000Å 정도의 버퍼산화막(22)이 있기 때문에, 이온주입이 방지된다.

다음 단계로, 깨끗한 HF 용액으로 버퍼산화막(22)을 에칭하고, 열산화에 의해 기판(1) 노출면상에 게이트 절연막(46)을 형성한다. 이어서, CVD법으로, 폴리실리콘 막, 산화막, 폴리실리콘 막, 산화막 및 레지스트 패턴(47)을 차례대로 형성한다(제31도 참조). 레지스트 패턴(47)을 마스크로 제어 게이트전극과 부유 게이트전극을 형성한뒤, 레지스트 패턴(47)을 제거한다. 산화단계 이후, 소자분리막, 제어 게이트전극 및 부유 게이트전극을 마스크로 고농도의 As 이온을 주입하여 소스영역(36)과 드레인영역(37)을 형성한다(제32도 참조). 이 단계에서는 부유 게이트전극과 소스영역의 중첩량을 쉽게 확보할 수 있다. 또, 소스영역(36)과 드레인영역(37) 윗면의 단차는 5㎛ 이하가 좋고, 새부리 길이는 0.6 내지 0.8 ㎛가 좋다.

이어서, 상기 장치의 기입 및 소거동작에 대해 설명한다.

먼저, 소스영역을 접지한 다음 드레인영역과 제어 게이트전극에 전압을 인가하여 메모리에 데이타를 기입할 수 있다. 인가전압은 다음과 같다.

소스영역	0V	0V
제어 게이트전극	10V	12V
드레인영역	4V	6V

이 조건에서 소스영역(10)에서 드레인영역(11)으로 전자가 흐른다. 드레인영역(11) 부근에는, 실리콘 표면에서 산화막까지 형성된 에너지장벽을 넘어갈 수 있는 전자들이 발생된다. 이들 전자를 부유 게이트전극(7)에 주입하면 메모리에 데이타를 기입할 수 있다.

제33도는 기입동작을 보여준다. 제33도에서, 47은 행 어드레스 라인이고 48은 열 어드레스 라인이며, 49는 소거라인이다.

또, 데이타의 소거는 종래의 방법대로 행해질 수 있다.

구체적인 조건은 다음과 같다.

소스영역	0V	0V
제어 게이트전극	10V	12V
드레인영역	4V	6V

이 조건에서, 부유 게이트전극에서 소스영역으로 전계가 방출된다(F-N 터널효과). 제34도는 상기 동작을 보여준다.

[실시예 11]

상기 실시예에서는 설명의 편의상 자기정합형 셀을 사용했지만, 본 발명에 따르면 핀치오프 지점의 핫 일렉트론이 일정한 각도로 부유 게이트전극을 향해 진행한다. 따라서, 제35도와 같이, 오프셋형 플래시메모리는 자기정합형보다 더 뚜렷한 장점을 보여준다.

또, 제35도에서, -는 핀치오프 지점의 핫 일렉트론이 일정 각도로 부유 게이트전극을 향해 진행하는 것을 보여주는 핫 일렉트론이다.

[실시예 12]

제36도와 같이, 본 발명의 플래시메모리는 매트릭스 형태로 배열될 수 있다. 또, 제36도는 NOR형 메모리 셀 어레이를 보여준다. 제36도에서, 84는 본 발명의 메모리가 배열된 메모리측, 85는 행 어드레스 라인이고 행 어드레스 디코더(86)에서 배선된 단선이다. 87은 열 어드레스 라인이고 행 어드레스 디코더(88)에서 배선된 단선이다. 89는 소거용 라인이고 소스 디코더(90)에서 배선된 단선이다.

본 발명에 따르면, 소스영역이나 드레인영역이 나머지 부분 밑에 위치하므로 채널영역의 길이를 실질적으로 연장할 수 있다. 따라서, 본 발명은 동일한 2차원 설계 규칙에 비교해 펀치스루가 거의 발생하지 않는 장점이 있다.

또, 본 발명에 의하면 소형이고, 기입/소거 속도가 빠르며, 판독동작시 데이타 오소거를 방지할 수 있는 플래시메모리를 실현할 수 있다. 이런 플래시메모리는 양산화와 미세화에서 우수하고 빈번한 기입, 소거 및 판독동작에도 내구성이 극히 우수하기 때문에, 대량 데이타의 간이 연산 등을 빈번히 실행하는 화상처리용 메모리나 자기 메모리를 대체할 수 있는 디바이스로서 그 공업적 가치는 절대적이다.

제53도를 참조하여 본 발명에 대해 더 설명한다.

먼저, 기입동작시에 프로그램된 셀(1-a)의 임계치가 5V일 때(이것은 충돌에 의해 이온화된 핫 일렉트론을 부유 게이트전극에 주입하여 셀의 임계치가 1V에서 5V로 상승되었음을 의미함), 워드 라인(WL1)에 0V를 인가하고(비선택적) 데이타 기입용 워드라인(WL2)에 12V를 인가하며(선택적), BLa에 6V를 인가한다.

다음에, 셀(1-a)내의 드레인영역과 부유 게이트전극 사이에서, BLa에 인가된 6V와 축적된 임계전압을 1V에서 5V로 상승시킬 수 있는 전하를 갖는 전압의 합(6+4 V)을 인가한다. 이것은 데이타가 기입되었던 셀(1-a)이 셀(1-b)에 데이타를 기입하는 기능을 할 때 10V에 가까운 전압(실제로는 각 용량 사이의 관계로 인해 어느정도 감소됨)이 드레인영역과 부유 게이트전극 사이에 인가됨을 의미한다.

드레인영역이 비트라인으로 가능하는 본 발명의 플래시메모리에서는, 비트라인에 접속된 셀의갯수에 대응하는 주파수로 드레인영역과 부유 게이트전극 사이에 10V에 가까운 전압을 받는 셀이 제공된다.

한편, 각 셀은 메모리에서 데이타를 소거할 때 13V를 수신하여 전하를 제거한다.

셀(1-a)에 데이타를 기입할 때의 드레인영역과 부유 게이트전극 사이에 인가된 전압과 데이타 소거시의 소스영역과 부유 게이트전극 사이에 인가된 전압 사이에는 큰 차이가 있다고 말할 수 없다.

이렇게 되면, 셀내의 데이타가 드레인영역에 공통으로 접속된 다른 셀들에 기입될 때 소거된다는 문제가 생기지만, 본 발명에 따르면 F-N 터널을 통해 데이타가 소거되므로, 장벽높이(전압차)를 크게할 수 없을 때는 터널길이(게이트절연막의 두께)를 크게할 수 있다.

즉, 소거동작에서의 소거를 용이하게 하고 기입동작에서의 오소거를 방지하기 위해, 드레인측에는 두꺼운 게이트절연막을 갖고 이 드레인영역에 나란히 배열되며 중앙에서 접속되는 얇은 소스측을 가져 메모리셀 매트릭스를 형성하는 셀을 형성할 수 있다.

(57) 청구의 범위

청구항 1

상기 반도체기판의 주 표면에 일정한 거리를 두고 서로 떨어지게 형성된 소스영역 및 드레인영역; 상기 소스영역과 드레인영역 사이에 배치되는 채널영역; 상기 채널영역상에 배치되는 게이트절연막; 상기 게이트절연막상에 배치되는 부유 게이트전극; 및 층간절연막을 사이에 두고 상기 부유 게이트전극에 적어도 부분적으로 적층되도록 배치되는 제어 게이트전극;을 구비한 전기적으로 소거 및 프로그램 가능한 메모리에 있어서: 상기 채널영역과 주 표면이 경사부를 갖고, 상기 소스영역이 상기 드레인영역보다 상대적으로 상방 또는 하방에 배치되는 것을 특징으로 하는 메모리.

청구항 2

제1항에 있어서, 국소 산화법에 의해 상기 채널영역상에 형성된 산화막을 제거하여 경사부가 얻어지는 것을 특징으로 하는 메모리.

청구항 3

제1항에 있어서, 상기 소스영역의 접합 내압이 드레인영역보다 높은 것을 특징으로 하는 메모리.

청구항 4

제1항에 있어서, 상기 게이트절연막의 두께가 소스영역과 그 근방에서 다른 부분보다 얇은 것을 특징으로 하는 메모리.

청구항 5

제1항에 있어서, 상기 게이트절연막이 국소적으로 얇게 형성되고, 이렇게 얇게 형성된 영역이 상기 채널영역의 경사부에 형성되는 것을 특징으로 하는 메모리.

청구항 6

제1항에 있어서, 상기 부유 게이트전극의 드레인영역측의 상부 표면적이 하부 표면적보다 넓은 것을 특징으로 하는 메모리.

청구항 7

제1항에 있어서, 상기 부유 게이트전극이 절연막을 사이에 두고 상기 드레인영역 위에 연장하는 것을 특징으로 하는 메모리.

청구항 8

제7항에 있어서, 상기 드레인영역이 요철형상 또는 트렌치를 포함한 형상인 것을 특징으로 하는 메모리.

청구항 9

제1항에 있어서, 소자분리 게이트전극으로의 바이어스의 유무에 의해 소자가 분리되는 것을 특징으로 하는 메모리.

청구항 10

제9항에 있어서, 상기 소자분리 게이트전극이 제어 게이트전극 밑의 게이트산화막중의 제어 게이트전극과 부유 게이트전극을 갖는 것을 특징으로 하는 메모리.

청구항 11

제1항에 있어서, 상기 드레인영역 근방의 채널영역의 불순물 농도가 상기 소스 영역 근방의 채널영역의 불순물 농도보다 높은 것을 특징으로 하는 메모리.

청구항 12

제1항에 있어서, 상기 기판 표면상의, 기판과 동일한 도전형 또는 반대 도전형의 웰내에 형성되는 것을 특징으로 하는 메모리.

청구항 13

제1항에 있어서, 상기 주 표면상의 결정방향이 다른 표면상의 결정방향과 다른 것을 특징으로 하는 메모리.

청구항 14

제1항에 있어서, 상기 소스영역이나 드레인영역중의 적어도 하나가 부분적으로 상기 경사면상에 위치하는 것을 특징으로 하는 메모리.

청구항 15

제1항에 있어서, 복수의 메모리들이 배열되고, 서로 인접한 2개의 메모리는 다른쪽의 드레인영역을 공유하며, 이 드레인영역을 기초로 미러(mirror) 대칭 관계를 갖는 메모리.

청구항 16

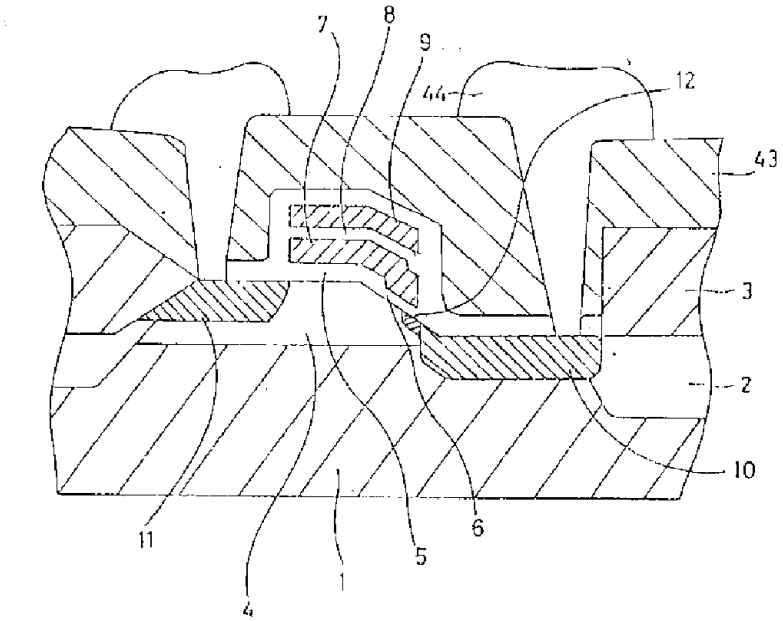
제1도전형의 반도체기판의 주 표면의 소정 영역에 두꺼운 소자분리 산화막을 형성하는 공정; 상기 소자분리 산화막의 일부를 포함한 산화막을 제거하여 표면에 경사부를 갖는 활성영역을 형성하는 공정; 상기 활성영역의 경사부에 제1게이트절연막을, 경사부 이외의 활성영역에 제2게이트절연막을 형성하는 공정; 상기 제1게이트절연막상에 부유 게이트전극을 형성하는 공정; 상기 부유 게이트전극상에 제2절연막을 형성하는 공정; 상기 부유 게이트전극에 적어도 부분적으로 적층하는 형태로 패턴화된 제어 게이트전극을 형성하는 공정; 상기 부유 게이트전극을 상기 제어게이트에 자기정합적으로 패턴화하는 공정; 상기 제어게이트에 제2도전형의 불순물 이온을 주입하여 소스영역 및 드레인영역을 형성하는 공정;으로 구성되는 전기적으로 소거 및 프로그램 가능한 메모리의 제조방법.

청구항 17

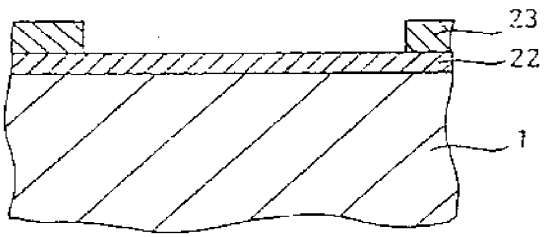
제16항에 있어서, 제3게이트절연막이 표면 불순물농도 3×10^{20} ions/cm^3 이상의 영역과 그 이하의 2개 영역으로 형성되는 것을 특징으로 하는 메모리의 제조방법.

도면

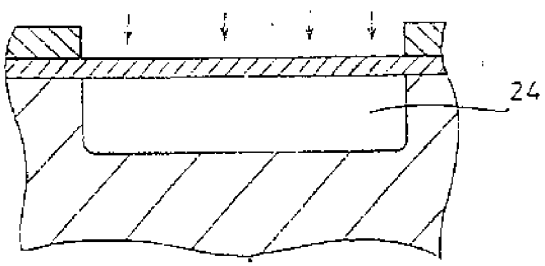
도면1



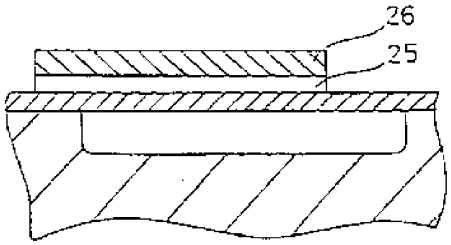
도면2



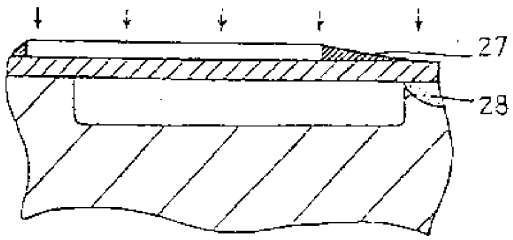
도면3



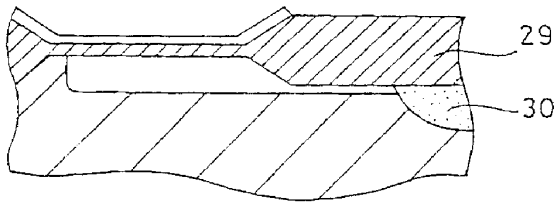
도면4



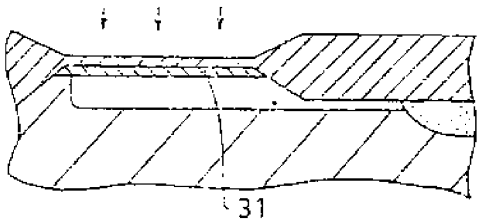
도면5



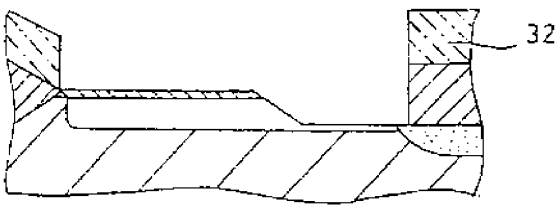
도면6



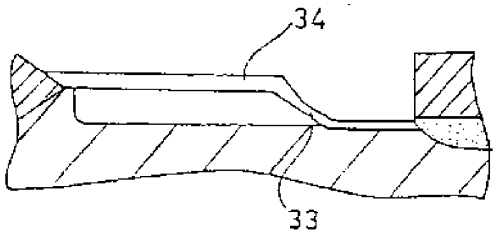
도면7



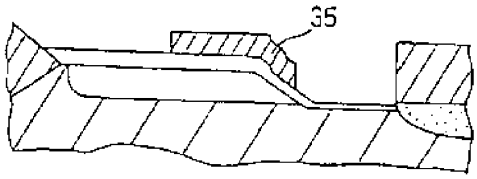
도면8



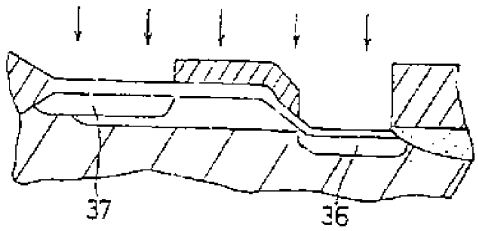
도면9



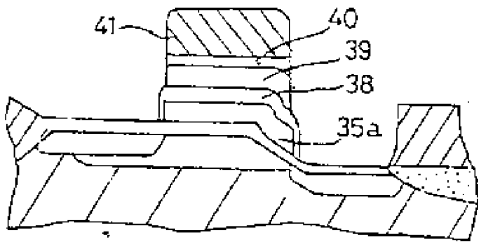
도면10



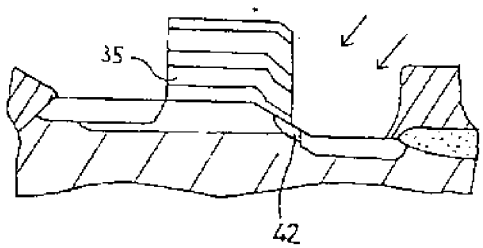
도면11



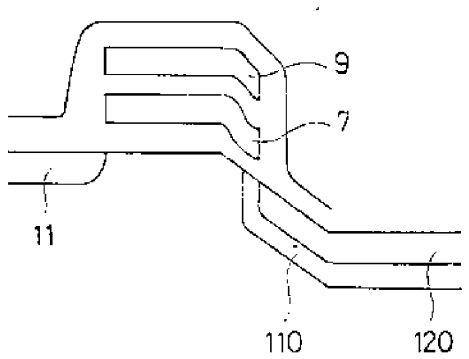
도면12



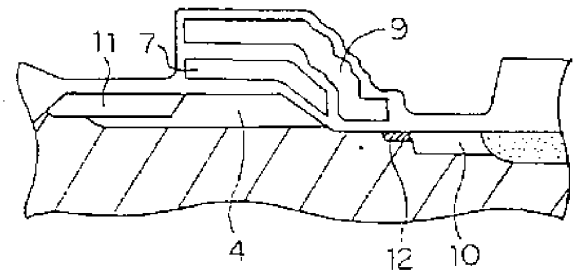
도면13



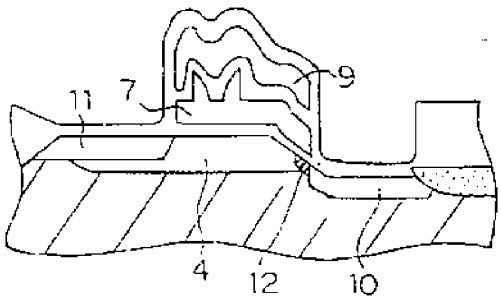
도면14



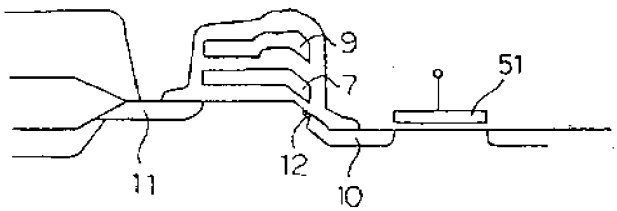
도면15



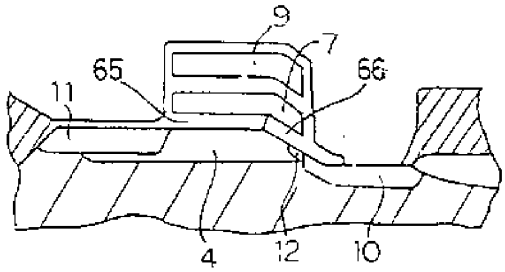
도면16



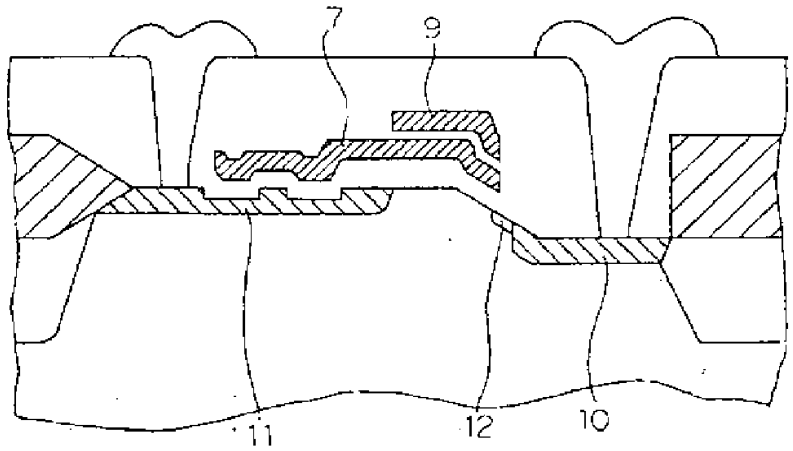
도면17



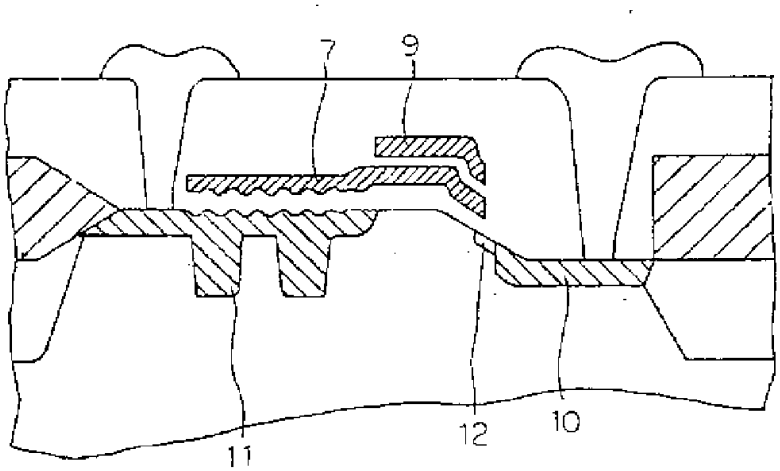
도면18



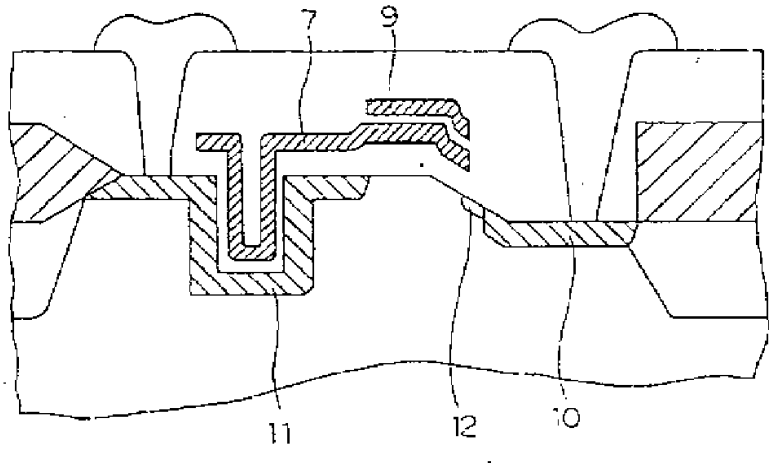
도면19



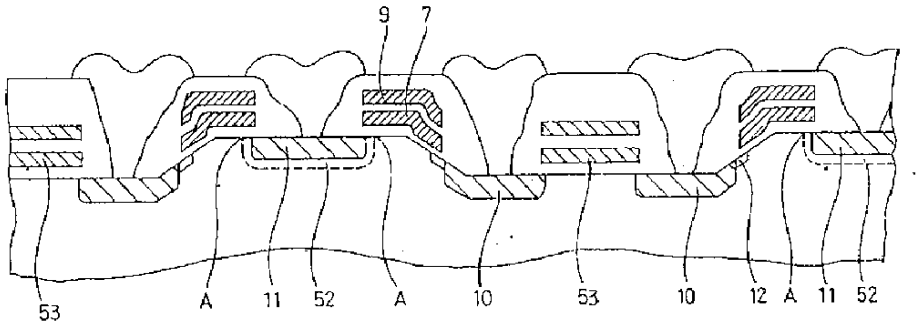
도면20



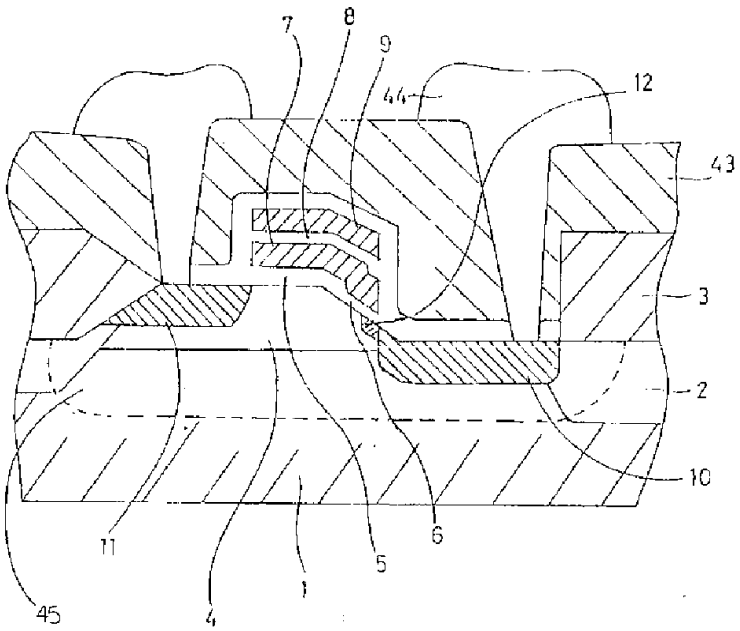
도면21



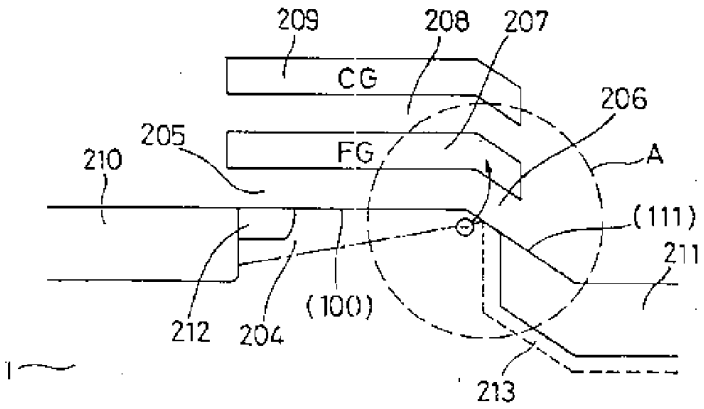
도면22



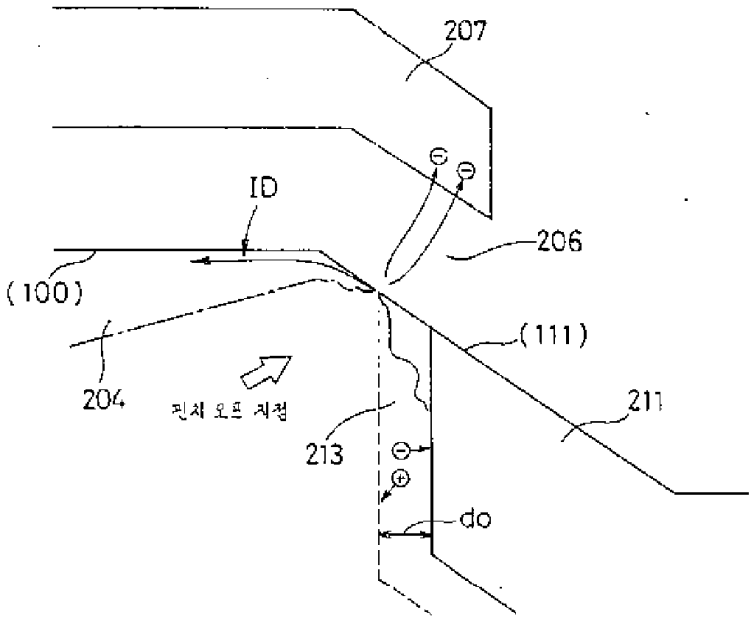
도면23



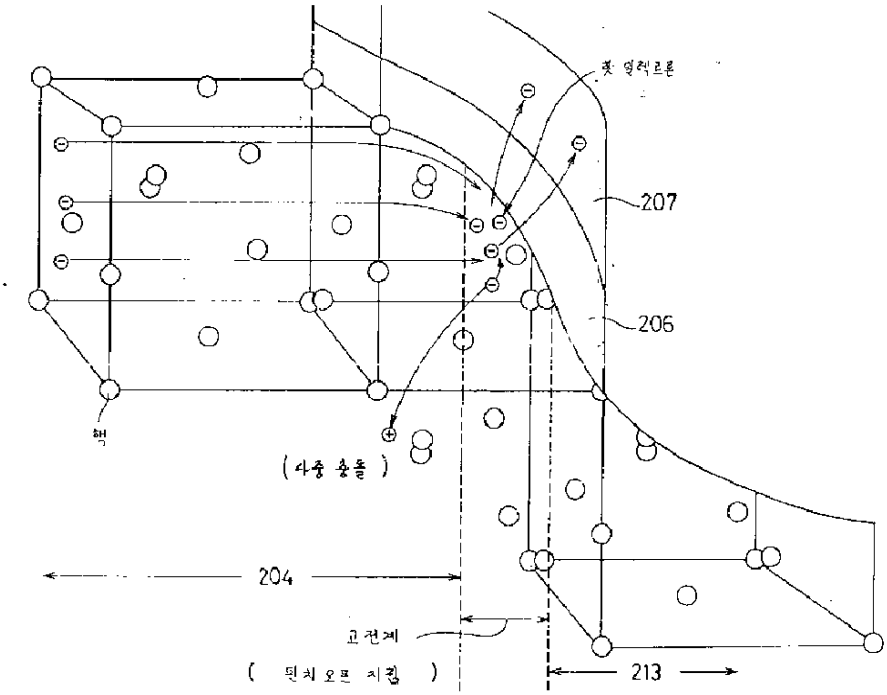
도면24a


209
208
207
CG
206
205
FG
A
210
(111)
211
(100)
212
204
213

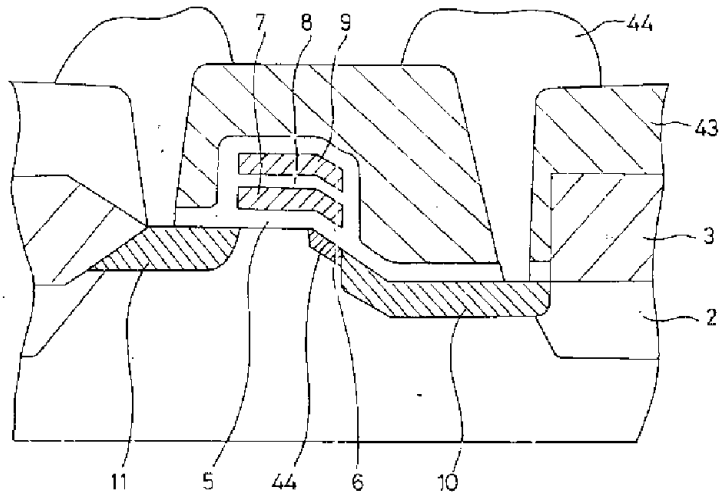
도면24b


207
ID
206
(100)
(111)
204
핀치 오프 지점
211
213
do

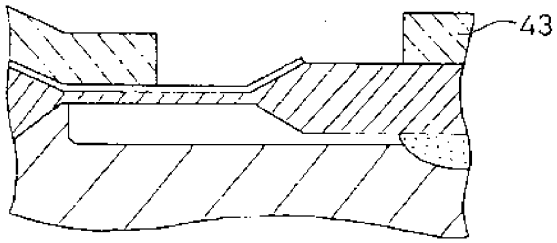
도면24c



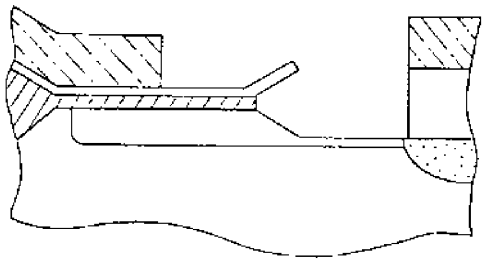
도면25



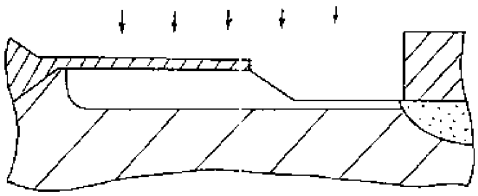
도면26



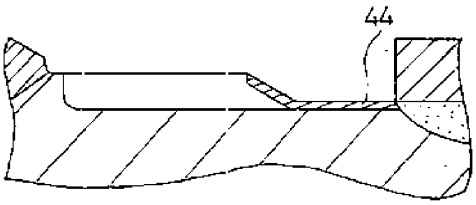
도면27



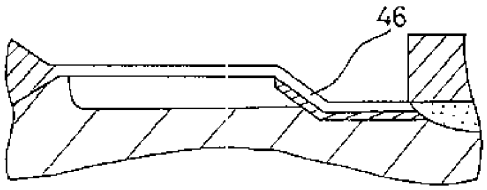
도면28



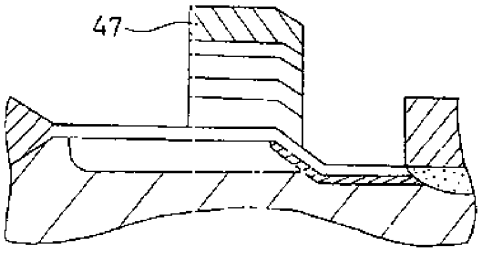
도면29



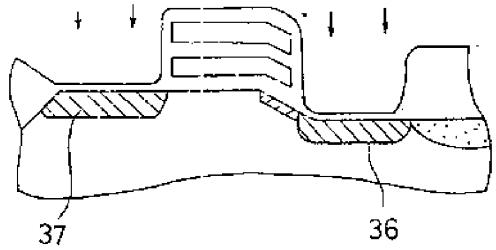
도면30



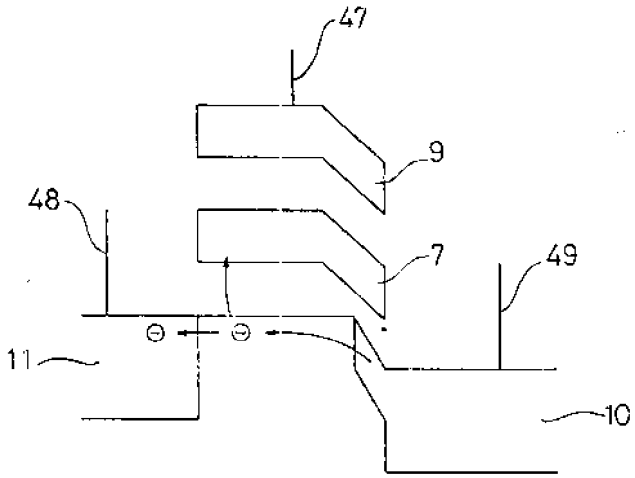
도면31



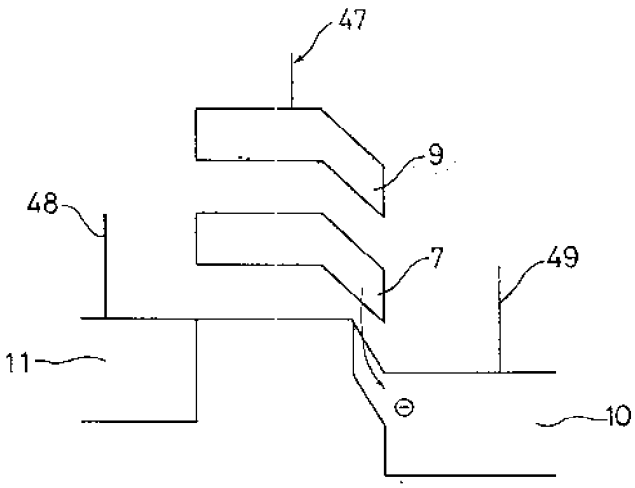
도면32



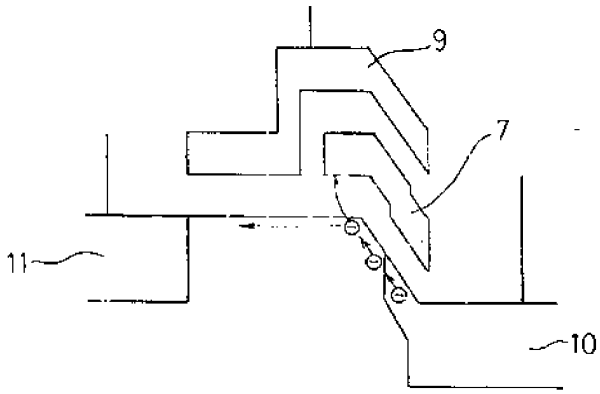
도면33



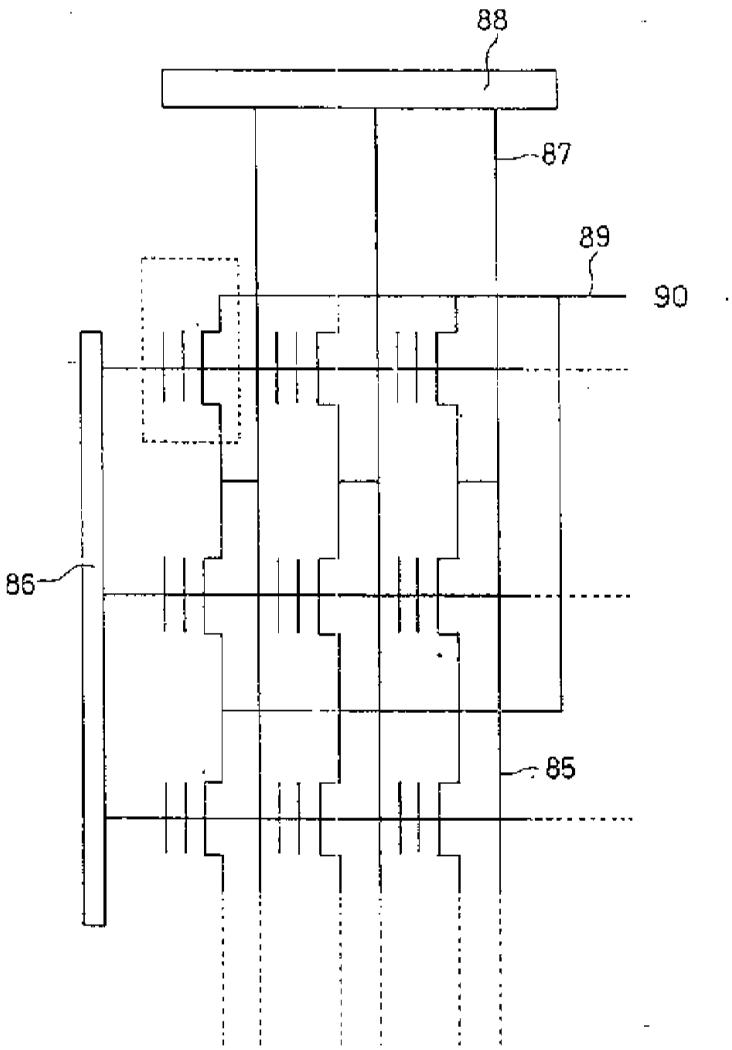
도면34



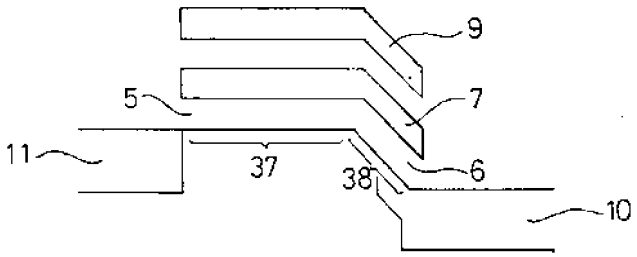
도면35



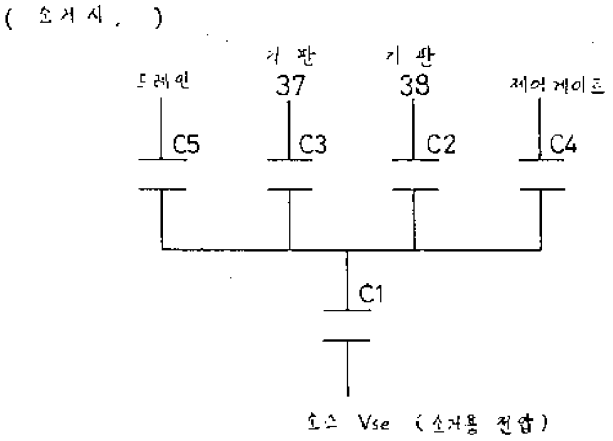
도면36



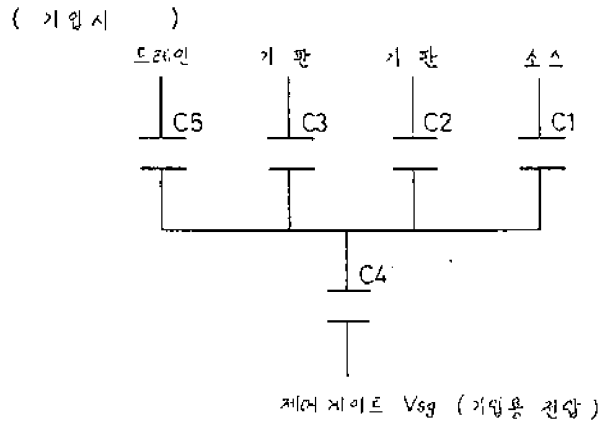
도면37



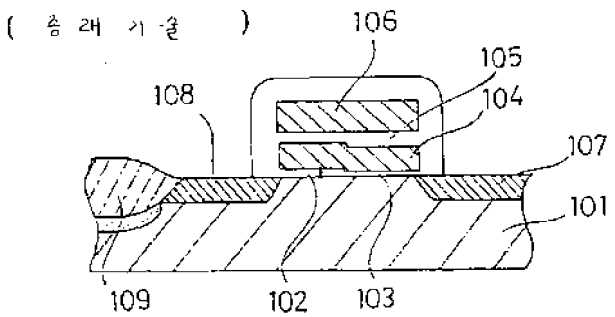
도면38



도면39

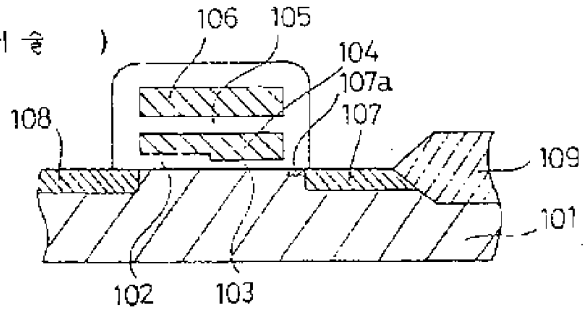


도면40



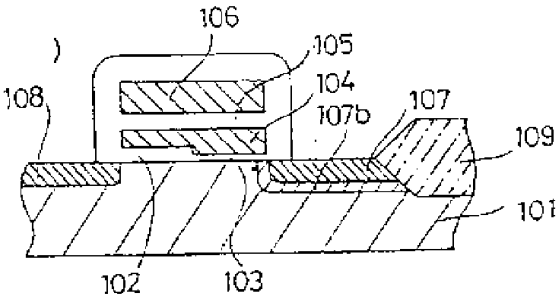
도면41

(종래 기술)

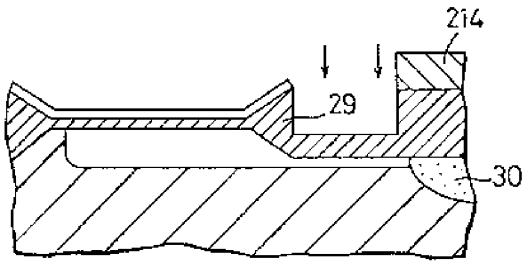


도면42

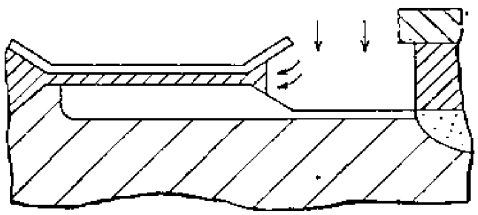
(종래 기술)



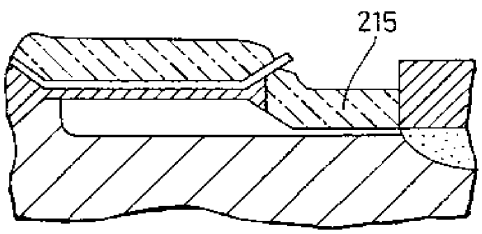
도면43



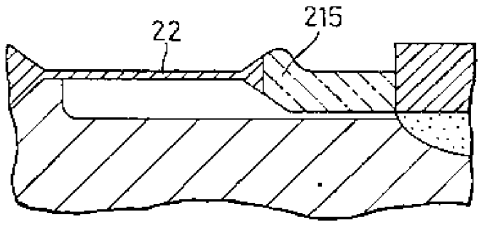
도면44



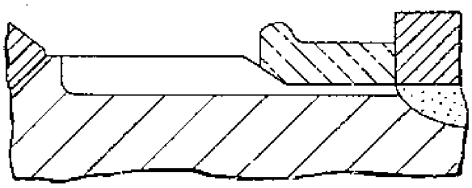
도면45



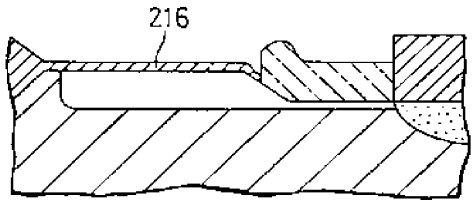
도면46



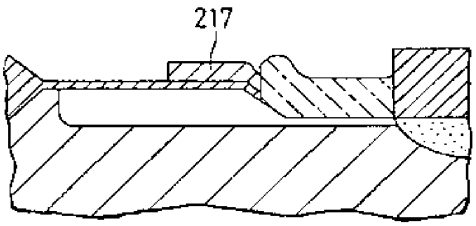
도면47



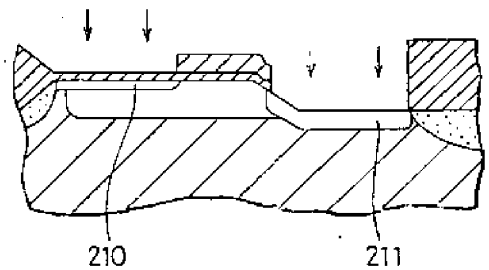
도면48



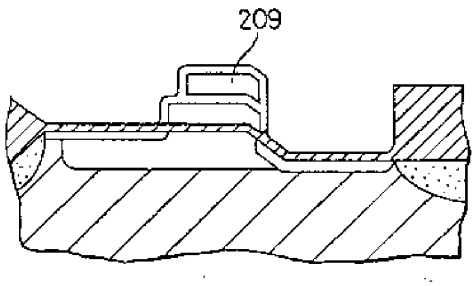
도면49



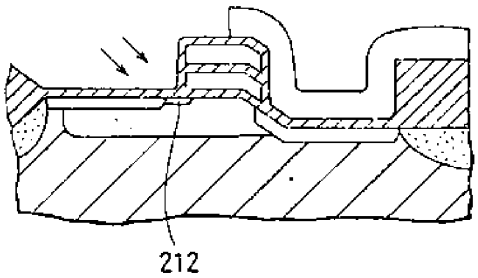
도면50



도면51



도면52



도면53

