



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월30일
(11) 등록번호 10-1402205
(24) 등록일자 2014년05월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2012-7003807
(22) 출원일자(국제) 2010년07월09일
심사청구일자 2012년02월24일
(85) 번역문제출일자 2012년02월13일
(65) 공개번호 10-2012-0026635
(43) 공개일자 2012년03월19일
(86) 국제출원번호 PCT/US2010/041552
(87) 국제공개번호 WO 2011/008652
국제공개일자 2011년01월20일
(30) 우선권주장
12/502,199 2009년07월13일 미국(US)
(56) 선행기술조사문헌
EP0104120 A2
JP2004186553 A
JP2006302407 A
JP2009004725 A

(73) 특허권자
시게이트 테크놀로지 엘엘씨
미국 캘리포니아 95104 쿠퍼티노 사우쓰 디 엔자
블러바드 10200
(72) 발명자
정, 철민
미국 55347 미네소타 에텐 프레리 준 그라스 레인
15525
용, 루
미국 55439 미네소타 에디나 트릴리 드라이브
7115
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 20 항

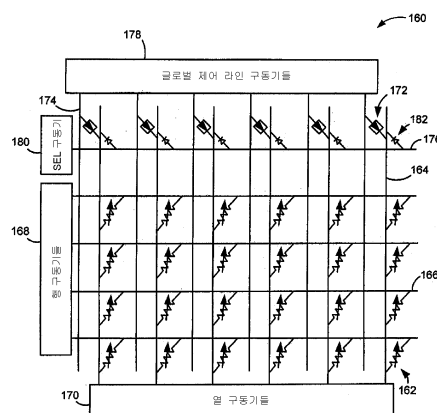
심사관 : 방기인

(54) 발명의 명칭 비휘발성 메모리의 계층적 교차 어레이

(57) 요약

비휘발성 메모리 셀로부터 데이터를 판독하기 위한 방법 및 장치. 몇몇 실시예들에서, 비휘발성 메모리 셀들의 교차(cross point) 어레이가 행들 및 열들로 배열된다. 메모리 셀들의 제 2 블록을 비활성화시키면서 메모리 셀들의 제 1 블록을 활성화시킬 수 있는 선택 회로가 제공된다. 또한, 메모리 셀들의 제 2 블록에 대응하는 블록 선택 소자들에 제 2 저항 상태를 프로그래밍하면서, 메모리 셀들의 제 1 블록에 대응하는 블록 선택 소자들에 제 1 저항 상태를 프로그래밍함으로써, 감소된 누설 전류로 메모리 셀들의 제 1 블록 내의 미리 결정된 메모리 셀의 논리 상태를 판독할 수 있는 판독 회로가 제공된다.

대표도 - 도5



(72) 발명자

진, 인식

미국 55122 미네소타 이건 존니 캐이크 알코브
1569

김, 영필

미국 55347 에덴 프레리 빅토리아 드라이브 9151

해리, 리우

미국 55311 미네소타 메이플 글로브 엔 65 애브뉴
18540

특허청구의 범위

청구항 1

행(row)들 및 열(column)들로 배열된 비휘발성 메모리 셀들의 교차(cross-point) 어레이 -상기 메모리 셀들은 다수의 블록들로 나누어짐-;

메모리 셀들의 제 2 블록을 비활성화시키면서 메모리 셀들의 제 1 블록을 활성화시킬 수 있는 선택 회로; 및

적어도 하나의 제 2 블록 선택 소자에 제 2 저항 상태를 프로그래밍하면서, 적어도 하나의 제 1 블록 선택 소자에 제 1 저항 상태를 프로그래밍함으로써, 감소된 누설 전류로 메모리 셀들의 상기 제 1 블록의 미리 결정된 메모리 셀의 논리 상태를 판독할 수 있는 판독 회로를 포함하고, 상기 적어도 하나의 제 1 블록 선택 소자 및 상기 적어도 하나의 제 2 블록 선택 소자는 상기 선택 회로에 포함되는,

장치.

청구항 2

제 1 항에 있어서,

복수의 행들이 메모리 셀들의 상기 제 1 블록 및 메모리 셀들의 상기 제 2 블록을 정의하는, 장치.

청구항 3

제 1 항에 있어서,

메모리 셀들의 상기 제 1 블록 및 상기 제 2 블록은 각각의 열을 따라 직렬로 접속되는, 장치.

청구항 4

제 1 항에 있어서,

상기 선택 회로는 각각의 블록 및 열에 대해 글로벌 선택 제어 라인과 글로벌 제어 라인 사이에 접속되는 블록 선택 소자를 포함하는, 장치.

청구항 5

제 4 항에 있어서,

각각의 글로벌 제어 라인은 메모리 셀들의 블록들의 수와 동일한 수의 블록 선택 소자들에만 접속되는, 장치.

청구항 6

제 4 항에 있어서,

단일 글로벌 선택 제어 라인이, 메모리 셀들의 선택된 블록의 모든 블록 선택 소자들의 저항 상태를 프로그래밍하는, 장치.

청구항 7

제 4 항에 있어서,

상기 블록 선택 소자는 프로그래밍가능한 금속 셀(PMC)로서 특징지어지는, 장치.

청구항 8

제 4 항에 있어서,

상기 블록 선택 소자는 다이오드와 직렬로 접속되는, 장치.

청구항 9

제 1 항에 있어서,

상기 비휘발성 메모리 셀들은 저항성 감지 소자들(RSE)을 포함하는, 장치.

청구항 10

제 9 항에 있어서,

상기 RSE는 저항성 랜덤 액세스 메모리(RRAM) 셀들로 특징지어지는, 장치.

청구항 11

제 1 항에 있어서,

미리 결정된 임계치보다 작은 전류가 상기 블록 선택 소자를 통과하는 것을 방지하는 단류(uni-flow)디바이스를 더 포함하는, 장치.

청구항 12

행들 및 열들로 배열되는 비휘발성 메모리 셀들의 교차 어레이 —상기 메모리 셀들은 다수의 블록들로 나누어짐—, 메모리 셀들의 제 2 블록을 비활성화시키면서 메모리 셀들의 제 1 블록을 활성화시킬 수 있는 선택 회로 및 관독 회로를 제공하는 단계, 및

적어도 하나의 제 2 블록 선택 소자에 제 2 저항 상태를 프로그래밍하면서, 적어도 하나의 제 1 블록 선택 소자에 제 1 저항 상태를 프로그래밍함으로써, 감소된 누설 전류로 메모리 셀들의 상기 제 1 블록 내의 미리 결정된 메모리 셀의 논리 상태를 관독하는 단계를 포함하고, 상기 적어도 하나의 제 1 블록 선택 소자 및 상기 적어도 하나의 제 2 블록 선택 소자는 상기 선택 회로에 포함되는,

방법.

청구항 13

제 12 항에 있어서,

상기 선택 회로는, 각각의 블록 및 열에 대해 글로벌 선택 제어 라인과 글로벌 제어 라인 사이에 접속되는 블록 선택 소자를 포함하는, 방법

청구항 14

제 13 항에 있어서,

각각의 글로벌 제어 라인은 메모리 셀들의 블록들의 수와 동일한 수의 블록 선택 소자들에만 접속되는, 방법.

청구항 15

제 13 항에 있어서,

단일 글로벌 선택 제어 라인이, 메모리 셀들의 선택된 블록의 모든 블록 선택 소자들의 저항 상태를 프로그래밍하는, 방법.

청구항 16

제 13 항에 있어서,

상기 블록 선택 소자는 프로그래밍가능한 금속 셀(PMC)로서 특징지어지는, 방법.

청구항 17

제 13 항에 있어서,

상기 블록 선택 소자는 상기 글로벌 제어 라인 및 상기 글로벌 선택 제어 라인을 통해 전류를 통과시킴으로써 프로그래밍되는, 방법.

청구항 18

제 12 항에 있어서,

저항성 감지 소자(RSE)가 행과 열 사이에 접속되는, 방법.

청구항 19

제 12 항에 있어서,

상기 미리 결정된 메모리 셀을 판독하면서, 누설 전류의 양이 측정되는, 방법.

청구항 20

행들 및 열들로 배열된 비휘발성 메모리 셀들의 교차 어레이 -상기 메모리 셀들은 다수의 블록들로 나누어짐-;

메모리 셀들의 제 2 블록을 비활성화시키면서 메모리 셀들의 제 1 블록을 활성화시킬 수 있는 선택 회로 - 다수의 선택 라인들이 메모리 셀들의 상기 제 1 블록 및 상기 제 2 블록에 커플링됨 -; 및

적어도 하나의 제 2 블록 선택 소자에 제 2 저항 상태를 프로그래밍하면서, 적어도 하나의 제 1 블록 선택 소자에 제 1 저항 상태를 프로그래밍함으로써, 감소된 누설 전류로 메모리 셀들의 상기 제 1 블록의 미리 결정된 메모리 셀의 논리 상태를 판독할 수 있는 판독 회로를 포함하고,

상기 적어도 하나의 제 1 블록 선택 소자 및 상기 적어도 하나의 제 2 블록 선택 소자는 상기 선택 회로에 포함되고, 제 1 글로벌 제어 라인이 제 1 블록 선택 소자들 각각을 관리하고, 제 2 글로벌 제어 라인이 제 2 블록 선택 소자들 각각을 관리하고, 제 1 및 제 2 선택 소자 각각은 상기 비휘발성 메모리 셀들과 상기 글로벌 제어 라인들 사이의 공통 수평 평면에 상주하는,

장치.

명세서

기술 분야

[0001] 데이터 저장 디바이스들은 일반적으로 고속 및 효율적인 방식으로 데이터를 저장 및 리트리브(retrieve)하도록 동작한다. 몇몇 저장 디바이스들은 데이터의 개별적 비트들을 저장하기 위해 솔리드 스테이트(solid-state) 메모리 셀들의 반도체 어레이를 이용한다. 이러한 메모리 셀들은 휘발성(예를 들어, DRAM, SRAM)이거나 또는 비휘발성(RRAM, STRAM, 플래시 등)일 수 있다.

[0002] 인식될 수 있는 바와 같이, 휘발성 메모리 셀들은 일반적으로, 디바이스에 동작 전력이 계속 공급되는 동안에만 메모리에 저장된 데이터를 유지하는 반면, 비휘발성 메모리 셀들은 일반적으로, 동작 전력의 인가가 없는 경우에도 메모리에 데이터 저장을 보유한다. 그러나, 비휘발성 메모리 셀들의 어레이는 다양한 동작들 동안 원하지 않는 전류를 발생시킬 수 있다. 이러한 원하지 않는 전류는 메모리 셀들의 어레이로부터 빠르고 일정하게 데이터를 판독할 때 문제가 될 수 있다.

[0003] 이와 같이, 이러한 유형들 및 다른 유형들의 데이터 저장 디바이스들에서, 특히, 데이터를 업데이트하는 것과 연관된 오버헤드 저장 공간을 감소시켜 메모리 공간의 활용도를 개선함으로써, 효율 및 신뢰도를 증가시키는 것이 종종 바람직할 수 있다.

발명의 내용

[0004] 본 발명의 다양한 실시예들은 비휘발성 메모리 셀로부터 데이터를 판독하기 위한 방법 및 장치에 관한 것이다.

[0005] 몇몇 실시예들에서, 비휘발성 메모리 셀들의 교차(cross point) 어레이가 행(row)들 및 열(column)들로 배열된다. 메모리 셀들의 제 2 블록을 비활성화시키면서 메모리 셀들의 제 1 블록을 활성화시킬 수 있는 선택 회로가 제공된다. 또한, 제 2 저항 상태를 메모리 셀들의 제 2 블록에 대응하는 블록 선택 소자들에 프로그래밍하면서, 제 1 저항 상태를 메모리 셀들의 제 1 블록에 대응하는 블록 선택 소자들에 프로그래밍함으로써, 감소된 누설 전류로 메모리 셀들의 제 1 블록 내의 미리 결정된 메모리 셀의 논리 상태를 판독할 수 있는

판독 회로가 제공된다.

[0006] 다른 실시예들에서, 행들 및 열들로 배열되는 비휘발성 메모리 셀들의 교차 어레이, 메모리 셀들의 제 2 블록을 비활성화시키면서 메모리 셀들의 제 1 블록을 활성화시킬 수 있는 선택 회로 및 판독 회로가 제공된다. 다음으로, 제 2 저항 상태를 메모리 셀들의 제 2 블록에 대응하는 블록 선택 소자들에 프로그래밍하면서, 제 1 저항 상태를 메모리 셀들의 제 1 블록에 대응하는 블록 선택 소자들에 프로그래밍함으로써, 감소된 누설 전류로 메모리 셀들의 제 1 블록 내의 미리 결정된 메모리 셀의 논리 상태가 판독된다.

[0007] 본 발명의 다양한 실시예들을 특징짓는 이 특성들과 이점들 및 다른 특성들과 이점들은 다음의 상세한 설명 및 첨부된 도면들의 관점에서 이해될 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 다양한 실시예들에 따라 구성 및 동작되는 예시적인 데이터 저장 디바이스의 일반화된 기능 표현이다.

도 2는 도 1의 디바이스의 메모리 어레이로부터 데이터를 판독하고 그 메모리 어레이에 데이터를 기록하는데 이용되는 회로를 도시한다.

도 3은 메모리 셀들의 예시적인 교차 어레이를 나타낸다.

도 4는 도 3의 교차 어레이의 예시적인 특징들을 도시한다.

도 5는 본 발명의 다양한 실시예들에 따라 구성 및 동작되는 메모리 셀들의 예시적인 블록을 나타낸다.

도 6은 본 발명의 다양한 실시예들에 따라 구성 및 동작되는 메모리 셀들의 예시적인 어레이를 도시한다.

도 7은 본 발명의 다양한 실시예들에 따라 수행되는 도 5 및 도 6의 메모리 셀들의 어레이의 예시적인 동작을 제공한다.

도 8은 도 5 내지 도 7의 메모리 어레이에 이용될 수 있는 예시적인 블록 선택 소자를 도시한다.

도 9는 본 발명의 다양한 실시예들에 따라 구성 및 동작되는 메모리 셀들의 예시적인 어레이를 나타낸다.

도 10은 본 발명의 다양한 실시예들에 따라 수행되는 페이지 판독 루틴의 흐름도를 제공한다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1은 본 발명의 다양한 실시예들에 따라 구성 및 동작되는 데이터 저장 디바이스(100)의 기능 블록 표현을 제공한다. 디바이스(100)의 상위 레벨 제어는, 프로그래밍가능한 또는 하드웨어 기반의 마이크로제어기일 수 있는 적절한 제어기(102)에 의해 수행된다. 제어기(102)는 제어기 인터페이스(I/F) 회로(104)를 통해 호스트 디바이스와 통신한다. 원해지는 바와 같이, 단일 어레이가 이용될 수 있음이 인식될 것이지만, 메모리 공간은 다수의 메모리 어레이들(108)(어레이 0-N으로 표기됨)을 포함하도록 106으로 도시되어 있다. 각각의 어레이(108)는 선택된 저장 용량의 반도체 메모리의 블록을 포함한다. 제어기(102)와 메모리 공간(106) 사이의 통신들은 I/F(104)를 통해 조정된다.

[0010] 메모리 공간(106)은 다양한 기록 및 판독 회로에 의해 다양한 상이한 방식으로 구성될 수 있음이 인식될 수 있다. 하나의 이러한 구성은 도 2에 도시된 메모리(110)의 교차 어레이일 수 있다. 복수의 메모리 셀들(112)이 워드 라인(114)과 비트 라인(116) 사이에 각각 접속될 수 있다. 몇몇 실시예들에서, 워드 라인들이 열 구동기들(118)에 의해 제어될 수 있고, 비트 라인들이 행 구동기들(120)에 의해 제어될 수 있다.

[0011] 또한, 워드 라인들(114) 및 비트 라인들(116)은 서로에 대해 직교 관계로 배향될 수 있지만, 이러한 구성이 요구되거나 제한적인 것은 아니다. 교차 어레이(110)의 구성은 행들 및 열들로 배열되는 것으로 특징지어질 수 있고, 여기서, 각각의 워드 라인(114)은 정렬된 열을 따라 다수의 메모리 셀들을 열 구동기들(118)에 접속시키는 한편, 각각의 비트 라인(116)은 정렬된 행을 따라 다수의 메모리 셀들을 행 구동기들(120)에 접속시킨다.

[0012] 그러나, 도 2에 도시된 비트 라인들(174) 및 워드 라인들(176)의 배향은 오직 예시적이고, 메모리 셀들(110)의 교차 어레이의 가능한 구성들에 대한 어떠한 제한도 아님을 유의해야 한다. 즉, 워드 라인(114)이 행을 따라 메모리 셀들에 접속되는 한편, 비트 라인(116)이 열을 따라 메모리 셀들에 접속될 수 있다. 유사하게, 다양한 라인 구동기들(118 및 120)의 수, 사이즈 및 배향은 제한되지 않고, 원해지는 바와 같이, 도시된 구성으로부터

변경될 수 있다. 예를 들어, 라인 구동기들은 독립적으로 또는 결합하여, 전류를 하나 또는 다수의 메모리 셀들을 통해 동시에 조종하도록 비트 및 워드 라인들(116 및 114)을 구성하기 위해 이용될 수 있다.

[0013] 본 발명의 다양한 실시예들에서, 메모리의 교차 어레이의 각각의 메모리 셀(112)은 비저항성(non-ohmic) 스위칭 디바이스로 구성될 수 있다. 이러한 스위칭 디바이스는, 메모리 셀들이 우연히 액세스되지 않게 하는 증가된 신뢰도를 제공할 수 있다. 메모리 디바이스에 스위칭 디바이스를 추가하는 것은, 워드 라인(114) 및 비트 라인(116)의 각각의 교차점에 저항성 감지 소자(RSE)와 직렬로 접속된 트랜지스터와 같은 다양한 방법들로 구성될 수 있지만 이에 한정되는 것은 아니다.

[0014] 인식될 수 있는 바와 같이, 각각의 메모리 셀에 스위칭 디바이스를 추가하는 것은 개별 제어 라인에 의해 제어될 수 있다. 이와 같이, 제어 라인은, 스위칭 디바이스를 활성화시키기 위한 신호를 제공하고, 선택 구동기에 의해 선택된 메모리 셀을 통해 전류가 흐르게 하도록 구성될 수 있다. 그러나, 다양한 실시예들에서, 선택 구동기의 필요성을 효과적으로 제거하기 위해, 스위칭 디바이스가 비트 라인(116) 또는 워드 라인(114)에 접속될 수 있다. 그럼에도 불구하고, 스위칭 디바이스의 통합은, 데이터 액세스에 대한 증가된 정확도를 허용할 수 있도록 메모리 셀들(110)의 교차 어레이에 추가적 선택 능력들을 제공할 수 있다.

[0015] 도 3은 일반적으로, 메모리(130)의 교차 어레이의 예시적인 동작을 도시한다. 동작 시에, 선택된 메모리 셀(132)을 통해 흐르는 전류는, 대응하는 저항 상태를 표시할 수 있는 전압을 생성한다. 다음으로, 선택된 메모리 셀(132)에 대한 논리 상태를 결정하기 위해, 이러한 저항 상태가 감지될 수 있다. 선택된 메모리 셀(132)에 접속된 비트 라인(138) 및 워드 라인(140)에 대응하는 비트 라인 구동기(134) 및 워드 라인 구동기(136)는 도시된 바와 같이, 전압을 측정하기 위해, 상이한 판독 전압들에 대해 전류가 하나의 라인 구동기로부터 메모리 셀(132)을 통해 다른 라인 구동기로 전달되도록 구성될 수 있다. 전류는 워드 라인(140)으로부터 비트 라인(138)으로 흐를 수 있기 때문에, 이러한 전류 경로는 오직 예시적임을 인식할 수 있다.

[0016] 또한 예시적인 동작 시에, 나머지 비선택된 메모리 셀들(142)은 비선택된 비트 라인들(144) 및 워드 라인들(146)에 잡음을 생성시키는 것을 회피하기 위해 5 Vcc와 같은 미리 결정된 전압으로 프리차지(precharge)될 수 있다. 도 3에 도시된 바와 같이, 비선택된 행 라인 구동기들(148) 및 비트 라인 구동기들(150)이 비선택된 메모리 셀들(142)을 프리차지하는데 이용될 수 있다.

[0017] 그러나, 메모리 셀들(130)의 교차 어레이의 동작은, 판독 동작들 동안 원하지 않는 누설 전류(152)의 존재와 같은 단점들을 가질 수 있다. 예를 들어, 원하지 않는 누설 전류(152)는, 워드 라인 구동기(136)에 의해 생성된 판독 전압과 프리차지된 비선택된 메모리 셀들(142) 사이의 전위차에 기인하여, 선택된 워드 라인(138)으로부터 생성될 수 있다. 이와 같이, 선택된 워드 라인(138)에 접속된 더 많은 수의 메모리 셀들은, 미리 결정된 메모리 셀(132)을 판독할 때 증가된 에러 확률을 초래할 수 있다.

[0018] 따라서, 원하지 않는 누설 전류(152)는, 전류가 메모리 셀들의 블록 및 열을 따라 미리 결정된 수의 메모리 셀들에 액세스하게 하고, 열을 따르는 다른 블록들 내의 나머지 메모리 셀들로의 액세스를 제한하도록 교차 어레이(130)에 선택 회로를 포함시킴으로써 판독 동작 동안 제어 및 감소될 수 있다. 메모리 셀들의 블록 및 각각의 열에 대한 글로벌 선택 라인과 글로벌 제어 라인 사이에 접속되는 블록 선택 소자의 추가는 이러한 바람직한 메모리 셀 선택을 제공할 수 있다. 즉, 메모리 셀들의 선택된 블록에 대응하는 블록 선택 소자를 제 1 저항 상태로 프로그래밍하는 것은 블록 내의 선택된 메모리로의 전류 액세스를 허용할 수 있다. 한편, 다른 블록들에 대응하는 블록 선택 소자들을 제 2 저항 상태로 프로그래밍함으로써, 전류가 다른 블록들 내의 선택된 열을 따라 메모리 셀들에 액세스하는 것이 제한될 수 있다.

[0019] 도 4는 도 3에 도시된 메모리 셀들의 교차 어레이에서 동작되는 메모리 셀의 특징들의 도식적 예시(150)를 제공한다. 동작 시에, 비저항 스위칭 디바이스로 구성되는 메모리 셀은, 미리 결정된 양의 전압이 존재하지 않으면 전류가 메모리 셀을 통해 흐르는 것을 제한함으로써 증가된 선택도를 제공한다. 도 3에 도시된 바와 같이, 스위칭 디바이스의 제한보다 작은 프리차지 전압은 원하지 않는 누설 전류(152)를 생성시킬 수 있다. 비선택된 메모리 셀들이 우연히 스위칭 디바이스의 제한에 도달할 때, 원하지 않는 누설 전류의 존재는 도 4의 포인트(152)에 대응한다. 이러한 이벤트들은 비선택된 메모리 셀들에 대해 스위칭 디바이스의 활성화 및 판독 전압들의 생성을 초래할 수 있다.

[0020] 도 5에서, 본 발명의 다양한 실시예들에 따라 구성되는 메모리 셀들의 예시적인 블록(160)이 도시되어 있다. 복수의 메모리 셀들(162)이, 배열된 행들 및 열들의 교차점에서 워드 라인들(164) 및 비트 라인들(166)에 접속된다. 다양한 실시예들에서, 비트 라인들(166)은 하나 또는 다수의 행 구동기들(168)에 의해 제어되는 한편,

워드 라인들(164)은 하나 또는 다수의 열 구동기들(170)에 의해 제어된다. 글로벌 제어 라인(174)과 글로벌 선택 라인(176) 사이에 접속되는 적어도 블록 선택 소자(172)를 포함하는 선택 회로의 추가에 의해, 메모리 셀들의 블록(160)에서, 원하지 않는 누선 전류의 존재가 감소될 수 있다.

[0021] 글로벌 제어 라인(174)의 제어는 적어도 하나의 글로벌 제어 라인 구동기들(178)에 의해 촉진될 수 있는 한편, 글로벌 선택 라인(176)은 적어도 하나의 선택 구동기(180)에 의해 제어된다. 글로벌 제어 라인 및 선택 구동기들(178 및 180)은 프로그램 전류를 원하는 소자(들)(172)을 통해 통과시킴으로써 하나의 또는 모든 블록 선택 소자들(172)에 제 1 또는 제 2 저항 상태를 프로그래밍하도록 구성될 수 있다. 그 결과, 블록(160)의 메모리 셀들(162)을 통과하는 전류는 오직 원하는 워드 라인(164)만이 전류를 수신하도록 조정될 수 있다. 예를 들어, 전류가 프로그래밍된 블록 선택 소자들(172)에 대응하는 워드 라인들(164)에 접속된 메모리 셀들(162)을 통과하는 것을 방지하기 위해, 글로벌 제어 라인들(174) 및 글로벌 선택 라인(176)을 통해 배타적으로 전송된 신호들을 통해, 비선택된 워드 라인들(164)의 블록 선택 소자들(172)에 높은 저항 상태가 프로그래밍될 수 있다.

[0022] 반대로, 블록 선택 소자(172)를 낮은 저항 상태로 프로그래밍하는 것은 프로그래밍된 블록 선택 소자(172)에 접속된 워드 라인(164)을 통해 전류가 흐르게 할 수 있다. 메모리 셀(162)로부터 논리 상태를 판독하는 동안, 전류는 글로벌 선택 라인(176)을 통과하는 것이 가능할 수 있다. 본 발명의 몇몇 실시예들은 각각의 워드 라인(164)과 글로벌 선택 라인(176) 사이에서 단류(uni-flow) 디바이스(182)의 접속을 이용하여 이러한 전류의 흐름을 방지한다. 도시된 바와 같이, 복수의 단류 디바이스들(182)은 각각의 워드 라인(164)에 직렬로 접속되고 반대 방향으로 배향될 수 있다. 이러한 단류 디바이스 배향은 다양한 실시예들에서 매직(magic) 다이오드로서 특징지어질 수 있음을 인식할 수 있다.

[0023] 메모리 셀들(160)의 어레이에서 각각의 메모리 셀(162)은 오직 RSE만을 가지는 것으로 도시되어 있지만, 원해지는 바와 같이, 스위칭 디바이스가 RSE 중 하나 또는 다수와 직렬로 접속될 수 있기 때문에, 이러한 구성은 제한적이 아님을 유의해야 한다. 유사하게, 블록 선택 소자들(172) 및 단류 디바이스들(182)의 배향은 도 5에 도시된 구성에 한정되지 않는다. 예를 들어, 개별적 제 2 글로벌 선택 라인(미도시)이 단류 디바이스에 의해 각각의 워드 라인(164)에 접속될 수 있는 한편, 블록 선택 소자(172)는 단류 디바이스(182)와 직렬로 원래의 글로벌 선택 라인(174)에 접속된다.

[0024] 도 6은 일반적으로 본 발명의 다양한 실시예들에 따라 구성되는 메모리 셀들의 어레이(190)를 도시한다. 도 5의 메모리 셀들의 블록(160)과 같은 메모리 셀들의 제 1 및 제 2 블록(192 및 194)은 공통 워드 라인들(164) 및 글로벌 제어 라인들(174)에 의해 접속되어 어레이(190)를 구성할 수 있다. 그러나, 본 발명의 사상을 유지하면서 메모리 셀들의 블록들이 다양한 방법들로 접속될 수 있기 때문에, 도시된 구성은 제한적이지 아니다.

[0025] 제 1 블록의 비트 라인들(166)에 접속되는 메모리 셀들의 선택은, 블록 1 행 구동기들(196), 제 1 블록 1 글로벌 선택 제어 라인(198), 제 2 블록 1 글로벌 선택 제어 라인(199), 및 블록 1 선택 소자들(200)의 프로그래밍된 상태의 조합에 의해 촉진될 수 있다. 그 결과, 오직 제 1 블록(192)의 특정한 워드 라인(164)의 메모리 셀들만이, 메모리 셀들의 제 1 블록(192)에 대응하는 블록 선택 소자들(200)의 저항 상태들의 특정한 프로그래밍 구성에 의해 액세스될 수 있다.

[0026] 다양한 실시예들에서, 이러한 프로그래밍 구성은, 제 1 또는 제 2 블록 1 글로벌 선택 제어 라인들(198 또는 199) 중 하나와 워드 라인(164) 사이에 접속되고 반대 방향으로 배향되는 복수의 단류 디바이스들(183)을 갖는다. 이 구성은, 전류가 메모리 셀들(162)로 우연히 흐르는 것을 방지하면서, 제 1 및 제 2 블록 1 글로벌 선택 라인들(198 및 199)이 블록 1로의 액세스 당 한번 활성화되게 할 수 있다. 반대로, 블록 2 행 구동기들(202), 제 1 블록 2 글로벌 선택 제어 라인(204), 제 2 블록 2 글로벌 선택 제어 라인(205), 및 제 2 블록(194)에 대응하는 블록 2 선택 소자들(206) 중 하나 또는 다수의 조합은, 전류가 제 1 블록 메모리 셀들을 통과하는 것을 배제하면서 오직 미리 결정된 제 2 블록 메모리 셀들만으로서의 액세스를 제공할 수 있다.

[0027] 도시된 바와 같이, 메모리 셀들의 어레이(190)는 다른 메모리 셀들(162)로의 액세스를 제한하면서, 미리 결정된 수의 메모리 셀들(162)로의 액세스를 허용하도록 구성될 수 있다. 그러나, 다양한 블록 선택 소자들(198 및 202)의 가능한 구성들이 제한되지 않는다. 예를 들어, 제 1 및 제 2 블록들(192 및 194) 모두로부터의 메모리 셀들은, 글로벌 제어 라인 구동기들(178)과 결합된 각각의 블록 1 및 블록 2 글로벌 선택 제어 라인들(198 및 204)에 의해, 대응하는 블록 1 및 블록 2 선택 소자들(200 및 206)의 구성들과 동시에 또는 연속적으로 액세스될 수 있다.

[0028] 또한, 도 6에 도시된 어레이(190)의 사이즈는 메모리 셀들의 행들, 열들 및 블록들의 다수의 구성들을 제한 또

는 한정하지 않는다. 즉, 메모리의 각각의 블록은 임의의 수의 워드 라인들, 비트 라인들, 메모리 셀들 및 글로벌 제어 라인들로 배향될 수 있다. 유사하게, 메모리 셀들의 블록들의 수는, 원해지는 바와 같이, 메모리 셀들의 어레이를 생성하도록 변환될 수 있다. 예를 들어, 메모리 셀들의 10개의 블록들이 공통 글로벌 제어 라인들을 통해 접속될 수 있고, 메모리 셀들의 블록들이 10개의 글로벌 제어 라인들을 가질 수 있기 때문에 워드 라인들은 오직 2개로 생성될 수 있다.

[0029] 요컨대, 메모리 셀들(190)의 어레이의 배향은 크게 변할 수 있지만, 선택 회로는 적어도, 메모리의 블록들의 수와 동일한 수의 글로벌 선택 제어 라인들 뿐만 아니라, 열들 및 메모리 셀들의 전체 블록들의 수와 동일한 수의 블록 선택 소자들을 포함한다. 메모리 셀들의 이러한 대안적 어레이의 동작의 예는 도 7에서 발견될 수 있다.

[0030] 본 발명의 다양한 실시예들에 따른 메모리 셀들의 어레이(210)의 예시적인 동작은 도 7에서 제공된다. 몇몇 실시예들에서, 판독할 특정 메모리 셀(212)의 선택은 선택된 비트 라인(214), 워드 라인(216), 블록(218), 글로벌 블록 1 선택 제어 라인(220), 글로벌 제어 라인(222) 및 블록 1 선택 소자(224)에 대응한다. 일단 워드 라인(216)에 접속된 글로벌 제어 라인(22)에 접속되는 블록 1 선택 소자(224)가 낮은 저항 상태로 프로그래밍되면, 판독 전류(226)는 선택된 메모리 셀(212)을 통과할 수 있다. 이러한 프로그래밍은, 프로그램 전류를 글로벌 블록 1 선택 제어 라인(220)으로부터 블록 1 선택 소자(224)를 통해 글로벌 제어 라인(222)으로 전달함으로써, 또는 그 역으로써, 촉진될 수 있다.

[0031] 추가의 다양한 실시예들에서, 선택된 블록 1 선택 소자(224)의 프로그래밍과 함께, 비선택된 블록 1 및 블록 2 선택 소자들(228)은 높은 저항 상태로 프로그래밍될 것이다. 비선택된 선택 소자들(230)의 프로그래밍은 다양한 시간들에서 달성될 수 있다. 즉, 모든 비선택된 선택 소자들(230)의 프로그래밍은, 원하지 않는 누설 전류가 비선택된 메모리 셀들(232)에 유도되는 것을 방지하기 위해, 글로벌 선택 제어 라인들에 의해 연속적으로 또는 동시에 수행될 수 있다. 이와 무관하게, 판독 전류(226)가 선택된 메모리 셀(212)을 통과할 때, 판독 전류(226)가 생성되기 전에 비선택된 선택 소자들(230)이 높은 저항 상태로 프로그래밍된 경우, 원하지 않는 누설 전류(232)는 크게 감소된다.

[0032] 그러나, 원하지 않는 누설 전류(234)의 나머지 양들이 존재할 수 있고, 도 3에 도시된 바와 같이, 전류가 흐르도록 구성되는 워드 라인(216)을 따른 다수의 메모리 셀들의 접속에 기인하여 판독 전류(226)에 영향을 줄 수 있음이 인식될 수 있다. 누설 전류의 나머지 양이 판독 전류(226)에 존재할 수 있지만, 전류를 누설하는 매우 적은 수의 메모리들은 선택된 메모리 셀(212)의 판독의 효율 또는 신뢰도에 실제로 영향을 주지 않을 것이다.

[0033] 도 7에 도시된 판독 동작은 오직 예시적이고, 범위, 지속기간 및 빈도에서 변형될 수 있음을 유의해야 한다. 이와 같이, 메모리 셀들(210)의 어레이는 하나의 또는 다수의 메모리 셀들을 통해 판독 전류를 통과시키도록 용이하고 빠르게 재구성될 수 있다. 이와 같은 효율은, 메모리의 블록을 따라 단일 글로벌 선택 제어 라인으로의 모든 블록 선택 소자들의 접속에 의해 보조될 수 있다. 따라서, 모든 블록 선택 소자들은 글로벌 선택 제어 라인들 및 글로벌 제어 라인들의 동시 또는 연속적 활성화에 의해 공통 저항 상태로 프로그래밍될 수 있다.

[0034] 도 8에서, 프로그래밍가능한 금속 셀(PMC)로서 구성된 예시적인 블록 선택 소자(240)가 본 발명의 다양한 실시예들에 따라 구성되는 것으로 도시되어 있다. 제 1 전극(242) 및 제 2 전극(244)은 금속층(246), 내장층(248) 및 유전체층(250)을 둘러싸고 있다. 제 1 및 제 2 전극들(242 및 244) 사이의 상대 전위는, 기록 전류(254)가 PMC(240)를 통과하고 필라멘트(256)를 형성하게 할 수 있도록 스위칭 디바이스(252)에 의해 조정될 수 있다.

[0035] PMC(240)를 통한 순(forward) 바이어스에 의해, 필라멘트(256)는, 금속층(246)으로부터의 이온들 및 제 2 전극(244)으로부터의 전자들의 이동에 의해, 내장층(248)에서의 금속층(246)과 제 2 전극(244) 사이의 접속을 형성한다. 또한, 유전체층(250)은, 형성된 필라멘트(256)의 위치를 포함하도록, 제 2 전극(244)으로부터 내장층(248)으로의 작은 영역의 가능한 전자 이동을 포커싱한다. 금속층(246)에 대한 내장층(248)의 결과적 저항 관계는 형성된 필라멘트(256)의 존재에 따라 높거나 낮은 저항 상태의 존재를 통해 PMC(240)의 논리 상태를 정의한다.

[0036] 동작 시에, 전류 펄스(254)의 역(reverse) 바이어스 방향은 이전에 형성된 필라멘트(256)의 소멸을 초래한다. 소멸은, 전극들의 극성화를 반전시키고 이온들이 전극들(244 및 246)로 이동하게 함으로써 촉진된다. 상이한 저항 상태를 설정하기 위한 포지티브 또는 네거티브 극성을 갖는 전류들의 이용은 PMC(240)의 바이폴라 성질을 나타낸다.

[0037] 몇몇 실시예들에서, PMC(240)는 전류 펄스를 형성하는 필라멘트 및 펄스를 소멸시키는 필라멘트가 도 8에 도시된 펄스들의 반대가 되도록 반대 순서로 구성된다. 또한 몇몇 실시예들에서, 전류 펄스(254)의 방향은, 필라멘

트(256)를 형성하는 금속 이온들의 이동 방향에 반대일 수 있다.

- [0038] 또한 몇몇 실시예들에서, 내장층(248)은 프라세오디뮴(praseodymium), 칼슘, 망간 및 산소 PrCaMnO (PCMO)의 박막 합성물로 구성된다. PMC(240) 내의 PCMO의 적용 및 기능은 저항 상태들을 저장하거나 바이폴라 특성들에 의해 스위칭 디바이스로서 구성될 수 있는 능력을 실질적으로 변경시키지 않는다.
- [0039] 도면들 전체에 걸쳐 도시된 다양한 메모리 셀들은 특정한 유형 또는 구성으로 한정되지 않음을 유의해야 한다. 예를 들어, 도 5의 메모리 셀(162)과 같은 메모리 셀은, 제 1 전극층 및 제 2 전극층 사이에 배치되는 저항 저장층을 포함하는 저항성 랜덤 액세스 메모리(RRAM) 셀로서 구성될 수 있다. RRAM 셀은, 통상적으로 높은 전기 저항성을 갖는 (마그네슘 산화물 MgO와 같은) 산화물일 수 있는 저장층의 조성 및 특성들에 기인하여 본질적으로 높은 저항값을 갖는다.
- [0040] 그러나, 미리 결정된 펄스가 인가되는 경우, 미리 결정된 양의 전류가 저장층을 통과하고 하나 이상의 필라멘트들이 저장층에 형성되도록 낮은 저항값이 생성된다. 형성된 필라멘트는 제 1 전극층과 제 2 전극층을 전기적으로 상호접속시키도록 기능한다. 필라멘트 형성 프로세스는 일반적으로 층들의 각각의 조성들에 의존할 것이지만, 일반적으로, 필라멘트는 선택된 전극층으로부터 산화물 저장층으로의 제어된 금속 이동(예를 들어, Ag 등)을 통해 형성될 수 있다.
- [0041] 메모리 셀을 통한 증가된 전류의 전압 펄스의 연속적 인가는 일반적으로, 저장층으로부터의 금속이 연관된 전극층들로 다시 돌아가게 하여, 저장층으로부터 필라멘트를 제거하고, 메모리 셀(260)을 초기의 높은 저항 상태로 리턴시킬 것이다. 몇몇 실시예들에서, 전압의 이러한 인가는 스위칭 디바이스의 선택에 의해 촉진될 수 있다.
- [0042] 메모리 셀의 또 다른 가능한 구성은 스핀-토크 전달 랜덤 액세스 메모리(STRAM)일 수 있다. 이러한 메모리 셀에서, 고정 기준층 및 프로그래밍가능한 자유층(기록층)은 사이에 긴 터널링(배리어)층에 의해 분리된다. 기준층은 화살표로 도시된 바와 같이, 선택된 방향에서 고정된 자기 배향을 갖는다. 자유층은, 기준층의 선택된 방향과 평행 또는 역평행이 될 수 있는 선택적으로 프로그래밍가능한 자기 배향을 갖는다.
- [0043] STRAM 셀에 대한 저저항 상태는, 자유층의 자화가 기준층의 자화와 실질적으로 동일한 방향(평행)으로 배향되는 경우 달성될 수 있다. 셀을 평행한 저저항 상태로 배향하기 위해, 기준층의 자화 방향이 자유층의 자기 배향을 설정하도록 기록 전류가 셀을 통과한다. 전자들은 전류의 방향과 반대인 방향으로 흐르기 때문에, 기록 전류 방향은 자유층으로부터 기준층으로 통과하고, 전자들은 기준층으로부터 자유층으로 이동한다.
- [0044] 반대로, 셀에 대한 고저항 상태는, 자유층의 자화 방향이 기준층의 자화 방향과 실질적으로 반대인 역평행 배향으로 구축될 수 있다. 셀을 역평행 저저항 상태로 배향하기 위해, 스핀 분극된 전자들이 반대 방향에서 자유층으로 흐르도록 기록 전류는 기준층으로부터 자유층으로 셀을 통과한다.
- [0045] 메모리 셀(280)의 어레이의 대안적 실시예가 도 9에 도시되어 있다. 복수의 워드 라인들(282)이 단일 글로벌 제어 라인(284)에 접속될 수 있다. 도시된 바와 같이, 각각의 글로벌 제어 라인(284)은 블록 선택 소자(286)를 통해 다수의 워드 라인들(282)에 접속될 수 있다. 또한, 각각의 워드 라인(282)은 각각 메모리 셀(288) 및 비트 라인(290)에 접속될 수 있다. 블록 선택 소자들(286) 중 미리 결정된 하나의 또는 다수의 선택은, 각각의 워드 라인(282)에 접속된 단류 디바이스(294) 및 글로벌 선택 제어 라인(292) 중 하나 이상에 의해 촉진될 수 있다. 그 결과, 미리 결정된 메모리 셀들을 통한 전류의 바람직한 선택 및 제한을 제공하면서, 메모리 셀들의 어레이(280)에 존재하는 글로벌 제어 라인들의 수가 감소될 수 있다.
- [0046] 그러나, 도시된 바와 같이, 단류 디바이스들(294) 및 글로벌 선택 제어 라인들(292)의 수 및 배향은 변할 수 있음을 유의해야 한다. 예를 들어, 제 1 글로벌 제어 라인(GCL1)을 제 1 워드 라인(WL1)(282)에 접속시키기 위해, GCL1(284)이 고전압으로 설정되면서, 제 1 글로벌 선택 제어 라인(SEL1)이 저전압으로 설정될 수 있다. 반대로, SEL1을 저전압으로 설정하고 GCL2를 고전압으로 설정하는 것은, GCL2를 제 5 워드 라인(WL5)에 접속시킬 수 있다. 본 발명의 다른 실시예들에서, 글로벌 선택 제어 라인들(292)은, 글로벌 제어 라인들(284)을 워드 라인들(282)에 접속시키는 복수의 단류 디바이스들(294)에 커플링될 수 있다.
- [0047] 도 10은 본 발명의 다양한 실시예들에 따라 수행되는 데이터 관독 루틴(300)의 흐름도를 제공한다. 데이터 관독 루틴(300)은 초기에, 단계(302)에서 열들 및 행들로 배열되는 메모리 셀들의 교차 어레이를 제공한다. 후속하여 단계(304)에서, 미리 결정된 메모리 셀에 대응하는 선택된 블록 선택 소자가 글로벌 제어 라인들 및 글로벌 선택 제어 라인들에 의해 제 1 저항 상태로 프로그래밍된다. 단계(306)에서, 비선택된 메모리 셀들에 대응하는 나머지 비선택된 블록 선택 소자들은 글로벌 제어 라인들 및 글로벌 선택 제어 라인들에 의해 제 2 저항 상태로 프로그래밍된다. 단계들(304 및 306)의 타이밍은 제한되지 않고, 단계들은 임의의 순서로 동시에 또는

연속적으로 수행될 수 있음을 인식해야 한다.

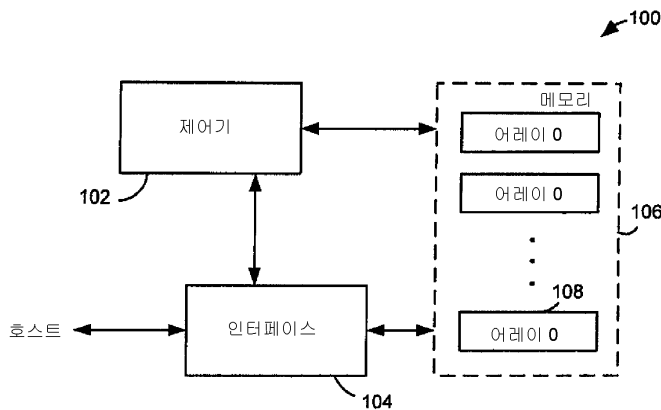
[0048] 또한, 단계(308)에서, 판독 전류에 의해 미리 결정된 메모리 셀로부터 측정된 전압은 그 선택된 워드 라인을 따라 비선택된 메모리 셀들에 의해 생성된 누설 전류의 양을 포함할 수 있다. 후속적으로, 단계(310)에서, 미리 결정된 메모리 셀의 논리 상태를 결정하기 위해, 측정된 전압이 평가된다. 마지막으로, 단계(312)에서, 전류가 임의의 메모리 셀들을 통과하는 것을 제한하기 위해, 선택된 블록 선택 소자가 제 2 저항 상태로 재프로그래밍된다.

[0049] 이 분야의 당업자에 의해 인식될 수 있는 바와 같이, 본 명세서에 예시된 다양한 실시예들은 효율적 방식으로 메모리 셀로부터 데이터의 바람직한 판독을 제공한다. 전류가 열을 따라 오직 미리 결정된 수의 메모리 셀들만을 통과하도록 블록 선택 소자들을 이용하는 것은, 원하지 않는 누설 전류의 감소를 허용하여, 메모리 어레이 동작의 증가된 신뢰도를 달성하게 한다. 다수의 글로벌 제어 라인들에 의해, 기능적 대역폭 및 데이터 스트루트를 제공하도록, 메모리 셀들의 특정한 행들, 열들 및 블록들로의 액세스가 효율적으로 조정될 수 있다. 그러나, 본 명세서에서 논의되는 다양한 실시예들은 다수의 잠재적 적용들을 갖고, 특정한 분야의 전자 매체 또는 특정한 유형의 데이터 저장 디바이스들로 제한되지 않음이 인식될 것이다.

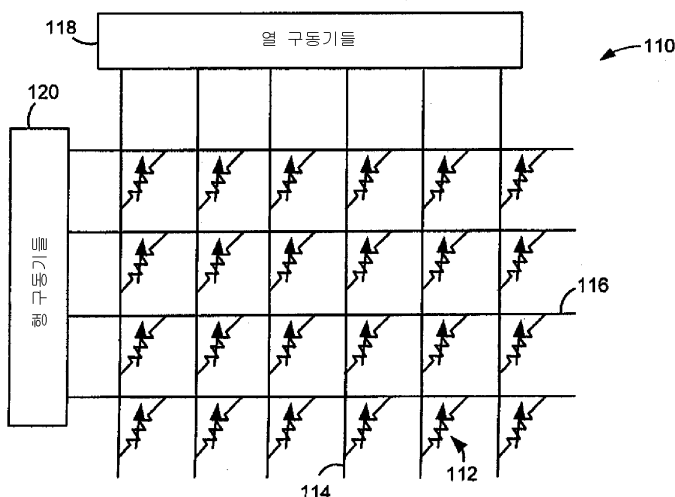
[0050] 전술한 설명에서 본 발명의 다양한 실시예들의 구조 및 기능에 대한 세부사항들과 함께 본 발명의 다양한 실시예들의 다수의 특징들 및 이점들이 기술되었지만, 이 상세한 설명은 오직 예시적이고, 상세하게는, 특히, 본 발명의 원리들 내의 부분들의 구조 및 어레이먼트들의 측면에서, 첨부된 청구항들이 표현되는 용어들의 광의의 일반적 의미에 의해 표시되는 전체 범위까지 변경들이 행해질 수 있음이 이해되어야 한다.

도면

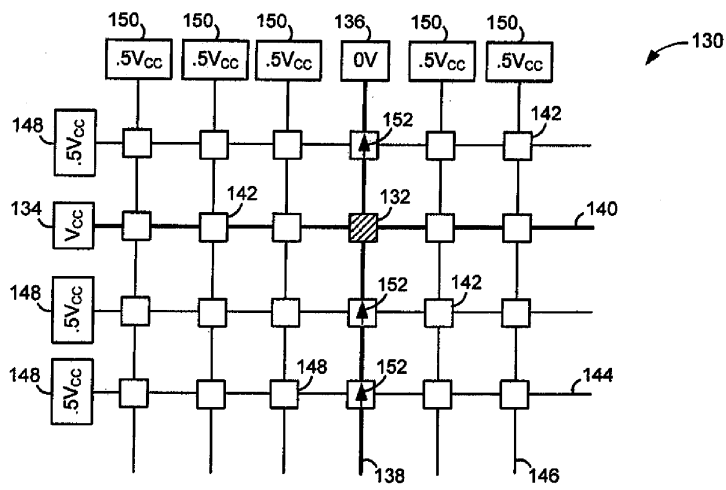
도면1



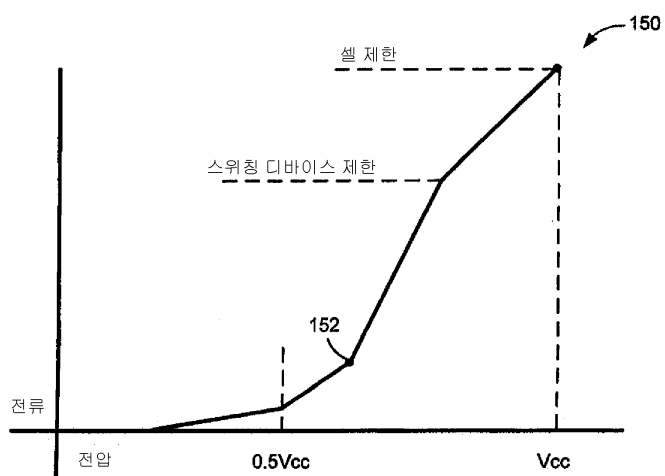
도면2



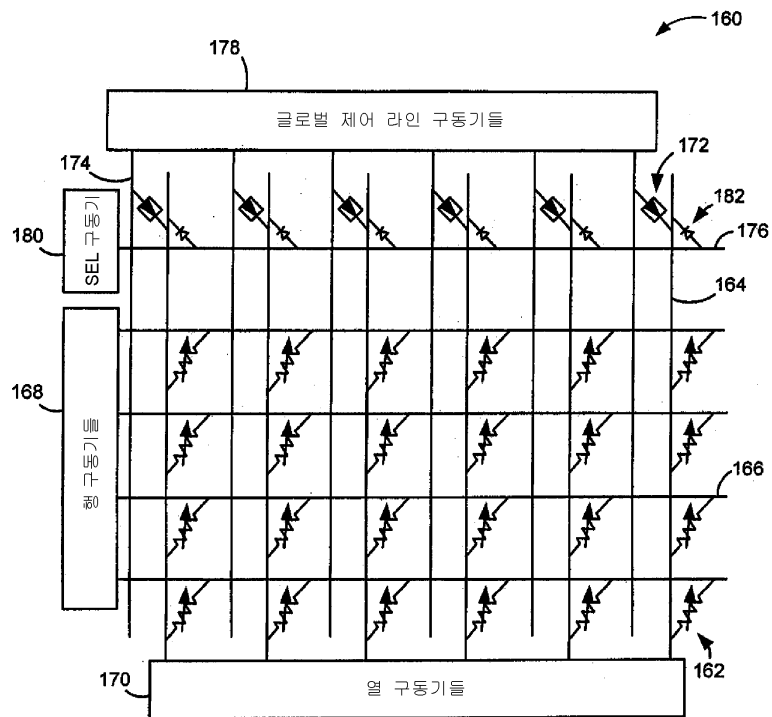
도면3



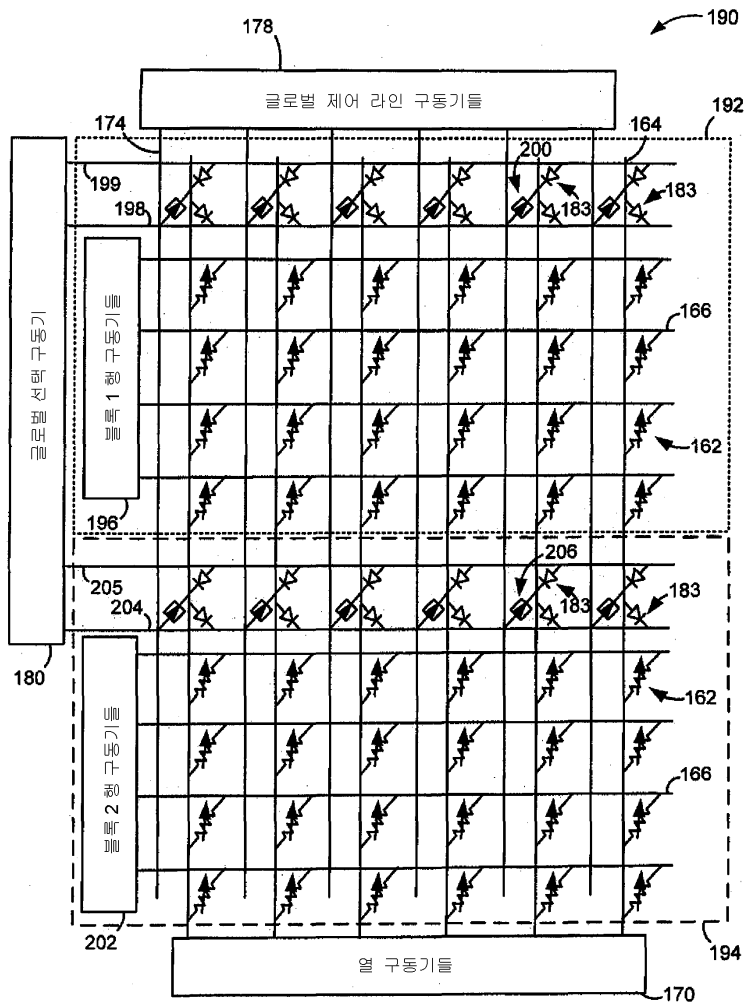
도면4



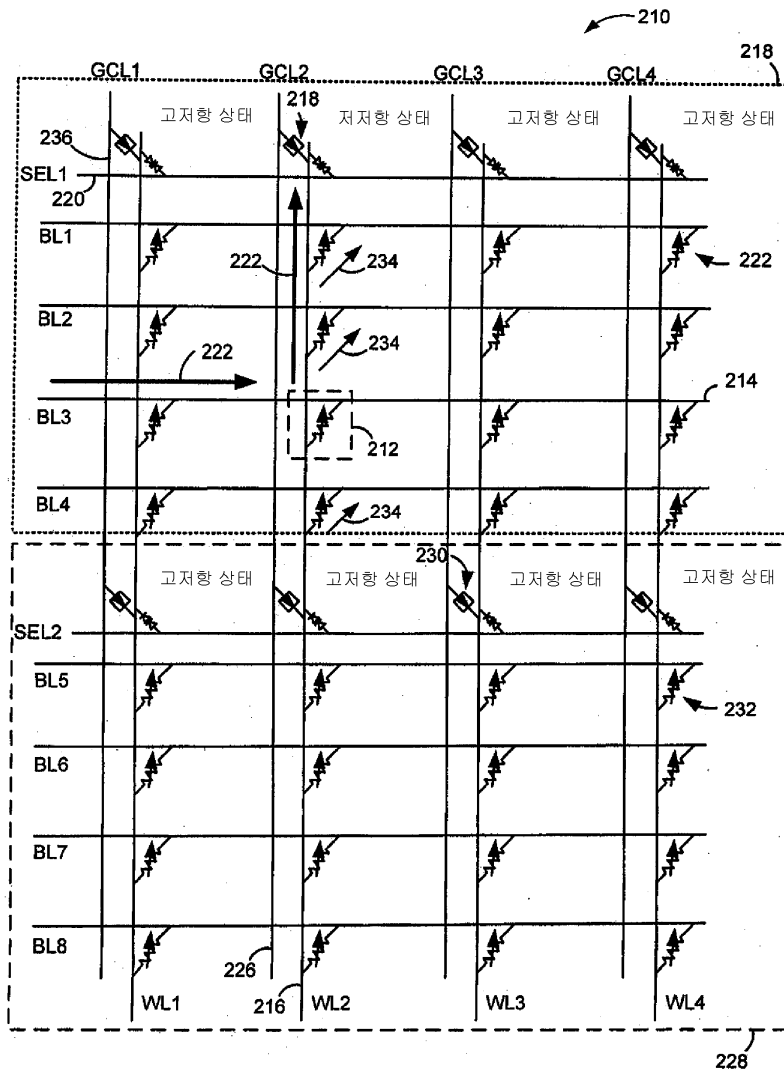
도면5



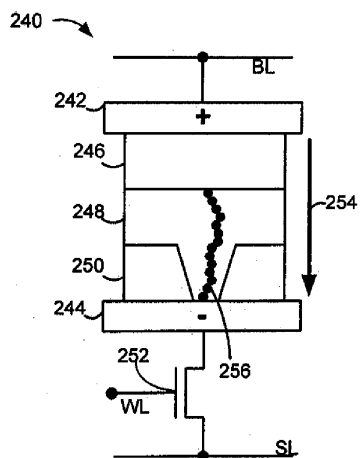
도면6



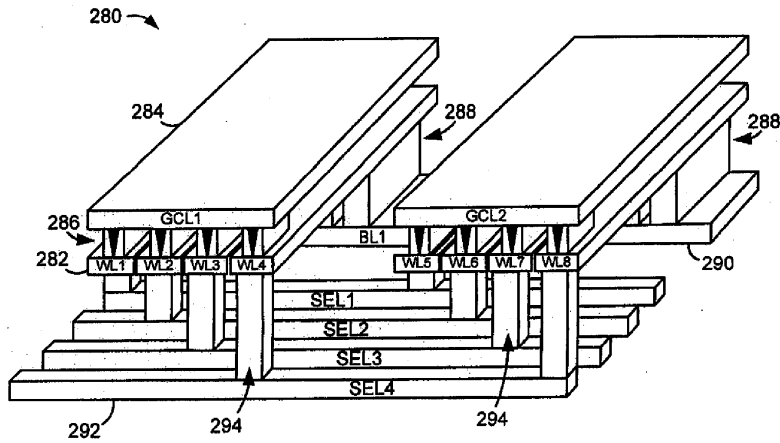
도면7



도면8



도면9



도면10

