

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-86640
(P2010-86640A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード(参考)
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 D	5 C 0 0 6
G 0 9 G 3/36 (2006.01)	G 1 1 C 19/00 J	5 C 0 8 0
G 0 9 G 3/20 (2006.01)	G 1 1 C 19/00 C	
	G 0 9 G 3/36	
	G 0 9 G 3/20 6 2 2 E	
審査請求 未請求 請求項の数 16 O L (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2008-257904 (P2008-257904)
(22) 出願日 平成20年10月3日 (2008.10.3)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 飛田 洋一
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
Fターム(参考) 5C006 AC22 BF03 FA11
5C080 AA10 BB05 DD08 FF12 JJ02
JJ03

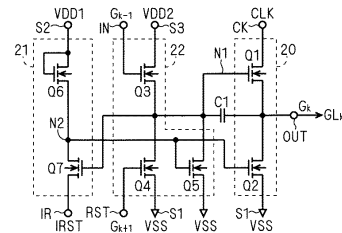
(54) 【発明の名称】 シフトレジスタ回路

(57) 【要約】

【課題】出力信号の立ち上がり速度の低下を伴わない初期化回路を有するシフトレジスタを提供する。

【解決手段】単位シフトレジスタSRは、出力端子OUTに供給するトランジスタQ1と、トランジスタQ1のゲートが接続するノードN1を充電するトランジスタQ3と、ノードN1を放電するトランジスタQ5を備える。プルダウン駆動回路部21は、通常動作時には、ノードN1のレベル変化に応じてトランジスタQ5を駆動するが、所定の初期リセット信号IRSTが活性化したときは、ノードN1のレベルに関わらず、トランジスタQ5をオン状態にする。それにより当該単位シフトレジスタSRの各ノードは所定のレベルに初期化される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

入力端子、出力端子およびクロック端子と、

前記クロック端子に入力されるクロック信号を前記出力端子に供給する第 1 トランジスタと、

前記入力端子に入力される入力信号の活性化に応じて前記第 1 トランジスタの制御電極が接続する第 1 ノードを充電する第 2 トランジスタと、

前記第 1 ノードを放電する第 3 トランジスタと、

前記第 1 ノードまたは前記出力端子の信号を受ける入力ノードを有し、当該入力ノードのレベル変化に応じて前記第 3 トランジスタを駆動する駆動回路とを備え、

10

前記駆動回路は、

所定の初期リセット信号が活性化したときは、前記入力ノードのレベルに関わらず、前記第 3 トランジスタをオン状態にする

ことを特徴とするシフトレジスタ回路。

【請求項 2】

請求項 1 記載のシフトレジスタ回路であって、

前記駆動回路は、

前記初期リセット信号が供給される初期リセット端子と、

負荷素子を介して電源に接続する第 2 ノードと前記初期リセット端子との間に接続され、前記入力ノードのレベルにより制御される駆動素子とを備え、

20

前記第 2 ノードの信号が、前記第 3 トランジスタの制御電極に供給される

ことを特徴とするシフトレジスタ回路。

【請求項 3】

請求項 2 記載のシフトレジスタ回路であって、

前記駆動回路において、

前記入力ノードは、前記第 1 ノードに接続され、

前記第 2 ノードは、前記第 3 トランジスタの制御電極に接続されている

ことを特徴とするシフトレジスタ回路。

【請求項 4】

請求項 3 記載のシフトレジスタ回路であって、

30

前記駆動回路において、

前記第 2 ノードの信号は、プッシュプル型のバッファ回路を介して前記第 3 トランジスタの制御電極に供給されている

ことを特徴とするシフトレジスタ回路。

【請求項 5】

請求項 4 記載のシフトレジスタ回路であって、

前記バッファ回路は、

前記電源と前記第 3 トランジスタの制御電極との間に接続され、前記第 2 ノードのレベルにより制御されるプッシュ素子と、

前記第 3 トランジスタの制御電極と前記初期リセット端子との間に接続され、前記駆動回路の前記入力ノードのレベルにより制御されるプル素子とを備える

40

ことを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 2 から請求項 5 のいずれかが記載のシフトレジスタ回路であって、

前記入力信号の活性化に応じて、前記第 2 ノードを放電する第 4 トランジスタをさらに備える

ことを特徴とするシフトレジスタ回路。

【請求項 7】

請求項 1 から請求項 6 のいずれかが記載のシフトレジスタ回路であって、

前記初期リセット信号は、

50

電源投入直後の一定期間活性化されるパルス信号であることを特徴とするシフトレジスタ回路。

【請求項 8】

請求項 7 記載のシフトレジスタ回路であって、
電源投入から前記初期リセット信号の活性期間が終わるまでは、前記入力信号および前記クロック信号は非活性化されている
ことを特徴とするシフトレジスタ回路。

【請求項 9】

複数のシフトレジスタ回路が縦続接続して成る多段のシフトレジスタ回路であって、
前記多段の各段は、
請求項 1 から請求項 6 のいずれか記載のシフトレジスタ回路であり、
前記初期リセット信号は、
前記多段のシフトレジスタ回路に信号のシフトを開始させるためのスタートパルスである
ことを特徴とするシフトレジスタ回路。

10

【請求項 10】

請求項 9 記載のシフトレジスタ回路であって、
電源投入から最初の前記スタートパルスの活性期間が終わるまでは、前記クロック信号は非活性化されている
ことを特徴とするシフトレジスタ回路。

20

【請求項 11】

請求項 9 または請求項 10 記載のシフトレジスタ回路であって、
電源投入後、最初の前記スタートパルスのパルス幅は、その後の通常動作におけるパルス幅よりも広い
ことを特徴とするシフトレジスタ回路。

【請求項 12】

複数のシフトレジスタ回路が縦続接続して成り、信号のシフト方向を順方向および逆方向に切り替え可能な多段のシフトレジスタ回路であって、
前記多段の各段は、
請求項 2 記載のシフトレジスタ回路であり、
順方向シフトを開始させるための第 1 スタート信号および逆方向シフトを開始させるための第 2 スタート信号のいずれか片方が、前記初期リセット信号として用いられ、
前記各段において、
前記駆動回路の前記入力ノードは、前記第 1 ノードに接続されている
ことを特徴とするシフトレジスタ回路。

30

【請求項 13】

請求項 2 記載のシフトレジスタ回路であって、
前記駆動回路において、
前記入力ノードは、前記出力端子に接続され、
前記第 2 ノードは、前記第 3 トランジスタの制御電極に接続されている
ことを特徴とするシフトレジスタ回路。

40

【請求項 14】

請求項 13 記載のシフトレジスタ回路であって、
前記駆動回路は、
前記入力信号をさらに受け、
前記第 2 ノードを、前記入力信号の活性化に応じて非活性化させ、前段出力信号の非活性化に応じて活性化させる
ことを特徴とするシフトレジスタ回路。

【請求項 15】

請求項 2 記載のシフトレジスタ回路であって、

50

前記駆動回路において、
前記電源として前記クロック信号が供給されており、
前記負荷素子は容量素子である
ことを特徴とするシフトレジスタ回路。

【請求項 16】

請求項 15 記載のシフトレジスタ回路であって、
前記駆動回路は、
前記初期リセット端子に接続した制御電極を有し、当該初期リセット端子と前記第 2 ノードとの間に接続する第 5 トランジスタをさらに備える
ことを特徴とするシフトレジスタ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査線駆動回路に関するものであり、特に、例えば画像表示装置やイメージセンサなどの電気光学装置に使用される、同一導電型の電界効果トランジスタのみを用いて構成される走査線駆動回路に関するものである。

【背景技術】

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の 1 水平期間（1 H 期間）の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の 1 フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。

20

【0003】

ゲート線駆動回路としてのシフトレジスタは、1 つの画素ラインすなわち 1 つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）して構成される。本明細書では、ゲート線駆動回路を構成する複数のシフトレジスタ回路の各々を「単位シフトレジスタ」と称する。即ち、ゲート線駆動回路を構成する個々の単位シフトレジスタの出力端子は、対応するゲート線に接続されるだけでなく、その次段あるいは後段の単位シフトレジスタの入力端子に接続される。

30

【0004】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみを用いて構成されることが望ましい。このため、N 型または P 型の電界効果トランジスタのみを用いて構成されたシフトレジスタ、およびそれを搭載する表示装置が種々提案されている（例えば、下記の特許文献 1 - 3）。

【0005】

【特許文献 1】特開 2007 - 94415 号公報

【特許文献 2】特開 2004 - 157508 号公報

【特許文献 3】特開 2006 - 24350 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献 1 の図 4 に、従来単位シフトレジスタの回路図が示されている。当該単位シフトレジスタは 2 つの出力端子（OUT 1, OUT 2）から交互に信号を出力するよう構成されている点で特殊であるが、その主要部は基本的な単位シフトレジスタの構成である。

【0007】

当該単位シフトレジスタの出力信号は、出力プルアップ用のトランジスタ T 1 を通して

50

クロック信号（LCK1あるいはLCK2）が出力端子に供給されることによって活性化される。特にゲート線駆動回路に用いられる単位シフトレジスタは、出力信号を用いて大きな負荷容量となるゲート線を駆動するため、トランジスタT1には大きな駆動能力（電流を流す能力）が要求される。そのためトランジスタT1のオン抵抗は非常に低く設定される。

【0008】

シフトレジスタの通常動作（信号のシフト動作）では、縦続接続した複数の単位シフトレジスタの出力信号が1つずつ順番に活性化されるように、各段のトランジスタT1は順番にオンになる。しかし、例えば電源投入直後など、回路の各ノードの電位が不定の状態では、複数の単位シフトレジスタのトランジスタT1が同時にオン状態になる場合があり、そのときクロック信号が活性化すると、オン抵抗の低い複数のトランジスタT1を通して、過大な電流が流れるため好ましくない。

10

【0009】

特許文献1の図4の単位シフトレジスタではその対策が図られている。即ち、当該単位シフトレジスタでは、トランジスタT1のゲートとゲートオフ電圧Voffの配線との間に、初期化信号INTで制御されるトランジスタT6が接続される。通常動作の前には、初期化信号INTを用いて全ての単位シフトレジスタのトランジスタT6が一旦オンにされる。それにより、全ての単位シフトレジスタにおいて、トランジスタT1のゲート電位がゲートオフ電圧線Voffに初期化され、不定状態から脱する。その結果、全てのトランジスタT1がオフになるため、クロック信号LCK1、LCK2が活性化しても、複数のトランジスタT1を通して過大な電流が流れることはない。

20

【0010】

一方、特許文献1の図4の単位シフトレジスタでは、初期化回路としてのトランジスタT6が設けられたことによる弊害も考えられる。以下それを説明する。

【0011】

当該単位シフトレジスタにおいて、出力信号が活性化される時、トランジスタT1のゲート・ソース間に接続したキャパシタC3を介する結合により、トランジスタT1のゲート電位が上昇する。これによりトランジスタT1のゲート・ソース間電圧が高く維持されるので、トランジスタT1のオン抵抗を低く維持でき、出力信号の立ち上がり速度の低下が防止される。この効果は、トランジスタT1のゲート電位の上昇が大きいほど向上するので、トランジスタT1のゲートが接続するノードの寄生容量は小さいことが好ましい。

30

【0012】

しかし当該単位シフトレジスタでは、上で説明したトランジスタT6が設けられているため、トランジスタT1のゲートが接続するノードの寄生容量が、当該トランジスタT6のドレイン・ゲート間容量分だけ大きくなる。その結果、出力信号の活性化時にトランジスタT1のゲート電位が十分に上昇されなくなると、トランジスタT1の駆動能力が低下するため、出力信号の立ち上がり速度が低下するという問題が生じる。

【0013】

またトランジスタT6が設けられることで回路面積が増大することも、もう一つの問題として挙げられる。

40

【0014】

本発明は以上のような課題を解決するためになされたものであり、出力信号の立ち上がり速度の低下を伴わない初期化回路を有するシフトレジスタを提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明に係るシフトレジスタ回路は、入力端子、出力端子およびクロック端子と、前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、前記入力端子に入力される入力信号の活性化に応じて前記第1トランジスタの制御電極が

50

接続する第1ノードを充電する第2トランジスタと、前記第1ノードを放電する第3トランジスタと、前記第1ノードまたは前記出力端子の信号を受ける入力ノードを有し、当該入力ノードのレベル変化に応じて前記第3トランジスタを駆動する駆動回路とを備え、前記駆動回路は、所定の初期リセット信号が活性化したときは、前記入力ノードのレベルに関わらず、前記第3トランジスタをオン状態にするものである。

【発明の効果】

【0016】

本発明に係るシフトレジスタ回路は、初期リセット信号に応じて第1ノードが非活性レベルに初期化することができる。よって第1トランジスタはオフ状態になり、通常動作の開始前にクロック信号が活性化しても、第1トランジスタを通して過大な電流が流れることを防止できる。

10

【0017】

また第1ノードのレベルの初期化は、駆動回路が初期リセット信号に応じて、第3トランジスタをオンにすることで実行される。第3トランジスタは、通常動作の非選択時に第1ノードを非活性レベルに固定するためのものであり、従来のシフトレジスタ回路も有していたものである。つまり本発明では、第1ノードに初期化のための回路素子を新たに接続させる必要が無い。よって第1ノードの寄生容量は、従来の単位シフトレジスタと同じである。従って、出力信号の活性化時における第1ノードの昇圧効果は低減されず、第1トランジスタのオン抵抗の上昇は伴わない。従って、出力信号の活性化の速度（出力端子の充電速度）の低下を防止できる。

20

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0019】

また、各実施の形態に用いられるトランジスタは、絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜中の電界により半導体層内のドレイン領域とソース領域との間の電気伝導度が制御される。ドレイン領域およびソース領域が形成される半導体層の材料としては、ポリシリコン、アモルファスシリコン、ペ

30

【0020】

よく知られているように、トランジスタは、それぞれ制御電極（狭義にはゲート（電極））と、一方の電流電極（狭義にはドレイン（電極）またはソース（電極））と、他方の電流電極（狭義にはソース（電極）またはドレイン（電極））とを含む少なくとも3つの電極を有する素子である。トランジスタはゲートに所定の電圧を印加することによりドレインとソース間にチャンネルが形成されるスイッチング素子として機能する。トランジスタのドレインとソースは、基本的に同一の構造であり、印加される電圧条件によって互いにその呼称が入れ代わる。例えば、N型トランジスタであれば、相対的に電位の高い電極をドレイン、低い電極をソースと呼称する（P型トランジスタの場合はその逆となる）。

40

【0021】

特に示さない限り、それらのトランジスタは半導体基板上に形成されるものであってもよく、またガラスなどの絶縁性基板上に形成される薄膜トランジスタ（TFET）であってもよい。トランジスタが形成される基板としては、単結晶基板あるいはSOI、ガラス、樹脂などの絶縁性基板であってもよい。

【0022】

本発明のゲート線駆動回路は、単一導電型のトランジスタのみを用いて構成される。例えばN型トランジスタは、ゲート・ソース間電圧が当該トランジスタのしきい値電圧よりも高いH（ハイ）レベルになると活性状態（オン状態、導通状態）となり、同じきい値電

50

圧よりも低いL（ロー）レベルで非活性状態（オフ状態、非導通状態）となる。そのためN型トランジスタを用いた回路においては信号のHレベルが「活性レベル」、Lレベルが「非活性レベル」となる。また、N型トランジスタを用いて構成した回路の各ノードは、充電されてHレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてLレベルになることで、活性レベルから非活性レベルへの変化が生じる。

【0023】

逆にP型トランジスタは、ゲート・ソース間電圧がトランジスタのしきい値電圧（ソースを基準として負の値）よりも低いLレベルになると活性状態（オン状態、導通状態）となり、同じしきい値電圧よりも高いHレベルで非活性状態（オフ状態、非導通状態）となる。そのためP型トランジスタを用いた回路においては信号のLレベルが「活性レベル」、Hレベルが「非活性レベル」となる。また、P型トランジスタを用いて構成した回路の各ノードは、充電・放電の関係がN型トランジスタの場合と逆になり、充電されてLレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてHレベルになることで、活性レベルから非活性レベルへの変化が生じる。

10

【0024】

また本明細書においては、二つの素子間、二つのノード間あるいは一の素子と一のノードとの間の「接続」とはその他の要素（素子やスイッチなど）を介しての接続であるが実質的に直接接続されているのと等価な状態を含むものとして説明する。例えば二つの素子がスイッチを介して接続している場合であっても、それらが直接接続されているときと同一に機能できるような場合には、その二つの素子が「接続している」と表現する。

20

【0025】

本発明においては、互いに位相の異なるクロック信号（多相クロック信号）が用いられる。以下では説明の簡単のため、一のクロック信号の活性期間とその次に活性化するクロック信号の活性期間との間に一定の間隔を設けている（例えば図5の時刻 $t_6 \sim t_7$ の間隔）。しかし本発明では各クロック信号の活性期間が実質的に重ならなければよく、上記の間隔は無くてもよい。例えば活性レベルをHレベルとすると、一のクロック信号の立ち下がりタイミングとその次に活性化するクロック信号の立ち上がりタイミングとが同時であってもよい（例えば図21の時刻 t_3 ）。

【0026】

<実施の形態1>

図1は、本発明の実施の形態1に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置100の全体構成を示している。なお、本発明のゲート線駆動回路は液晶表示装置に限定されず、エレクトロルミネッセンス（EL）、有機EL、プラズマディスプレイ、電子ペーパー、イメージセンサなどの電気光学装置に適用することも可能である。

30

【0027】

液晶表示装置100は、液晶アレイ部10と、ゲート線駆動回路（走査線駆動回路）30と、ソースドライバ40とを備える。後の説明により明らかになるが、本発明の実施の形態に係るゲート線駆動信号生成回路は、ゲート線駆動回路30に搭載される。

【0028】

液晶アレイ部10は、行列状に配設された複数の画素15を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 $GL_1, GL_2 \dots$ （総称「ゲート線GL」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 $DL_1, DL_2 \dots$ （総称「データ線DL」）がそれぞれ設けられる。図1には、第1行の第1列および第2列の画素15、並びにこれに対応するゲート線 GL_1 およびデータ線 DL_1, DL_2 が代表的に示されている。

40

【0029】

各画素15は、対応するデータ線DLと画素ノード N_p との間に設けられる画素スイッチ素子16と、画素ノード N_p および共通電極ノード N_C の間に並列に接続されるキャパシタ17および液晶表示素子18とを有している。画素ノード N_p と共通電極ノード N_C

50

との間の電圧差に応じて、液晶表示素子 18 中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子 18 の表示輝度が変化する。これにより、データ線 DL および画素スイッチ素子 16 を介して画素ノード Np へ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノード Np と共通電極ノード Nc との間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

【0030】

ゲート線駆動回路 30 は、所定の走査周期に基づき、ゲート線 GL を順に選択して駆動する。画素スイッチ素子 16 のゲート電極は、それぞれ対応するゲート線 GL と接続される。特定のゲート線 GL が選択されている間は、それに接続する各画素において、画素スイッチ素子 16 が導通状態になり画素ノード Np が対応するデータ線 DL と接続される。そして、画素ノード Np へ伝達された表示電圧がキャパシタ 17 によって保持される。一般的に、画素スイッチ素子 16 は、液晶表示素子 18 と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成される TFT で構成される。

10

【0031】

ソースドライバ 40 は、N ビットのデジタル信号である表示信号 SIG によって段階的に設定される表示電圧を、データ線 DL へ出力するためのものである。ここでは一例として、表示信号 SIG は 6 ビットの信号であり、表示信号ビット DB0 ~ DB5 から構成されるものとする。6 ビットの表示信号 SIG に基づくと、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R (Red)、G (Green) および B (Blue) の 3 つの画素により 1 つのカラー表示単位を形成すれば、約 26 万色のカラー表示が可能となる。

20

【0032】

また、図 1 に示すように、ソースドライバ 40 は、シフトレジスタ 50 と、データラッチ回路 52, 54 と、階調電圧生成回路 60 と、デコード回路 70 と、アナログアンプ 80 とから構成されている。

【0033】

表示信号 SIG においては、各々の画素 15 の表示輝度に対応する表示信号ビット DB0 ~ DB5 がシリアルに生成される。すなわち、各タイミングにおける表示信号ビット DB0 ~ DB5 は、液晶アレイ部 10 中のいずれか 1 つの画素 15 における表示輝度を示している。

30

【0034】

シフトレジスタ 50 は、表示信号 SIG の設定が切り換わる周期に同期したタイミングで、データラッチ回路 52 に対して、表示信号ビット DB0 ~ DB5 の取り込みを指示する。データラッチ回路 52 は、シリアルに生成される表示信号 SIG を順に取り込み、1 つの画素ライン分の表示信号 SIG を保持する。

【0035】

データラッチ回路 54 に入力されるラッチ信号 LT は、データラッチ回路 52 に 1 つの画素ライン分の表示信号 SIG が取り込まれるタイミングで活性化する。データラッチ回路 54 はこれにตอบสนองして、そのときデータラッチ回路 52 に保持されている 1 つの画素ライン分の表示信号 SIG を取り込む。

40

【0036】

階調電圧生成回路 60 は、高電圧 VDH および低電圧 VDL の間に直列に接続された 63 個の分圧抵抗で構成され、64 段階の階調電圧 V1 ~ V64 をそれぞれ生成する。

【0037】

デコード回路 70 は、データラッチ回路 54 に保持されている表示信号 SIG をデコードし、当該デコード結果に基づいて各デコード出力ノード Nd₁, Nd₂... (総称「デコード出力ノード Nd」) に出力する電圧を、階調電圧 V1 ~ V64 のうちから選択して出力する。

【0038】

50

その結果、デコード出力ノード N_d には、データラッチ回路 54 に保持された 1 つの画素ライン分の表示信号 SIG に対応した表示電圧（階調電圧 $V_1 \sim V_{64}$ のうちの 1 つ）が同時に（平行に）出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 DL_1 、 DL_2 に対応するデコード出力ノード N_{d_1} 、 N_{d_2} が代表的に示されている。

【0039】

アナログアンプ 80 は、デコード回路 70 からデコード出力ノード N_{d_1} 、 $N_{d_2} \dots$ に出力された各表示電圧に対応したアナログ電圧を電流増幅して、それぞれデータ線 DL_1 、 $DL_2 \dots$ に出力する。

【0040】

ソースドライバ 40 が、所定の走査周期に基づいて、一連の表示信号 SIG に対応する表示電圧を 1 画素ライン分ずつデータ線 DL へ繰り返し出力し、ゲート線駆動回路 30 がその走査周期に同期してゲート線 GL_1 、 $GL_2 \dots$ を順に駆動することにより、液晶アレイ部 10 に表示信号 SIG に基づいた画像の表示が成される。

【0041】

なお、図 1 には、ゲート線駆動回路 30 およびソースドライバ 40 が液晶アレイ部 10 と一体的に形成された液晶表示装置 100 の構成を例示したが、ゲート線駆動回路 30 と液晶アレイ部 10 とを一体的に形成し、ソースドライバ 40 については液晶アレイ部 10 の外部回路として設ける、あるいはゲート線駆動回路 30 およびソースドライバ 40 については、液晶アレイ部 10 の外部回路として設けることも可能である。

【0042】

図 2 は、実施の形態 1 に係るゲート線駆動回路 30 の構成を示す図である。ゲート線駆動回路 30 は、縦続接続（カスケード接続）した複数の単位シフトレジスタ SR_1 、 SR_2 、 SR_3 、 $SR_4 \dots$ で構成されるシフトレジスタを含んでいる（説明の便宜上、シフトレジスタ回路 SR_1 、 $SR_2 \dots$ のそれぞれを「単位シフトレジスタ SR 」と総称する）。単位シフトレジスタ SR は、1 つの画素ラインすなわち 1 つのゲート線 GL ごとに設けられる。

【0043】

本実施の形態のゲート線駆動回路 30 では、最後段の単位シフトレジスタ SR_n のさらに次段に、ゲート線に接続されないダミーの単位シフトレジスタ SRD （以下「ダミー段」）が設けられている。基本的にダミー段 SRD も他の単位シフトレジスタ SR と同様の構成を有している。

【0044】

また図 2 に示すクロック信号発生器 31 は、位相が互いに異なる（活性期間が重ならない）2 相のクロック信号 CLK 、 $/CLK$ をゲート線駆動回路 30 の単位シフトレジスタ SR に入力するものである。クロック信号 CLK 、 $/CLK$ は、表示装置の走査周期に同期したタイミングで、交互に活性化するように制御されている。

【0045】

各単位シフトレジスタ SR は、入力端子 IN 、出力端子 OUT 、クロック端子 CK 、リセット端子 RST および初期リセット端子 IR を有している。図 2 のように、各単位シフトレジスタ SR のクロック端子 CK には、クロック信号 CLK 、 $/CLK$ のいずれかが供給される。具体的には、クロック信号 CLK は奇数段の単位シフトレジスタ SR_1 、 SR_3 、 $SR_5 \dots$ に供給され、クロック信号 $/CLK$ は偶数段の単位シフトレジスタ SR_2 、 SR_4 、 $SR_6 \dots$ に供給される。

【0046】

図 2 の例では最後段である第 n 段目（第 n ステージ）の単位シフトレジスタ SR_n は偶数段であり、当該単位シフトレジスタ SR_n には、クロック信号 $/CLK$ が供給されている。よって、ダミー段 SRD は奇数段となり、そのクロック端子 CK にはクロック信号 CLK が供給される。

【0047】

第 1 段目（第 1 ステージ）である単位シフトレジスタ SR_1 の入力端子 IN には、ゲー

10

20

30

40

50

ト線駆動回路30に信号のシフト動作を開始させるためのスタートパルスSTが入力される。当該スタートパルスSTは、スタート信号発生器32で生成される。本実施の形態において、スタートパルスSTは画像信号の各フレーム期間の先頭に対応するタイミングで活性化される(Hレベルになる)信号である。また第2段目以降の各单位シフトレジスタSRにおいては、入力端子INはその前段の単位シフトレジスタSRの出力端子OUTに接続される。

【0048】

各单位シフトレジスタSRのリセット端子RSTは、その次段の単位シフトレジスタSRの出力端子OUTに接続される。最後段の単位シフトレジスタSR_nのリセット端子RSTは、ダミー段SRDの出力端子OUTに接続される。なお、ダミー段SRDのリセット端子RSTには、そのクロック端子CKに入力されるクロック信号CLKとは位相の異なるクロック信号/CLKが入力される。

10

【0049】

つまり各单位シフトレジスタSRの出力端子OUTから出力される出力信号Gは、垂直(又は水平)走査パルスとしてそれぞれ対応するゲート線GLへと供給されると共に、自己の次段の入力端子INおよび自己の前段のリセット端子RSTへと供給される。

【0050】

図2のゲート線駆動回路30において、単位シフトレジスタSRの各々は、クロック信号CLK, /CLKに同期して、入力端子INに入力される信号(スタートパルスSTあるいは自身の前段の出力信号)を時間的にシフトさせながら、対応するゲート線GL並びに自身の後段の単位シフトレジスタSRへと伝達する(単位シフトレジスタSRの動作の詳細は後述する)。その結果、一連の単位シフトレジスタSRは、所定の走査周期に基づいたタイミングでゲート線GLを順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

20

【0051】

また本実施の形態の単位シフトレジスタSRは、自己の回路の各ノードの電位を特定のレベルに初期化する初期化機能(初期リセット機能)を有している。各单位シフトレジスタSRの初期リセット端子IRには、初期化を実行するための初期リセット信号IRSTが入力される。電源投入直後などにはシフトレジスタの回路の各ノードの電位は不安定になるが、本実施の形態のゲート線駆動回路30では、初期リセット信号IRSTが活性化されると各单位シフトレジスタSRの各ノードの電位が所定のレベルに初期化され、不安定状態を脱する。初期リセット信号発生器33は、電源投入直後など単位シフトレジスタSRが不安定状態になる状況で、初期リセット信号IRSTを活性化させる。但し、ゲート線駆動回路30の通常動作(信号のシフト動作)時は、初期リセット信号IRSTは非活性レベルに固定される。

30

【0052】

図3は、本発明の実施の形態1に係る単位シフトレジスタの構成を示す回路図である。ゲート線駆動回路30を構成する各单位シフトレジスタSRは全て同様の構成を有しているため、図3では代表的に、第k段目の単位シフトレジスタSR_kを示している。

【0053】

以下の実施の形態では、単位シフトレジスタSR_kを構成するトランジスタは全て同一導電型の電界効果トランジスタであるが、それらは全てN型TFTであるものとして説明する。またそれらトランジスタのしきい値電圧は全て等しいと仮定し、その値をV_{th}とする。

40

【0054】

図3の如く、単位シフトレジスタSR_kは、図2に示した入力端子IN、出力端子OUT、クロック端子CK、リセット端子RSTおよび初期リセット端子IRの他に、低電位側電源電位(ロー側電源電位)V_{SS}が供給される第1電源端子S₁、高電位側電源電位(ハイ側電源電位)V_{DD1}, V_{DD2}がそれぞれ供給される第2および第3電源端子S₂, S₃を有している。以下の説明ではロー側電源電位V_{SS}を0Vとしてそれを回路の

50

基準電位として定義しているが、実使用では、画素に書き込まれるデータの電圧を基準にして基準電位が設定され、例えばハイ側電源電位 V_{DD1} は $1.7V$ 、ロー側電源電位 V_{SS} は $-1.2V$ などと設定される。

【0055】

図3に示すように、単位シフトレジスタ SR_k は、出力回路部20、プルダウン駆動回路部21、プルアップ駆動回路部22から構成されている。

【0056】

出力回路部20は、出力信号 G_k の活性化および非活性化を行うものであり、ゲート線 GL_k の選択期間に出力信号 G_k を活性状態（Hレベル）にするトランジスタ Q_1 （出力プルアップトランジスタ）と、ゲート線 GL_k の非選択期間に出力信号 G_k を非活性状態（Lレベル）に維持するためのトランジスタ Q_2 （出力プルダウントランジスタ）とを含んでいる。

10

【0057】

トランジスタ Q_1 は、出力端子 OUT とクロック端子 CK との間に接続しており、クロック端子 CK に入力されるクロック信号を出力端子 OUT に供給することによって出力信号 G_k を活性化させる。出力信号 G_k は、大きな容量負荷であるゲート線 GL_k を活性化させるのに用いられるため、トランジスタ Q_1 には大きな駆動能力が要求される。よってトランジスタ Q_1 のオン抵抗は充分小さく設定されている。またトランジスタ Q_2 は、出力端子 OUT と第1電源端子 S_1 との間に接続しており、出力端子 OUT を放電して電位 V_{SS} にすることで、出力信号 G_k を非活性レベルに維持する。ここで、トランジスタ Q_1 のゲート（制御電極）が接続するノードを「ノード N_1 」と定義する。

20

【0058】

本実施の形態では、トランジスタ Q_1 のゲート・ソース間（即ち出力端子 OUT とノード N_1 との間）には容量素子 C_1 が設けられている。この容量素子 C_1 は、出力端子 OUT のレベル上昇に伴うノード N_1 の昇圧効果を高めるためのものである。但し、容量素子 C_1 は、トランジスタ Q_1 のゲート・チャネル間容量が充分大きい場合にはそれで置き換えることができるので、そのような場合には省略してもよい。

【0059】

プルダウン駆動回路部21は、通常動作時にはノード N_1 のレベル変化に応じてトランジスタ Q_2 、 Q_5 を駆動する回路として機能する。即ち、通常動作時のプルダウン駆動回路部21は、トランジスタ Q_2 、 Q_5 を、ゲート線 GL_k の選択期間にはオフにし、非選択期間にはオンにする。但し、当該プルダウン駆動回路部21は、初期リセット信号 $IRST$ が活性化されたとき、ノード N_1 のレベルに関わらず、単位シフトレジスタ SR の回路の各ノードのレベルを初期化する回路（初期化回路）として機能する。

30

【0060】

プルダウン駆動回路部21は、第2電源端子 S_2 と初期リセット端子 IR との間に直列接続したトランジスタ Q_6 、 Q_7 から構成されている。トランジスタ Q_6 、 Q_7 間の接続ノードを「ノード N_2 」と定義すると、トランジスタ Q_6 は、ノード N_2 と第2電源端子 S_2 との間に接続され、そのゲートは第2電源端子 S_2 に接続されている（即ちトランジスタ Q_6 はダイオード接続されている）。またトランジスタ Q_7 はノード N_1 に接続したゲートを有し、ノード N_2 と初期リセット端子 IR との間に接続される。

40

【0061】

ノード N_2 は、プルダウン駆動回路部21の出力端であり、出力回路部20のトランジスタ Q_2 のゲートと、後述するプルアップ駆動回路部22のトランジスタ Q_5 のゲートとに接続される。

【0062】

先に述べたように、通常動作時には、初期リセット信号 $IRST$ は非活性レベル（Lレベル）に維持される。このときプルダウン駆動回路部21は、ノード N_1 を入力端、ノード N_2 を出力端とするインバータとして機能する。即ち、トランジスタ Q_6 が負荷素子として、トランジスタ Q_7 が駆動素子としてそれぞれ機能する。当該インバータはレシオ回

50

路であり、トランジスタQ7のオン抵抗はトランジスタQ6のオン抵抗よりも十分に小さく設定されている。

【0063】

なお、当該インバータの負荷素子は電流駆動素子であればよく、トランジスタQ6に代えて例えば抵抗素子や定電流素子を用いてもよい。このことは以下の実施の形態およびその変更例においても同様である。

【0064】

一方、初期リセット信号IRSTが活性レベル(Hレベル)にされたときは、ノードN2が、トランジスタQ6、Q7を通して流れ込む電流により充電され、Hレベルに初期化される(単位シフトレジスタSR_kの初期化動作について詳細は後述する)。

10

【0065】

プルアップ駆動回路部22は、トランジスタQ1(出力プルダウントランジスタ)を駆動する回路であり、トランジスタQ1を、ゲート線GL_kの選択期間はオンにし、非選択期間はオフにする。当該プルアップ駆動回路部22は、入力端子INに入力される信号の活性化に応じてノードN1を充電するトランジスタQ3と、リセット端子RSTに入力される信号に応じてノードN1を放電するトランジスタQ4と、ゲート線GL_kの非選択期間にノードN1をLレベルに維持するトランジスタQ5とを含んでいる。

【0066】

トランジスタQ3は、入力端子INに接続したゲートを有し、ノードN1と第3電源端子S3との間に接続される。トランジスタQ4は、リセット端子RSTに接続したゲートを有し、ノードN1と第1電源端子S1との間に接続される。トランジスタQ5は、ノードN2に接続したゲートを有し、ノードN1と第1電源端子S1との間に接続される。

20

【0067】

図4は、ダミー段SRDの回路図である。ダミー段SRDは単位シフトレジスタSR_kと同様の構成を有している。但し、ダミー段SRDのリセット端子RSTには、そのクロック端子CKに入力されるクロック信号CLKとは位相の異なるクロック信号/CLKが入力される。

【0068】

ところで、図3の単位シフトレジスタSR_kは、トランジスタQ7のソースが初期リセット端子IRに接続されていることを除いて、上記の特許文献2の図7に開示された単位シフトレジスタと同じ回路構成である。つまり図3の単位シフトレジスタSR_kは、従来の単位シフトレジスタと比較して、使用されているトランジスタの数が同じであり、そのため回路面積の増大は殆ど必要とされない。

30

【0069】

図5は、図3の単位シフトレジスタSRの動作を説明するための信号波形図である。以下、図5に基づき、本実施の形態に係る単位シフトレジスタSRの動作について説明する。

【0070】

説明の簡単のため、ハイ側電源電位VDD1、VDD2のレベル、クロック信号CLK、/CLKおよびスタートパルスSTのHレベルのレベルは全て等しく、その値をVDDと表す(VDD1=VDD2=VDD)。またクロック信号CLK、/CLKおよびスタートパルスSTのLレベルの電位はロー側電源電位VSSと等しいものとし、その電位を0Vとする(VSS=0)。クロック信号CLK、/CLKは互いに1水平期間(1H)の位相差を持つ繰り返し信号である。

40

【0071】

図5において時刻t₀は、ゲート線駆動回路30への電源投入時である。このときハイ側電源電位(VDD1、VDD2)は電位VDDへと上昇する。クロック信号発生器31、スタート信号発生器32、初期リセット信号発生器33の電源もこのとき投入される。時刻t₀の直後は、ゲート線駆動回路30の出力信号G₁、G₂...のレベルは不定状態にある。

50

【0072】

この時点では、各単位シフトレジスタSRのノードN1（トランジスタQ1のゲート）のレベルも不定である。もし複数の単位シフトレジスタSRでノードN1がHレベルになっていると、それらのトランジスタQ1が同時にオン状態になるので、このままクロック信号CLK、/CLKが活性化すると、オン抵抗の低い複数のトランジスタQ1を通して過大な電流が流れるため好ましくない。

【0073】

ここではあえて、各単位シフトレジスタSRのノードN1がHレベルになっていると仮定する。よって各単位シフトレジスタSRのトランジスタQ7はオン状態にあり、ノードN2はLレベルになっている。

10

【0074】

初期リセット信号発生器33は、電源投入後、ゲート線駆動回路30が通常動作を開始する前の時刻 t_1 で、初期リセット信号IRSTを活性化させる。初期リセット信号IRSTのレベルが上昇するとトランジスタQ7のソース電位が上昇し、ノードN2がトランジスタQ6、Q7を通して流れ込む電流によって充電される。その結果ノードN2はHレベルに初期化され、応じてトランジスタQ5がオンするのでノードN1はLレベルに初期化される。

【0075】

このときのブルダウン駆動回路部21の動作を詳細に説明する。時刻 t_1 において、初期リセット信号IRSTのレベルが十分に上昇するまでの間は、ノードN2は主としてオン状態のトランジスタQ7により充電される。ダイオード接続されたトランジスタQ6もオン状態ではあるが、トランジスタQ7のオン抵抗はトランジスタQ6よりも充分小さいからである。そして初期リセット信号IRSTのレベルが十分に上昇し、ノードN2のレベルがトランジスタQ5のしきい値電圧 V_h を超えると、トランジスタQ5がオンになりノードN1は放電されてLレベルに初期化される。するとトランジスタQ7がオフになるので、それ以降のノードN2はトランジスタQ6によって充電され、最終的に $V_{DD} - V_{th}$ の電位になり、Hレベルに初期化される。

20

【0076】

以下、ノードN1がLレベル、ノードN2がHレベルの状態、つまりトランジスタQ1がオフ、トランジスタQ2がオンの状態を、単位シフトレジスタSRの「リセット状態」と称する。

30

【0077】

上記の初期化動作（初期リセット）は、時刻 t_1 の直前にノードN1がHレベルになっている単位シフトレジスタSRの全てにおいて行われる。なお、時刻 t_1 の直前にノードN1がLレベルになっている単位シフトレジスタSRでは、トランジスタQ7はオフ状態であるので、ノードN2はトランジスタQ6により充電されて自ずとHレベルに初期化され、応じてトランジスタQ5がオンになりノードN1は低インピーダンスのLレベルに初期化される。

【0078】

このように初期リセット信号IRSTが活性化された後は、全ての単位シフトレジスタSRにおいて、ノードN1がLレベル、ノードN2がHレベルになるので、トランジスタQ1がオフ、トランジスタQ2がオン状態（つまりリセット状態）になる。よって全ての単位シフトレジスタSRの出力端子OUT（出力信号G）は、低インピーダンスのLレベルに初期化される。またこのときクロック信号CLK、/CLKが活性化しても、全ての単位シフトレジスタSRのトランジスタQ1はオフしているため、複数のトランジスタQ1を通して過大な電流が流れることはない。

40

【0079】

この初期化された後の状態（リセット状態）は、時刻 t_2 で初期リセット信号IRSTが非活性レベル（Lレベル）に戻っても維持される。トランジスタQ5、Q6、Q7はハーフラッチ回路を構成しており、それによってノードN1、N2のレベルが保持されるか

50

らである。

【 0 0 8 0 】

ゲート線駆動回路 30 は、初期リセット信号 I R S T が L レベルになった後、スタート信号 S T およびクロック信号 C L K , / C L K が活性化されるとシフトレジスタとしての通常動作を開始する。

【 0 0 8 1 】

時刻 t_3 でスタートパルス S T が活性レベル (H レベル) になると、第 1 段目の単位シフトレジスタ S R₁ において、トランジスタ Q 3 がオンになる。このときトランジスタ Q 5 もオン状態であるが、トランジスタ Q 3 はトランジスタ Q 5 よりも十分にオン抵抗が小さく設定されており、ノード N 1 は H レベル (V D D - V t h) になる。応じてトランジスタ Q 1 がオンになるが、この時点ではクロック端子 C K に入力されているクロック信号 C L K は非活性レベル (L レベル) であるので、出力端子 O U T から出力される出力信号 G₁ は L レベル (V S S) のままである。

10

【 0 0 8 2 】

ノード N 1 が H レベルになったことにより、トランジスタ Q 7 がオンになる。通常動作時の初期リセット信号 I R S T は L レベルに固定されているので、ノード N 2 はトランジスタ Q 7 を通して放電されて L レベルになる。応じてトランジスタ Q 2 , Q 5 がオフになる。このようにノード N 1 が H レベル、ノード N 2 が L レベルの状態、つまりトランジスタ Q 1 がオン、トランジスタ Q 2 がオフの状態を、以下では単位シフトレジスタ S R の「セット状態」と称する。

20

【 0 0 8 3 】

時刻 t_4 でスタートパルス S T が L レベルになるとトランジスタ Q 3 がオフになるが、トランジスタ Q 5 もオフしているため、ノード N 1 は高インピーダンス状態 (フローティング状態) で H レベルに維持される。よってトランジスタ Q 7 がオン状態に維持され、ノード N 2 は L レベルに維持される。即ち、単位シフトレジスタ S R₁ のセット状態は維持される。

【 0 0 8 4 】

そして時刻 t_5 でクロック信号 C L K が H レベル (V D D) に変化すると、そのレベル変化がオン状態のトランジスタ Q 1 を通して出力端子 O U T へと伝達され、出力信号 G₁ が H レベルになる。出力端子 O U T (出力信号 G₁) のレベルが上昇するとき、その電位変化は容量素子 C 1 を介する結合によりノード N 1 に伝達され、ノード N 1 のレベルが上昇する。このノード N 1 の昇圧効果により、トランジスタ Q 1 は非飽和領域で動作することができる。

30

【 0 0 8 5 】

よって出力端子 O U T (出力信号 G₁) の電位は、クロック信号 C L K の H レベルと同じ V D D にまで上昇する。その結果、ゲート線 G L₁ が選択状態になる。

【 0 0 8 6 】

その後、時刻 t_6 でクロック信号 C L K が L レベル (V S S) に変化すると、オン状態のトランジスタ Q 1 を通して出力端子 O U T からクロック端子 C K へ電流が流れる。よって出力端子 O U T は放電され、出力信号 G₁ は L レベルになる。

40

【 0 0 8 7 】

ここで、出力信号 G₁ は第 2 段目の単位シフトレジスタ S R₂ の入力端子 I N にも入力されているので、上記の時刻 t_3 で出力信号 G₁ が H レベルになったとき、単位シフトレジスタ S R₂ はセット状態に移行している。

【 0 0 8 8 】

よって時刻 t_7 で、クロック信号 / C L K が H レベルになると、第 2 段目の出力信号 G₂ が H レベルになる。出力信号 G₂ は単位シフトレジスタ S R₁ のリセット端子 R S T に入力されるので、単位シフトレジスタ S R₁ では、トランジスタ Q 4 がオンになり、ノード N 1 が放電されて L レベルになる。応じてトランジスタ Q 7 がオフになるため、ノード N 2 がトランジスタ Q 6 により充電されて H レベルになる。つまり単位シフトレジスタ S R₁

50

は、トランジスタQ 1がオフ、トランジスタQ 2がオンのリセット状態に戻る。

【0089】

その後、単位シフトレジスタSR₁は、次のフレーム期間でスタートパルスSTがHレベルになるまでリセット状態に維持される。ここでもトランジスタQ 5, Q 6, Q 7から成るハーフラッチ回路が、ノードN 1, N 2のレベルを保持するからである。またその間、トランジスタQ 2がオンしているので、出力端子OUTは低インピーダンスでLレベルに維持される。

【0090】

以上、第1段目の単位シフトレジスタSR₁の動作を説明したが、図2のゲート線駆動回路30では、2段目以降の単位シフトレジスタSRおよびダミー段SRDもこれと同様に動作する。

10

【0091】

つまり2段目以降の単位シフトレジスタSR_kは、前段の出力信号G_{k-1}の活性化に応じてセット状態になり、そのときクロック端子CKに入力されるクロック信号の活性化に応じて自己の出力信号G_kを活性化させ、その後、次段の出力信号G_{k+1}の活性化に応じてリセット状態に戻り出力信号G_kをLレベルに維持する。なお、最後段の単位シフトレジスタSR_nは、ダミー段SRDの出力信号GDによってリセット状態にされ、ダミー段SRDはクロック信号/CLKによってリセット状態にされる。

【0092】

よってゲート線駆動回路30においては、単位シフトレジスタSR₁に入力されるスタートパルスSTの活性化を切っ掛けにして、クロック信号CLK, /CLKに同期したタイミングで出力信号G₁, G₂, G₃...が順に活性化される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL₁, GL₂, GL₃...を順番に駆動することができる。

20

【0093】

以上のように、本実施の形態に係る単位シフトレジスタSRは、初期リセット信号IRSTに応じて自己をリセット状態にする初期化動作を行うことができるので、通常動作の開始前にクロック信号CLK, /CLKが活性化しても、複数のトランジスタQ 1を通して過大な電流が流れることはない。

【0094】

また単位シフトレジスタSRの初期リセットは、通常動作時ではノードN 2の放電を行うトランジスタQ 7に、逆にノードN 2の充電を行わせることで実行される。そのため、特許文献2の図7と比較して、初期化動作のために新たなトランジスタが設けられていない。そのためトランジスタQ 1のゲートが接続するノードN 1の寄生容量は、従来の単位シフトレジスタと同程度である。よって出力信号Gの活性化時におけるノードN 1の昇圧効果の低減を伴わず、トランジスタQ 1のオン抵抗の上昇は防止されている。従って、出力信号Gの立ち上がり速度(出力端子OUTの充電速度)の低下は伴わない。

30

【0095】

なお、ハイ側電源電位VDD 1, VDD 2は互いに異なる値でもよい。図3では第2電源端子S 2と第3電源端子S 3とを個別に示したが、両者の電位は同じでもよい。よって、例えばトランジスタQ 3, Q 6のドレインを共に第2電源端子S 2(あるいは第3電源端子S 3)に接続させてもよい。このことは以下の実施の形態およびその変更例についても同様である。

40

【0096】

スタートパルスSTおよびクロック信号CLK, /CLKは、図5の例のように、少なくとも単位シフトレジスタSRの初期化動作が完了するまで、すなわち電源が投入(時刻t₀)から初期リセット端子IRの活性期間の終わり(時刻t₂)までは、非活性レベルに維持されることが好ましい。そうすることにより、初期化動作前の不安定状態にある単位シフトレジスタSRの誤動作の発生や、トランジスタQ 1を電流が流れることを防止することができる。

50

【 0 0 9 7 】

また上の説明では、初期リセット信号 I R S T の活性期間（図 5 の時刻 $t_1 \sim t_2$ ）は、スタートパルス S T の活性期間（時刻 $t_3 \sim t_4$ ）よりも前とし、両期間は重複しないものとした。しかし、例えば初期リセット信号 I R S T をスタートパルス S T と同時に活性化させるなど、両者の活性期間を重複させてもよい。

【 0 0 9 8 】

但し図 2 のゲート線駆動回路 3 0 のままでは、その重複期間に、第 1 段目の単位シフトレジスタ S R₁ においてトランジスタ Q 3 とトランジスタ Q 5 が共にオンになり、それを通して貫通電流が流れる。従って初期リセット信号 I R S T とスタートパルス S T の活性期間を重複させる場合には、単位シフトレジスタ S R₁ は初期化動作を行わないことが好ましい。つまり単位シフトレジスタ S R₁ に限り、トランジスタ Q 7 のソースを第 1 電源端子 S 1 に接続させて L レベルに固定することが好ましい。このことは後述する実施の形態 2 においても同様であり、図 1 1 を用いて説明される。

10

【 0 0 9 9 】

[第 1 の変更例]

図 6 は、実施の形態 1 の第 1 の変更例に係る単位シフトレジスタの回路図である。図 6 の単位シフトレジスタ S R_k は、図 3 の回路に対し、トランジスタ Q 3 のドレインに前段の出力信号 G_{k-1} を供給させたものである。つまり本変更例では、トランジスタ Q 3 は入力端子 I N（前段の出力端子 O U T）とノード N 1 との間にダイオード接続される。

【 0 1 0 0 】

第 3 電源端子 S 3 およびそれに電位 V D D 2 を供給するための配線が不要になるため、回路面積の縮小に寄与できると共に、回路のレイアウト設計が容易になるという利点がある。

20

【 0 1 0 1 】

[第 2 の変更例]

図 7 は、実施の形態 1 の第 2 の変更例に係る単位シフトレジスタの回路図である。図 7 の単位シフトレジスタ S R_k は、図 3 の回路に対し、プルダウン駆動回路部 2 1 にトランジスタ Q 8 , Q 9 で構成されるプッシュプル型のバッファ回路を設けたものである。

【 0 1 0 2 】

トランジスタ Q 6 , Q 7 から成るインバータの出力信号（ノード N 2 の信号）は、当該バッファ回路を介してトランジスタ Q 2 , Q 5 のゲートに供給される。本変更例では、トランジスタ Q 2 , Q 5 のゲートが接続するノードを「ノード N 2 A」と定義する。

30

【 0 1 0 3 】

トランジスタ Q 8 , Q 9 で構成されるバッファ回路は、ノード N 2 を入力端、ノード N 2 A を出力端としている。トランジスタ Q 8 は、ノード N 2 A を活性化させる素子（プッシュ素子）であり、ノード N 2 に接続したゲートを有し、ノード N 2 A と第 2 電源端子 S 2 との間に接続する。トランジスタ Q 9 は、ノード N 2 を非活性化させる素子（プル素子）であり、ノード N 2 A と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 1 に接続される。つまりトランジスタ Q 8 のゲートはインバータの出力端に接続し、トランジスタ Q 9 のゲートは当該インバータの入力端に接続している。よってトランジスタ Q 8 , Q 9 から成るバッファ回路はプッシュプル動作する。従って当該バッファ回路はレシオレス回路となり、高い駆動能力を得ることができる。

40

【 0 1 0 4 】

トランジスタ Q 6 , Q 7 から成るインバータはレシオ回路であるためその駆動能力を高くすると消費電力の増大を招く。しかし図 7 の単位シフトレジスタ S R_k では、上記のバッファ回路が設けられているため、インバータの消費電力を低く抑えつつ、プルダウン駆動回路部 2 1 の出力信号の駆動能力を高めてノード N 2 A に供給することが可能になる。逆に言えば、プルダウン駆動回路部 2 1 の駆動能力を一定に維持しつつ、単位シフトレジスタ S R_k の消費電力の削減に寄与できる。

【 0 1 0 5 】

50

[第 3 の変更例]

図 3 の単位シフトレジスタ $S R_k$ では、通常動作時、前段の出力信号 G_{k-1} (またはスタートパルス $S T$) が活性化されてトランジスタ Q_3 がノード N_1 を充電し始めた時点では、トランジスタ Q_5 はオン状態である。トランジスタ Q_5 は、ノード N_1 の充電が進んでトランジスタ Q_7 がオフになり、応じてノード N_2 が H レベルになったときにオフになる。トランジスタ Q_3 はトランジスタ Q_5 よりもオン抵抗が充分小さく設定されているが、このようにトランジスタ Q_5 がオンするタイミングが遅れることはノード N_1 の充電速度が遅くなる原因となり、単位シフトレジスタ $S R$ の動作の高速化の妨げとなり得る。

【 0 1 0 6 】

図 8 は、実施の形態 1 の第 3 の変更例に係る単位シフトレジスタの回路図である。図 8 の単位シフトレジスタ $S R_k$ は、図 3 の回路に対し、プルダウン駆動回路部 2 1 にトランジスタ Q_{10} を設けたものである。トランジスタ Q_{10} は、入力端子 $I N$ に接続したゲートを有し、ノード N_2 と初期リセット端子 $I R$ との間に接続される。

【 0 1 0 7 】

この単位シフトレジスタ $S R_k$ においては、前段の出力信号 G_{k-1} が活性化された時点で、トランジスタ Q_{10} がオンになってノード N_2 を L レベルになり、応じてトランジスタ Q_5 がオフになる。つまりトランジスタ Q_5 は、トランジスタ Q_3 がノード N_1 の充電を開始するのとほぼ同時にオフになる。よって図 3 の回路よりも、ノード N_1 の充電速度が高速化され、単位シフトレジスタ $S R$ の動作の高速化を図ることができる。

【 0 1 0 8 】

なお、トランジスタ Q_{10} は、ソースが初期リセット信号 $I R S T$ に接続されているため、トランジスタ Q_7 と同様に初期化動作を行うことになる。電源投入時には、前段の出力信号 G_{k-1} のレベル、即ちトランジスタ Q_{10} のゲート電位は不安定であるが、トランジスタ Q_{10} によって初期化動作が妨げられることはない。

【 0 1 0 9 】

< 実施の形態 2 >

実施の形態 1 においては、単位シフトレジスタ $S R$ に初期化動作を行わせるための特別な信号である初期リセット信号 $I R S T$ を用いたが、この信号は、通常動作でも用いられるスタートパルス $S T$ を代用することもできる。

【 0 1 1 0 】

図 9 は、実施の形態 2 に係るゲート線駆動回路 3 0 の構成を示す図である。本実施の形態では、単位シフトレジスタ $S R_1$ を除く単位シフトレジスタ $S R_2 \sim S R_n$ およびダミー段 $S R D$ の初期リセット端子 $I R$ には、スタート信号発生器 3 2 が生成するスタートパルス $S T$ が入力される (本実施の形態の単位シフトレジスタ $S R_1$ は初期リセット端子 $I R$ を有さない)。初期リセット信号 $I R S T$ を用いないため、初期リセット信号発生器 3 3 が不要になり、コストの削減を図ることができる。

【 0 1 1 1 】

図 1 0 は、本実施の形態に係る単位シフトレジスタ $S R_k$ (単位シフトレジスタ $S R_1$ を除く) の回路図である。同図の如く、当該単位シフトレジスタ $S R_k$ は、図 3 と同じ回路構成であり、初期リセット端子 $I R$ にスタートパルス $S T$ が入力されている点だけが異なっている。

【 0 1 1 2 】

また図 1 1 は、本実施の形態における第 1 段目の単位シフトレジスタ $S R_1$ の回路図である。単位シフトレジスタ $S R_1$ も、図 3 とほぼ同じ構成であるが、初期リセット端子 $I R$ を有しておらず、トランジスタ Q_7 のソースは第 1 電源端子 S_1 に接続されている。つまり単位シフトレジスタ $S R_1$ は、上記の特許文献 2 の図 7 と同じ構成である。

【 0 1 1 3 】

仮に、単位シフトレジスタ $S R_1$ も図 1 0 の回路構成とすると、スタートパルス $S T$ が H レベルになったときに、第 1 段目の単位シフトレジスタ $S R_1$ においてトランジスタ Q_3 とトランジスタ Q_5 が共にオンになり、それを通して貫通電流が流れる。それを防止す

10

20

30

40

50

るために、本実施の形態では単位シフトレジスタ $S R_1$ のみ図 11 の構成としているのである。

【0114】

本実施の形態に係るゲート線駆動回路 30 の動作は、第 1 段目の単位シフトレジスタ $S R_1$ において初期化動作が行われなことを除いて、実施の形態 1 と同様である。

【0115】

但し、本実施の形態では次の点に留意すべきである。通常、スタートパルス $S T$ のパルス幅は、ゲート線駆動回路 30 を構成するシフトレジスタの動作速度によって規定される。例えば、表示装置の高解像度化のために動作の高速化が必要となると、そのパルス幅は狭く設定される。しかしそうすると、本実施の形態の単位シフトレジスタ $S R$ が初期化動作を行うための時間を十分に確保できなくなることが考えられる。

10

【0116】

この問題の対策としては、図 12 のように、初期化動作（初期リセット）のためのスタートパルス $S T$ （電源投入から最初のパルス）のパルス幅だけを、以降の通常動作時のスタートパルス $S T$ よりも広く設定するとよい。

【0117】

また本実施の形態において、クロック信号 $C L K$ 、 $\overline{C L K}$ は、少なくとも単位シフトレジスタ $S R$ の初期化動作が完了するまで、すなわち電源投入から最初のスタートパルス $S T$ の活性期間の終わりまでは、非活性レベルに維持されることが好ましい。それにより初期化動作前の不安定状態にある単位シフトレジスタ $S R$ において、誤動作の発生や、トランジスタ $Q 1$ を電流が流れることを防止することができる。

20

【0118】

なお、実施の形態 1 で示した各変更例の回路（図 6 ~ 図 8）も、本実施の形態に適用可能である。

【0119】

<実施の形態 3>

本実施の形態では、実施の形態 1 を、信号のシフト方向を変更可能なシフトレジスタに適用する。そのようなシフトレジスタを用いて構成されたゲート線駆動回路 30 は、双方向の走査が可能である。

【0120】

図 13 は、本実施の形態に係るゲート線駆動回路 30 の構成を示す図である。当該ゲート線駆動回路 30 は、双方向のシフトが可能な単位シフトレジスタ $S R$ により構成されている。

30

【0121】

この場合、スタート信号発生器 32 は、シフトレジスタでは 2 種類のスタート信号 $S T_n$ 、 $S T_r$ を生成する。単位シフトレジスタ $S R_1$ に入力されるスタート信号 T_n は、前段から後段への向き（順方向）すなわち単位シフトレジスタ $S R_1$ 、 $S R_2$ 、 $S R_3$ 、... の順に信号をシフトする場合のスタート信号（順方向スタート信号）である。また単位シフトレジスタ $S R_n$ に入力されるスタート信号 T_r は、後段から前段への向き（逆方向）すなわち単位シフトレジスタ $S R_n$ 、 $S R_{n-1}$ 、 $S R_{n-2}$ 、... の順に信号をシフトする場合のスタート信号（逆方向スタート信号）である。

40

【0122】

図 14 は、本実施の形態に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図 3 の回路とほぼ同様の構成を有しているが、プルアップ駆動回路部 22 の構成が異なっている。

【0123】

当該単位シフトレジスタ $S R_k$ のプルアップ駆動回路部 22 は、前段の出力信号 G_{k-1} を受ける第 1 入力端子 $I N 1$ と、次段の出力信号 G_{k+1} を受ける第 2 入力端子 $I N 2$ と、所定の第 1 および第 2 電圧信号 V_n 、 V_r がそれぞれ供給される第 1 および第 2 電圧信号端子 $T 1$ 、 $T 2$ とを備えている。

50

【0124】

トランジスタQ3は、第1電圧信号端子T1とノードN1との間に接続し、ゲートは第1入力端子IN1に接続される。トランジスタQ4は、第2電圧信号端子T2とノードN1との間に接続し、そのゲートは第2入力端子IN2に接続される。

【0125】

ここで、第1および第2電圧信号 V_n 、 V_r は、信号のシフト方向（走査方向）を決定するための制御信号である。単位シフトレジスタ $S R_k$ に、順方向シフトの動作を行わせる場合、第1電圧信号 V_n はHレベル、第2電圧信号 V_r はLレベルに設定される。また逆方向シフトの動作を行わせる場合には、第1電圧信号 V_n はLレベル、第2電圧信号 V_r はHレベルに設定される。

10

【0126】

第1電圧信号 V_n がHレベル、第2電圧信号 V_r がLレベルの場合、図14の単位シフトレジスタ $S R_k$ は、図3の回路と等価になるので順方向シフトが可能になる。一方、第1電圧信号 V_n がLレベル、第2電圧信号 V_r がHレベルの場合は、図14の単位シフトレジスタ $S R_k$ において、トランジスタQ3、Q4の機能が図3の回路とは逆になる。つまりトランジスタQ4がノードN1を充電するように機能し、トランジスタQ3がノードN1を放電するように機能する。その結果、逆方向シフトが可能になる。

【0127】

図13の如く、本実施のゲート線駆動回路30には、最後段の単位シフトレジスタ $S R_n$ のさらに次段にダミー段 $S R D_n$ が設けられると共に、第1段目の単位シフトレジスタ $S R_1$ のさらに前段にダミー段 $S R D_r$ が設けられている。ダミー段 $S R D_n$ の出力信号 $G D_n$ は、順方向シフト時に単位シフトレジスタ $S R_n$ をリセット状態に戻すのに用いられ、ダミー段 $S R D_r$ の出力信号 $G D_r$ は、順方向シフト時に単位シフトレジスタ $S R_1$ をリセット状態に戻すのに用いられる。

20

【0128】

但し、第1段目の単位シフトレジスタ $S R_1$ の第1入力端子IN1には、順方向スタート信号 $S T_n$ が入力され、最後段の単位シフトレジスタ $S R_n$ の第2入力端子IN2には逆方向スタート信号 $S T_r$ が入力されるため、単位シフトレジスタ $S R_1$ 、 $S R_n$ には、それぞれダミー段 $S R D_r$ 、 $S R D_n$ の出力信号 $G D_r$ 、 $G D_n$ を受けるためのリセット端子 $R S T$ が設けられている。図示は省略するが、単位シフトレジスタ $S R_1$ 、 $S R_n$ は、リセット端子 $R S T$ の信号が活性化されると、ノードN1が充電あるいはノードN2が放電されてリセット状態に成るように構成されている。

30

【0129】

なお、実施の形態1で示した第2および第3の変更例（図7、図8）のプルダウン駆動回路部21は、本実施の形態にも適用可能である。

【0130】

また本実施の形態においては、初期リセット信号 $I R S T$ と逆方向スタート信号 $S T_n$ または逆方向スタート信号 $S T_r$ の活性期間が重複する場合には、単位シフトレジスタ $S R_1$ 、 $S R_n$ における貫通電流が生じる。よってその場合には、単位シフトレジスタ $S R_1$ 、 $S R_n$ では、初期化動作が行われないように、トランジスタQ7のソースを第1電源端子 $S 1$ に接続させてLレベルに固定することが好ましい。

40

【0131】

<実施の形態4>

本実施の形態では、実施の形態2を、双方向シフトが可能なシフトレジスタに適用する。つまり実施の形態3における初期リセット信号 $I R S T$ を、順方向スタート信号 $S T_n$ で代用する。

【0132】

図15は、実施の形態4に係るゲート線駆動回路30の構成を示す図である。本実施の形態では、単位シフトレジスタ $S R_1$ 、 $S R_n$ を除く単位シフトレジスタ $S R_2 \sim S R_{n-1}$ およびダミー段 $S R D$ の初期リセット端子 $I R$ には、順方向スタート信号 $S T_n$ が入力され

50

る。

【 0 1 3 3 】

図 1 6 は、本実施の形態に係る単位シフトレジスタ $S R_k$ (単位シフトレジスタ $S R_1$, $S R_n$ を除く) の回路図である。当該単位シフトレジスタ $S R_k$ は、図 1 4 と同じ構成の回路であるが、初期リセット端子 $I R$ には順方向スタート信号 $S T n$ が入力される。

【 0 1 3 4 】

なお本実施の形態でも、第 1 段目および最後段の単位シフトレジスタ $S R_1$, $S R_n$ においては、貫通電流が流れるのを防止するために、初期化動作を行わない。よって単位シフトレジスタ $S R_1$, $S R_n$ においては、図 1 6 の回路のトランジスタ $Q 7$ のソースは第 1 電源端子 $S 1$ に接続される。

10

【 0 1 3 5 】

図 1 7 および図 1 8 は、本実施の形態のゲート線駆動回路 3 0 の動作を説明するための信号波形図であり、図 1 7 は順方向シフト時の動作、図 1 8 は逆方向シフト時の動作をそれぞれ示している。

【 0 1 3 6 】

本実施の形態では、単位シフトレジスタ $S R_k$ の初期化動作を行う際には、順方向スタート信号 $S T n$ が活性レベル (H レベル) にされる。例えば順方向シフトの場合には、図 1 7 の如く、電源投入後に、初期リセット用のパルスとして順方向スタート信号 $S T n$ が H レベルになる。これにより、単位シフトレジスタ $S R_k$ のノード $N 2$ は、トランジスタ $Q 6$, $Q 7$ により充電されて H レベルになり、その結果、当該単位シフトレジスタ $S R_k$ はリセット状態に初期化 (初期リセット) される。一定期間後、順方向スタート信号 $S T n$ が L レベルに戻るが、トランジスタ $Q 5$, $Q 6$, $Q 7 r$, $Q 7 n$ より構成されるハーフラッチ回路が、ノード $N 1$, $N 2$ のレベルを保持する。

20

【 0 1 3 7 】

そしてその後、通常動作のスタートパルスとして順方向スタート信号 $S T n$ が活性化されると、ゲート線駆動回路 3 0 は順方向シフトの通常動作を行う。順方向シフトの通常動作では、順方向スタート信号 $S T n$ は 1 フレーム期間ごとに活性化されるが、逆方向スタート信号 $S T r$ は L レベルに固定される。

【 0 1 3 8 】

逆方向シフトの場合も、図 1 8 の如く、電源投入後に、初期リセット用パルスとして順方向スタート信号 $S T n$ が一定期間 H レベルになる。但し、それに続いて行われる通常動作では、逆方向スタート信号 $S T r$ が 1 フレーム期間ごとに活性化され、順方向スタート信号 $S T n$ は L レベルに固定される。

30

【 0 1 3 9 】

本実施の形態では、初期リセット信号 $I R S T$ を順方向スタート信号 $S T n$ で代用する例を示したが、逆方向スタート信号 $S T r$ で代用してもよい。その場合、図 1 6 の初期リセット端子 $I R$ に、逆方向スタート信号 $S T r$ が供給される。

【 0 1 4 0 】

この場合の順方向シフトでは、電源投入後に、初期リセット用のパルスとして逆方向スタート信号 $S T r$ が一定期間 H レベルにされ、単位シフトレジスタ $S R_k$ がリセット状態に初期化される。そしてその後、通常動作のスタートパルスとして順方向スタート信号 $S T n$ が 1 フレーム期間ごとに活性化され、ゲート線駆動回路 3 0 は順方向シフトの通常動作を行う。順方向シフトの通常動作では、逆方向スタート信号 $S T r$ は L レベルに固定される。

40

【 0 1 4 1 】

また逆方向シフトでも、電源投入後に、初期リセット用のパルスとして逆方向スタート信号 $S T r$ が一定期間 H レベルにされ、単位シフトレジスタ $S R_k$ がリセット状態に初期化される。但しその後は、通常動作のスタートパルスとして逆方向スタート信号 $S T r$ が 1 フレーム期間ごとに活性化され、ゲート線駆動回路 3 0 は逆方向シフトの通常動作を行う。逆方向シフトの通常動作では、順方向スタート信号 $S T n$ は L レベルに固定される。

50

【 0 1 4 2 】

実施の形態 1 で示した第 2 および第 3 の変更例 (図 7 , 図 8) は本実施の形態にも適用可能である。

【 0 1 4 3 】

< 実施の形態 5 >

実施の形態 1 の単位シフトレジスタ $S R_k$ は、自己の出力信号 G_k を活性化させた後、次段の出力信号 G_{k+1} の活性化に応じてリセット状態に戻るよう構成されていたが、本実施の形態では、本発明を、外部から信号を必要とせずに自らリセット状態に戻ることができる単位シフトレジスタに適用する。

【 0 1 4 4 】

図 19 は、実施の形態 5 に係るゲート線駆動回路 30 の構成を示す図である。本実施の形態の単位シフトレジスタ $S R$ のそれぞれは、自らリセット状態に戻ることができるため、後段の出力信号 G を受ける必要が無い。そのため回路のレイアウト設計が容易になる。また最後段の単位シフトレジスタ $S R_n$ をリセット状態に戻すためのダミー段 $S R D$ も不要である。

10

【 0 1 4 5 】

図 20 は、実施の形態 5 に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図 3 に対し、トランジスタ $Q 4$ が省略されている。またプルダウン駆動回路部 21 (トランジスタ $Q 6$, $Q 7$ から成るインバータ) の入力端は、ノード $N 1$ ではなく、出力端子 $O U T$ に接続される。さらに、ノード $N 2$ と初期リセット端子 $I R$ との間に接続し、ゲートが入力端子 $I N$ に接続されたトランジスタ $Q 10$ が設けられている。

20

【 0 1 4 6 】

図 21 は、実施の形態 5 に係る単位シフトレジスタ $S R_k$ の動作を示す信号波形図である。同図を用いて図 20 の単位シフトレジスタ $S R_k$ の動作を説明する。ここでは、クロック信号 $C L K$, $/ C L K$ の活性期間同士の間には、間隔が設けられていないものとする。即ち、クロック信号 $C L K$ の立ち上がりとクロック信号 $/ C L K$ の立ち下がりとは同時であり、クロック信号 $C L K$ の立ち下がりとクロック信号 $/ C L K$ の立ち上がりとは同時であると仮定する。

【 0 1 4 7 】

時刻 t_0 で電源が投入されると、実施の形態 1 と同様に、その直後の時刻 t_1 で初期リセット信号 $I R S T$ が H レベルになる。これによりノード $N 2$ は、トランジスタ $Q 7$ を通して充電されて H レベルに初期化され、応じてトランジスタ $Q 5$ がオンするためノード $N 1$ は L レベルに初期化される。よってトランジスタ $Q 1$ がオフ、トランジスタ $Q 2$ がオンになり出力端子 $O U T$ は L レベルになる。即ち単位シフトレジスタ $S R_k$ はリセット状態に初期化される。

30

【 0 1 4 8 】

時刻 t_2 で、初期リセット信号 $I R S T$ は L レベルになるが、ここではトランジスタ $Q 2$, $Q 6$, $Q 7$ から成るハーフラッチ回路によりノード $N 2$ は H レベルに維持され、トランジスタ $Q 5$ がオンに維持されるのでノード $N 1$ は L レベルに維持される。よって単位シフトレジスタ $S R_k$ のリセット状態は維持される。

40

【 0 1 4 9 】

続いて通常動作 (信号のシフト動作) が開始され、時刻 t_3 で前段の出力信号 G_{k-1} が活性化されたとする。すると単位シフトレジスタ $S R_k$ では、トランジスタ $Q 3$, $Q 10$ がオンになる。トランジスタ $Q 10$ はトランジスタ $Q 6$ よりもオン抵抗が充分低く設定されており、ノード $N 2$ は L レベルになる。またトランジスタ $Q 3$ がオンになるため、ノード $N 1$ は H レベルに充電される。

【 0 1 5 0 】

そして時刻 t_4 で、前段の出力信号 G_{k-1} が L レベルになると同時にクロック信号 $C L K$ が H レベルになる。すると出力端子 $O U T$ がトランジスタ $Q 1$ を通して充電され、出力信

50

号 G_k が H レベルになる。このときトランジスタ Q_{10} がオフになるが、代わってトランジスタ Q_7 がオンになるためノード N_2 の L レベルは維持される。よってトランジスタ Q_2 はオフに維持されるので、トランジスタ Q_1 , Q_2 に貫通電流が流れることなく、出力端子 OUT (出力信号 G_k) は電位 V_{DD} の H レベルになる。

【 0 1 5 1 】

時刻 t_5 でクロック信号 CLK が L レベルになると、出力端子 OUT がトランジスタ Q_1 を通して放電され、出力信号 G_k のレベルが低下する。出力信号 G_k のレベルが十分に低下すると、トランジスタ Q_7 がオフになるのでノード N_2 のレベルは上昇し、応じてトランジスタ Q_5 , Q_2 がオンになる。それによりノード N_1 は L レベルに変化し、応じてトランジスタ Q_1 がオフになる。つまり単位シフトレジスタ SR_k は、リセット状態となる。このように当該単位シフトレジスタ SR_k は、外部から信号を受けることなく、自らリセット状態に戻ることができる。

10

【 0 1 5 2 】

時刻 t_5 での動作から分かるように、当該単位シフトレジスタ SR_k では、出力信号 G_k の立ち下がり時には、当該出力信号 G_k のレベルが十分に下がった後に、トランジスタ Q_1 がオフになる。

【 0 1 5 3 】

仮に、トランジスタ Q_1 が出力信号 G_k のレベルが十分に下がるのを待たずにオフし始めると、出力信号 G_k の立ち下がり速度が低下する問題が生じる。トランジスタ Q_2 のオン抵抗を十分に小さくすればこの問題を解決できるが、トランジスタ Q_2 のゲート幅を広くする必要があるので、回路の形成面積が増加するという別の問題が生じる。本実施の形態の単位シフトレジスタ SR_k では、これらの問題を伴わない。

20

【 0 1 5 4 】

また図 3 の回路と比較して、ノード N_1 に接続されるトランジスタの数が少なくなるので、ノード N_1 の寄生容量が小さくなる。よって、出力信号 G_k の活性化時に、ノード N_1 が大きく昇圧されるようになり、トランジスタ Q_1 の駆動能力が向上する。よって、出力信号 G_k の立ち上がり速度も高速化される。

【 0 1 5 5 】

なお、図 19 のゲート線駆動回路 30 の構成では、各単位シフトレジスタ SR_k に次段の出力信号 G_{k+1} が入力されないため、そのままでは逆方向シフトはできない。但し、各単位シフトレジスタ SR_k の入力端子 IN に入力される信号を、前段の出力信号 G_{k-1} から次段の出力信号 G_{k+1} に切り換えるスイッチを設ければ、逆方向シフトも可能になり、実施の形態 3 , 4 のような双方向シフトが可能になる。

30

【 0 1 5 6 】

[第 1 の変更例]

図 22 は、実施の形態 5 の第 1 の変更例に係る単位シフトレジスタの回路図である。図 22 の単位シフトレジスタ SR_k は、図 20 の回路に対し、トランジスタ Q_3 のドレインに前段の出力信号 G_{k-1} を供給させたものである。

【 0 1 5 7 】

第 3 電源端子 S_3 およびそれに電位 V_{DD2} を供給するための配線が不要になるため、回路面積の縮小に寄与できると共に、回路のレイアウト設計が容易になるという利点がある。

40

【 0 1 5 8 】

[第 2 の変更例]

図 23 は、実施の形態 5 の第 2 の変更例に係る単位シフトレジスタの回路図である。図 23 の単位シフトレジスタ SR_k は、図 20 の回路に対し、プルダウン駆動回路部 21 にトランジスタ Q_8 , Q_9 で構成されるプッシュプル型のバッファ回路、および入力端子 IN の信号の活性化に応じて当該バッファ回路の出力を非活性化するトランジスタ Q_{11} を設けたものである。トランジスタ Q_6 , Q_7 から成るインバータの出力信号 (ノード N_2 の信号) は、当該バッファ回路を介してトランジスタ Q_2 , Q_5 のゲートに供給される。

50

本変更例では、トランジスタQ2, Q5のゲートが接続するノードを「ノードN2A」と定義する。

【0159】

トランジスタQ8, Q9で構成されるバッファ回路は、ノードN2を入力端、ノードN2Aを出力端としている。トランジスタQ8は、ノードN2に接続したゲートを有し、ノードN2Aと第2電源端子S2との間に接続する。トランジスタQ9は、ノードN2Aと第1電源端子S1との間に接続し、そのゲートはノードN1に接続される。つまりトランジスタQ8はインバータの出力端に接続され、トランジスタQ9のゲートは当該インバータの入力端に接続されている。よってトランジスタQ8, Q9から成るバッファ回路はプッシュプル動作する。従って当該バッファ回路はレシオレス回路となり、高い駆動能力を得ることができる。

10

【0160】

またトランジスタQ11は、ノードN2Aと初期リセット端子IRとの間に接続し、ゲートが入力端子INに接続されている。トランジスタQ11は、前段の出力信号 G_{k-1} に応じてトランジスタQ10がノードN2をLレベルにするときに、上記バッファ回路の出力をLレベルにする。なお、このときトランジスタQ8, Q9は共にオフになっており、トランジスタQ8, Q9, Q11を通して貫通電流は生じない。

【0161】

トランジスタQ6, Q7から成るインバータはレシオ回路であるためその駆動能力を高くすると消費電力の増大を招く。しかし図7の単位シフトレジスタ $S R_k$ では、上記のバッファ回路が設けられているため、インバータの消費電力を低く抑えつつ、プルダウン駆動回路部21の出力信号の駆動能力を高めてノードN2Aに供給することが可能になる。逆に言えば、プルダウン駆動回路部21の駆動能力を一定に維持しつつ、単位シフトレジスタ $S R_k$ の消費電力の削減に寄与できる。

20

【0162】

[第3の変更例]

実施の形態5における上記の各変更例では、クロック信号CLK, /CLKのレベル変化が同時に起こるものと仮定したが、実際の表示装置等では、クロック信号CLKの活性期間とクロック信号/CLKの活性期間との間に間隔が設けられている場合がある。その場合、図20の単位シフトレジスタ $S R_k$ では、前段の出力信号 G_{k-1} の立ち下がりとは当該単位シフトレジスタ $S R_k$ の出力信号 G_k の立ち上がりとの間に間隔ができる。その間はトランジスタQ7, Q10が共にオフになるので、ノードN2のレベルが上昇してトランジスタQ5の抵抗値が下がり、ノードN1が放電されてそのHレベルの電位が下がる。そうするとトランジスタQ1のオン抵抗が高くなり、出力信号 G_k の立ち上がり及び立ち下がり速度が低下するため、動作の高速化の妨げとなる。本変更例では、その対策を施した単位シフトレジスタを提案する。

30

【0163】

図24は、実施の形態5の第3の変更例に係る単位シフトレジスタの回路図である。図24の単位シフトレジスタ $S R_k$ は、図20の回路に対し、トランジスタQ10のゲートに接続するトランジスタQ12, Q13, Q14から成る回路を設けたものである。

40

【0164】

トランジスタQ10のゲートが接続するノードを「ノードN3」と定義すると、トランジスタQ12は、入力端子INに接続したゲートを有し、第2電源端子S2とノードN3との間に接続される。トランジスタQ13, Q14は、共にノードN3と第1電源端子S1との間に接続するが、トランジスタQ13のゲートは出力端子OUTに接続され、トランジスタQ14のゲートはノードN2に接続される。

【0165】

ノードN3は、前段の出力信号 G_{k-1} がHレベルになるとトランジスタQ12を通して充電されHレベルになる。応じてトランジスタQ10がオンしてノードN2がLレベルになり、トランジスタQ14がオフになる。またこのとき出力信号 G_k はLレベルなのでト

50

ランジスタQ13もオフである。よって前段の出力信号 G_{k-1} がLレベルに戻りランジスタQ12がオフになっても、ノードN3は高インピーダンス状態（フローティング状態）でHレベルに維持され、ランジスタQ10はオン状態に維持される。従って、前段の出力信号 G_{k-1} の立ち下がりと同該単位シフトレジスタ $S R_k$ の出力信号 G_k の立ち上がりとの間に間隔があっても、その間ノードN2はLレベルに維持される。

【0166】

その後出力信号 G_k がHレベルになると、ランジスタQ13がオンになってノードN3はLレベルになる。応じてランジスタQ10がオフになるが、代わってランジスタQ7がオンになるためノードN2のLレベルは維持される。

【0167】

このようにランジスタQ12, Q13, Q14から成る回路は、前段の出力信号 G_{k-1} の立ち上がりから出力信号 G_k の立ち上がりまでの間、ランジスタQ10をオン状態に維持させるように機能する。そのため、前段の出力信号 G_{k-1} の立ち下がりと同該単位シフトレジスタ $S R_k$ の出力信号 G_k の立ち上がりとの間に間隔がある場合でも、上記の問題は生じない。

【0168】

実施の形態1の第1の変更例（図6）のように、ランジスタQ3, Q6のドレインに前段の出力信号 G_{k-1} を供給させてもよい。つまりランジスタQ3を入力端子INとノードN1との間にダイオード接続させると共に、ランジスタQ5を入力端子INとノードN3との間にダイオード接続させてもよい。それにより、第3電源端子S3およびそれに電位VDD2を供給するための配線が不要になるため、回路面積の縮小に寄与できると共に、回路のレイアウト設計が容易になる。

【0169】

また本変更例に係る単位シフトレジスタ $S R_k$ にも、図23と同様のランジスタQ8, Q9から成るバッファ回路および同該バッファ回路の出力を非活性化するランジスタQ11を設けることもできる。その場合、ランジスタQ11のゲートもノードN3に接続される。

【0170】

<実施の形態6>

図25は、実施の形態6に係る単位シフトレジスタの回路図である。同該単位シフトレジスタ $S R_k$ は、本発明を上記の特許文献3の図7の単位シフトレジスタに適用したものである。

【0171】

図25から分かるように、同該単位シフトレジスタ $S R_k$ は、図6の回路に対し、プルダウン駆動回路21（インバータ）の負荷素子として、ノードN2とクロック端子CKとの間に接続された容量素子C2を用いたものである。つまり、プルダウン駆動回路部21は、クロック端子CKに供給されるクロック信号が電源として供給される、容量性負荷型のインバータを構成している。なお、ランジスタQ3のソースは、図3と同様に第2電源端子S2に接続させてもよい。

【0172】

同該単位シフトレジスタ $S R_k$ において、電源投入時にノードN1がHレベルになったと仮定する。このとき初期リセット信号IRSTが活性化されると、ランジスタQ7がオンになり、ノードN2のレベルが上昇し、Hレベルに初期化される。これによりランジスタQ5がオンになり、ノードN1は放電されてLレベルに初期化される。つまり同該単位シフトレジスタ $S R_k$ は、実施の形態1と同様に、初期リセット信号IRSTの活性化に応じてリセット状態に初期化される。

【0173】

本実施の形態の単位シフトレジスタ $S R_k$ は、実施の形態2に対しても適用可能である。つまり初期リセット信号IRSTに代えて、スタート信号STを用いてもよい。但し、実施の形態2でも説明したように、その場合には貫通電流の発生を防止するために、第1

10

20

30

40

50

段目の単位シフトレジスタ $S R_1$ については、初期化動作を行わない（トランジスタ Q_7 のドレインを第 1 電源端子 S_1 に接続させる）ことが好ましい。

【0174】

〔変更例〕

図 25 の回路において、初期リセット信号 $I R S T$ が H レベルになるとトランジスタ Q_7 がノード N_2 を充電するが、ノード N_2 のレベルが上昇するに従い、トランジスタ Q_5 がオンになりノード N_1 のレベルが低下するため、トランジスタ Q_7 はオフ状態へと向かう。

【0175】

例えば図 3 の回路であれば、トランジスタ Q_7 がオフになった後もノード N_2 はトランジスタ Q_6 を通して充電され続けるが、図 25 の回路ではトランジスタ Q_7 がオフになった時点でノード N_2 のレベル上昇は停止する。そのため図 25 の回路では、ノード N_2 は $V_{DD} - V_{th}$ よりも低い電位の H レベルに初期化される。そのため図 3 の回路と比較して、初期化動作時のトランジスタ Q_5 のオン抵抗が高くなり、ノード N_1 を L レベル (V_{SS}) に初期化するための放電に一定の時間がかかる。その結果、初期化に要する時間が長くなるという問題が生じる。

【0176】

図 26 は、実施の形態 6 の変更例に係る単位シフトレジスタであり、この問題の対策が施されている。当該単位シフトレジスタ $S R_k$ は、図 25 の回路に対し、初期リセット端子 $I R$ とノード N_2 との間に、初期リセット端子 $I R$ に接続したゲートを有するトランジスタ Q_{15} を接続させたものである（即ちトランジスタ Q_{15} は、初期リセット端子 $I R$ とノード N_2 との間にダイオード接続されている）。

【0177】

トランジスタ Q_{15} は、初期リセット信号 $I R S T$ が H レベルの間、オン状態を維持する。よってノード N_1 のレベル上昇に応じてトランジスタ Q_7 がオフした後も、ノード N_2 はトランジスタ Q_{15} を通して充電されることとなる。よってノード N_2 は、電位 $V_{DD} - V_{th}$ の H レベルに初期化される。従って、トランジスタ Q_5 は、図 3 の場合と同等の速度でノード N_1 を放電することができ、上記の問題は解決される。

【0178】

なお、シフトレジスタの通常動作時には、初期リセット信号 $I R S T$ は L レベルに固定されるので、トランジスタ Q_{15} はオフに維持される。よってトランジスタ Q_{15} は、単位シフトレジスタ $S R_k$ の通常動作には影響を与えない。

【図面の簡単な説明】

【0179】

【図 1】実施の形態 1 に係る表示装置の構成を示す概略ブロック図である。

【図 2】実施の形態 1 に係るゲート線駆動回路の構成を示す図である。

【図 3】実施の形態 1 に係る単位シフトレジスタの回路図である。

【図 4】実施の形態 1 に係るゲート線駆動回路のダミー段を示す図である。

【図 5】実施の形態 1 に係る単位シフトレジスタの動作を説明するための信号波形図である。

【図 6】実施の形態 1 の第 1 の変更例に係る単位シフトレジスタの回路図である。

【図 7】実施の形態 1 の第 2 の変更例に係る単位シフトレジスタの回路図である。

【図 8】実施の形態 1 の第 3 の変更例に係る単位シフトレジスタの回路図である。

【図 9】実施の形態 2 に係るゲート線駆動回路の構成を示す図である。

【図 10】実施の形態 2 に係る単位シフトレジスタの回路図である。

【図 11】実施の形態 2 に係るゲート線駆動回路の第 1 段目を示す図である。

【図 12】実施の形態 2 における問題点を解決するためのスタートパルスの波形図である。

。

【図 13】実施の形態 3 に係るゲート線駆動回路の構成を示す図である。

【図 14】実施の形態 3 に係る単位シフトレジスタの回路図である。

10

20

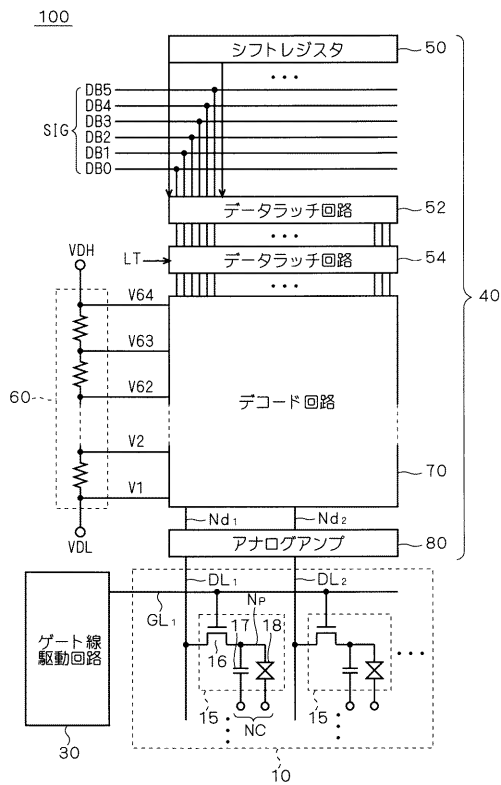
30

40

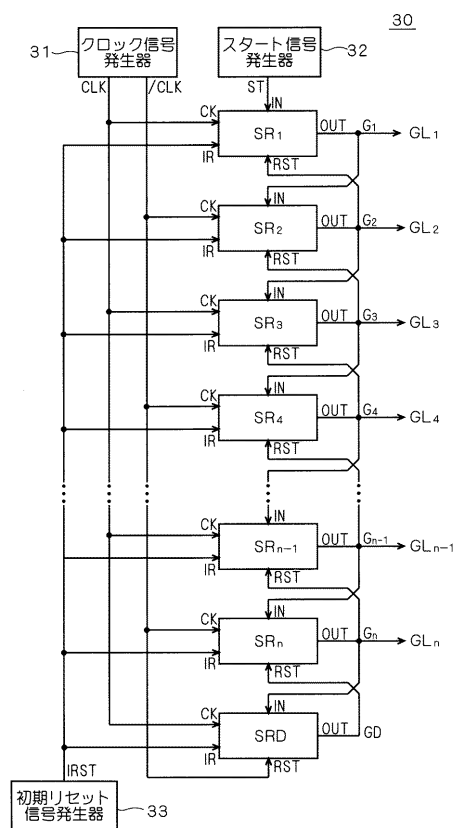
50

- 【図15】実施の形態4に係るゲート線駆動回路の構成を示す図である。
- 【図16】実施の形態4に係る単位シフトレジスタの回路図である。
- 【図17】実施の形態4における順方向シフト時のスタートパルスの波形図である。
- 【図18】実施の形態4における逆方向シフト時のスタートパルスの波形図である。
- 【図19】実施の形態5に係るゲート線駆動回路の構成を示す図である。
- 【図20】実施の形態5に係る単位シフトレジスタの回路図である。
- 【図21】実施の形態5に係る単位シフトレジスタの動作を説明するための信号波形図である。
- 【図22】実施の形態5の第1の変更例に係る単位シフトレジスタの回路図である。
- 【図23】実施の形態5の第2の変更例に係る単位シフトレジスタの回路図である。
- 【図24】実施の形態5の第3の変更例に係る単位シフトレジスタの回路図である。
- 【図25】実施の形態6に係る単位シフトレジスタの回路図である。
- 【図26】実施の形態6の変更例に係る単位シフトレジスタの回路図である。
- 【符号の説明】
- 【0180】
- 30 ゲート線駆動回路、31 クロック信号発生器、32 スタート信号発生器、33 初期リセット信号発生器、SR 単位シフトレジスタ、GL ゲート線、20 出力回路部、21 プルダウン駆動回路部、22 プルアップ駆動回路部。

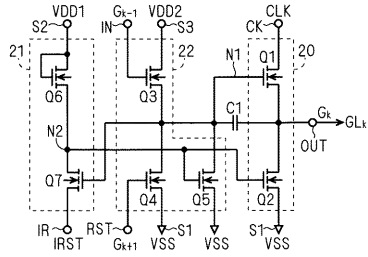
【図1】



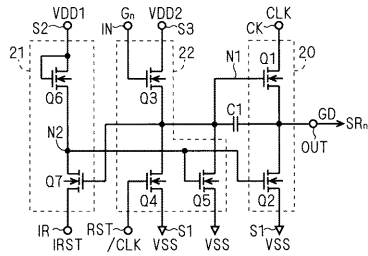
【図2】



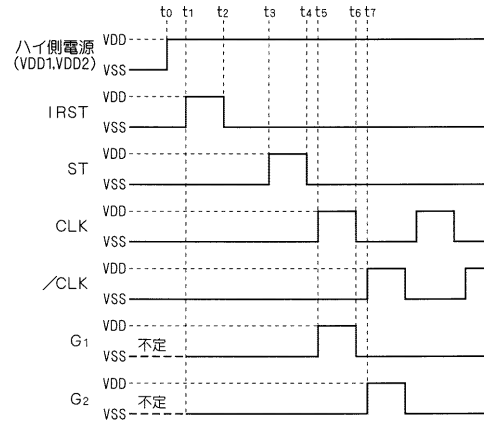
【 図 3 】



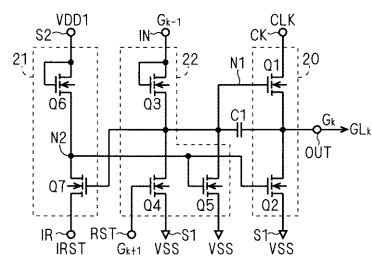
【 図 4 】



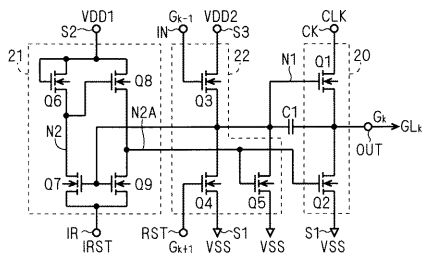
【 図 5 】



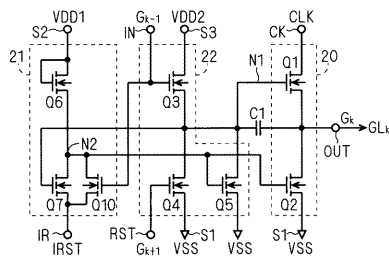
【 図 6 】



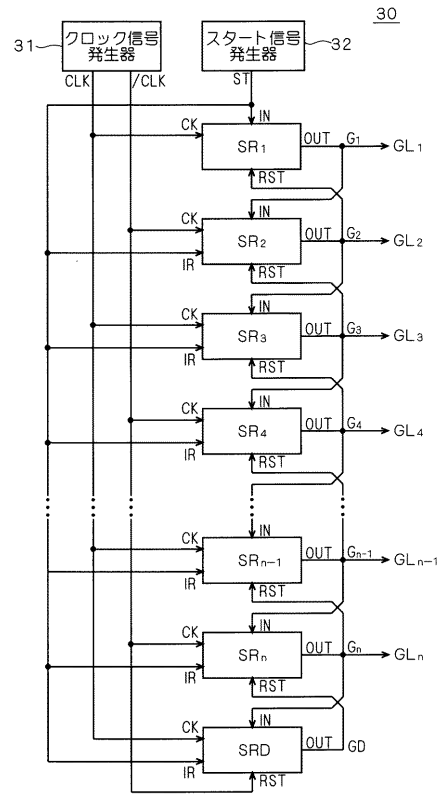
【 図 7 】



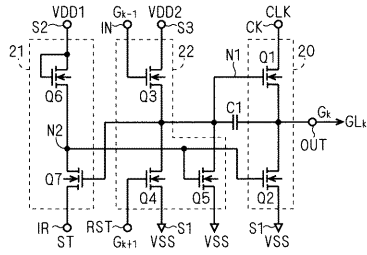
【 図 8 】



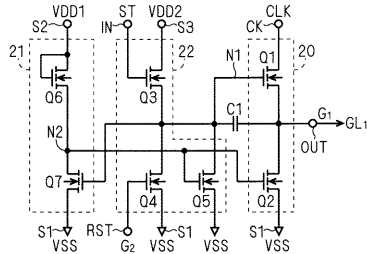
【 図 9 】



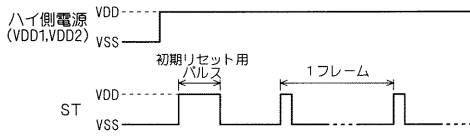
【図10】



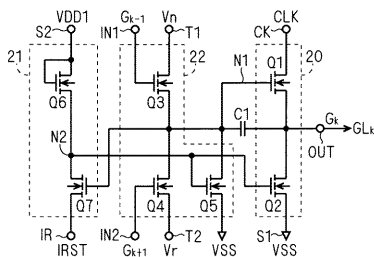
【図11】



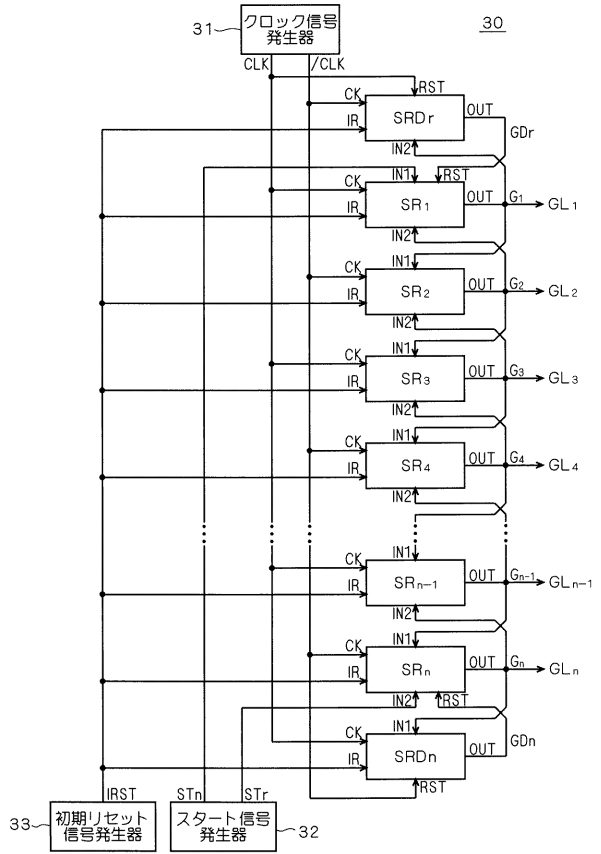
【図12】



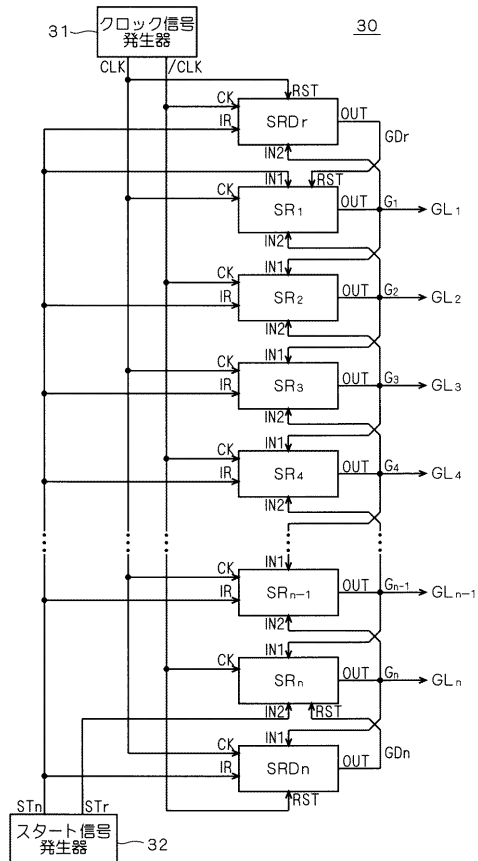
【図14】



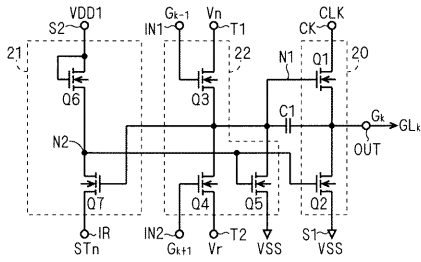
【図13】



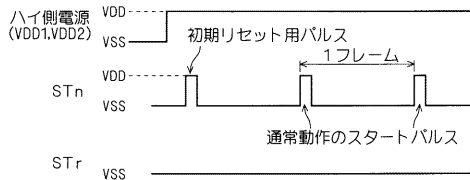
【図15】



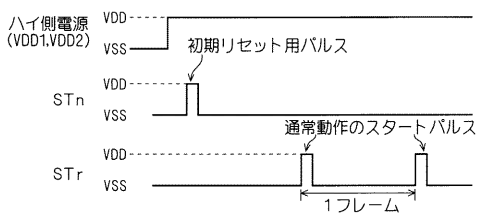
【図16】



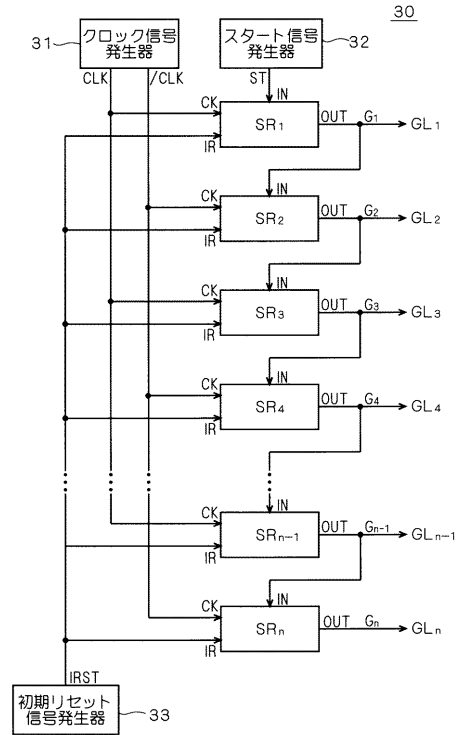
【図17】



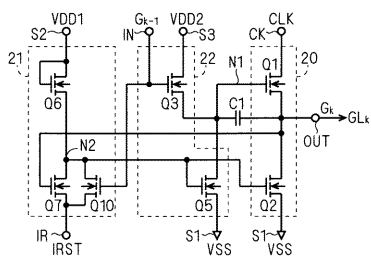
【図18】



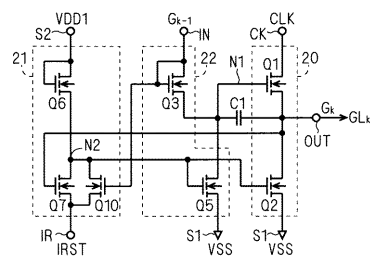
【図19】



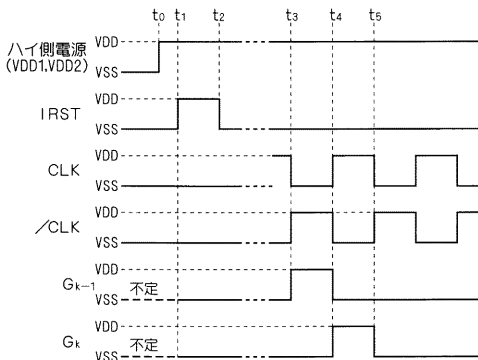
【図20】



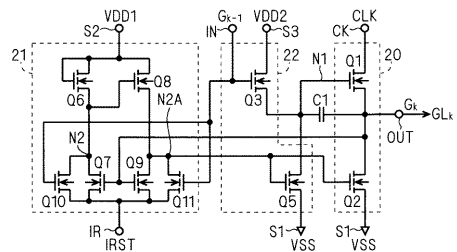
【図22】



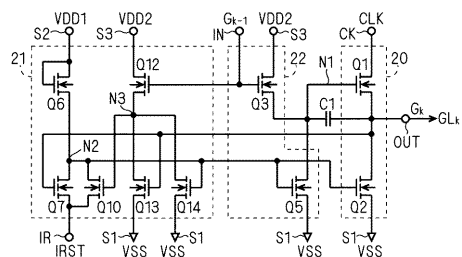
【図21】



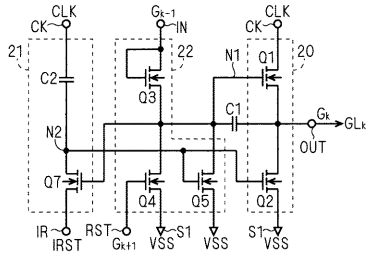
【図23】



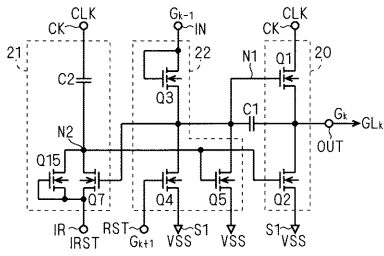
【図24】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 F