



MD 2844 F1 2005.08.31

REPUBLICA MOLDOVA



(19) Agenția de Stat
pentru Proprietatea Intelectuală

(11) **2844** ⁽¹³⁾ **F1**
(51) Int.Cl: *H03C 3/24* (2006.01)
H03C 3/10 (2006.01)

(12) **BREVET DE INVENȚIE**

Hotărârea de acordare a brevetului de invenție poate fi revocată în termen de 6 luni de la data publicării	
(21) Nr. depozit: a 2004 0280 (22) Data depozit: 2004.11.25	(45) Data publicării hotărârii de acordare a brevetului: 2005.08.31, BOPi nr. 8/2005
(71) Solicitant: UNIVERSITATEA TEHNICĂ A MOLDOVEI, MD (72) Inventatori: NASTAS Vitalie, MD; CAZAC Artur, UA (73) Titular: UNIVERSITATEA TEHNICĂ A MOLDOVEI, MD	

(54) Defazor

(57) Rezumat:

Invenția se referă la radioelectronica și poate fi utilizată pentru introducerea defazajului programat în calea semnalului.

Esența invenției constă în aceea că defazorul conține primul etaj 1 dotat cu o intrare 2 de semnal, o ieșire 3 de semnal, un contact 4 la masă, precum și două rezistoare 6,7, un amplificator 5 operațional și un condensator 8 conectat cu un contact la intrarea neînversoare a amplificatorului operațional, unul din rezistoare 6 este conectat în circuitul reacției negative a amplificatorului operațional, între intrarea inversoare a căruia și intrarea de semnal a etajului este conectat al doilea rezistor 7, iar la ieșirea amplificatorului operațional este conectată ieșirea de semnal. Primul etaj conține suplimentar un convertor digital-analogic 9 de tip cod-rezistență, conectat cu ieșirea între intrarea neînversoare a amplificatorului operațional și contactul la masă, iar al doilea contact al condensatorului este conectat la intrarea de semnal a etajului. Totodată defazorul conține suplimentar al doilea 10 și al treilea 11 etaje, având aceeași structură ca și primul, conectate în cascadă la ieșirea acestuia, precum și un bloc 13 de memorie permanentă cu $n + m + c$ ieșiri digitale, conectat cu n ieșiri la intrarea convertorului digital-analogic al

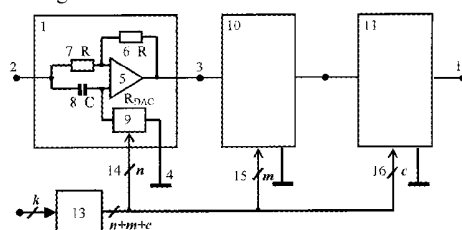
primului etaj, cu m ieșiri – la intrarea convertorului digital-analogic al etajului al doilea și cu c ieșiri – la intrarea convertorului digital-analogic al etajului al treilea.

Elementele primului etaj asigură banda de reglare a defazajului $(0 - \varphi_1)^\circ$, elementele etajului al doilea – $(0 - \varphi_2)^\circ$, iar elementele etajului al treilea – $(0 - \varphi_3)^\circ$, așa încât $\varphi_1 + \varphi_2 + \varphi_3 = 360^\circ$.

Blocul de memorie permanentă conține un tabel programat de coduri numerice care asigură o dependență sumară liniară a defazajului de codul de intrare al blocului de memorie și pasul necesar de reglare a defazajului.

Revendicări: 3

Figuri: 1



MD 2844 F1 2005.08.31

MD 2844 F1 2005.08.31

3

Descriere:

Invenția se referă la domeniul radioelectronicii și poate fi utilizată pentru introducerea defazajului programat în calea semnalului.

5 Cel mai apropiat după esența tehnică de defazorul propus este defazorul [1]. Defazorul cunoscut conține două rezistoare, un amplificator operațional, un condensator și un rezistor variabil, unde primul rezistor este conectat în reacția negativă a amplificatorului operațional, al doilea rezistor este conectat între intrarea lui inversoare și intrarea defazorului, condensatorul este conectat între intrarea neinversoare a amplificatorului operațional și intrarea defazorului, iar rezistorul variabil este conectat între intrarea neinversoare a amplificatorului operațional și masă. Mărimea defazajului se reglează prin
10 reglarea rezistorului variabil.

Defazorul cunoscut posedă următoarele neajunsuri:

- imposibilitatea reglării defazajului în banda $0...360^\circ$;
- dependența neliniară a defazajului de mărimea rezistenței rezistorului variabil;
- imposibilitatea reglării cu pasul necesar în toată banda de defazaje;
- 15 - imposibilitatea reglării defazajului cu cod digital.

Neajunsurile remarcate împiedică utilizarea defazorului în dispozitive radioelectronice și de măsurare programabile care necesită reglarea cu precizie înaltă a defazajului în banda $0...360^\circ$ și dependența liniară a defazajului de codul digital.

20 Problemele pe care le rezolvă invenția sunt mărirea preciziei defazorului, lărgirea benzii de reglare și asigurarea dependenței liniare a defazajului de codul digital, iar ca urmare – lărgirea domeniului de utilizare.

Problemele propuse se soluționează prin faptul că defazorul conține primul etaj dotat cu o intrare de semnal, o ieșire de semnal, un contact la masă, precum și cu două rezistoare, un amplificator operațional și un condensator conectat cu un contact la intrarea neinversoare a amplificatorului operațional, unul din rezistoare fiind conectat în circuitul reacției negative a amplificatorului operațional, al doilea rezistor – între intrarea lui inversoare și intrarea de semnal a etajului, ieșirea de semnal fiind conectată la ieșirea amplificatorului operațional. Totodată primul etaj conține suplimentar un convertor digital-analogic de tip cod-rezistență, conectat cu ieșirea între intrarea neinversoare a amplificatorului operațional și contactul la masă, iar al doilea contact al condensatorului este conectat la intrarea de semnal a etajului, defazorul conține suplimentar al doilea și al treilea etaje, având aceeași structură ca și primul, conectate în cascadă la ieșirea acestuia, precum și un bloc de memorie permanentă cu $n + m + c$ ieșiri digitale, conectat cu n ieșiri la intrarea convertorului digital-analogic al primului etaj, cu m ieșiri – la intrarea convertorului digital-analogic al etajului al doilea și cu c ieșiri – la intrarea convertorului digital-analogic al etajului al treilea.

35 Problemele propuse se soluționează de asemenea prin faptul că elementele din primul etaj posedă nominale care asigură banda de reglare a defazajului $(0 - \varphi_1)^\circ$, din al doilea etaj – $(0 - \varphi_2)^\circ$, iar din al treilea etaj – $(0 - \varphi_3)^\circ$, așa încât $\varphi_1 + \varphi_2 + \varphi_3 = 360^\circ$.

Problemele propuse se soluționează de asemenea și prin faptul că blocul de memorie fixă conține un tabel de coduri digitale programat care asigură o dependență sumară liniară a defazajului de codul de intrare al blocului de memorie și pasul necesar de reglare a defazajului.

40 Schema defazorului este reprezentată în figură.

În componența defazorului intră primul etaj 1 dotat cu o intrare de semnal 2, cu o ieșire de semnal 3 și cu un contact la masă 4, și care, la rândul său, conține un amplificator operațional 5 cu un rezistor 6 conectat la intrarea 2 a primului etaj 1, iar cu cel de-al doilea contact respectiv la intrările neinversoare și inversoare ale amplificatorului operațional, precum și un convertor digital – analogic 9 de tip cod – rezistență conectat cu ieșirea între intrarea neinversoare a amplificatorului operațional 5 și contactul la masă 4. Defazorul mai conține de asemenea al doilea 10 și al treilea 11 etaje cu aceeași structură ca și primul etaj 1 conectate în cascadă cu intrările și ieșirile de semnal la ieșirea 3 a primului etaj, astfel încât ieșirea 12 a celui de-al treilea etaj 11 formează ieșirea defazorului. În componența defazorului intră de asemenea un bloc de memorie fixă 13 cu $n + m + c$ ieșiri digitale și k intrări digitale, ale cărui n , m , c ieșiri sunt conectate respectiv la intrările 14, 15 și 16 ale convertoarelor digital – analogice din primul, al doilea și al treilea etaje ale defazorului, iar la k intrări se aplică codul de reglare a defazajului.

Defazorul funcționează în modul următor.

55 Primul etaj 1 asigură reglarea defazajului între semnalul de intrare și semnalul de ieșire în banda $(0 - \varphi_1)^\circ$, al doilea etaj – în banda $(0 - \varphi_2)^\circ$, al treilea etaj – în banda $(0 - \varphi_3)^\circ$. Valorile φ_1 , φ_2 , φ_3 se aleg astfel încât $\varphi_1 + \varphi_2 + \varphi_3 = 360^\circ$ și se asigură prin alegerea nominalelor elementelor 6, 7, 8, 9 din fiecare etaj din relația

$$\varphi_2 = 2 \arctg (\omega CR_{DAC}), \quad (1)$$

MD 2844 F1 2005.08.31

4

unde: φ – defazajul, ω – frecvența semnalului, C – valoarea capacității condensatorului, R_{DAC} – valoarea maximă a rezistenței de ieșire a convertorului digital – analogic.

5 Valoarea sumară a defazajului introdus de defazor se determină ca suma defazajelor φ_1 , φ_2 , φ_3 introduse de fiecare etaj. Reglarea defazajelor etajelor se efectuează prin variația codurilor digitale de intrare ale convertoarelor digital – analogice din etajele respective, obținute la ieșirea blocului de memorie fixă 13 și constituie tabelul de programare a acestuia. Acest tabel se alcătuiește pe baza relației (1) pentru fiecare etaj, astfel încât dependența defazajului sumăr al defazorului de codul de intrare k al blocului de memorie să fie liniară pentru fiecare caz de utilizare concretă. Pentru aceasta primul și al doilea etaje se utilizează pentru reglare brută a defazajului și asigură în special banda necesară, al treilea etaj – pentru reglare fină și asigură pasul necesar și precizia de reglare. La variația codului digital de intrare al blocului de memorie fixă de la zero până la valoarea maximă are loc citirea consecutivă a conținutului memoriei care constituie codurile de reglare ale etajelor defazorului, ceea ce se soldează cu variația defazajelor etajelor de la valoarea zero până la valorile φ_1 pentru primul etaj, φ_2 pentru etajul al doilea și φ_3 pentru etajul al treilea.

15 Ca exemplu de realizare practică a defazorului poate servi varianta în care primul și al doilea etaje asigură reglarea defazajului în benzile $0 - 160^\circ$, al treilea – în banda $0 - 40^\circ$. Mărimile codurilor digitale constituie $n = m = 4$ biți, $c = 8$ biți. Blocul de memorie fixă are un volum de 1024×16 biți și este comandat de un cod de intrare $k = 10$ biți, ceea ce asigură 1024 de valori ale defazajului cu pasul de $0,1\%$ în banda $0 - 360^\circ$. Valorile elementelor etajelor defazorului constituie: $R = 10 \text{ K}\Omega$, $R_{DAC} = 256 \text{ K}\Omega$ pentru toate trei etajele, $C = 10^{-7} \text{ F}$ pentru primele două etaje și $C = 2,5 \cdot 10^{-8} \text{ F}$ pentru etajul al treilea.

20 Rezultatul invenției prezintă un defazor programabil cu banda de reglare a defazajului $0 - 360^\circ$ și cu dependență liniară a defazajului de cod.

25

(57) Revendicări:

1. Defazor ce conține primul etaj dotat cu o intrare de semnal, o ieșire de semnal, un contact la masă, precum și cu două rezistoare, un amplificator operațional și un condensator conectat cu un contact la intrarea neînversoare a amplificatorului operațional, unul din rezistoare fiind conectat în circuitul reacției negative a amplificatorului operațional, al doilea rezistor – între intrarea lui înversoare și intrarea de semnal a etajului, ieșirea de semnal fiind conectată la ieșirea amplificatorului operațional, **caracterizat prin aceea că** primul etaj conține suplimentar un convertor digital-analogic de tip cod-rezistență, conectat cu ieșirea între intrarea neînversoare a amplificatorului operațional și contactul la masă, iar al doilea contact al condensatorului este conectat la intrarea de semnal a etajului, totodată defazorul conține suplimentar al doilea și al treilea etaje, având aceeași structură ca și primul, conectate în cascadă la ieșirea acestuia, precum și un bloc de memorie permanentă cu $n + m + c$ ieșiri digitale, conectat cu n ieșiri la intrarea convertorului digital-analogic al primului etaj, cu m ieșiri – la intrarea convertorului digital-analogic al etajului al doilea și cu c ieșiri – la intrarea convertorului digital-analogic al etajului al treilea.

2. Defazor conform revendicării 1, **caracterizat prin aceea că** elementele primului etaj asigură banda de reglare a defazajului $(0 - \varphi_1)^\circ$, elementele etajului doi – $(0 - \varphi_2)^\circ$, iar elementele etajului trei – $(0 - \varphi_3)^\circ$, așa încât $\varphi_1 + \varphi_2 + \varphi_3 = 360^\circ$.

3. Defazor conform revendicărilor 1 și 2, **caracterizat prin aceea că** blocul de memorie permanentă conține un tabel programat de coduri numerice, care asigură o dependență sumară liniară a defazajului de codul de intrare al blocului de memorie și pasul necesar de reglare a defazajului.

(56) Referințe bibliografice:

1. Достал И. Операционные усилители. Москва, Мир, 1982, p. 196

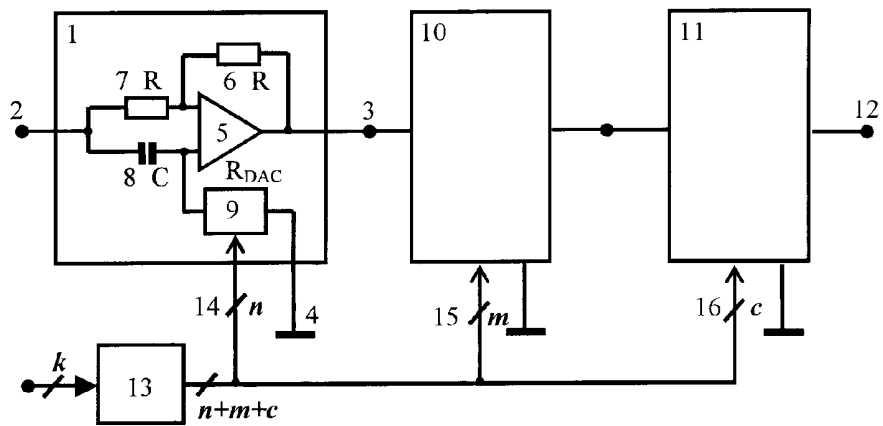
Șef Secție: NEKLIUDOVA Natalia

Examinator: NASTAS Xenia

Redactor: CANȚER Svetlana

MD 2844 F1 2005.08.31

5



RAPORT DE DOCUMENTARE

(21) Nr. depozit: a 2004 0280	(85) Data fazei naționale PCT:
(22) Data depozit: 2004.11.25	(86) Cerere internațională PCT:
Prioritatea invocată : (31) nr.: 32) data : 33) țara : (51) ⁷ : H 03 C 3/24, 3/10 Alți indici de clasificare: Titlul : Defazor (71) Solicitantul : UNIVERSITATEA TEHNICĂ A MOLDOVEI, MD Termeni caracteristici : defazor	
I. Minimul de documente consultate (sistema clasificării și indici de clasificare Int. Cl. (7))	
(MD, EA, SU)	
Int. Cl. ⁷ H 03 C 3/24, 3/10	
II. Documente considerate ca relevante	
Categoria*	Date de identificare ale documentelor citate și indicarea pasajelor pertinente
-	-
☐ Documentele următoare sunt indicate în continuare a rubricii II	
☐ Informația referitoare la brevete paralele se anexează	
* categoriile speciale ale documentelor consultate:	P - document publicat înainte de data de depozit dar după data priorității invocate
A - document care definește stadiul anterior general	T - document publicat după data de depozit sau a priorității invocate, care nu aparține stadiului pertinent al tehnicii, dar care este citat pentru a pune în evidență principiul sau teoria care conține baza invenției
E - document anterior dar publicat la data de depozit național reglementar sau după aceasta data	X - document de relevanță deosebită: invenția revendicată nu poate fi considerată nouă sau implicând activitate inventivă
L - document care poate pune în discuție data priorității invocate, poate contribui la determinarea datei publicării altor divulgări sau pentru un motiv expres (se va indica motivul)	Y - document de relevanță deosebită: invenția revendicată nu poate fi considerată ca implicând activitate inventivă cand documentul este asociat cu unul sau mai multe alte documente de aceeași natură, aceasta combinație fiind evidentă pentru o persoană de specialitate
O - document referitor la o divulgare orală, un act de folosire, la o expunere sau orice altă	& - document care face parte din aceeași familie de documente
Data finalizării documentării 2005.06.23	
Examinatorul Nastas	

ANEXĂ

RAPORT DE DOCUMENTARE

Informația referitoare la brevete paralele		(21) Nr depozit:	
Date de identificare ale documentelor citate în raport	Data publicării	Brevete paralele	Data publicării
1	2	3	4