

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3886577号

(P3886577)

(45) 発行日 平成19年2月28日(2007.2.28)

(24) 登録日 平成18年12月1日(2006.12.1)

(51) Int. Cl.

F I

H O 1 L 21/8238 (2006.01)

H O 1 L 27/08 3 2 1 D

H O 1 L 27/092 (2006.01)

H O 1 L 29/78 6 1 3 A

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 F

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 O

H O 1 L 29/78 6 2 7 G

請求項の数 6 (全 15 頁)

(21) 出願番号 特願平8-308685
 (22) 出願日 平成8年11月4日(1996.11.4)
 (65) 公開番号 特開平10-135353
 (43) 公開日 平成10年5月22日(1998.5.22)
 審査請求日 平成15年11月4日(2003.11.4)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 北島 健次

(56) 参考文献 特開平07-273349 (JP, A)
 特開平08-274330 (JP, A)
 特開平07-099314 (JP, A)
 特開昭60-134468 (JP, A)
 特開昭53-068177 (JP, A)
 特開平07-045715 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に形成されたNチャネル型薄膜トランジスタおよびPチャネル型薄膜トランジスタとを相補的に組み合わせたCMOS回路を有する半導体装置において、

前記Nチャネル型薄膜トランジスタは、前記基板上に形成され結晶性珪素膜からなる第1の活性層と、前記第1の活性層に形成される第1のソース領域、第1のドレイン領域及び第1のチャネル形成領域を有し、

前記Pチャネル型薄膜トランジスタは、前記基板上に形成され結晶性珪素膜からなる第2の活性層と、前記第2の活性層に形成される第2のソース領域、第2のドレイン領域及び第2のチャネル形成領域を有し、

前記Nチャネル型薄膜トランジスタの第1の活性層および前記Pチャネル型薄膜トランジスタの第2の活性層は結晶粒界に方向性があり、かつ、前記基板と概略平行な針状または柱状結晶が集合してなる結晶構造体で構成され、

前記Nチャネル型薄膜トランジスタに用いられる結晶構造体は前記Pチャネル型薄膜トランジスタに用いられる結晶構造体に比べて針状または柱状結晶の結晶幅が狭くなっていることを特徴とする半導体装置。

【請求項2】

絶縁表面を有する基板上に形成されたNチャネル型薄膜トランジスタおよびPチャネル型薄膜トランジスタとを相補的に組み合わせたCMOS回路を有する半導体装置において

10

20

、
前記Nチャネル型薄膜トランジスタは、前記基板上に形成され結晶性珪素膜からなる第1の活性層と、前記第1の活性層に形成される第1のソース領域、第1のドレイン領域及び第1のチャネル形成領域を有し、

前記Pチャネル型薄膜トランジスタは、前記基板上に形成され結晶性珪素膜からなる第2の活性層と、前記第2の活性層に形成される第2のソース領域、第2のドレイン領域及び第2のチャネル形成領域を有し、

前記第1のソース領域、前記第1のドレイン領域、前記第2のソース領域及び前記第2のドレイン領域は、それぞれの表面又は全体がシリサイドでなり、

前記Nチャネル型薄膜トランジスタの第1の活性層および前記Pチャネル型薄膜トランジスタの第2の活性層は結晶粒界に方向性があり、かつ、前記基板と概略平行な針状または柱状結晶が集合してなる結晶構造体で構成され、

10

前記Nチャネル型薄膜トランジスタに用いられる結晶構造体は前記Pチャネル型薄膜トランジスタに用いられる結晶構造体に比べて針状または柱状結晶の結晶幅が狭くなっていることを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第1の活性層の膜厚は前記第2の活性層の膜厚よりも薄いことを特徴とする半導体装置。

【請求項4】

20

絶縁表面を有する基板上にNチャネル型薄膜トランジスタおよびPチャネル型薄膜トランジスタとを相補的に組み合わせたCMOS回路を有する半導体装置の作製方法において、

前記基板上に結晶性珪素膜を形成し、

前記結晶性珪素膜を用いて、前記Nチャネル型薄膜トランジスタの第1の活性層及び前記Pチャネル型薄膜トランジスタの第2の活性層を形成し、

前記第1の活性層に、第1のソース領域、第1のドレイン領域及び第1のチャネル形成領域を形成し、

前記第2の活性層に、第2のソース領域、第2のドレイン領域及び第2のチャネル形成領域を形成し、

30

前記第1の活性層および前記第2の活性層は結晶粒界に方向性があり、かつ、前記基板と概略平行な針状または柱状結晶が集合してなる結晶構造体で構成され、

前記第1の活性層における前記針状または柱状結晶の結晶幅は前記第2の活性層の結晶幅よりも狭くすることを特徴とする半導体装置の作製方法。

【請求項5】

請求項4において、

前記結晶性珪素膜は、非晶質珪素膜に結晶化を助長させる金属元素を導入し、加熱によって結晶化させて形成されることを特徴とする半導体装置の作製方法。

【請求項6】

請求項4又は請求項5において、

40

前記第1の活性層の膜厚は前記第2の活性層の膜厚よりも薄いことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本明細書で開示する発明は、結晶性を有する半導体膜を用いた半導体装置およびその作製方法に関する。特に、半導体膜として珪素膜を用いたCMOS構造を有する半導体装置に関する。

【0002】

【従来の技術】

50

近年、絶縁ゲイト型トランジスタを用いたCMOS技術が盛んに開発されている。ところが、特開平4-206971号公報や特開平4-286339号公報に記載されている様に、結晶性珪素膜を活性層とするN型トランジスタの電気特性はデプレッション方向（負側）にシフトし、P型トランジスタはエンハンスメント方向（負側）にシフトする傾向にある。この原因は、導電型の違いによるゲイト電極と活性層との仕事関数差によるものと考えられている。

【0003】

上述のトランジスタの電気特性（ I_d - V_g 特性）の模式図を図2に示す。横軸 V_g はゲイト電圧であり、縦軸 I_d はドレイン電流である。また、201はN型トランジスタの特性であり、202はP型トランジスタの特性を示す。なお、201および202で示される I_d - V_g 特性が V_g 軸と接する接点がしきい値電圧を示している。

10

【0004】

ここで203で示されるのはウィンドウ幅（ V_{win} ）であり、N型トランジスタのしきい値電圧（ $V_{th,n}$ ）およびP型トランジスタのしきい値電圧（ $V_{th,p}$ ）の差（ $=V_{th,n}-V_{th,p}$ ）で定義される。また、204はウィンドウ中心（ V_{cen} ）であり、ウィンドウ幅の中央値（ $=1/2 V_{win}$ ）で定義される。

【0005】

この時、従来のCMOS回路はウィンドウ幅（ V_{win} ）が全体的に負側にシフトするため結果的にウィンドウ中心（ V_{cen} ）が0V以下となる。特開平4-206971号公報によると、このしきい値電圧の相違による出力電圧の偏りがCMOS回路の特性を低下させる原因となるのである。

20

【0006】

この解決案としてチャネル形成領域に対して一導電性を付与する不純物（リンまたはボロン）を添加してしきい値制御を行う方法（以後、チャネルドーピング法と呼ぶ）がある。しかしながら、この方法では不純物イオンがキャリアの散乱を招き、動作速度を低下させる要因となることが問題となる。

【0007】

特に、チャネル長が $0.01\sim0.1\ \mu\text{m}$ となるディープサブミクロン領域ではチャネル領域に存在する不純物イオンは1個乃至数個であるため、不純物イオンの存在によって電気特性がまるで変わってしまうことが報告されている。

【0008】

30

【発明に至る背景】

ここで本発明者らが提案する短チャネル効果抑制技術（ピニング技術）について触れておく必要がある。以下に図3を用いて概略を記載する。

【0009】

短チャネル効果とは、しきい値電圧の低下、パンチスルー現象に伴う耐圧の劣化およびサブスレッショルド特性の劣化などの総称である。また、これらの現象はドレイン側の空乏層がソース領域にまで広がることで、ゲイト電圧のみによるキャリアの制御が困難な状況となるために起こる。

【0010】

即ち、ドレイン側の空乏層の広がりを抑止する技術がピニング技術であり、チャネル形成領域に対して人為的かつ局部的に不純物領域を設けることで達成しうるのである。なお、本発明者らは「ピニング」という言葉を「抑止」という意味で用いている。

40

【0011】

具体的にはトランジスタの活性層を図3に示す様な構造とする。図3（A）において、301はソース領域、302はドレイン領域、303はチャネル形成領域であり、チャネル形成領域303の中には人為的に不純物領域304が形成される。また、チャネル形成領域303中、不純物領域304以外の領域305は、実質的に真性な領域であり、キャリアが移動する領域となる。

【0012】

なお、不純物領域304は電子描画法等によって微細なパターン形成を行って得られる。

50

また、図3(A)は不純物領域を線状パターン形状にした例を示すが、点状のドットパターン形状とすることもできる。

【0013】

また、図3(A)をA-A'で切断した断面図を図3(B)に示す。306は絶縁表面を有する基板である。また、図3(A)をB-B'で切断した断面図を図3(C)に示す。

【0014】

この時、チャンネル形成領域303内に配置された不純物領域304はチャンネル形成領域内に局部的に拡散電位(エネルギー障壁)の高い領域を形成する。そして、そのエネルギー障壁がドレイン側空乏層のソース側への広がりを効果的に抑止(ピニング)しうるのである。

10

【0015】

なお、不純物領域304には酸素、窒素、炭素のいずれを添加しても十分なエネルギー障壁を形成することができる。また、N型トランジスタならばB(ボロン)を、P型トランジスタならばP(リン)を添加しても良い。

【0016】

以上の様な構成とすることで、短チャンネル効果の一つであるしきい値電圧の低下を効果的に抑止することが期待される。勿論、パンチスルー現象に伴う耐圧やサブスレッショルド特性の劣化を抑制することも可能である。

【0017】

また、図3に示す構成は、上述の効果とは別に狭チャンネル効果を生じることが予想される。即ち、不純物領域304の間隔を十分狭くすることで、キャリアが移動する領域305に人為的に狭チャンネル効果を発生しうるのである。

20

【0018】

以上に説明した様に、本発明者らの提案するピニング技術は短チャンネル効果が発生する程度(チャンネル長 $2\mu\text{m}$ 以下)から、さらに微細化されたディープサブミクロン領域(チャンネル長 $0.01\sim 0.1\mu\text{m}$)のデバイス素子にまで効果を発揮する技術である。

【0019】

しかしながら、従来例で述べた様な、ゲイト電極と活性層との仕事関数差の違いによるウィンドウ中心(V_{cen})のシフトはピニング技術においても同様に生じる現象である。従って、サブミクロン領域では短チャンネル効果を抑止しつつしきい値電圧を制御することが必要となる。

30

【0020】

【発明が解決しようとする課題】

本発明は短チャンネル効果が生じうる程度($0.01\sim 2\mu\text{m}$)にまで微細化されたCMOS回路において、チャンネルドープ法以外の方法でしきい値電圧の相違を是正する技術を提供することを課題とする。

【0021】

換言すれば、上述のウィンドウ中心(V_{cen})を極力0Vに近づけるための技術を提供する。この事はNチャンネル型およびPチャンネル型半導体装置のしきい値電圧の絶対値が概略同一となる様に制御することを意味する。

40

【0022】

【課題を解決するための手段】

本発明の主旨は、デバイス素子の微細化に伴って生じる短チャンネル効果(Short Channel Effect: SCE)および狭チャンネル効果(Narrow Channel Effect: NCE)を利用してしきい値電圧(V_{th})のバランスをとり、CMOS回路の V_{th} の相違を是正することにある。

【0023】

そこで、本明細書で開示する発明の構成は、絶縁表面を有する基板上に形成されたNチャンネル型半導体装置およびPチャンネル型半導体装置とを相補的に組み合わせたCMOS構造を有する半導体装置において、前記Nチャンネル型半導体装置および前記Pチャンネル型半導体装置のしきい値電圧の絶対値

50

が概略同一となる様に、前記Nチャネル型半導体装置には狭チャネル効果を強める手段が施され、前記Pチャネル型半導体装置には短チャネル効果を強める手段が施されていることを特徴とする。

【0024】

具体的には、前記Nチャネル型半導体装置およびPチャネル型半導体装置のチャネル形成領域にはチャネル方向と概略平行に人為的かつ局部的に不純物領域が配置されており、前記狭チャネル効果を強める手段とは前記Nチャネル型半導体装置に配置される前記不純物領域の配置間隔を意図的に狭くする手段であり、前記短チャネル効果を強める手段とはPチャネル型半導体装置に配置される前記不純物領域の配置間隔を、前記Nチャネル型半導体装置における配置間隔よりも相対的に広くする手段であることを特徴とする。

10

【0025】

あるいは、前記Nチャネル型半導体装置およびPチャネル型半導体装置の活性層は結晶粒界に方向性があり、かつ、前記基板と概略平行な針状または柱状結晶が集合してなる結晶構造体で構成され、前記狭チャネル効果を強める手段とは前記Nチャネル型半導体装置における前記針状または柱状結晶の結晶幅を意図的に狭くする手段であり、前記短チャネル効果を強める手段とは前記Pチャネル型半導体装置における前記針状または柱状結晶の結晶幅を、前記Nチャネル型半導体装置における結晶幅よりも相対的に広くする手段であることを特徴とする。

20

【0026】

【発明の実施の形態】

CMOS構造を有する半導体装置を作製する際に問題となるNチャネル型半導体装置とPチャネル型半導体装置のしきい値電圧の絶対値の相違を、チャネルドープ法によらない新しい手段で是正する。

【0027】

そのために、短チャネル効果によるしきい値電圧の減少および狭チャネル効果によるしきい値電圧の増加を利用して、Nチャネル型半導体装置とPチャネル型半導体装置のしきい値電圧を別々にシフトさせる。

【0028】

狭チャネル効果が強く現れる様にする構成は、ピニング技術を利用してチャネル形成領域に配置する不純物領域の間隔を狭くする、即ちピニング効果を強くすることで達成しうる。また、逆に不純物領域の間隔を広めに設計すればピニング効果は弱まり、短チャネル効果が強めに現れる様な構成となる。

30

【0029】

また、針状（または柱状）結晶が集合してなる結晶構造体を利用して活性層を構成する場合、同様の効果を結晶幅を制御することで達成することができる。具体的には、結晶幅を狭くすることで狭チャネル効果を強め、結晶幅を広くすることで短チャネル効果を強めることができる。結晶幅の制御は、結晶化前の非晶質珪素膜の膜厚を制御することでなしうる。

40

【0030】

【実施例】

〔参考例1〕

本参考例では、ピニング技術を利用した薄膜トランジスタ（TFET）を用いてCMOS回路を設計する際に、活性層の構造をN型トランジスタとP型トランジスタとで異なるものとする例を示す。

【0031】

従来例で述べた様に、結晶性珪素膜を活性層とする場合、N型トランジスタおよびP型トランジスタの電気特性（ I_d - V_g 特性）は、双方マイナス側（負側）にシフトする傾向にあり、ウィンドウ中心（ V_{cen} ）は0V以下となる。

50

【0032】

そのため、ウィンドウ中心 (V_{cen}) を 0 V にするためには N 型トランジスタのしきい値電圧 ($V_{th,n}$) は増加する方向に動かし、P 型トランジスタのしきい値電圧 ($V_{th,p}$) は減少する方向に動かす必要がある。

【0033】

即ち、N 型トランジスタの活性層には狭チャネル効果が強めに発生し、P 型トランジスタの活性層には短チャネル効果が強めに発生する様に、チャネル形成領域に対して不純物領域を配置すれば良い（実際には短チャネル効果を強めるという事は相対的に狭チャネル効果を弱めるという事を意味する）。

【0034】

ここで、本参考例を実施した場合の N 型トランジスタおよび P 型トランジスタの活性層の構造を図 1 (A)、(B) に示す。なお、活性層のチャネル長は $0.01 \sim 2 \mu m$ の範囲とし、チャネル幅は希望するオン電流と信頼性との兼ね合いから任意の範囲で決定すれば良い。

10

【0035】

図 1 (A) において、101 はソース領域、102 はドレイン領域、103 はチャネル形成領域である。不純物領域 104 の間隔は所望のしきい値電圧が得られる様に調節する。図 1 (A) は N 型トランジスタの活性層となるため、狭チャネル効果が強めに現れる様に、不純物領域 104 の間隔を狭く調節することが重要である。

【0036】

なお、本参考例に示す発明を利用するに際して、必要とされるしきい値電圧のシフト量は実施者によって異なる。即ち、実施者の作製する本来の（本参考例に示す発明によらない）半導体装置のしきい値電圧を鑑みて、実験的に所望のしきい値電圧が得られる様に不純物領域の間隔を設計する必要がある。

20

【0037】

代表的には、狭チャネル効果を強めるために不純物領域 104 の間隔を $30 \sim 1000 \text{ \AA}$ (好ましくは $50 \sim 500 \text{ \AA}$) とすれば良い。換言すれば、チャネル形成領域の幅を $100 \sim 1000$ 個程度に分割する様に不純物領域 104 を配置すれば良い。

【0038】

本参考例に示す発明によれば、図 1 (A) に示す様な構造の活性層を有する N 型トランジスタのしきい値電圧 ($V_{th,n}$) は図 1 (B) に示す様に变化すると推測される。なお、図 1 (B) において点線は本参考例に示す発明を実施しない場合、実線は本参考例に示す発明を実施した場合の例である。

30

【0039】

即ち、狭チャネル効果が強めに現れる様な構成とすることで $V_{th,n}$ は増加する方向にシフトする。また、空乏層をピニングする効果が強まるのでサブスレッショルド特性も向上する（図 1 (B) において実線で示される I_d-V_g 特性の傾きが大きくなる）と考えられる。

【0040】

また、図 1 (C) は P 型トランジスタの活性層となるため、短チャネル効果が強めに現れる様に不純物領域 105 の間隔を広く調節することが重要となる。代表的には、チャネル形成領域の幅を $5 \sim 100$ 個程度に分割する様に不純物領域 105 を配置すれば短チャネル効果が強く現れる様になる。その結果、P 型トランジスタのしきい値電圧 ($V_{th,p}$) は図 1 (D) に示す様に变化する。

40

【0041】

ただし、短チャネル効果が強めに現れるということは電気特性は悪化する方向に進むことを意味する。従って、図 1 (D) に示す様に実線で示される I_d-V_g 特性の傾きは小さくなるので、特性の悪化と $V_{th,p}$ の制御との兼ね合いに注意しなければならない。

【0042】

以上の様に、ピニング技術を利用して意図的に短チャネル効果を強くしたり、狭チャネル効果を強くしたりすることで N 型トランジスタおよび P 型トランジスタのしきい値電圧を

50

制御することで、CMOS回路におけるしきい値電圧の絶対値の相違を是正しうる。即ち、従来のピニング技術とは、導電型の違いによって不純物領域の間隔を異なるものとする点で異なるのである。

【0043】

また、従来は素子の微細化を妨げる要因としか認識されていなかった短チャネル効果および狭チャネル効果を、しきい値電圧の制御に利用するという発想は全く新しいものである。本参考例に示す発明により、チャネルドープ法によらないしきい値電圧の制御が可能となるのである。

【0044】

従って、本参考例に示す発明を利用した場合、チャネル形成領域内のキャリアが移動する領域は、真性または実質的に真性な領域である。真性または実質的に真性であるとは、活性化エネルギーがほぼ1/2（フェルミレベルが禁制帯の中央に位置する）であること、スピン密度よりも不純物濃度が低い領域であること、意図的に不純物を添加しないアンドープ領域であることを意味している。

【0045】

〔実施例1〕

本実施例では、参考例1と異なる方法で短チャネル効果および狭チャネル効果を制御して $V_{th,n}$ および $V_{th,p}$ のバランスをとるための技術を説明する。具体的には、多結晶シリコン膜の結晶の幅を利用する。

【0046】

本発明者らによる特開平6-244103号公報または特開平7-321339号公報記載の技術によって結晶化した結晶性珪素膜（多結晶シリコン膜）は、針状（または柱状）の結晶の集合した構成でなる結晶構造体となる。そして、この結晶構造体に対してハロゲン元素を含む雰囲気における加熱処理を施すと、極めて優れた結晶性を有する結晶性珪素膜が得られる。

【0047】

また、本発明者らの実験によってこの結晶性珪素膜を活性層として利用した半導体装置は単結晶シリコン上に作製したMOSFETに匹敵する電気特性を示すことが確認されている。具体的には、サブスレショルド特性（S値）が60~100mV/dec（好ましくは60~70mV/dec）であり、 $V_{th,n}$ が-0.5~2.0 V、 $V_{th,p}$ が-2.0~0.5 Vの高い電気特性が得られる。

【0048】

しかしながら、前述の様な活性層の導電型の違いによるしきい値電圧の偏りが生じ、代表的には $V_{th,n}$ が-0.5~0.5 V、 $V_{th,p}$ が-1.5~-0.5Vとなり、ウィンドウ中心（ V_{cen} ）が-1.0~-0.5V付近にあることが多い。本実施例は、この様な半導体装置のウィンドウ中心を0.5~1.0 Vだけ正側へシフトさせるための技術である。

【0049】

ここで、図4に示すのは上記結晶構造体をTEM観察した時の写真である。図4に示す様に、この結晶構造体は針状結晶401が概略同一方向へと向かう規則性を有しており、その結晶粒界402も互いに概略平行に延びている。

【0050】

本発明者らは、活性層のソース領域とドレイン領域とを結ぶ方向（チャネル方向）と上記針状結晶401の成長方向とが一致する様な時が最も高い電気特性の得られる条件であると推測した。そして、結晶粒界をエネルギー障壁の高い領域と見なして模式的にモデル化したのが前述のピニング技術である。

【0051】

即ち、針状結晶の結晶幅を狭くすることは参考例1の図1（A）の構成を得ることに相当し、狭チャネル効果が強く現れる構成となる。また、結晶幅を広くすることは参考例1の図1（C）の構成を得ることに相当し、短チャネル効果が強く現れる構成となる。

【0052】

本発明者らの実験的な知見によれば、針状結晶の結晶幅は結晶化前の非晶質珪素膜の膜厚にほぼ等しいことが判明している。従って、結晶幅の狭い結晶構造体とする場合（狭チャ

10

20

30

40

50

ネル効果を強める場合)は非晶質珪素膜の膜厚を薄くし、結晶幅の広い結晶構造体とする場合(短チャネル効果を強める場合)は非晶質珪素膜の膜厚を厚くすれば良い。

【0053】

ここで本実施例を実施するための結晶性珪素膜の作製方法について図5を用いて説明する。なお、図5(A)は基板上の特定の狭い領域のみを示した図である。図5(A)において、501は石英基板である。ガラス基板を用いることもできるが、後に700℃を超える加熱処理行程がある様な場合には耐熱性を考慮して石英基板を用いる必要がある。

【0054】

石英基板501上には非晶質珪素膜502が成膜されている。本実施例で重要なのは、非晶質珪素膜502が部分的に薄膜化(成膜時の膜厚と比較して薄いという意味)してあることである。この薄膜化はハーフエッチング技術等により行えば良い。勿論、薄膜化する領域は、後にN型トランジスタの活性層となる領域であることは言うまでもない。

10

【0055】

選択的な薄膜化が終了したら、特開平特開平6-244103号公報または特開平7-321339号公報記載の技術を用いて結晶化を行う。針状結晶の結晶成長方向を規定して、成長方向とチャネル方向とを一致させるためには特開平7-321339号公報記載の技術を用いることが有効である。

【0056】

こうして図5(B)に示す様に、膜厚の異なる領域を有する結晶性珪素膜503が得られる。図5(C)は図5(B)における結晶性珪素膜503を上面から見た図であり、膜厚の違いによって膜厚の薄い第1の領域504、膜厚の厚い第2の領域505とに分けられる。

20

【0057】

さらに、第1の領域504および第2の領域505を拡大した時の状態を模式的に表したのが図5(D)、(E)である。図5(D)においては結晶化の際に非晶質珪素膜502の膜厚が薄いため、針状結晶506の結晶幅は狭くなっている。また、図5(E)に示す様に、第2の領域505は膜厚が厚いため針状結晶507の結晶幅は結晶506に比べて広がっている。

【0058】

従って、図5(D)に示す様な状態の結晶構造体を活性層とした場合、ピニング効果(ドレイン側空乏層の広がりを抑える効果)が強まり、さらに、針状結晶506の幅が狭いので狭チャネル効果が顕著に現れる様になると推測される。また、図5(E)に示す様な状態の結晶構造体を活性層とした場合、ピニング効果は弱まり、短チャネル効果が現れる様になると推測される。

30

【0059】

以上の様に、針状結晶の結晶幅を制御することで狭チャネル効果および短チャネル効果の影響力を制御し、N型型トランジスタ、P型型トランジスタ共に所望のしきい値電圧を得られる様に設計する。

【0060】

〔参考例2〕

40

本参考例では、参考例1を適用したCMOS回路の構造に関する説明を図6を用いて行うこととする。なお、CMOS回路の基本的な構造は公知であるので、必要な部分のみを符号をつけて説明する。

【0061】

図6(A)は本参考例に示す発明を適用した場合のCMOS回路の上面図である。左側はN型トランジスタ、右側はP型トランジスタであり、基本的に同一構造となっている。601、602は活性層であり、その上方にはゲイト電極603とデータ配線604が配置されている。

【0062】

また、N型トランジスタの活性層601のチャネル形成領域にはピニング技術による不純

50

物領域 605 が配置され、P 型トランジスタの活性層 602 のチャンネル形成領域には同様に不純物領域 606 が配置される。

【0063】

その際、本参考例に示す発明に従って不純物領域 605 を配置する間隔は、不純物領域 606 を配置する間隔よりも狭く設定する。具体的な数値等は実施者が実験的に求める必要がある。

【0064】

図 6 (A) を A-A' および B-B' で切断した断面を図 6 (B)、(C) に示す。607 で示されるのは絶縁表面を有する基板である。この時、図 6 (B) には活性層 601 のチャンネル幅方向の断面が現れ、図 6 (C) には活性層 602 のチャンネル幅方向の断面が現れる。

10

【0065】

また、図 6 (D) は図 6 (A) を C-C' で切断した時に現れる断面を示している。なお、607 は絶縁表面を有する基板であり、608 はゲイト電極直下に位置するチャンネル形成領域である。図 6 (D) において、不純物領域 605 と 606 を記載する際にハッチングを変えたのは N 型トランジスタと P 型トランジスタとで配置密度が異なることを示すためである。

【0066】

以上の様に、参考例 1 に示す発明の構成を CMOS 回路に適用した場合、図 6 (B)、(C) に明らかな様に、N 型トランジスタに配置される不純物領域 605 の間隔は、P 型トランジスタに配置される不純物領域 606 の間隔に比べて狭いものとなる。

20

【0067】

〔実施例 2〕

本実施例では、実施例 1 を適用した CMOS 回路の構造に関する説明を図 7 を用いて行うこととする。参考例 2 で用いた図 6 と異なる点は狭チャンネル効果を不純物領域ではなく針状結晶の幅で制御する点である。

【0068】

図 7 (A) は本発明を適用した場合の CMOS 回路の上面図である。各部分に記されている符号は図 6 と同一の部分に対応するものである。また、701 は活性層 601 を構成する針状結晶であり、702 は活性層 602 を構成する針状結晶である。

30

【0069】

本実施例の特徴は、本発明に従って針状結晶 701 の結晶幅が針状結晶 702 の結晶幅よりも狭くなる様に形成されていることである。結晶幅の制御は実施例 2 に示した手段によれば良い。また、具体的な幅は実施者が実験的に求める必要がある。代表的には、針状結晶 701 の幅を 50~500 Å (好ましくは 50~200 Å) とすれば良い。

【0070】

図 7 (A) を A-A' および B-B' で切断した断面を図 7 (B)、(C) に示す。この時、図 7 (B) には活性層 601 のチャンネル幅方向の断面が現れ、図 7 (C) には活性層 602 のチャンネル幅方向の断面が現れる。また、図 7 (D) は図 7 (A) を C-C' で切断した時に現れる断面を示している。

40

【0071】

以上の様に、実施例 1 に示す本発明の構成を CMOS 回路に適用した場合、図 7 (B)、(C) に明らかな様に、N 型トランジスタの活性層 601 を構成する針状結晶 701 の結晶幅は、P 型トランジスタの活性層 602 を構成する針状結晶 702 の結晶幅に比べて狭いものとなる。

【0072】

〔実施例 3〕

本実施例では本発明を適用した CMOS 回路の実施例を図 8 を用いて説明する。なお、ここでは実施例 1 の手段により本発明を実施した場合を例にする。また、図 8 (A)、(B)、(C) において左側は全て N 型トランジスタ、右側は全て P 型トランジスタとなっ

50

ている。また、CMOS回路の構造は公知であるので、特殊な構造のみを符号を付して説明することとする。

【0073】

図8(A)に示すCMOS回路は特開平7-135318号公報記載の技術を用いてドレイン領域とチャンネル形成領域との間に電界緩和のための低濃度不純物領域を設けた構造である。基本的にN型トランジスタとP型トランジスタは導電型が異なるのみで構造的な差異はないので、N型トランジスタを主体に説明する。

【0074】

図8(A)において、活性層はソース領域801、ドレイン領域802、チャンネル形成領域803、低濃度不純物領域804、805で構成される。そして、806はゲイト絶縁膜、807はアルミニウムを主成分とするゲイト電極であり、ゲイト電極807は陽極酸化膜808によって保護されている。また、809は層間絶縁膜、810はデータ配線である。

10

【0075】

ゲイト絶縁膜806はゲイト電極807の側面に配置された多孔質状の陽極酸化膜(CMOS回路の形成過程で除去される)をマスクとしてエッチングされるため、活性層上の一部に残存する状態となる。このゲイト絶縁膜806の端部を利用して低濃度不純物領域804、805が形成される。

【0076】

次に、図8(B)に示す構造は、上記特開平7-135318号公報記載の技術において多孔質状の陽極酸化膜の代わりに絶縁物でなるサイドウォールを利用する例を示すものである。従って、活性層の構成は基本的に図8(A)で説明した活性層の構成と同一である。

20

【0077】

サイドウォール811は窒化珪素膜または酸化珪素膜をエッチバック法によってゲイト電極807の側面のみに残存させることによって形成する。このサイドウォール811はソース領域801、ドレイン領域802の主表面にシリサイド812を形成する時にも必要となる。

【0078】

シリサイド812の形成は公知のシリサイド技術を用いれば良い。例えば、チタン、タンタル、モリブデン、タングステン等に金属を用いることができる。この時、ソース／ドレイン領域全体がシリサイド化する様な条件を選ぶことも可能である。

30

【0079】

図8(B)に示す様なシリサイド構造を有する半導体装置はデータ配線810とのオーミック接触が良好なので、動作速度を向上させることができる。

【0080】

次に、図8(C)に示す構造は、図8(B)の示した構造においてゲイト電極の材料を結晶性珪素(多結晶シリコン)とした場合の例である。ゲイト電極813の側面には図8(B)と同様にサイドウォール811が配置されるが、この場合、ゲイト電極813の主表面にもシリサイド814が形成される。

【0081】

40

図8(C)には示されないが、ゲイト電極813はゲイト信号を伝える引き出し配線と接続しているので、本構成はその様な引き出し配線とのオーミック接触を良好なものとすることができる。

【0082】

以上に示したCMOS回路の構造は一実施例を示すものであり、他の構造に本発明を適用することは実施者の自由である。従って、例えばマルチゲイト型構造(ダブルゲイト型やトリプルゲイト型)をとることもできるし、逆スタガ型TFTでCMOS回路を構成する場合にも本発明を適用できる。

【0083】

[実施例4]

50

本発明を利用した半導体装置は同一基板上に画素マトリクス回路とロジック回路とを集積化したアクティブマトリクス型電気光学装置に適用することもできる。電気光学装置としては、液晶表示装置、EL表示装置、EC表示装置などが含まれる。

【0084】

なお、ロジック回路とは、周辺駆動回路やコントロール回路等の様に電気光学装置を駆動するための集積化回路を指す。また、コントロール回路とはプロセッサ回路、メモリ回路、クロック発生回路、A/D (D/A) コンバータ回路等の電気光学装置を駆動するに必要な全ての電気回路を含むものとする。

【0085】

本発明を適用したTFTは動作速度を落とさずにしきい値電圧の制御を行っているので、高性能な集積化回路を構成することができる。また、ウィンドウ中心 (V_{cen}) を0Vにしたり、ウィンドウ幅 (V_{win}) を狭くすることで必要な駆動電圧を低減し、低消費電力の電気光学装置を作製することが可能である。

【0086】

〔実施例5〕

本明細書中において「半導体装置」とは、半導体を利用することで機能する装置全般を指す。従って、単体TFT、半導体集積回路 (CMOS回路、DRAM回路、SRAM回路等のロジック回路)、アクティブマトリクス型電気光学装置およびその応用製品は半導体装置の範疇に含まれるものとする。

【0087】

本実施例では、その応用製品について図例を挙げて説明する。本発明を利用した半導体装置としてはTVカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクション (フロント型とリア型がある)、ビデオカメラ、パーソナルコンピュータ等が挙げられる。簡単な説明を図9を用いて行う。

【0088】

図9 (A) はモバイルコンピュータであり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005や装置内部に組み込まれる集積化回路2006に対して適用される。

【0089】

図9 (B) はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。表示装置2102は比較的小型のサイズのものが2枚使用される。

【0090】

図9 (C) はカーナビゲーションであり、本体2101、表示装置2102、操作スイッチ2103、アンテナ2104で構成される。本発明は表示装置2102や装置内部の集積化回路2105に適用できる。車載式なので電圧変動に強い信頼性の高い半導体装置が必要となる。また、表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的広いと言える。

【0091】

図9 (D) は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明は表示装置2304や装置内部の集積化回路2105に適用できる。スタンバイ状態における消費電力を減らすことが重要となるため、本発明は非常に有効であると言える。

【0092】

図9 (E) はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明は表示装置2402や装置内部の集積化回路2407に適用できる。バッテリー駆動による長時間使用が要求されるため、本発明により低消費電力化することは非常に有意義である。

【0093】

10

20

30

40

50

図9（F）はフロントプロジェクションであり、本体2501、光源2502、反射型表示装置2503、光学系（ビームスプリッターや偏光子等が含まれる）2504、スクリーン2505で構成される。スクリーン2505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置2503は高い解像度が要求される。

【0094】

また、本実施例に示した電気光学装置以外にも、リアプロジェクションやハンディターミナルなどの携帯型情報端末機器に適用することができる。以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0095】

また、本発明のTFTは電気光学装置に限らず、例えばSRAMやDRAMといった形で集積化回路に組み込み、本実施例で示した様な応用製品の駆動回路として用いることも可能である。

【0096】

【発明の効果】

デバイス素子の微細化に伴って生じる短チャネル効果および狭チャネル効果を利用することで、チャネルドープ法を用いることなくCMOS回路の V_{th} の相違を是正することが可能となる。

【0097】

従って、しきい値電圧の偏りに起因して引き起こされるCMOS回路の動作速度の低下や誤動作を防ぐだけでなく、チャネル形成領域における不純物散乱の影響をも低減した高速動作の可能な半導体装置を実現しうる。また、半導体装置のしきい値電圧の絶対値を小さくすることができるので、半導体装置の低消費電力化を実現しうる。

【0098】

また、チャネル形成領域においてチャネル方向と概略平行に形成されるエネルギー障壁（不純物領域や結晶粒界）によって、0.01～2 μm の微細な領域においても短チャネル効果による特性の劣化を問題としない高い信頼性の半導体装置を実現しうる。

【図面の簡単な説明】

【図1】 活性層の構成を説明するための図。

【図2】 従来例を説明するための図。

【図3】 ピニング技術を説明するための図。

【図4】 針状結晶を示す写真。

【図5】 結晶性珪素膜の作製工程を示す図。

【図6】 CMOS回路の構成を示す図。

【図7】 CMOS回路の構成を示す図。

【図8】 CMOS回路の構成を示す図。

【図9】 半導体装置（応用製品）の例を示す図。

【符号の説明】

- | | |
|-----|-------------------|
| 101 | ソース領域 |
| 102 | ドレイン領域 |
| 103 | チャネル形成領域 |
| 104 | Nチャネル型半導体装置の不純物領域 |
| 105 | Nチャネル型半導体装置の不純物領域 |

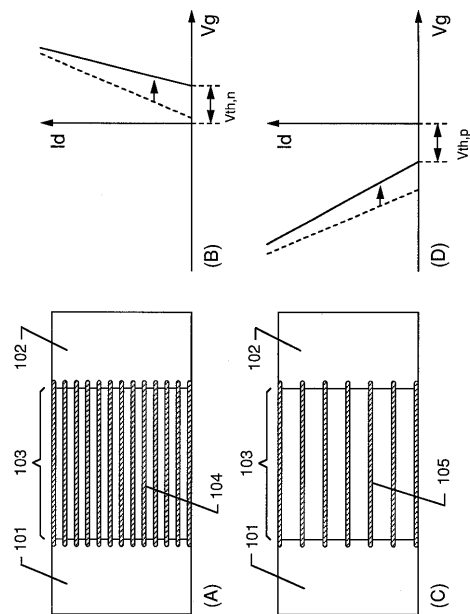
10

20

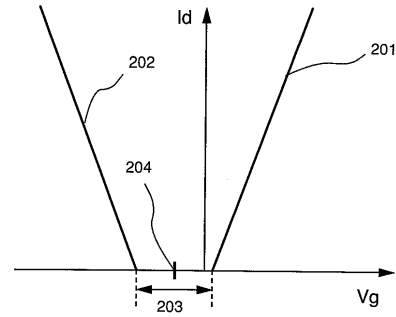
30

40

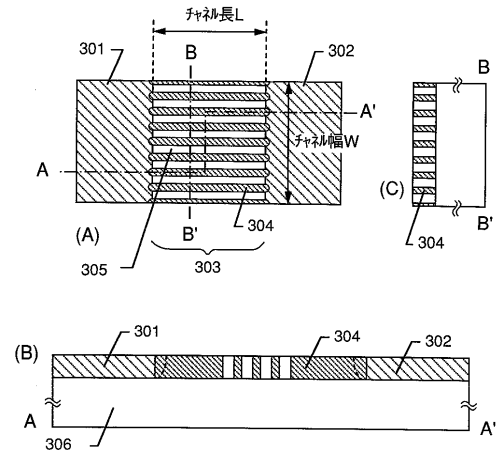
【図 1】



【図 2】



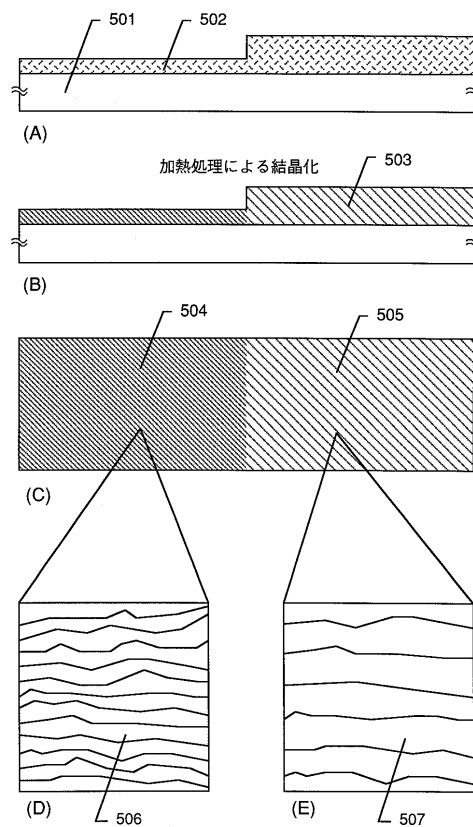
【図 3】



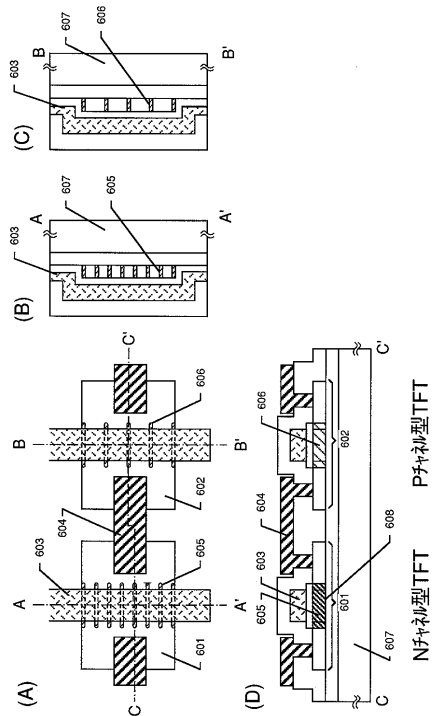
【図 4】



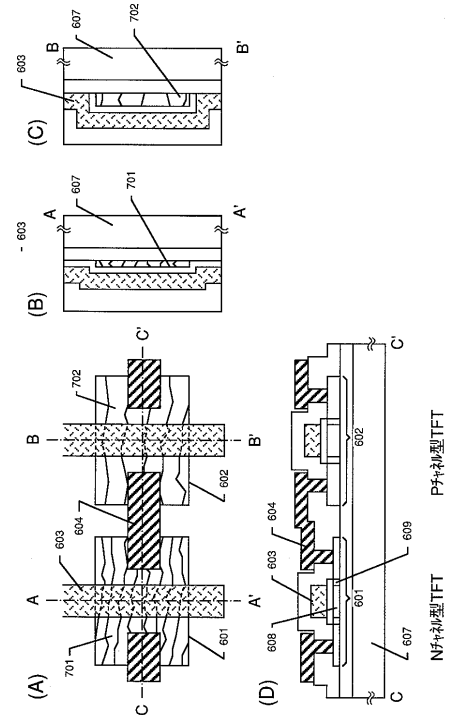
【図 5】



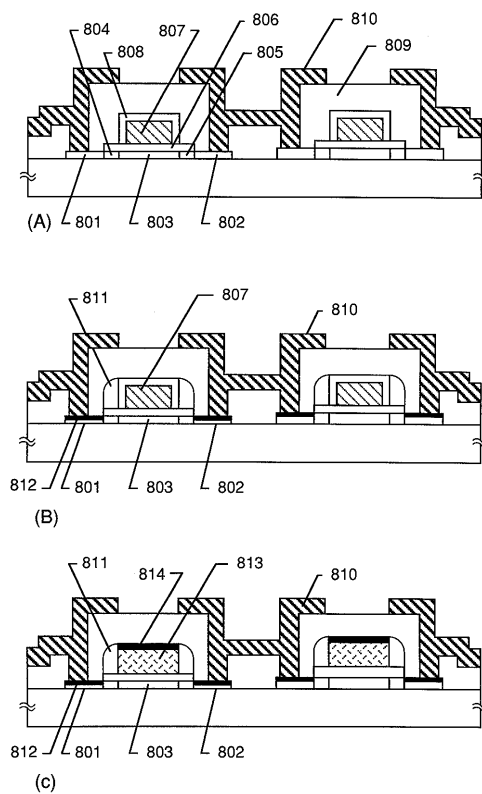
【図 6】



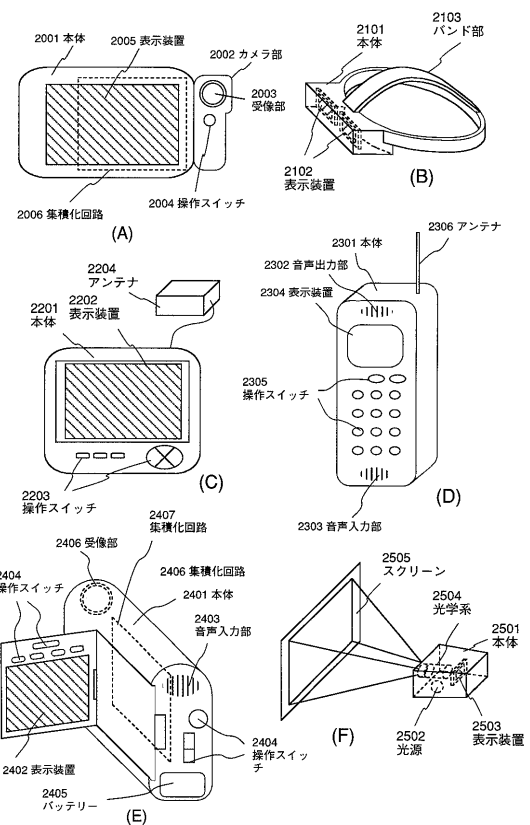
【図 7】



【図 8】



【図 9】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238

H01L 21/336

H01L 27/092

H01L 29/786