

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 08.06.22.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 15.12.23 Bulletin 23/50.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : STMICROELECTRONICS (ROUS-
SET) SAS Société par actions simplifiée (SAS) — FR.

72 Inventeur(s) : TAILLIET François.

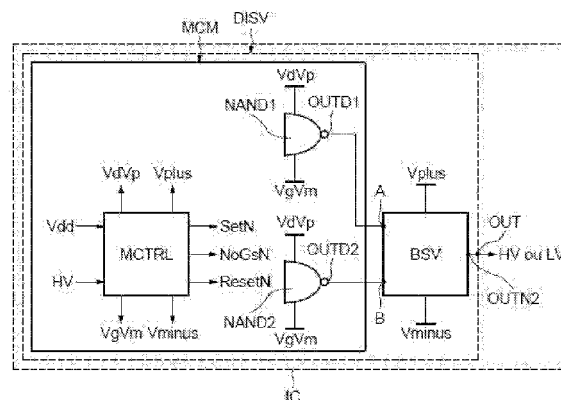
73 Titulaire(s) : STMICROELECTRONICS (ROUSSET)
SAS Société par actions simplifiée (SAS).

74 Mandataire(s) : CASALONGA.

54 Dispositif de verrou, en particulier pour le décodage rangée et le décodage colonne d'un plan mémoire
EEPROM.

57 Le dispositif de verrou comprend une bascule verrou
du type RS (BSV) apte à être alimentée entre une première
tension d'alimentation (Vplus) et une deuxième tension
d'alimentation (Vminus) inférieure à la première tension
d'alimentation et possédant une première (A) et une deuxi-
ème (B) entrées de bascule et une sortie de bascule
(OUTN2) connectée à la borne de sortie (OUT). Un module
de commande (MCM) positionne la bascule verrou dans un
état initialisé ou dans un état réinitialisé lorsque la première
tension d'alimentation (Vplus) a une première valeur (Vdd)
inférieure à la basse tension (LV) puis, la bascule verrou
étant positionnée, confère la haute tension (HV) à la pre-
mière tension d'alimentation (Vplus) et la basse tension (LV)
à la deuxième tension d'alimentation (Vminus) et fait délivrer
et maintenir sur la sortie de bascule la haute tension (HV) ou
la basse tension (LV) tout en évitant de délivrer aux deux
entrées de bascule un état logique interdit.

Figure pour l'abrégié: Figure 1



Description

Titre de l'invention : Dispositif de verrou, en particulier pour le décodage rangée et le décodage colonne d'un plan mémoire EEPROM

- [0001] Des modes de réalisation concernent les dispositifs de verrou, plus communément désignés par l'homme du métier sous la dénomination anglosaxonne « latch », et notamment ceux utilisés dans les mémoires non volatiles, par exemple les mémoires électriquement effaçables et programmables, dites mémoires EEPROM, et plus particulièrement mais non exclusivement les mémoires ayant une architecture du type à « tension partagée » (« split voltage » en langue anglaise) pour leur effacement et leur programmation.
- [0002] Dans les mémoires EEPROM, la valeur logique d'un bit stocké dans un point-mémoire est représentée par la valeur de la tension de seuil d'un transistor à grille flottante, qui peut être modifiée à volonté par des opérations de programmation ou d'effacement. La programmation ou l'effacement d'un transistor à grille flottante comporte l'injection ou l'extraction des charges électriques dans la grille du transistor par effet tunnel (effet « Fowler-Nordheim ») au moyen d'une haute tension.
- [0003] En effacement cette haute tension peut être de l'ordre de 9 à 20 volts, par exemple 15 volts.
- [0004] Cette haute tension, nécessaire pour l'écriture des mémoires EEPROM est très contraignante au niveau de la filière technologique et de la fiabilité du produit.
- [0005] En effet, la réduction lithographique, c'est-à-dire l'augmentation de la finesse de gravure, conduit à une diminution des tensions de fonctionnement, et cette haute tension devient plus problématique en termes notamment de fuites des jonctions source/drain des transistors ainsi qu'en termes de contraintes sur les oxydes de grille (« gate stress »), voire de claquage de ces oxydes de grille, des transistors.
- [0006] Par conséquent, ces risques de vieillissement prématuré et/ou de claquage des transistors ont un impact direct sur la fiabilité du produit.
- [0007] C'est pourquoi on peut utiliser la solution, dite « de tension partagée » ou « split voltage » mentionnée ci-avant. Plus précisément, la haute tension nécessaire à la programmation des plans-mémoires est partagée entre une tension positive et une tension négative de sorte que la différence entre la tension positive et la tension négative corresponde à une haute tension de programmation suffisante.
- [0008] Une telle solution permet un relâchement de la contrainte sur la tenue en tension des transistors.
- [0009] Les mémoires non volatiles telles que les mémoires EEPROM requièrent des dis-

positifs de verrou en particulier pour le décodage rangée (en X) et le décodage colonne (en Y) du plan mémoire.

[0010] De préférence, de tels dispositifs de verrou doivent être compacts (typiquement un verrou par ligne de bit et par ligne de mot), supporter la haute tension et être fiables.

[0011] Actuellement de tels dispositifs de verrou utilisent un schéma à 6 transistors du type point mémoire volatil (SRAM).

[0012] Ils sont initialisés (« set » en anglais) ou réinitialisés (« reset » en anglais) sous la tension d'alimentation nominale V_{dd} du circuit intégré, ce qui requiert une conductivité des canaux N des transistors NMOS bien supérieure à la conductivité des canaux P des transistors PMOS.

[0013] Cette condition de conductivité est obtenue en ajustant le rapport largeur/longueur (W/L) des transistors.

[0014] Or il est prévu à l'avenir d'utiliser des mémoires basse consommation alimentées sous une tension V_{dd} de l'ordre de 1,2 Volts voire moins.

[0015] Or la condition de conductivité mentionnée ci-avant impose pour des transistors NMOS lents et des transistors PMOS rapides, d'avoir une grande longueur de canal pour les transistors PMOS ou bien une grande largeur de canal pour les transistors NMOS.

[0016] Aussi est-il nécessaire de dimensionner les transistors comme indiqué ci-avant au cas où certains transistors effectivement réalisés s'avéraient être des transistors NMOS lents et/ou des transistors PMOS rapides.

[0017] Ceci conduit donc à une augmentation de la taille des transistors ainsi qu'à des capacités de grille importantes.

[0018] Par ailleurs, si certains transistors effectivement réalisés s'avéraient être des transistors NMOS rapides et/ou des transistors PMOS lents, on obtiendrait une commutation lente du dispositif de verrou entre la délivrance de la haute tension et la délivrance de la basse tension et vice versa, car les transistors PMOS seraient alors sous-dimensionnés et conduiraient alors un très faible courant.

[0019] Ainsi, les dispositifs de verrous actuels du type SRAM ne peuvent pas fonctionner à une tension V_{dd} qui seraient égale à la valeur la plus grande entre la tension de seuil des transistors NMOS et la valeur absolue de la tension de seuil des transistors PMOS.

[0020] Ils présentent par ailleurs un fonctionnement très instable à une faible tension V_{dd} dans les configurations limites de transistors (rapidité ou lenteur des transistors MOS), ce qui conduit à une augmentation de la surface de grille et à une augmentation du risque de claquage de l'oxyde de grille, ainsi que dans certains cas à un temps long de commutation.

[0021] Il existe donc un besoin de remédier à ces inconvénients et de proposer selon un mode de réalisation, un dispositif de verrou compact, capable de fonctionner sous une

faible tension Vdd, ne présentant pas de conflit de courant entre transistors NMOS et PMOS, et capable de réduire autant que possible les contraintes dans les oxydes de grille (« gate stress ») des transistors PMOS.

- [0022] Selon un mode de réalisation il est proposé d'utiliser une bascule verrou RS (« flip flop » en langue anglaise, commandable, entièrement CMOS, en combinaison avec un module de commande capable de gérer l'initialisation et la réinitialisation de la bascule ainsi les valeurs et le séquençage temporel des différentes tensions utilisées par la bascule dans ses différentes phases de fonctionnement.
- [0023] Selon un aspect il est proposé un dispositif de verrou, avantageusement intégré au sein d'un circuit intégré, possédant un mode de fonctionnement dans lequel il est capable sur commande de délivrer et de maintenir sur sa borne de sortie soit une haute tension, par exemple 15 volts, soit une basse tension par exemple 3,5 volts.
- [0024] Ce mode de fonctionnement peut être par exemple utilisé dans le cadre d'un effacement de cellules-mémoires non volatiles du type EEPROM.
- [0025] Le dispositif de verrou selon cet aspect comprend une bascule verrou apte à être alimentée entre une première tension d'alimentation et une deuxième tension d'alimentation inférieure à la première tension d'alimentation.
- [0026] La bascule verrou possède une première et une deuxième entrées de bascule et une sortie de bascule connectée à la borne de sortie du dispositif de verrou.
- [0027] Le dispositif de verrou comprend également un module de commande configuré
 - pour positionner la bascule verrou dans un état initialisé ou dans un état réinitialisé lorsque la première tension d'alimentation a une première valeur (par exemple une valeur Vdd égale à 1,2 volts voire moins) inférieure à la basse tension puis,
 - la bascule verrou étant positionnée, pour conférer la haute tension à la première tension d'alimentation et la basse tension à la deuxième tension d'alimentation et pour délivrer simultanément à partir d'un instant de délivrance, aux deux entrées de bascule, deux tensions d'entrée correspondant en théorie à un état logique interdit, dans des conditions de délivrance telles que ces deux tensions d'entrée ne se traduisent pas en réalité pour ladite bascule par l'état logique interdit, de façon à faire délivrer et maintenir sur la sortie de bascule la haute tension ou la basse tension (en fonction du positionnement initial « initialisé » ou « réinitialisé » de la bascule).
- [0028] L'homme du métier sait qu'un état logique interdit pour une bascule RS se traduit par l'application simultanée d'une condition d'initialisation (« set ») et de réinitialisation aux deux entrées de bascule.
- [0029] Lorsque la bascule RS comporte des portes logiques NON OU, cet état logique interdit se traduit par l'application de deux tensions aux deux entrées de bascule vues par les transistors NMOS de la bascule dont les grilles sont connectées à ces deux entrées de bascule, comme des états logiques « 1 ».

- [0030] Lorsque la bascule RS comporte des portes logiques NON ET, cet état logique interdit se traduit par l'application de deux tensions aux deux entrées de bascule vues par les transistors NMOS de la bascule dont les grilles sont connectées à ces deux entrées de bascule, comme des états logiques « 0 ».
- [0031] Mais les conditions de délivrance de ces deux tensions d'entrée sont telles qu'elles permettent d'éviter en réalité l'état logique interdit.
- [0032] A titre d'exemple, ces conditions de délivrance comportent la satisfaction audit instant de délivrance et ultérieurement, d'une relation entre les valeurs de ces deux tensions d'entrée, la valeur de la deuxième tension d'alimentation et la tension de seuil des transistors NMOS de la bascule dont les grilles sont connectées aux deux entrées de bascule.
- [0033] Selon un mode de réalisation, la haute tension et la basse tension ont des valeurs correspondant à celles utilisées dans des phases d'effacement ou de programmation de cellules-mémoires non volatiles.
- [0034] La première valeur de la première tension d'alimentation est au moins égale à la valeur la plus grande entre la tension de seuil des transistors NMOS et la valeur absolue de la tension de seuil des transistors PMOS du dispositif de verrou.
- [0035] Elle est par ailleurs avantageusement inférieure ou égale à 1,2 Volts.
- [0036] Selon un mode de réalisation, la bascule verrou comporte une première porte logique et une deuxième porte logique.
- [0037] Bien qu'il soit possible d'utiliser des portes logiques NON ET, il est plus simple d'utiliser des portes NON OU.
- [0038] Selon un mode de réalisation, la première porte logique possède une première entrée de porte couplée à la première entrée de bascule, une deuxième entrée de porte et une première sortie de porte.
- [0039] La deuxième porte logique possède une première entrée de porte couplée à la première sortie de porte, une deuxième entrée de porte couplée à la deuxième entrée de bascule et une deuxième sortie de porte couplée à la deuxième entrée de porte de la première porte logique ainsi qu'à la sortie de bascule.
- [0040] Selon un mode de réalisation, les première et deuxième portes logiques comportent des transistors NMOS ayant leur grille connectée à la première entrée de bascule ou à la deuxième entrée de bascule et le module de commande est configuré pour, lorsque la bascule est positionnée (dans son état initialisé ou réinitialisé), délivrer à partir dudit instant de délivrance, sur chaque entrée de bascule ladite tension d'entrée correspondante ayant une valeur inférieure à la valeur de la deuxième tension d'alimentation augmentée de la tension de seuil des transistors NMOS.
- [0041] Ceci permet d'obtenir une tension grille-source de ces transistors inférieure à leur tension de seuil, ce qui les bloque et évite donc l'état logique interdit de la bascule tout

évitant les fuites de ces transistors NMOS.

- [0042] Il serait possible de délivrer audit instant de délivrance et au moins temporairement, sur chaque entrée de bascule ladite tension d'entrée ayant une valeur égale à la valeur de la deuxième tension d'alimentation augmentée de la tension de seuil des transistors NMOS. On n'obtiendrait toujours pas un état logique interdit car de telles tensions d'entrée ne seraient pas vues comme représentatives d'un état logique « 1 » mais cela engendrerait des fuites de courant au niveau des transistors NMOS.
- [0043] Selon un mode de réalisation, la bascule verrou comporte des transistors MOS et le module de commande est configuré pour, lorsque la bascule est positionnée (dans son état initialisé ou réinitialisé), délivrer une tension d'entrée sur l'entrée de bascule correspondante, ayant une valeur telle que la différence entre la première tension d'alimentation et la tension d'entrée correspondante soit inférieure à une valeur de référence choisie pour réduire voire supprimer les contraintes dans les oxydes de grille (« gate stress ») des transistors MOS.
- [0044] Lorsque la haute tension est égale à 15 volts et la valeur de référence peut être prise égale par exemple à 12 volts.
- [0045] Selon un mode de réalisation, le module de commande comporte une première porte logique NON ET, apte à être alimentée entre une première tension auxiliaire et une deuxième tension auxiliaire.
- [0046] La première porte logique possède une première entrée de porte apte à recevoir un signal logique d'initialisation de la bascule verrou, une deuxième entrée de porte apte à recevoir un signal de commande, et une première sortie de porte (OUTD1) couplée à la première entrée de bascule.
- [0047] Le module de commande comporte également une deuxième porte logique NON ET, apte à être alimentée entre la première tension auxiliaire et la deuxième tension auxiliaire.
- [0048] Cette deuxième porte logique NON ET possède une première entrée de porte apte à recevoir le signal de commande, une deuxième entrée de porte apte à recevoir un signal logique de réinitialisation de la bascule verrou, et une deuxième sortie de porte couplée à la deuxième entrée de bascule.
- [0049] Le module de commande comporte également des moyens de contrôle configurés pour, en fonction de différentes phases de fonctionnement de la bascule (par exemple bascule à l'état inactif, initialisation de la bascule, réinitialisation de la bascule, et une fois la bascule initialisée ou réinitialisée, délivrance et maintien en sortie de la haute tension ou de la basse tension de la bascule verrou),
- attribuer une valeur logique au signal de commande,
 - délivrer le signal d'initialisation dans son état logique actif ou inactif,
 - délivrer le signal de réinitialisation dans son état logique inactif ou actif, et

-gérer les valeurs de la première tension d'alimentation, de la deuxième tension d'alimentation, de la première tension d'alimentation auxiliaire et de la deuxième tension d'alimentation auxiliaire.

[0050] Ainsi, selon un mode de réalisation, afin de positionner la bascule verrou dans son état initialisé, les moyens de contrôle sont configurés pour

-conférer ladite première valeur (par exemple la tension de 1,2 Volts voire moins) à la première tension auxiliaire et à la première tension d'alimentation et une valeur de point froid d'alimentation, par exemple la masse, à la deuxième tension auxiliaire et à la deuxième tension d'alimentation, et

-conférer au signal de commande une première valeur logique autorisant un transfert inversé du signal d'initialisation dans son état logique actif vers la première entrée de bascule et du signal de réinitialisation dans son état logique inactif vers la deuxième entrée de bascule, et

afin de positionner la bascule verrou dans son état réinitialisé, les moyens de contrôle configurés pour

-conférer ladite première valeur (par exemple la tension de 1,2 Volts voire moins) à la première tension auxiliaire et à la première tension d'alimentation et une valeur de point froid d'alimentation, par exemple la masse, à la deuxième tension auxiliaire et à la deuxième tension d'alimentation, et

-conférer au signal de commande une première valeur logique autorisant un transfert inversé du signal d'initialisation dans son état logique inactif vers la première entrée de bascule et du signal de réinitialisation dans son état logique actif vers la deuxième entrée de bascule.

[0051] Selon un mode de réalisation, une fois que la bascule verrou est positionnée, les moyens de contrôle sont configurés pour augmenter la valeur de la deuxième tension d'alimentation et pour conférer au signal de commande sa deuxième valeur logique lorsque la valeur de cette deuxième tension d'alimentation devient supérieure, avantageusement de quelques dizaines de millivolts, par exemple 50 millivolts, à la différence entre la première valeur (par exemple 1,2 Volts) de la première tension d'alimentation et la tension de seuil des transistors NMOS des première et deuxième portes logiques.

[0052] Cette commutation de la valeur logique du signal de commande intervient audit instant de délivrance.

[0053] Selon un mode de réalisation, les moyens de contrôle comportent en outre des moyens auxiliaires configurés pour appliquer la première valeur (par exemple 1,2 Volts) de la première tension d'alimentation à la première tension d'alimentation auxiliaire tant que la deuxième tension d'alimentation est inférieure à ladite première valeur puis pour faire basculer la première tension d'alimentation auxiliaire sur la

deuxième tension d'alimentation lorsque la deuxième tension d'alimentation est supérieure ou égale à ladite première valeur.

[0054] Ainsi la bascule est initialisée ou réinitialisée sous ladite première valeur de tension (1,2 Volts par exemple) puis la première tension auxiliaire qui alimente les portes NAND suit la deuxième tension d'alimentation.

[0055] Selon un autre aspect, il est proposé un dispositif de mémoire non volatile, comprenant un plan mémoire matriciel comportant des rangées et de colonnes de cellules mémoire non volatiles, un décodeur rangée comportant au moins un dispositif de verrou tel que défini ci-avant et un décodeur colonne comportant un dispositif de verrou tel que défini ci-avant.

[0056] Le dispositif de mémoire peut être à architecture classique ou bien du type à « tension partagée ».

[0057] Les cellules-mémoire sont par exemple des cellules EEPROM.

[0058] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

[0059] [Fig.1]

[0060] [Fig.2]

[0061] [Fig.3]

[0062] [Fig.4]

[0063] [Fig.5]

[0064] [Fig.6]

[0065] [Fig.7]

[0066] [Fig.8]

[0067] [Fig.9]

[0068] [Fig.10], et

[0069] [Fig.11]

[0070] illustrent schématiquement des modes de réalisation et de mise en œuvre de l'invention.

[0071] Sur la [Fig.1], la référence DISV désigne un exemple de dispositif de verrou (« latch » en anglais), par exemple incorporé au sein d'un circuit intégré IC.

[0072] Ce dispositif DISV possède un mode de fonctionnement dans lequel il est capable sur commande de délivrer et de maintenir sur sa borne de sortie OUT soit une haute tension HV, par exemple de l'ordre de 15 volts soit une basse tension LV, par exemple de l'ordre de 3,5 volts.

[0073] Ce dispositif DISV comprend une bascule verrou du type RS référencée BSV, alimentée entre une première tension d'alimentation Vplus et une deuxième tension d'alimentation Vminus inférieure à la première tension d'alimentation Vplus et

possédant une première entrée de bascule A, une deuxième entrée de bascule B et une sortie de bascule OUTN2 connectée à la borne de sortie OUT.

[0074] Ici la sortie de bascule OUTN2 forme la borne de sortie OUT du dispositif DISV.

[0075] Le dispositif DISV comporte également un module de commande MCM configuré pour positionner la bascule verrou BSV dans un état initialisé ou dans un état ré-initialisé lorsque la première tension d'alimentation Vplus a une première valeur Vdd qui est inférieure à la basse tension LV et qui peut être aussi basse que la plus grande valeur entre la tension de seuil des transistors NMOS du dispositif et la valeur absolue de la tension de seuil des transistors PMOS du dispositif, par exemple de l'ordre de 0,9 volt.

[0076] En d'autres termes la bascule BSV est initialisée (« set ») ou réinitialisée (« reset ») sous la tension d'alimentation Vdd.

[0077] La tension d'alimentation Vdd peut être une tension d'alimentation du circuit intégré, fournie par une source de tension interne ou externe au circuit intégré IC.

[0078] La haute tension HV peut être fournie par une pompe de charge de structure classique.

[0079] Lorsque la bascule BSV est positionnée dans son état « initialisé » ou « réinitialisé », le module de commande est configuré pour conférer la haute tension HV à la première tension d'alimentation Vplus et la basse tension LV à la deuxième tension d'alimentation Vminus et faire délivrer et maintenir sur la sortie de bascule OUTN2 la haute tension HV ou la basse tension LV, en fonction de l'état de positionnement initial de la bascule, tout en évitant de délivrer aux deux entrées de bascule A et B un état logique interdit.

[0080] Plus précisément le module de commande est configuré pour délivrer simultanément à un instant de délivrance et ultérieurement, aux deux entrées de bascule A et B, deux tensions d'entrée correspondant en théorie à cet état logique interdit, mais dans des conditions de délivrance telles que ces deux tensions d'entrée ne se traduisent pas en réalité pour ladite bascule par l'état logique interdit.

[0081] L'état logique interdit est un état qui se traduit par l'application simultanée d'une condition d'initialisation (« set ») et de réinitialisation aux deux entrées de bascule A et B.

[0082] Comme on le verra plus en détails ci-après, dans l'exemple décrit, la bascule BSV comporte des portes NON OU.

[0083] En conséquence l'état logique interdit se traduit pour une telle bascule, par l'application de deux tensions aux deux entrées de bascule vues par les transistors NMOS de la bascule dont les grilles sont connectées à ces deux entrées de bascule A et B, comme représentatives d'un état logique « 1 ».

[0084] Comme on le verra plus en détails ci-après la première tension d'alimentation Vplus

suit par exemple une rampe croissante de valeurs débutant à la valeur V_{dd} et allant jusqu'à HV .

- [0085] La deuxième d'alimentation V_{minus} suit par exemple une rampe croissante de valeurs débutant à la valeur nulle (la masse) et allant jusqu'à LV .
- [0086] Le module de commande comporte également une première porte logique NON ET référencée $NAND1$, alimentée entre une première tension auxiliaire V_{dVp} et une deuxième tension auxiliaire V_{gVm} , et couplée en sortie à la première entrée de bascule A.
- [0087] Cette première porte logique est apte à recevoir un signal logique $SetN$ d'initialisation de la bascule verrou ainsi qu'un signal de commande ($NoGsN$).
- [0088] Le module de commande comporte également une deuxième porte logique NON ET référencée $NAND2$, alimentée entre la première tension auxiliaire V_{dVp} et la deuxième tension auxiliaire V_{gVm} , et couplée en sortie à la deuxième entrée de bascule B.
- [0089] Cette deuxième porte logique est apte à recevoir un signal logique ($ResetN$) de réinitialisation de la bascule verrou ainsi que le signal de commande $NoGsN$.
- [0090] Le module de commande MCM comporte également des moyens de contrôle $MCTRL$ configurés pour, en fonction de différentes phases de fonctionnement de la bascule verrou, attribuer une valeur logique au signal de commande $NoGsN$, délivrer le signal d'initialisation $SetN$ dans son état logique actif ou inactif, délivrer le signal de réinitialisation $ResetN$ dans son état logique inactif ou actif et gérer les valeurs de la première tension d'alimentation V_{plus} , de la deuxième tension d'alimentation V_{minus} , de la première tension d'alimentation auxiliaire V_{dVp} et de la deuxième tension d'alimentation auxiliaire V_{gVm} .
- [0091] Cette gestion, effectuée par exemple notamment par une machine d'états, inclut un séquençement temporel de ces différentes valeurs de tension.
- [0092] Comme illustré plus précisément sur la [Fig.2], la bascule verrou BSV comporte une première porte logique NOR1 et une deuxième porte logique NOR2, qui sont ici des portes NON OU.
- [0093] La première porte logique NOR1 possède une première entrée de porte $ENR10$ couplée à la première entrée de bascule A, une deuxième entrée de porte $ENR11$ et une première sortie de porte $OUTN1$.
- [0094] La deuxième porte logique NOR2 possède une première entrée de porte $ENR20$ couplée à la première sortie de porte $OUTN1$, une deuxième entrée de porte $ENR21$ couplée à la deuxième entrée de bascule B et la deuxième sortie de porte $OUTN2$ couplée à la deuxième entrée de porte $ENR11$ de la première porte logique NOR1 ainsi qu'à la sortie de bascule OUT.
- [0095] La première porte logique NON ET $NAND1$ possède une première entrée de porte

END10 apte à recevoir le signal logique SetN d'initialisation de la bascule verrou, une deuxième entrée de porte END11 apte à recevoir le signal de commande NoGsN, et une première sortie de porte OUTD1 couplée à la première entrée de bascule A.

[0096] La deuxième porte logique NON ET NAND2 possède une première entrée de porte END20 apte à recevoir le signal de commande NoGsN, une deuxième entrée de porte END21 apte à recevoir le signal logique ResetN de réinitialisation de la bascule verrou, et une deuxième sortie de porte OUTD2 couplée à la deuxième entrée de bascule B.

[0097] Les première et deuxième portes logiques NOR1, NOR2 comportent des transistors NMOS ayant leur grille connectée à la première entrée de bascule A ou à la deuxième entrée de bascule B.

[0098] Ceci est illustré sur les figures 3 et 4 qui représentent des schémas simplifiés d'exemple de réalisation de portes NON OU.

[0099] La porte NOR1 comporte un transistor PMOS référencé PMOS1 et un transistor NMOS référencé NMOS1, dont les grilles sont connectées à la première entrée de bascule A.

[0100] La source du transistor NMOS1 est connectée à Vminus.

[0101] La porte NOR2 comporte un transistor PMOS référencé PMOS2 et un transistor NMOS référencé NMOS2, dont les grilles sont connectées à la deuxième entrée de bascule B.

[0102] La source du transistor NMOS2 est connectée à Vminus.

[0103] Et comme on le verra plus en détails ci-après, le module de commande MCM est configuré pour, lorsque la bascule est positionnée dans son état initialisé ou réinitialisé, délivrer à un instant de délivrance et ultérieurement, une tension VA, VB sur chaque entrée de bascule A, B avantageusement inférieure à la valeur de la deuxième tension d'alimentation Vminus augmentée de la tension de seuil des transistors NMOS.

[0104] Ceci a pour effet de bloquer les transistors NMOS des portes NOR1 et NOR2 dont les grilles sont connectées aux deux entrées de bascule A et B (car leur tension grille source est inférieure à leur tension de seuil), et par conséquent la délivrance de ces tensions VA et VB, qui ne sont pas représentatives pour ces transistors, d'états logique « 1 », ne constitue pas pour ces portes une délivrance d'un état logique interdit à la bascule BSV.

[0105] En outre les transistors NMOS de ces portes NOR ne fuient pas.

[0106] On se réfère maintenant plus particulièrement au chronogramme temporel de la [Fig.5] pour illustrer un exemple d'un mode de fonctionnement du dispositif DISV, et plus particulièrement la délivrance et le maintien de la haute tension HV sur la borne de sortie OUT à partir de l'état initialisé de la bascule BSV.

[0107] Dans la phase de fonctionnement ST50, la bascule est dans un état inactif (« idle » en anglais).

- [0108] Dans cet état, les signaux SetN et ResetN sont inactifs (ils sont à la tension Vdd ; état haut).
- [0109] Le signal de commande NoGsN est aussi à l'état haut (Vdd) correspondant à une première valeur logique « 1 ».
- [0110] Les tensions VdVp, Vplus ont la valeur Vdd et les tensions VgVm, VA, VB et Vminus sont nulles (la masse GND).
- [0111] La sortie OUT peut délivrer soit la valeur nulle soit la valeur Vdd.
- [0112] La phase de fonctionnement ST51 est l'initialisation de la bascule BSV c'est-à-dire son positionnement à l'état initialisé.
- [0113] Pour procéder à cette initialisation, les moyens de contrôle MCTRL sont configurés pour
- conférer ladite première valeur Vdd à la première tension auxiliaire VdVp et à la première tension d'alimentation Vplus et la masse GND à la deuxième tension auxiliaire VgVm et à la deuxième tension d'alimentation Vminus. et
 - conférer au signal de commande NoGsN la première valeur logique (« 1 » ; Vdd) autorisant un transfert inversé du signal d'initialisation SetN dans son état logique actif (SetN à la masse ; état logique « 0 ») vers la première entrée de bascule A et du signal de réinitialisation ResetN dans son état logique inactif (ResetN à Vdd ; état logique « 1 » vers la deuxième entrée de bascule B.
- [0114] Les deux portes NAND NAND1 et NAND2 se comportent comme des inverseurs.
- [0115] De ce fait la tension VA appliquée sur l'entrée A de la bascule monte à Vdd et la tension VB appliquée sur l'entrée B de la bascule reste à la masse.
- [0116] Lorsque le signal SetN redevient inactif (SetN à Vdd) la bascule BSV maintient son état initialisé (la tension sur la borne de sortie OUT reste à Vdd) et est prête à commuter sur la haute tension HV pour délivrer et maintenir cette haute tension sur la borne de sortie OUT.
- [0117] Cette phase de délivrance de la haute tension HV est référencée ST52 sur le chronogramme temporel.
- [0118] L'activation de cette phase de délivrance débute par la montée, contrôlée par les moyens de contrôle MCTRL, de la première tension d'alimentation Vplus initialement à Vdd.
- [0119] La première tension auxiliaire VdVp est au début de cette phase égale à la valeur Vdd et la deuxième tension auxiliaire VgVm est la masse.
- [0120] Dès que la tension Vplus atteint une valeur plancher, par exemple 4 volts (instant t0), les moyens de contrôle MCTRL font croître la deuxième tension Vminus, initialement à la masse, pour qu'elle suive la tension Vplus diminuée de cette valeur plancher.
- [0121] La tension Vminus va se stabiliser ensuite à la basse tension LV (ici 3,5 volts) tandis que Vplus va continuer à augmenter pour atteindre la haute tension HV, ici 15 volts.

- [0122] Les moyens de contrôle sont également configurés pour conférer au signal de commande NoGsN sa deuxième valeur logique, ici la valeur logique « 0 » lorsque la valeur de cette deuxième tension d'alimentation V_{minus} devient supérieure à la différence ($V_{\text{dd}} - V_t$) entre la première valeur V_{dd} de la première tension d'alimentation V_{plus} et la tension de seuil V_t des transistors NMOS des première et deuxième portes logiques NOR1, NOR2.
- [0123] A cet égard les moyens de contrôle peuvent incorporer le bloc de contrôle BLC1 de la [Fig.6] qui illustre un exemple non limitatif de circuit permettant de contrôler la valeur du signal de commande NoGsN en fonction de V_{dd} .
- [0124] Bien entendu d'autres circuits ayant cette fonctionnalité sont possibles.
- [0125] Plus précisément, en ce qui concerne le bloc BLC1, un premier transistor PMOS, référencé PMOS10, monté en source de courant reçoit sur sa grille une tension de référence égale à $V_{\text{dd}} - V_{\text{tp}}$, où V_{tp} désigne la tension de seuil du transistor PMOS.
- [0126] Un premier transistor NMOS, référencé NMOS10, a son drain connecté au drain du premier transistor PMOS10, sa grille connectée à V_{dd} et sa source connectée à V_{minus} .
- [0127] Ce premier transistor NMOS10 a une tension de seuil V_{t10} inférieure de quelques dizaines de millivolts, par exemple 50 millivolts, à la tension de seuil V_t des transistors NMOS des portes NOR1 et NOR2.
- [0128] Cette tension de seuil V_{t10} inférieure à la tension de seuil V_t peut être obtenue en réalisant un transistor NMOS10 comprenant plusieurs transistors NMOS élémentaires à canal étroit branchés en parallèle de telle sorte que la somme des largeurs de canal de ces transistors élémentaires soit bien supérieure à la largeur canal des transistors NMOS des portes NOR1 et NOR2.
- [0129] Un deuxième transistor NMOS, référencé NMOS20, a sa grille connectée au drain du transistor NMOS10, sa source connectée à la masse GND et son drain connecté au drain d'un second transistor PMOS, référencé PMOS20, également monté en source de courant.
- [0130] Un premier inverseur INV1 est connecté sur le drain du transistor NMOS20 et un second inverseur INV2, délivrant le signal de commande NoGsN est connecté sur la sortie du premier inverseur INV1.
- [0131] Lorsque la tension V_{minus} est à la masse, le transistor NMOS10 est passant et délivre une tension nulle sur la grille du transistor NMOS20 ce qui le bloque.
- [0132] La tension V_{dd} est donc délivrée entrée de l'inverseur INV1 et donc en sortie de l'inverseur INV2, ce qui confère la valeur logique « 1 » au signal de commande NoGsN.
- [0133] Lorsque la tension V_{minus} augmente et atteint la valeur $V_{\text{dd}} - V_{t10}$, le transistor NMOS10 se bloque, rendant passant le transistor NMOS20, ce qui délivre la tension

nulle en sortie de l'inverseur INV2 et fait commuter le signal de commande NoGsN dans son deuxième état logique, ici l'état logique « 0 ». Cette commutation intervient à l'instant de délivrance t_d .

- [0134] Les deux portes NAND NAND1 et NAND2, délivrent la tension d'entrée VA sur l'entrée de bascule A et la tension d'entrée VB sur l'entrée de bascule B.
- [0135] Ces deux tensions VA et VB sont égales à la première tension auxiliaire VdVp.
- [0136] Lors de la commutation du signal de commande NoGsN, la tension Vminus vaut $V_{dd} - V_{t10}$. Mais comme la tension de seuil V_{t10} est inférieure à la tension de seuil V_t , lors de la commutation du signal de commande NoGsN, la tension Vminus est supérieure à $V_{dd} - V_t$.
- [0137] Tant que Vminus est supérieure à $V_{dd} - V_t$ et inférieure à V_{dd} , ces deux tensions d'entrée VA et VB sont égales à V_{dd} .
- [0138] Chaque tension d'entrée VA et VB est donc dans cette plage temporelle débutant à l'instant de délivrance t_d , inférieure à la valeur de la deuxième tension d'alimentation Vminus augmentée de la tension de seuil V_t des transistors NMOS des portes NOR1 et NOR2.
- [0139] La condition de non délivrance d'un état logique interdit aux entrées de bascule A et B est donc bien remplie avec en outre absence de fuites de courant au niveau des transistors NMOS des portes NOR1 et NOR2.
- [0140] Lorsque la tension Vminus atteint la valeur V_{dd} (instant t_1), les moyens de contrôle font basculer la première tension auxiliaire VdVP sur la tension Vminus de façon la tension VdVP suive cette tension Vminus.
- [0141] Ceci peut être réalisé à l'aide du circuit BLC2 illustré sur la [Fig.7].
- [0142] Ce circuit comporte un comparateur recevant sur ses deux entrées la tension Vminus et la tension V_{dd} .
- [0143] La sortie du comparateur CMP est connectée à un inverseur INV3 dont le nœud de sortie X est connecté à l'entrée d'un autre inverseur INV4.
- [0144] Le nœud de sortie X et le nœud de sortie Y de l'inverseur INV4 sont connectés aux entrées de commande de deux commutateurs CMOS SW1 et SW2.
- [0145] L'entrée du commutateur SW1 reçoit la tension Vminus et l'entrée du commutateur SW2 reçoit la tension V_{dd} .
- [0146] Les deux sorties des deux commutateurs sont connectées et délivrent la première tension auxiliaire VdVp sur le nœud de sortie BS.
- [0147] Ainsi lorsque Vminus est inférieure à V_{dd} , le nœud de sortie BS est connecté à V_{dd} , et la tension VdVp est égale à V_{dd} .
- [0148] Lorsque Vminus atteint V_{dd} , le nœud de sortie BS est connecté à Vminus, et la tension VdVp suit la tension Vminus.
- [0149] Les deux tensions d'entrée VA et VB suivent également Vminus et restent par

conséquent là encore inférieures à $V_{\text{minus}} + V_t$.

- [0150] La condition de non délivrance d'un état logique interdit aux entrées de bascule A et B est donc là encore bien remplie avec en outre des transistors NMOS bloqués et donc absence de fuites de courant au niveau de ces transistors NMOS des portes NOR1 et NOR2.
- [0151] Par ailleurs, les tensions d'entrée VA et VB qui suivent la tension V_{minus} , ont une valeur telle que la différence entre la première tension d'alimentation V_{plus} et la tension d'entrée correspondante VA, VB soit inférieure à une valeur de référence choisie pour réduire voire supprimer les contraintes dans les oxydes de grille des transistors MOS.
- [0152] Cette valeur de référence est par exemple égale à 12 volts.
- [0153] En d'autres termes la différence entre V_{plus} et VA ou VB ne dépasse jamais 12 volts.
- [0154] Au final, la borne de sortie OUT, dont la tension suit la tension V_{plus} , délivre et maintient la haute tension HV.
- [0155] On se réfère maintenant plus particulièrement au chronogramme temporel de la [Fig.8] pour illustrer un exemple d'un mode de fonctionnement du dispositif DISV, et plus particulièrement la délivrance et le maintien de la basse tension LV sur la borne de sortie OUT à partir de l'état réinitialisé de la bascule BSV.
- [0156] Dans la phase de fonctionnement ST80, la bascule est dans un état inactif (« idle » en anglais).
- [0157] Dans cet état, les signaux SetN et ResetN sont inactifs (ils sont à la tension V_{dd} ; état haut).
- [0158] Le signal de commande NoGsN est aussi à l'état haut (V_{dd}) correspondant à une première valeur logique « 1 ».
- [0159] Les tensions V_{dVp} , V_{plus} ont la valeur V_{dd} et les tensions V_{gVm} , VA, VB et V_{minus} sont nulles (la masse GND).
- [0160] La sortie OUT peut délivrer soit la valeur nulle soit la valeur V_{dd} .
- [0161] La phase de fonctionnement ST81 est la réinitialisation de la bascule BSV c'est-à-dire son positionnement à l'état réinitialisé.
- [0162] Pour procéder à cette réinitialisation, les moyens de contrôle MCTRL sont configurés pour
 - conférer ladite première valeur V_{dd} à la première tension auxiliaire V_{dVp} et à la première tension d'alimentation V_{plus} et la masse GND à la deuxième tension auxiliaire V_{gVm} et à la deuxième tension d'alimentation V_{minus} . et
 - conférer au signal de commande NoGsN la première valeur logique (« 1 » ; V_{dd}) autorisant un transfert inversé du signal de réinitialisation ResetN dans son état logique actif (ResetN à la masse ; état logique « 0 ») vers la deuxième entrée de bascule B et

du signal d'initialisation SetN dans son état logique inactif (SetN à Vdd ; état logique « 1 » vers la première entrée de bascule A.

- [0163] Les deux portes NAND NAND1 et NAND2 se comportent là encore comme des inverseurs.
- [0164] De ce fait la tension VB appliquée sur l'entrée B de la bascule monte à Vdd et la tension VA appliquée sur l'entrée B de la bascule reste à la masse.
- [0165] Lorsque le signal ResetN redevient inactif (ResetN à Vdd) la bascule BSV maintient son état réinitialisé (la tension sur la borne de sortie OUT reste à 0) et est prête à commuter sur la basse tension LV pour délivrer et maintenir cette basse tension sur la borne de sortie OUT.
- [0166] Cette phase de délivrance de la basse tension LV est référencée ST82 sur le chronogramme temporel.
- [0167] L'activation de cette phase de délivrance débute par la montée, contrôlée par les moyens de contrôle MCTRL, de la première tension d'alimentation Vplus initialement à Vdd.
- [0168] La première tension auxiliaire VdVp est au début de cette phase égale à la valeur Vdd et la deuxième tension auxiliaire VgVm est la masse.
- [0169] Les évolutions des différentes tensions, les différentes commutations ainsi que la satisfaction des conditions conduisant à la non délivrance d'un état logique interdit, expliquées ci-avant en référence au chronogramme de la [Fig.5], s'appliquent ici, à la différence que cette fois-ci, l'évolution de la tension à la borne de sortie OUT suit celle de la tension Vminus.
- [0170] Au final, la borne de sortie OUT délivre donc et maintient la basse tension LV.
- [0171] De tels dispositifs de verrou DISVi, DISVj peuvent être incorporés dans un décodeur de rangée RDEC et dans un décodeur colonne CDEC ([Fig.9]) d'un dispositif de mémoire non volatile DM, comprenant un plan mémoire matriciel PM comportant des rangées et de colonnes de cellules mémoire non volatiles CEL, par exemple des cellules EEPROM.
- [0172] L'architecture du dispositif de mémoire peut être classique ou bien du type dit à « tension partagée » (« split voltage ») comme illustré très schématiquement sur la [Fig.10].
- [0173] L'homme du métier pourra éventuellement se référer au brevet français publié sous le n° 3029000 qui illustre aussi un exemple de cellule mémoire classique et un exemple de cellule mémoire du type à « tension partagée ».
- [0174] Sur cette [Fig.10], chaque cellule-mémoire CEL comporte un transistor d'accès TA et un transistor d'état TR ayant une grille flottante et une grille de commande.
- [0175] Tous les transistors d'accès TA d'une même rangée de cellules sont reliés par leur grille respective à une ligne de mot WL et sont commandés sur leur grille par un signal

SWL délivré par un dispositif de verrou DISV1.

- [0176] La source du transistor d'état TR est connectée à une ligne de source commandée SL dont le potentiel est typiquement à la masse (GND) lors des phases d'effacement ou de lecture mais qui est positif de l'ordre de quelques volts lors des opérations de programmation.
- [0177] Tous les transistors d'état TR d'un même mot d'une rangée de cellules sont reliés par leur grille respective à une ligne de CG et sont commandés sur leur grille, par l'intermédiaire d'un verrou VERR comportant un inverseur INV et contrôlé par un signal CL délivré par un dispositif de verrou DISV2.
- [0178] En général il y a plusieurs mots dans une rangée et un verrou par mot. Par contre le signal CL qui contrôle tous les verrous de cette rangée est unique pour cette rangée.
- [0179] Dans une architecture classique, le signal SWL commande également la grille de commande du transistor d'état par l'intermédiaire d'un élément de commande, tel qu'un autre transistor.
- [0180] Comme illustré très schématiquement sur la [Fig.11], il est possible d'avoir un dispositif de verrou DISV1, commandé par le signal de commande WLnoGsN, par groupe de lignes de mots, par exemple par groupe de 8 lignes de mots, de façon à délivrer les signaux SWL0-SWL7, et un dispositif de verrou DISV2, commandé par le signal de commande CLnoGsN, par groupe de lignes CG, par exemple par groupe de 8 lignes CG, de façon à délivrer les signaux CL0-CL7.
- [0181] Il est ainsi possible d'utiliser ces dispositifs de verrou DISV1 pour commuter entre une basse tension, par exemple 3 volts, (rangée non sélectionnée) et une haute tension, par exemple 14 volts, (rangée sélectionnée) durant une phase de programmation de la mémoire.
- [0182] Il est aussi possible d'utiliser ces dispositifs de verrou DISV2 pour commuter entre une basse tension, par exemple 3,5volts (rangée sélectionnée) et une haute tension, par exemple 15 volts, (rangée non sélectionnée) durant une phase de d'effacement de la mémoire.
- [0183] Cela étant les dispositifs de verrou DISV2 peuvent avoir un autre mode de fonctionnement dans lequel ils commutent entre une tension positive, par exemple 4 volts (rangée sélectionnée) et une tension négative, par exemple -5 volts, (rangée non sélectionnée) durant une phase de programmation de la mémoire.

Revendications

- [Revendication 1] Dispositif de verrou, possédant un mode de fonctionnement dans lequel il est capable sur commande de délivrer et de maintenir sur sa borne de sortie (OUT) soit une haute tension (HV) soit une basse tension (LV), comprenant
- une bascule verrou du type RS (BSV) apte à être alimentée entre une première tension d'alimentation (Vplus) et une deuxième tension d'alimentation (Vminus) inférieure à la première tension d'alimentation et possédant une première (A) et une deuxième (B) entrées de bascule et une sortie de bascule (OUTN2) connectée à la borne de sortie (OUT), et
 - un module de commande (MCM) configuré
 - o pour positionner la bascule verrou dans un état initialisé ou dans un état réinitialisé lorsque la première tension d'alimentation (Vplus) a une première valeur (Vdd) inférieure à la basse tension (LV) puis,
 - o la bascule verrou étant positionnée, pour conférer la haute tension (HV) à la première tension d'alimentation (Vplus) et la basse tension (LV) à la deuxième tension d'alimentation (Vminus) et pour délivrer simultanément à partir d'un instant de délivrance (td), aux deux entrées de bascule, deux tensions d'entrée (VA, VB) correspondant en théorie à un état logique interdit, dans des conditions de délivrance telles que ces deux tensions d'entrée (VA, VB) ne se traduisent pas en réalité pour ladite bascule par l'état logique interdit, de façon à faire délivrer et maintenir sur la sortie de bascule la haute tension (HV) ou la basse tension (LV).
- [Revendication 2] Dispositif selon la revendication 1, dans lequel la haute tension (HV) et la basse tension (LV) ont des valeurs correspondant à celles utilisées dans des phases d'effacement/programmation de cellules-mémoires non volatiles.
- [Revendication 3] Dispositif selon l'une des revendications précédentes, comprenant des transistors NMOS et des transistors PMOS, et dans lequel la première valeur (Vdd) de la première tension d'alimentation (Vplus) est au moins égale à la valeur la plus grande entre la tension de seuil des transistors NMOS et la valeur absolue de la tension de seuil des transistors PMOS, et inférieure ou égale à 1,2 Volts.
- [Revendication 4] Dispositif selon l'une des revendications précédentes, dans lequel la bascule verrou (BSV) comporte une première porte logique (NOR1) et une deuxième porte logique (NOR2),

-la première porte logique (NOR1) possédant une première entrée de porte (ENR10) couplée à la première entrée de bascule (A), une deuxième entrée de porte (ENR11) et une première sortie de porte (OUTN1),

-la deuxième porte logique (NOR2) possédant une première entrée de porte (ENR20) couplée à la première sortie de porte (OUTN1), une deuxième entrée de porte (ENR21) couplée à la deuxième entrée de bascule (B) et une deuxième sortie de porte (OUTN2) couplée à la deuxième entrée de porte (ENR11) de la première porte logique (NOR1) ainsi qu'à la sortie de bascule (OUT).

[Revendication 5] Dispositif selon la revendication 4, dans lequel la première porte logique (NOR1) et la deuxième porte logique (NOR2) sont des portes NON OU.

[Revendication 6] Dispositif selon la revendication 4 ou 5, dans lequel les première et deuxième portes logiques (NOR1, NOR2) comportent des transistors NMOS ayant leur grille connectée à la première entrée de bascule (A) ou à la deuxième entrée de bascule (B) et le module de commande est configuré pour, lorsque la bascule est positionnée, délivrer à partir dudit instant de délivrance (t_d) sur chaque entrée de bascule (A, B), ladite tension d'entrée correspondante (V_A , V_B) ayant une valeur inférieure à la valeur de la deuxième tension d'alimentation (V_{minus}) augmentée de la tension de seuil des transistors NMOS.

[Revendication 7] Dispositif selon l'une des revendications précédentes, dans lequel la bascule verrou comporte des transistors MOS et le module de commande est configuré pour, lorsque la bascule est positionnée, délivrer une tension d'entrée (V_A , V_B) sur l'entrée de bascule correspondante, ayant une valeur telle que la différence entre la première tension d'alimentation (V_{plus}) et la tension d'entrée correspondante (V_A , V_B) soit inférieure à une valeur de référence choisie pour réduire voire supprimer les contraintes dans les oxydes de grille des transistors MOS.

[Revendication 8] Dispositif selon la revendication 7, dans lequel la haute tension est égale à 15 volts et la valeur de référence est égale à 12 volts.

[Revendication 9] Dispositif selon l'une des revendications précédentes, dans lequel le module de commande comporte

- une première porte logique NON ET (NAND1), apte à être alimentée entre une première tension auxiliaire (V_{dVp}) et une deuxième tension auxiliaire (V_{gVm}), possédant une première entrée de porte (END10) apte à recevoir un signal logique (SetN) d'initialisation de la bascule

verrou, une deuxième entrée de porte (END11) apte à recevoir un signal de commande (NoGsN), et une première sortie de porte (OUTD1) couplée à la première entrée de bascule (A),

- une deuxième porte logique NON ET (NAND2), apte à être alimentée entre la première tension auxiliaire (VdVp) et la deuxième tension auxiliaire (VgVm), possédant une première entrée de porte (END20) apte à recevoir le signal de commande (NoGsN), une deuxième entrée de porte (END21) apte à recevoir un signal logique (ResetN) de réinitialisation de la bascule verrou, et une deuxième sortie de porte (OUTD2) couplée à la deuxième entrée de bascule (B),
- des moyens de contrôle configurés pour, en fonction de différentes phases de fonctionnement de la bascule verrou, attribuer une valeur logique au signal de commande, délivrer le signal d'initialisation dans son état logique actif ou inactif, délivrer le signal de réinitialisation dans son état logique inactif ou actif et gérer les valeurs de la première tension d'alimentation (Vplus), de la deuxième tension d'alimentation (Vminus), de la première tension d'alimentation auxiliaire (VdVp) et de la deuxième tension d'alimentation auxiliaire (VgVm).

[Revendication 10]

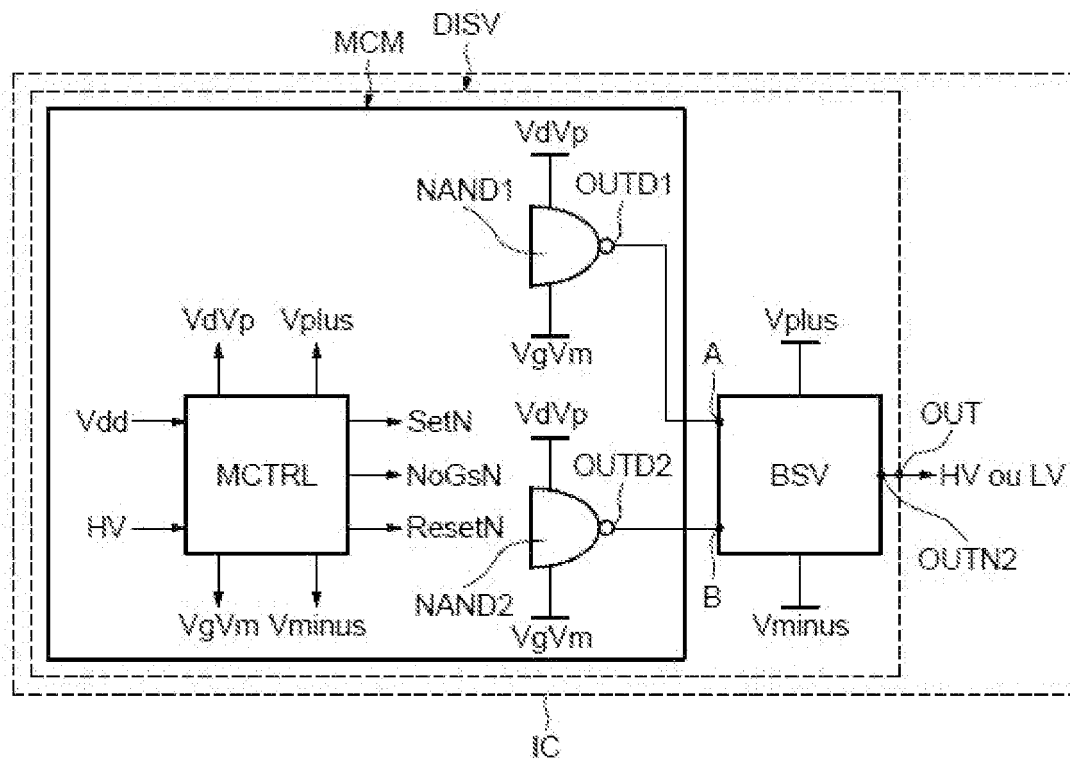
Dispositif selon la revendication 9, dans lequel,

- afin de positionner la bascule verrou dans son état initialisé, les moyens de contrôle sont configurés pour conférer ladite première valeur (Vdd) à la première tension auxiliaire (VdVp) et à la première tension d'alimentation (Vplus) et une valeur de point froid d'alimentation (GND) à la deuxième tension auxiliaire (VgVm) et à la deuxième tension d'alimentation (Vminus), et conférer au signal de commande (NoGsN) une première valeur logique autorisant un transfert inversé du signal d'initialisation dans son état logique actif vers la première entrée de bascule et du signal de réinitialisation dans son état logique inactif vers la deuxième entrée de bascule, et
- afin de positionner la bascule verrou dans son état réinitialisé, les moyens de contrôle configurés pour conférer ladite première valeur (Vdd) à la première tension auxiliaire (VdVp) et à la première tension d'alimentation (Vplus) et une valeur de point froid d'alimentation (GND) à la deuxième tension auxiliaire (VgVm) et à la deuxième tension d'alimentation (Vminus), et conférer au signal de commande (NoGsN) une première valeur logique autorisant un transfert inversé du signal d'initialisation dans son état logique inactif vers la première entrée de bascule et du signal de réinitialisation dans son état logique

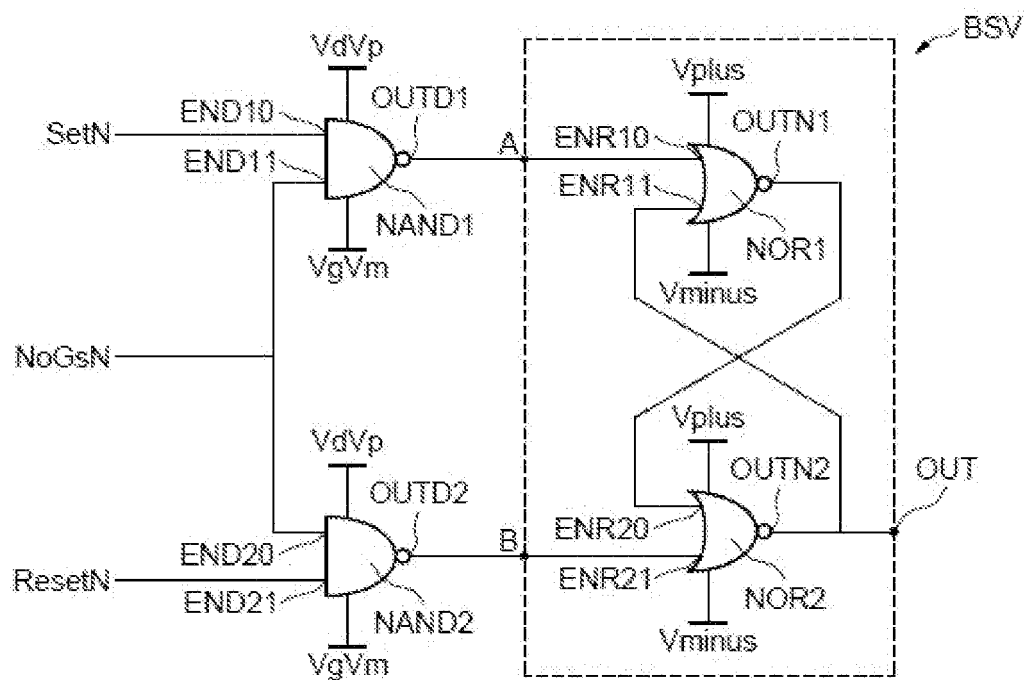
actif vers la deuxième entrée de bascule.

- [Revendication 11] Dispositif selon la revendication 9 ou 10 prise en combinaison avec la revendication 6, dans lequel une fois que la bascule verrou est positionnée, les moyens de contrôle sont configurés pour augmenter la valeur de la deuxième tension d'alimentation (V_{minus}) et pour conférer au signal de commande (NoGsN) sa deuxième valeur logique lorsque la valeur de cette deuxième tension d'alimentation (V_{minus}) devient supérieure ou égale à la différence entre la première valeur (V_{dd}) de la première tension d'alimentation (V_{plus}) et la tension de seuil des transistors NMOS des première et deuxième portes logiques (NOR1, NOR2).
- [Revendication 12] Dispositif selon la revendication 11, dans lequel les moyens de contrôle comportent en outre des moyens auxiliaires configurés pour appliquer la première valeur (V_{dd}) de la première tension d'alimentation (V_{plus}) à la première tension d'alimentation auxiliaire (V_{dVp}) tant que la deuxième tension d'alimentation (V_{minus}) est inférieure à ladite première valeur (V_{dd}) puis pour faire basculer la première tension d'alimentation auxiliaire (V_{dVp}) sur la deuxième tension d'alimentation (V_{minus}) lorsque la deuxième tension d'alimentation (V_{minus}) est supérieure ou égale à ladite première valeur (V_{dd}).
- [Revendication 13] Dispositif selon l'une des revendications précédentes, incorporé au sein d'un circuit intégré.
- [Revendication 14] Dispositif de mémoire non volatile, comprenant un plan mémoire matriciel comportant des rangées et de colonnes de cellules mémoire non volatiles, un décodeur rangée comportant au moins un dispositif de verrou selon l'une des revendications précédentes et un décodeur colonne comportant un dispositif de verrou selon l'une des revendications précédentes.
- [Revendication 15] Dispositif selon la revendication 14, à architecture du type à « tension partagée ».
- [Revendication 16] Dispositif selon la revendication 14 ou 15, dans lequel les cellules-mémoire sont des cellules EEPROM.

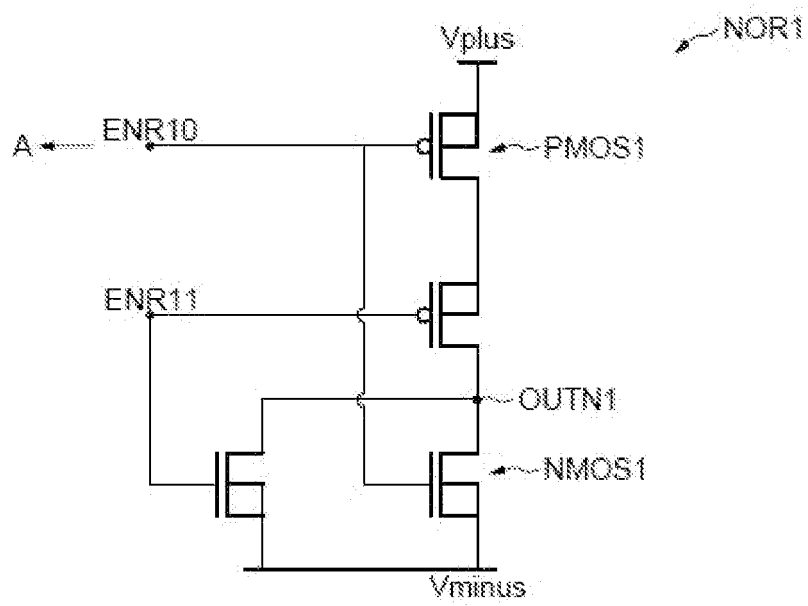
[Fig. 1]



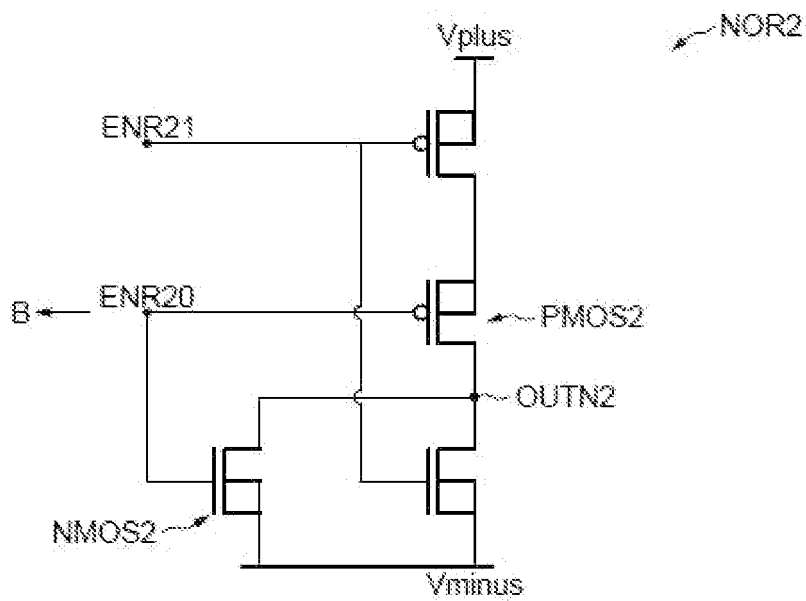
[Fig. 2]



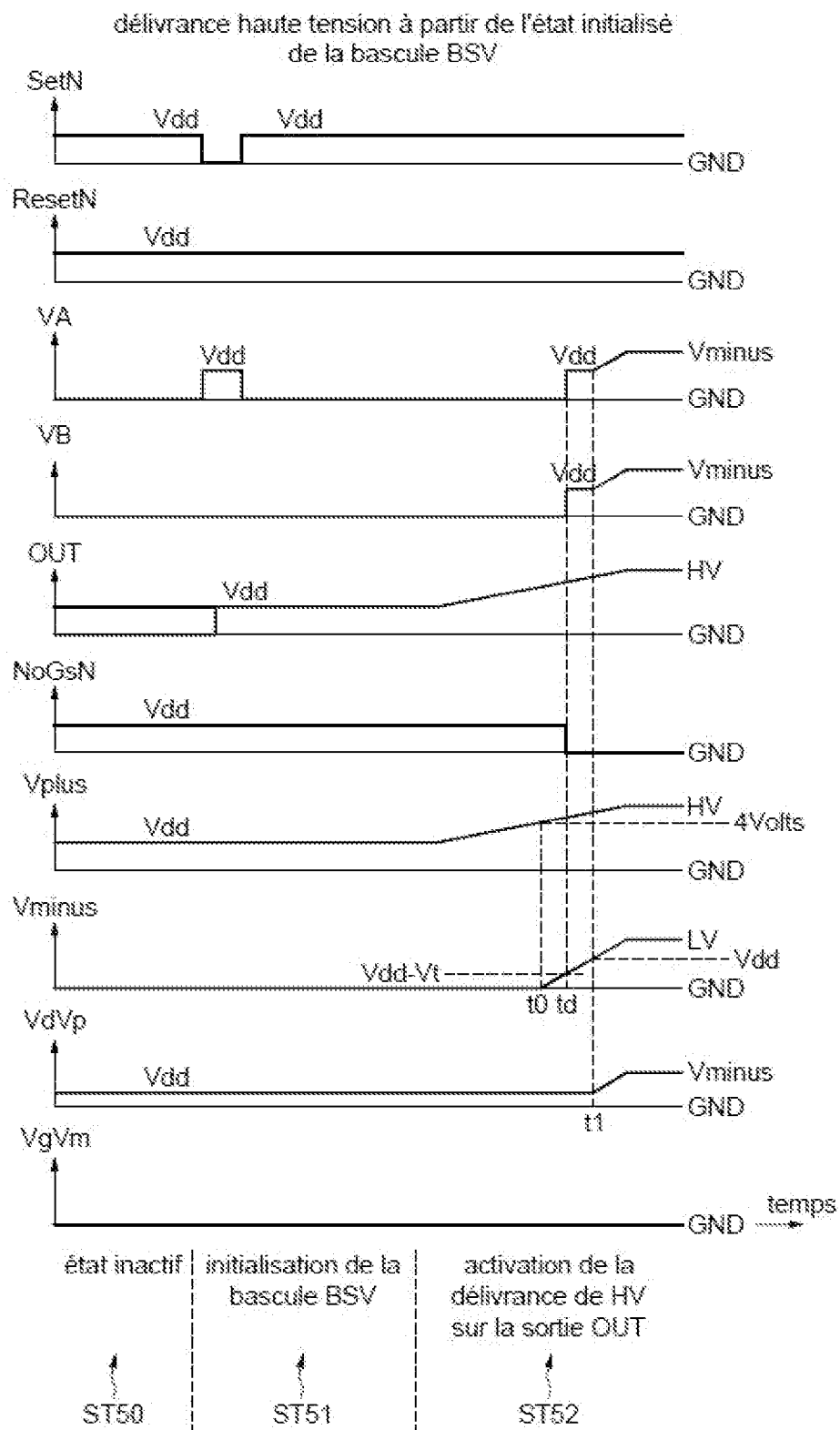
[Fig. 3]



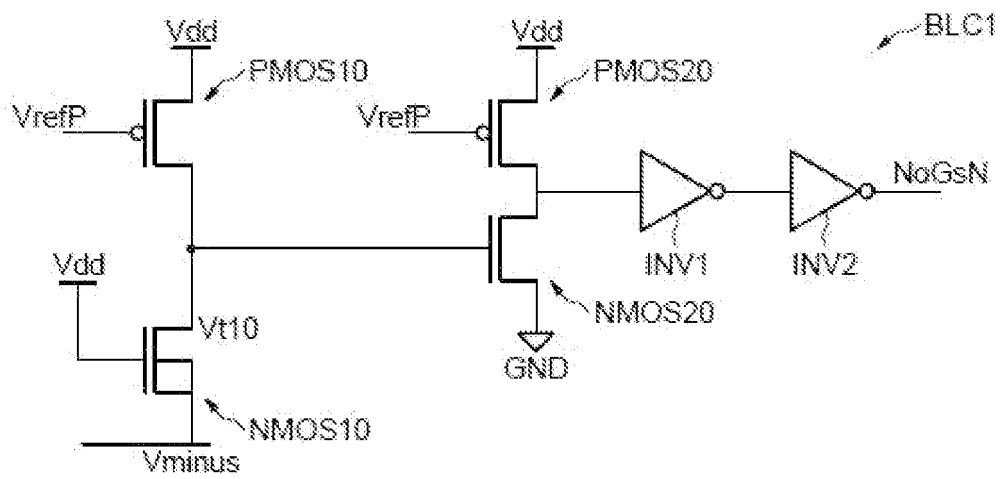
[Fig. 4]



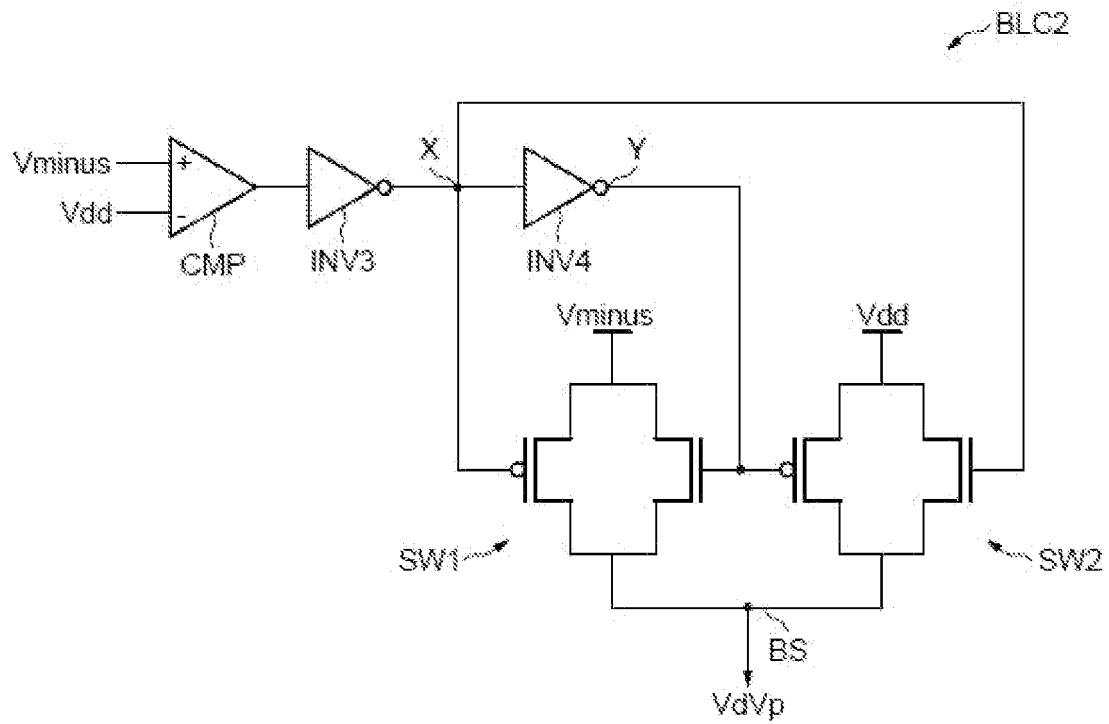
[Fig. 5]



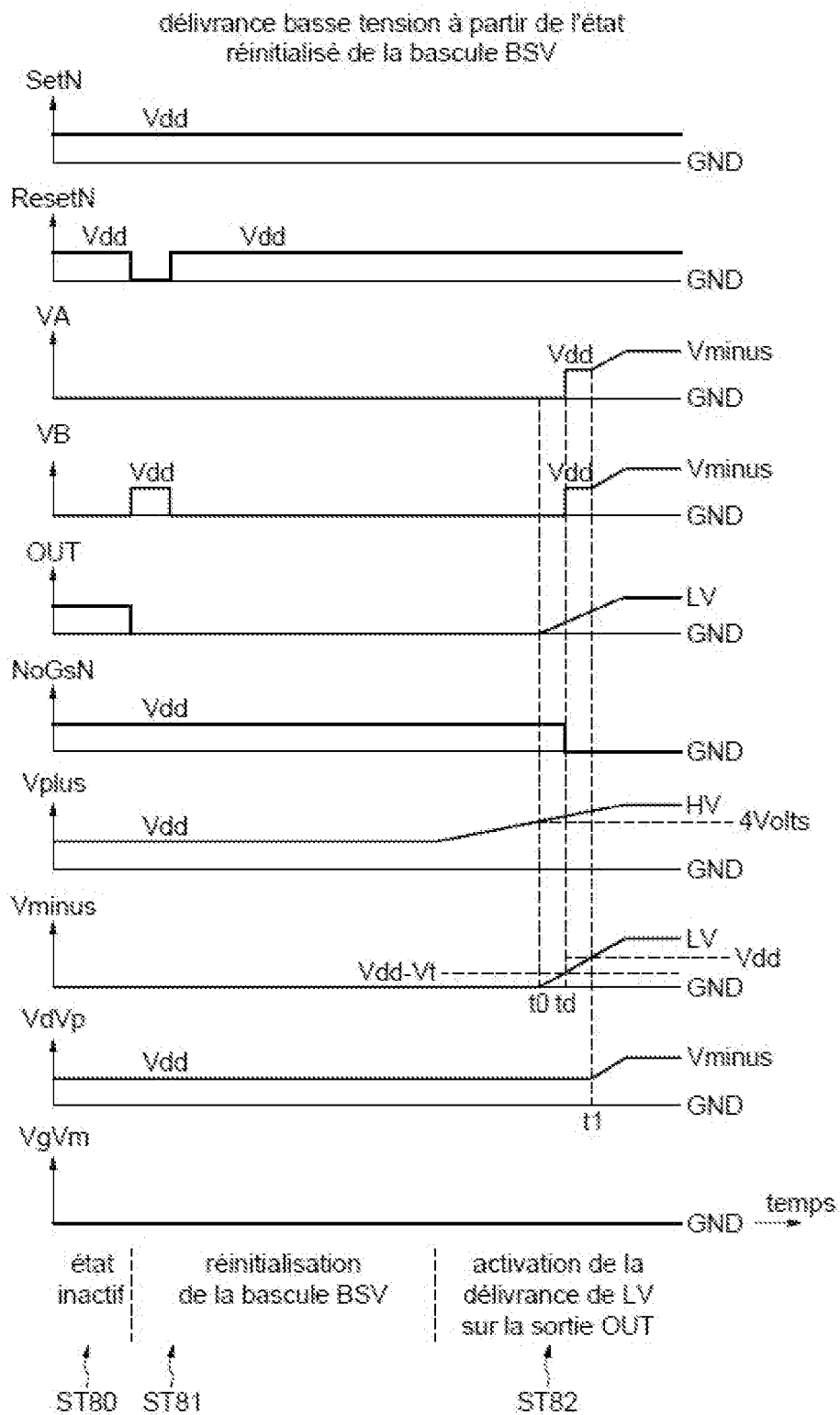
[Fig. 6]



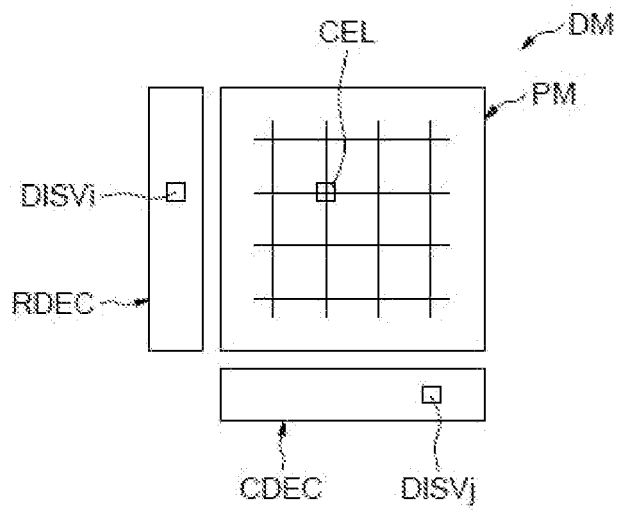
[Fig. 7]



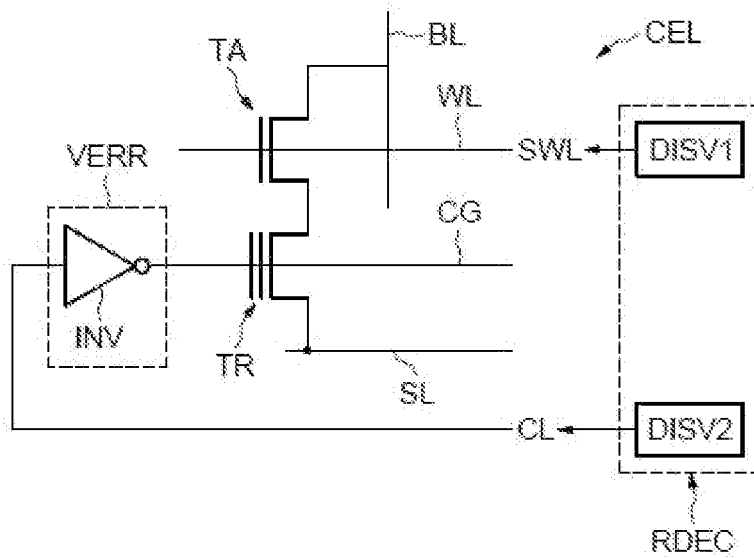
[Fig. 8]



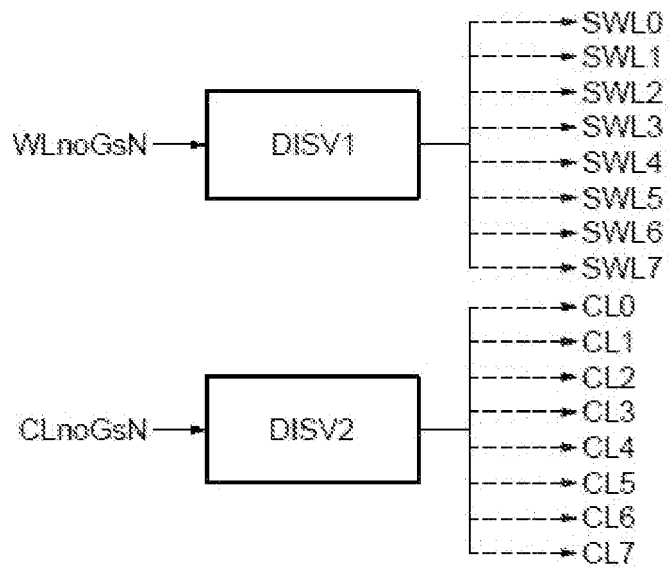
[Fig. 9]



[Fig. 10]



[Fig. 11]



ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE

FR 2205502 FA 908502

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **24-01-2023**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

US	2003223271	A1	04-12-2003	JP	4133541	B2	13-08-2008
				JP	2004005946	A	08-01-2004
				KR	20030091449	A	03-12-2003
				US	2003223271	A1	04-12-2003