



(12) 发明专利

(10) 授权公告号 CN 102394594 B

(45) 授权公告日 2013. 11. 27

(21) 申请号 201110254932.5

CN 101621292 A, 2010. 01. 06,

(22) 申请日 2011. 08. 31

CN 101692603 A, 2010. 04. 07,

(73) 专利权人 浙江大学

CN 102064809 A, 2011. 05. 18,

地址 310027 浙江省杭州市西湖区浙大路
38 号

审查员 罗湘

(72) 发明人 罗豪 韩雁 张泽松 梁国 廖璐
韩晓霞 虞春英(74) 专利代理机构 杭州天勤知识产权代理有限
公司 33224

代理人 周丽娟

(51) Int. Cl.

H03K 3/01 (2006. 01)

H03K 3/353 (2006. 01)

(56) 对比文件

US 7078770 B2, 2006. 07. 18,

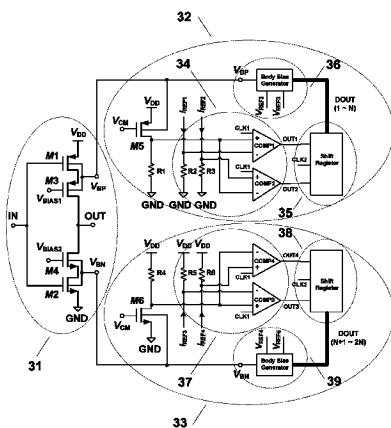
权利要求书3页 说明书11页 附图3页

(54) 发明名称

数控体偏置型 C 类反相器

(57) 摘要

本发明公开了一种数控体偏置型 C 类反相器。本发明的数控体偏置型 C 类反相器包括主体 C 类反相器模块、数控 PMOS 体调制模块和数控 NMOS 体调制模块，其中数控 PMOS 体调制模块和数控 NMOS 体调制模块通过“参数感应 - 电流比较 - 数字控制 - 体偏压产生及反馈”等环节能够更加精确地控制所述的主体 C 类反相器模块中第一 PMOS 管和第一 NMOS 管的阈值电压、漏源电流和跨导等参数，因而大大减弱工艺偏差、电源电压扰动和温度变化对主体 C 类反相器模块的不利影响。本发明的数控体偏置型 C 类反相器适用于开关电容积分器、Sigma-Delta 模数转换器等极低功耗高精度的应用场合。



1. 一种数控体偏置型 C 类反相器，其特征在于，包括主体 C 类反相器模块、数控 PMOS 体调制模块和数控 NMOS 体调制模块；

所述的主体 C 类反相器模块由第一 PMOS 管、第一 NMOS 管、第二 PMOS 管和第二 NMOS 管组成；其中，第一 PMOS 管的栅端与第一 NMOS 管的栅端相连，作为主体 C 类反相器模块的输入端，第二 PMOS 管的漏端接第二 NMOS 管的漏端，作为主体 C 类反相器模块的输出端；第一 PMOS 管的源端接第一参考电源，第一 PMOS 管的漏端接第二 PMOS 管的源端，第一 PMOS 管的体端接所述的数控 PMOS 体调制模块输出的体偏置电压；第二 PMOS 管的栅端接第一偏置电平，第二 PMOS 管的体端接所述的数控 PMOS 体调制模块输出的体偏置电压；第一 NMOS 管的源端接第一参考地，第一 NMOS 管的漏端与第二 NMOS 管的源端相连，第一 NMOS 管的体端接所述的数控 NMOS 体调制模块输出的体偏置电压；第二 NMOS 管的栅端接第二偏置电平，第二 NMOS 管的体端接所述的数控 NMOS 体调制模块输出的体偏置电压；

所述的数控 PMOS 体调制模块包括感应 PMOS 管、第一比较器对模块、第一移位寄存器模块和 PMOS 体偏置电压产生模块；

其中，感应 PMOS 管的源端接第一参考电源，感应 PMOS 管的栅端接共模电压，所述的共模电压与第一 PMOS 管在亚阈值状态时的栅源电压相同；感应 PMOS 管的体端接所述的数控 PMOS 体调制模块输出的体偏置电压，感应 PMOS 管的漏端与第一电阻的一端、第一比较器对模块相连，第一电阻的另一端接第一参考地；

第一比较器对模块包括第二电阻、第三电阻、第一比较器和第二比较器，第一比较器的正输入端和第二比较器的负输入端均接感应 PMOS 管的漏端，第一比较器的负输入端接第二电阻的一端，第一比较器的负输入端同时也是第一基准电流的输入端，第二电阻的另一端接第一参考地，第二比较器的正输入端接第三电阻的一端，第二比较器的正输入端同时也是第二基准电流的输入端，第三电阻的另一端接第一参考地，第一比较器的时钟输入端和第二比较器的时钟输入端均接比较器时钟信号，第一比较器的输出端和第二比较器的输出端均与第一移位寄存器模块相连；

第一移位寄存器模块包括第一 SR 触发器、由第一级 D 触发器至第 N 级 D 触发器构成的 N 级 D 触发器和由第一个 2 选 1 模块至第 N 个 2 选 1 模块构成的 N 个 2 选 1 模块，其中，第一 SR 触发器的置位端接第一比较器的输出端，第一 SR 触发器的复位端接第二比较器的输出端，第一 SR 触发器的数据输出端接第一移位寄存器模块中所有 N 个 2 选 1 模块的选择时钟输入端；第一比较器的输出端和第二比较器的输出端输出的信号进行逻辑或运算，所产生的信号再与寄存器时钟信号进行逻辑与运算，最终产生的信号接第一移位寄存器模块中所有 N 级 D 触发器的时钟输入端；N 个 2 选 1 模块和 N 级 D 触发器一一对应，第一个 2 选 1 模块的第一数据输入端接第一参考地，第一个 2 选 1 模块的第二数据输入端接第二级 D 触发器的数据输出端，第一个 2 选 1 模块的选择数据输出端接第一级 D 触发器的数据输入端；第二个 2 选 1 模块的第一数据输入端接第一级 D 触发器的数据输出端，第二个 2 选 1 模块的第二数据输入端接第三级 D 触发器的数据输出端，第二个 2 选 1 模块的选择数据输出端接第二级 D 触发器的数据输入端；以此类推，第三至第 N-1 个 2 选 1 模块的第一数据输入端接前一级 D 触发器的数据输出端，第三至第 N-1 个 2 选 1 模块的第二数据输入端接后一级 D 触发器的数据输出端，第三至第 N-1 个 2 选 1 模块的选择数据输出端接该级 D 触发器的数据输入端；第 N 个 2 选 1 模块的第一数据输入端接第 N-1 级 D 触发器的数据输出端，第 N

个 2 选 1 模块的第二数据输入端接第一参考地, 第 N 个 2 选 1 模块的选择数据输出端接第 N 级 D 触发器的数据输入端; 第一移位寄存器模块中所有 D 触发器的数据输出端与 PMOS 体偏置电压产生模块相连;

PMOS 体偏置电压产生模块包括由第一分压电阻至第 N-1 分压电阻构成的 N-1 个分压电阻和由第一开关至第 N 开关构成的 N 个开关, 第一分压电阻的一端同时接第二参考电源和第一开关的输入端, 第一分压电阻的另一端同时接第二分压电阻的一端和第二开关的输入端; 第二分压电阻的一端同时接第一分压电阻的另一端和第二开关的输入端, 第二分压电阻的另一端同时接第三分压电阻的一端和第三开关的输入端; 以此类推, 第 N-1 分压电阻的一端同时接第 N-2 分压电阻的另一端和第 N-1 开关的输入端, 第 N-1 分压电阻的另一端同时接第三参考电源和第 N 开关的输入端; 第一开关的控制端接第一级 D 触发器的数据输出端, 第二开关的控制端接第二级 D 触发器的数据输出端, 以此类推, 第 N 开关的控制端接第 N 级 D 触发器的数据输出端; 所有 N 个开关的输出端连在一起, 输出电压为所述的数控 PMOS 体调制模块输出的体偏置电压;

所述的数控 NMOS 体调制模块包括感应 NMOS 管、第二比较器对模块、第二移位寄存器模块和 NMOS 体偏置电压产生模块;

其中, 感应 NMOS 管的源端接第一参考地, 感应 NMOS 管的栅端接共模电压, 所述的共模电压与第一 NMOS 管在亚阈值状态时的栅源电压相同; 感应 NMOS 管的体端接数控 NMOS 体调制模块输出的体偏置电压, 感应 NMOS 管的漏端与第四电阻的一端、第二比较器对模块相连, 第四电阻的另一端接第一参考电源;

第二比较器对模块包括第五电阻、第六电阻、第三比较器和第四比较器; 第三比较器的正输入端和第四比较器的负输入端均接感应 NMOS 管的漏端, 第三比较器的负输入端接第五电阻的一端, 第三比较器的负输入端同时也是第三基准电流的输入端, 第五电阻的另一端接第一参考电源, 第四比较器的正输入端接第六电阻的一端, 第四比较器的正输入端同时也是第四基准电流的输入端, 第六电阻的另一端接第一参考电源, 第三比较器和第四比较器的时钟输入端均接所述的比较器时钟信号, 第三比较器的输出端和第四比较器的输出端均与第二移位寄存器模块相连;

第二移位寄存器模块包括第二 SR 触发器、由第 N+1 级 D 触发器至第 2N 级 D 触发器构成的 N 级 D 触发器和由第 N+1 个 2 选 1 模块至第 2N 个 2 选 1 模块构成的 N 个 2 选 1 模块; 第二 SR 触发器的置位端接第三比较器的输出端, 第二 SR 触发器的复位端接第四比较器的输出端, 第二 SR 触发器的数据输出端接第二移位寄存器模块中所有 N 个 2 选 1 模块的选择时钟输入端; 第三比较器的输出端和第四比较器的输出端输出的信号进行逻辑或运算, 所产生的信号再与寄存器时钟信号进行逻辑与运算, 最终产生的信号接第二移位寄存器模块中所有 N 级 D 触发器的时钟输入端; N 个 2 选 1 模块和 N 级 D 触发器一一对应, 第 N+1 个 2 选 1 模块的第一数据输入端接第一参考地, 第 N+1 个 2 选 1 模块的第二数据输入端接第 N+2 级 D 触发器的数据输出端, 第 N+1 个 2 选 1 模块的选择数据输出端接第 N+1 级 D 触发器的数据输入端; 第 N+2 个 2 选 1 模块的第一数据输入端接第 N+1 级 D 触发器的数据输出端, 第 N+2 个 2 选 1 模块的第二数据输入端接第 N+3 级 D 触发器的数据输出端, 第 N+2 个 2 选 1 模块的选择数据输出端接第 N+2 级 D 触发器的数据输入端, 以此类推, 第 N+3 至第 2N-1 个 2 选 1 模块的第一数据输入端接前一级 D 触发器的数据输出端, 第 N+3 至第 2N-1 个 2 选 1

模块的第二数据输入端接后一级 D 触发器的数据输出端, 第 N+3 至第 2N-1 个 2 选 1 模块的选择数据输出端接该级 D 触发器的数据输入端, 第 2N 个 2 选 1 模块的第一数据输入端接第 2N-1 级 D 触发器的数据输出端, 第 2N 个 2 选 1 模块的第二数据输入端接第一参考地, 第 2N 个 2 选 1 模块的选择数据输出端接第 2N 级 D 触发器的数据输入端; 第二移位寄存器模块中所有 D 触发器的输出端与 NMOS 体偏置电压产生模块相连;

NMOS 体偏置电压产生模块包括由第 N 分压电阻至第 2N-2 分压电阻构成的 N-1 个分压电阻和由第 N+1 开关至第 2N 开关构成的 N 个开关, 第 N 分压电阻的一端同时接第四参考电源和第 N+1 开关的输入端, 第 N 分压电阻的另一端同时接第 N+1 分压电阻的一端和第 N+2 开关的输入端; 第 N+1 分压电阻的一端同时接第 N 分压电阻的另一端和第 N+2 开关的输入端, 第 N+1 分压电阻的另一端同时接第 N+2 分压电阻的一端和第 N+3 开关的输入端; 以此类推, 第 2N-2 分压电阻的一端同时接第 2N-3 分压电阻的另一端和第 2N-1 开关的输入端, 第 2N-2 电阻的另一端同时接第五参考电源和第 2N 开关的输入端; 第 N+1 开关的控制端接第 N+1 级 D 触发器的数据输出端, 以此类推, 第 2N 开关的控制端接第 2N 级 D 触发器的数据输出端, NMOS 体偏置电压产生模块中所有 N 个开关的输出端连在一起, 输出电压即为数控 NMOS 体调制模块输出的体偏置电压。

2. 如权利要求 1 所述的数控体偏置型 C 类反相器, 其特征在于, 所述的 N 为整数且 N 取值为 8 ~ 32。

3. 如权利要求 1 所述的数控体偏置型 C 类反相器, 其特征在于, 所述的第一基准电流大于第二基准电流, 所述的第三参考电源电压大于第二参考电源电压, 所述的第三基准电流大于第四基准电流, 所述的第五参考电源电压小于第四参考电源电压。

数控体偏置型 C 类反相器

技术领域

[0001] 本发明属于集成电路技术领域，具体涉及一种 C 类反相器。

背景技术

[0002] 在传统的模拟电路设计中，运算放大器是主要的功耗模块。目前低压低功耗是模拟电路设计发展的主流趋势。因此，如何在低压低功耗环境下来实现符合指标要求的运算放大器成为模拟电路设计的重点和难点。

[0003] 用 C 类反相器代替传统的运算放大器是一种新型的低压低功耗电路设计技术。C 类反相器中最基本的电路结构包括 PMOS (P-Channel Metal Oxide Semiconductor, P 沟道金属氧化物半导体) 输入管和 NMOS (N-Channel Metal Oxide Semiconductor, N 沟道金属氧化物半导体) 输入管，C 类反相器的电源电压 V_{DD} 略低于 PMOS 输入管和 NMOS 输入管的阈值电压之和。假设 PMOS 输入管和 NMOS 输入管的阈值电压近似相等，当输入信号为共模电压 $V_{CM} = V_{DD}/2$ ，PMOS 输入管和 NMOS 输入管均处于亚阈值区，此时 C 类反相器较高的增益和较低的功耗，但带宽和摆率较小，我们称该状态为亚阈值状态。若此时在 C 类反相器输入端加入额外的激励信号，根据激励信号的极性可以让其中一个输入管进入强反型区，另外一个输入管截止，工作在饱和区的输入管跨导较大，使得 C 类反相器具有较高的摆率和输出电流，我们称该状态为高摆率状态。在开关电容电路的设计中，可在 C 类反相器输入端在不同的时钟相位将这两种工作状态结合起来应用。例如，在 Youngcheol Chae, Inhee Lee and Gunhee Han 的题为“*A 0.7V 36 μW 85dB-DR Audio ΔΣ Modulator Using Class-C Inverter*”(2008 IEEE International Solid-State Circuits Conference :p. 490-491, 630) 的文中，公开了一个基于 C 类反相器的三阶单环 Sigma-Delta 模数转换器。

[0004] 现有技术中，常见的 C 类反相器包括：简单型 C 类反相器和共源共栅型 C 类反相器。简单型 C 类反相器的电路部分是一个推挽式反相器，如附图 1(a) 所示，结构简单，芯片占用面积小，但增益较低；共源共栅型 C 类反相器增益略高，结构如附图 1(b) 所示。由于现有技术中 C 类反相器采用推挽结构，且两输入管在大部分时间内均工作在亚阈值区，导致 C 类反相器的带宽、摆率、建立时间和功耗等指标在不同的工艺角、电源电压和温度下存在严重偏差，尤其是在 SS 工艺角、低电源电压和低温情况下，C 类反相器两输入管的阈值电压绝对值提高，导致 C 类反相器带宽、摆率和建立时间等指标的严重退化，从而造成 C 类反相器应用电路的性能下降甚至功能丧失。

[0005] 申请号为 200910301712.6 的中国发明专利公开了一种增益自举型 C 类反相器，如附图 2 所示，通过引入 PMOS 体电位调制模块和 NMOS 体电位调制模块，补偿 C 类反相器在不同工艺角、电源电压和温度下的性能偏差。然而，上述的增益自举型 C 类反相器的问题在于：PMOS 体电位调制模块和 NMOS 体电位调制模块均采用电阻进行电流 - 电压转换，转换后的电压即为最终的体调制电位，而在实际的集成电路制造中，电阻本身对工艺和温度较为敏感，导致由其产生的体调制电位存在一定的误差，所以增益自举型 C 类反相器对工艺、电源电压和温度的补偿不能达到最优的效果。

发明内容

[0006] 本发明提供了一种数控体偏置型 C 类反相器，以克服现有技术的增益自举型 C 类反相器补偿工艺涨落、电源电压扰动和温度偏差时存在误差的不足。

[0007] 一种数控体偏置型 C 类反相器，包括主体 C 类反相器模块、数控 PMOS 体调制模块和数控 NMOS 体调制模块；其中，

[0008] 所述的主体 C 类反相器模块采用共源共栅结构，用于模拟运算放大，它由第一 PMOS 管、第一 NMOS 管、第二 PMOS 管和第二 NMOS 管组成；其中，第一 PMOS 管和第一 NMOS 管分别为所述的主体 C 类反相器模块的 PMOS 和 NMOS 输入管，第一 PMOS 管的栅端与第一 NMOS 管的栅端相连，作为主体 C 类反相器模块的输入端，第二 PMOS 管的漏端接第二 NMOS 管的漏端，作为主体 C 类反相器模块的输出端；

[0009] 第一 PMOS 管的源端接第一参考电源，第一 PMOS 管的漏端接第二 PMOS 管的源端，第一 PMOS 管的体端接所述的数控 PMOS 体调制模块输出的体偏置电压；第二 PMOS 管的栅端接第一偏置电平，第二 PMOS 管的体端接所述的数控 PMOS 体调制模块输出的体偏置电压；第一 NMOS 管的源端接第一参考地，第一 NMOS 管的漏端与第二 NMOS 管的源端相连，第一 NMOS 管的体端接所述的数控 NMOS 体调制模块输出的体偏置电压；第二 NMOS 管的栅端接第二偏置电平，第二 NMOS 管的体端接所述的数控 NMOS 体调制模块输出的体偏置电压；

[0010] 所述的数控 PMOS 体调制模块用于补偿第一 PMOS 管在不同工艺角、电源电压和温度下的参数偏差，它包括感应 PMOS 管、第一比较器对模块、第一移位寄存器模块和 PMOS 体偏置电压产生模块；

[0011] 其中，感应 PMOS 管的源端接第一参考电源，感应 PMOS 管的栅端接共模电压，感应 PMOS 管的体端接法与第一 PMOS 管的体端接法一样，均接所述的数控 PMOS 体调制模块输出的体偏置电压，感应 PMOS 管的漏端与第一电阻的一端、第一比较器对模块相连，第一电阻的另一端接第一参考地；

[0012] 其中，第一比较器对模块包括第二电阻、第三电阻、第一比较器和第二比较器，第一比较器和第二比较器均采用动态比较器结构，设有正输入端、负输入端、比较器时钟信号输入端和输出端；第一比较器的正输入端和第二比较器的负输入端均接感应 PMOS 管的漏端（即第一电阻的一端），第一比较器的负输入端接第二电阻的一端，第二电阻的一端同时也是第一基准电流的输入端，第二电阻的另一端接第一参考地，第二比较器的正输入端接第三电阻的一端，第三电阻的一端同时也是第二基准电流的输入端，第三电阻的另一端接第一参考地，第一比较器的时钟输入端和第二比较器的时钟输入端均接比较器时钟信号，第一比较器的输出端和第二比较器的输出端均与第一移位寄存器模块相连；

[0013] 第一移位寄存器模块包括第一 SR 触发器、由第一级 D 触发器至第 N 级 D 触发器构成的 N 级 D 触发器（N 为 D 触发器级数，通常 N 为 8-32，N 值决定了最终产生的体偏置电压的精度）和由第一个 2 选 1 模块至第 N 个 2 选 1 模块构成的 N 个 2 选 1 模块，每级 D 触发器设有三个端口，包括 D 触发器时钟输入端、D 触发器数据输入端和 D 触发器数据输出端；每个 2 选 1 模块设有四个端口，包括第一数据输入端、第二数据输入端、选择时钟输入端和选择数据输出端；第一 SR 触发器设有三个端口，包括置位端、复位端和 SR 触发器数据输出端；其中，第一 SR 触发器的置位端接第一比较器的输出端，第一 SR 触发器的复位端接第二

比较器的输出端,第一SR触发器的数据输出端接第一移位寄存器模块中所有N个2选1模块的选择时钟输入端;第一比较器的输出端和第二比较器的输出端输出的信号进行逻辑或运算(or运算),所产生的信号再与寄存器时钟信号进行逻辑与运算(and运算),最终产生的信号接第一移位寄存器模块中所有N级D触发器的时钟输入端;N个2选1模块和N级D触发器一一对应,第一个2选1模块的第一数据输入端接第一参考地,第一个2选1模块的第二数据输入端接第二级D触发器(即后一级D触发器)的数据输出端,第一个2选1模块的选择数据输出端接第一级D触发器的数据输入端;第二个2选1模块的第一数据输入端接第一级D触发器(即前一级D触发器)的数据输出端,第二个2选1模块的第二数据输入端接第三级D触发器(即后一级D触发器)的数据输出端,第二个2选1模块的选择数据输出端接第二级D触发器的数据输入端,以此类推,第三至第N-1个2选1模块的第一数据输入端接前一级D触发器的数据输出端,第三至第N-1个2选1模块的第二数据输入端接后一级D触发器的数据输出端,第三至第N-1个2选1模块的选择数据输出端接该级D触发器的数据输入端,第N个2选1模块的第一数据输入端接第N-1级D触发器的数据输出端,第N个2选1模块的第二数据输入端接第一参考地,第N个2选1模块的选择数据输出端接第N级D触发器的数据输入端;第一移位寄存器模块中所有D触发器的数据输出端与PMOS体偏置电压产生模块相连;

[0014] PMOS体偏置电压产生模块包括由第一分压电阻至第N-1分压电阻构成的N-1个分压电阻和由第一开关至第N开关构成的N个开关,每个开关均设有开关输入端、开关控制端和开关输出端,第一分压电阻的一端同时接第二参考电源和第一开关的输入端,第一分压电阻的另一端同时接第二分压电阻的一端和第二开关的输入端;第二分压电阻的一端同时接第一分压电阻的另一端和第二开关的输入端,第二分压电阻的另一端同时接第三分压电阻的一端和第三开关的输入端;以此类推,第N-1分压电阻的一端同时接第N-2分压电阻的另一端和第N-1开关的输入端,第N-1分压电阻的另一端同时接第三参考电源和第N开关的输入端;第一开关的控制端接第一级D触发器的数据输出端,第二开关的控制端接第二级D触发器的数据输出端,以此类推,第N开关的控制端接第N级D触发器的数据输出端,所有N个开关的输出端连在一起,输出电压即为所述的数控PMOS体调制模块输出的体偏置电压。

[0015] 所述的数控NMOS体调制模块与数控PMOS体调制模块类似,用于补偿第一NMOS管在不同工艺角、电源电压和温度下的参数偏差,它包括感应NMOS管、第二比较器对模块、第二移位寄存器模块和NMOS体偏置电压产生模块;

[0016] 其中,感应NMOS管的源端接第一参考地,感应NMOS管的栅端接共模电压,感应NMOS管的体端接数控NMOS体调制模块输出的体偏置电压,感应NMOS管的漏端与第四电阻的一端、第二比较器对模块相连,第四电阻的另一端接第一参考电源;

[0017] 第二比较器对模块包括第五电阻、第六电阻、第三比较器和第四比较器,第三比较器和第四比较器也是采用动态比较器结构,设有正输入端、负输入端、比较器时钟信号输入端和输出端;第三比较器的正输入端和第四比较器的负输入端均接感应NMOS管的漏端(即第四电阻的一端),第三比较器的负输入端接第五电阻的一端,第五电阻的一端同时也是第三基准电流的输入端,第五电阻的另一端接第一参考电源,第四比较器的正输入端接第六电阻的一端,第六电阻的一端同时也是第四基准电流的输入端,第六电阻的另一端接第一

参考电源,第三比较器和第四比较器的时钟输入端均接所述的比较器时钟信号,第三比较器的输出端和第四比较器的输出端均与第二移位寄存器模块相连;

[0018] 第二移位寄存器模块包括第二SR触发器、由第N+1级D触发器至第2N级D触发器构成的N级D触发器和由第N+1个2选1模块至第2N个2选1模块构成的N个2选1模块;同样,每级D触发器设有三个端口,包括D触发器时钟输入端、D触发器数据输入端和D触发器数据输出端;每个2选1模块设有四个端口,包括第一数据输入端、第二数据输入端、选择时钟输入端和选择数据输出端;第二SR触发器设有三个端口,包括置位端、复位端和SR触发器数据输出端;第二SR触发器的置位端接第三比较器的输出端,第二SR触发器的复位端接第四比较器的输出端,第二SR触发器的数据输出端接第二移位寄存器模块中所有N个2选1模块的选择时钟输入端;第三比较器的输出端和第四比较器的输出端输出的信号进行逻辑或运算(or运算),所产生的信号再与寄存器时钟信号进行逻辑与运算(and运算),最终产生的信号接第二移位寄存器模块中所有N级D触发器的时钟输入端;N个2选1模块和N级D触发器一一对应,第N+1个2选1模块的第一数据输入端接第一参考地,第N+1个2选1模块的第二数据输入端接第N+2级D触发器(即后一级D触发器)的数据输出端,第N+1个2选1模块的选择数据输出端接第N+1级D触发器的数据输入端;第N+2个2选1模块的第一数据输入端接第N+1级D触发器(即前一级D触发器)的数据输出端,第N+2个2选1模块的第二数据输入端接第N+3级D触发器(即后一级D触发器)的数据输出端,第N+2个2选1模块的选择数据输出端接第N+2级D触发器的数据输入端,以此类推,第N+3至第2N-1个2选1模块的第一数据输入端接前一级D触发器的数据输出端,第N+3至第2N-1个2选1模块的第二数据输入端接后一级D触发器的数据输出端,第N+3至第2N-1个2选1模块的选择数据输出端接该级D触发器的数据输入端,第2N个2选1模块的第一数据输入端接第2N-1级D触发器的数据输出端,第2N个2选1模块的第二数据输入端接第一参考地,第2N个2选1模块的选择数据输出端接第2N级D触发器的数据输入端;第二移位寄存器模块中所有D触发器的输出端与NMOS体偏置电压产生模块相连;

[0019] NMOS体偏置电压产生模块包括由第N分压电阻至第2N-2分压电阻构成的N-1个分压电阻和由第N+1开关至第2N开关构成的N个开关,每个开关均设有开关输入端、开关控制端和开关输出端,第N分压电阻的一端同时接第四参考电源和第N+1开关的输入端,第N分压电阻的另一端同时接第N+1分压电阻的一端和第N+2开关的输入端;第N+1分压电阻的一端同时接第N分压电阻的另一端和第N+2开关的输入端,第N+1分压电阻的另一端同时接第N+2分压电阻的一端和第N+3开关的输入端;以此类推,第2N-2分压电阻的一端同时接第2N-3分压电阻的另一端和第2N-1开关的输入端,第2N-2电阻的另一端同时接第五参考电源和第2N开关的输入端;第N+1开关的控制端接第N+1级D触发器的数据输出端,以此类推,第2N开关的控制端接第2N级D触发器的数据输出端,NMOS体偏置电压产生模块中所有N个开关的输出端连在一起,输出电压即为数控NMOS体调制模块输出的体偏置电压。

[0020] 所述的数控PMOS体调制模块的功能说明如下:首先通过感应PMOS管“感应”第一PMOS管在不同工艺角、电源电压和温度下的参数变化,并输出具有相同变化特征的漏源电流。该漏源电流通过第一比较器对模块分别与第一基准电流、第二基准电流做比较(第一基准电流大于第二基准电流)。

[0021] 若感应 PMOS 管的漏源电流值处于第一基准电流值和第二基准电流值之间,说明第一 PMOS 管处于典型工作区间,此时第一比较器和第二比较器的输出端均为低电平,第一移位寄存器模块中的 N 级 D 触发器并不触发(即 D 触发器时钟输入端为低电平),N 级 D 触发器的数据输出端电平保持原有状态不变,数控 PMOS 体调制模块输出的体偏置电压亦保持不变;

[0022] 若感应 PMOS 管的漏源电流值大于第一基准电流值,说明第一 PMOS 管偏出典型工作区间,漏源电流较大,导致无谓的静态功耗,此时第一比较器的输出端为高电平,第二比较器的输出端为低电平,第一移位寄存器模块中的第一 SR 触发器的数据输出端为高电平,第一个 2 选 1 模块的选择数据输出端置为低电平,其余 N-1 个 2 选 1 模块的选择数据输出端电平为前一级 D 触发器的数据输出端电平,由于第一移位寄存器模块初始化状态下 N 级 D 触发器中仅有一级 D 触发器的数据输出端为高电平,所以当 N 级 D 触发器触发时,这唯一的高电平就逐级向后移动,数控 PMOS 体调制模块输出的体偏置电压逐渐升高(第三参考电源电压大于第二参考电源电压),将数控 PMOS 体调制模块输出的体偏置电压反馈到第一 PMOS 管和感应 PMOS 管的体端,导致第一 PMOS 管和感应 PMOS 管的反向体偏程度提高、阈值电压绝对值增大以及漏源电流减小,一个负反馈就此形成,最终使得感应 PMOS 管的漏源电流值处于第一基准电流值和第二基准电流值之间;

[0023] 若感应 PMOS 管的漏源电流值小于第二基准电流值,说明第一 PMOS 管偏出典型工作区间,漏源电流较小,跨导较小,可能导致第一 PMOS 管所在电路的性能下降或功能丧失,此时第一比较器的输出端为低电平,第二比较器的输出端为高电平,第一移位寄存器模块中的第一 SR 触发器的数据输出端为低电平,第 N 个 2 选 1 模块的选择数据输出端置为低电平,其余 N-1 个 2 选 1 模块的选择数据输出端电平为后一级 D 触发器的数据输出端电平,所以当第一移位寄存器模块中的 N 级 D 触发器触发时,N 级 D 触发器的数据输出端上唯一的高电平就逐级向前移动,数控 PMOS 体调制模块输出的体偏置电压逐渐降低,导致第一 PMOS 管和感应 PMOS 管的正向体偏程度提高、阈值电压绝对值减小、漏源电流和跨导增大,一个负反馈就此形成,最终使得感应 PMOS 管的漏源电流值处于第一基准电流值和第二基准电流值之间。

[0024] 所述的数控 NMOS 体调制模块的功能与数控 PMOS 体调制模块的功能类似,首先通过感应 NMOS 管“感应”第一 NMOS 管在不同工艺角、电源电压和温度下的参数变化,感应 NMOS 管的漏源电流通过第二比较器对模块分别与第三基准电流、第四基准电流做比较(第三基准电流大于第四基准电流)。若感应 NMOS 管的漏源电流值处于第三基准电流值和第四基准电流值之间,说明第一 NMOS 管处于典型工作区间,数控 NMOS 体调制模块输出的体偏置电压保持不变;若感应 NMOS 管的漏源电流值大于第三基准电流值,说明第一 NMOS 管偏出典型工作区间,漏源电流较大,此时第二移位寄存器模块中的 N 级 D 触发器数据输出端上唯一的高电平就逐级向后移动,数控 NMOS 体调制模块输出的体偏置电压逐渐降低(第五参考电源电压小于第四参考电源电压),导致第一 NMOS 管和感应 NMOS 管的反向体偏程度提高、阈值电压绝对值增大以及漏源电流减小,形成一个负反馈;若感应 NMOS 管的漏源电流值小于第四基准电流值,说明第一 NMOS 管偏出典型工作区间,漏源电流较小,跨导较小,此时第二移位寄存器模块中的 N 级 D 触发器数据输出端上唯一的高电平就逐级向前移动,数控 NMOS 体调制模块输出的体偏置电压逐渐升高,导致第一 NMOS 管和感应 NMOS 管的正向体偏程度提高、

阈值电压绝对值减小、漏源电流和跨导增大,形成一个负反馈。

[0025] 本发明的数控体偏置型 C 类反相器中,所述的数控 PMOS 体调制模块和数控 NMOS 体调制模块通过“参数感应 - 电流比较 - 数字控制 - 体偏压产生及反馈”等环节精确控制所述的主体 C 类反相器模块中第一 PMOS 管和第一 NMOS 管的阈值电压、漏源电流和跨导等参数,因而大大减弱工艺偏差、电源电压扰动和温度变化对主体 C 类反相器模块的不利影响。

[0026] 与现有技术的增益自举型 C 类反相器相比,本发明的数控体偏置型 C 类反相器具有以下有益的技术效果:本发明的数控体偏置型 C 类反相器虽然也采用电阻进行感应 PMOS 管和感应 NMOS 管的漏源电流到电压的转换,但转换后的电压是用于和基准电流经过相同阻值电阻转换后的电压作比较,比较结果并不受电阻绝对值误差的影响,同时本发明的数控体偏置型 C 类反相器采用数字控制的方式产生最终的体偏置电压,能够更加精确地补偿工艺涨落、电源电压扰动和温度偏差对主体 C 类反相器模块的不利影响,因而适用于开关电容积分器、Sigma-Delta 模数转换器等极低功耗高精度的应用场合。

附图说明

[0027] 图 1(a) 为简单型 C 类反相器的电路结构图,图 1(b) 为共源共栅型 C 类反相器的电路结构图;

[0028] 图 2 为增益自举型 C 类反相器的电路结构图;

[0029] 图 3 为本发明的数控体偏置型 C 类反相器的电路结构图;

[0030] 图 4 为本发明的数控体偏置型 C 类反相器中第一移位寄存器模块的电路结构图;

[0031] 图 5 为本发明的数控体偏置型 C 类反相器中 PMOS 体偏置电压产生模块的电路结构图。

具体实施方式

[0032] 下面结合实施例和附图来详细说明本发明,但本发明并不仅限于此。

[0033] 一种数控体偏置型 C 类反相器,其电路结构图如附图 3 所示,它包括主体 C 类反相器模块 31、数控 PMOS 体调制模块 32 和数控 NMOS 体调制模块 33。

[0034] 主体 C 类反相器模块 31 由第一 PMOS 管 M1、第一 NMOS 管 M2、第二 PMOS 管 M3 和第二 NMOS 管 M4 组成;其中,第一 PMOS 管 M1 的栅端与第一 NMOS 管 M2 的栅端相连,作为主体 C 类反相器模块 31 的输入端 IN;第二 PMOS 管 M3 的漏端接第二 NMOS 管 M4 的漏端,作为主体 C 类反相器模块 31 的输出端 OUT;第一 PMOS 管 M1 的源端接第一参考电源 V_{DD} ,第一 PMOS 管 M1 的体端和第二 PMOS 管 M3 的体端均接所述的数控 PMOS 体调制模块 32 输出的体偏置电压 V_{BP} ,第一 PMOS 管 M1 的漏端与第二 PMOS 管 M3 的源端相连;第一 NMOS 管 M2 的源端接第一参考地 GND,第一 NMOS 管 M2 的漏端与第二 NMOS 管 M4 的源端相连,第一 NMOS 管 M2 的体端和第二 NMOS 管 M4 的体端接所述的数控 NMOS 体调制模块 33 输出的体偏置电压 V_{BN} ;第二 PMOS 管 M3 的栅端接第一偏置电平 V_{BIAS1} ,第二 NMOS 管 M4 的栅端接第二偏置电平 V_{BIAS2} 。

[0035] 数控 PMOS 体调制模块 32 包括感应 PMOS 管 M5、第一比较器对模块 34、第一移位寄存器模块 35 和 PMOS 体偏置电压产生模块 36。

[0036] 其中,感应 PMOS 管 M5 的源端接第一参考电源 V_{DD} ,感应 PMOS 管 M5 的栅端接共模电压 V_{CM} ,感应 PMOS 管 M5 的体端接数控 PMOS 体调制模块 32 输出的体偏置电压 V_{BP} ,感应 PMOS

管 M5 的漏端与第一电阻 R1 的一端、第一比较器对模块 34 相连, 第一电阻 R1 的另一端接第一参考地 GND ;

[0037] 其中, 第一比较器对模块 34 包括 : 第二电阻 R2、第三电阻 R3、第一比较器 COMP1 和第二比较器 COMP2, 第一比较器 COMP1 和第二比较器 COMP2 均采用动态比较器结构, 设有正输入端、负输入端、比较器时钟信号输入端和输出端 ; 第一比较器 COMP1 的正输入端和第二比较器 COMP2 的负输入端均接感应 PMOS 管 M5 的漏端 (即第一电阻 R1 的一端), 第一比较器 COMP1 的负输入端接第二电阻 R2 的一端, 第二电阻 R2 的一端同时也是第一基准电流 I_{REF1} 的输入端, 第二电阻 R2 的另一端接第一参考地 GND, 第二比较器 COMP2 的正输入端接第三电阻 R3 的一端, 第三电阻 R3 的一端同时也是第二基准电流 I_{REF2} 的输入端, 第三电阻 R3 的另一端接第一参考地 GND, 第一比较器 COMP1 的时钟输入端和第二比较器 COMP2 的时钟输入端均接比较器时钟信号, 第一比较器的输出端 OUT1 和第二比较器的输出端 OUT2 均与第一移位寄存器模块 35 相连 ;

[0038] 第一移位寄存器模块 35 的电路结构图如附图 4 所示, 包括 : 第一 SR 触发器、由第一级 D 触发器至第 N 级 D 触发器构成的 N 级 D 触发器 (N 为 D 触发器级数, 通常 N 为 8-32, N 值决定了最终产生的体偏置电压的精度) 和由第一个 2 选 1 模块至第 N 个 2 选 1 模块构成的 N 个 2 选 1 模块, 每级 D 触发器设有三个端口, 包括 D 触发器时钟输入端、D 触发器数据输入端和 D 触发器数据输出端 ; 每个 2 选 1 模块设有四个端口, 包括第一数据输入端、第二数据输入端、选择时钟输入端和选择数据输出端 (图标 “ \triangleright ” 表示 2 选 1 模块, 选择时钟输入端位于 2 选 1 模块上边的端口, 位于 2 选 1 模块左边的两端口从上至下分别是第一数据输入端和第二数据输入端, 位于 2 选 1 模块右边的端口是选择数据输出端) ; 第一 SR 触发器设有三个端口, 包括置位端 (S 端)、复位端 (R 端) 和 SR 触发器数据输出端 ; 其中, 第一 SR 触发器的置位端 (S 端) 接第一比较器的输出端 OUT1, 第一 SR 触发器的复位端 (R 端) 接第二比较器的输出端 OUT2, 第一 SR 触发器的数据输出端 (Q 端) 接第一移位寄存器模块 35 中所有 N 个 2 选 1 模块的选择时钟输入端 ; 第一比较器的输出端 OUT1 和第二比较器的输出端 OUT2 输出的信号进行逻辑或运算 (or 运算), 所产生的信号再与寄存器时钟信号 CLK2 进行逻辑与运算 (and 运算), 最终产生的信号接第一移位寄存器模块 35 中所有 N 级 D 触发器的时钟输入端 ; N 个 2 选 1 模块和 N 级 D 触发器一一对应, 第一个 2 选 1 模块的第一数据输入端接第一参考地, 第一个 2 选 1 模块的第二数据输入端接第二级 D 触发器 (即后一级 D 触发器) 的数据输出端, 第一个 2 选 1 模块的选择数据输出端接第一级 D 触发器的数据输入端 ; 第二个 2 选 1 模块的第一数据输入端接第一级 D 触发器 (即前一级 D 触发器) 的数据输出端, 第二个 2 选 1 模块的第二数据输入端接第三级 D 触发器 (即后一级 D 触发器) 的数据输出端, 第二个 2 选 1 模块的选择数据输出端接第二级 D 触发器的数据输入端, 以此类推, 第三至第 N-1 个 2 选 1 模块的第一数据输入端接前一级 D 触发器的数据输出端, 第三至第 N-1 个 2 选 1 模块的第二数据输入端接后一级 D 触发器的数据输出端, 第三至第 N-1 个 2 选 1 模块的选择数据输出端接该级 D 触发器的数据输入端, 第 N 个 2 选 1 模块的第一数据输入端接第 N-1 级 D 触发器的数据输出端, 第 N 个 2 选 1 模块的第二数据输入端接第一参考地, 第 N 个 2 选 1 模块的选择数据输出端接第 N 级 D 触发器的数据输入端 ; 第一移位寄存器模块 35 中所有 D 触发器的数据输出端与 PMOS 体偏置电压产生模块 36 相连 ;

[0039] 其中, PMOS 体偏置电压产生模块 36 的电路结构图如附图 5 所示, 它包括由第一分

压电阻 RR1 至第 N-1 分压电阻 RR(N-1) 构成的 N-1 个分压电阻 RR1 ~ RR(N-1) 和由第一开关至第 N 开关构成的 N 个开关 1 ~ N, 每个开关均设有开关输入端、开关控制端和开关输出端, 第一分压电阻 RR1 的一端同时接第二参考电源 V_{REF2} 和第一开关的输入端, 第一分压电阻 RR1 的另一端同时接第二分压电阻 RR2 的一端和第二开关的输入端; 第二分压电阻 RR2 的一端同时接第一分压电阻 RR1 的另一端和第二开关的输入端, 第二分压电阻 RR2 的另一端同时接第三分压电阻 RR3 的一端和第三开关的输入端; 以此类推, 第 N-1 分压电阻 RR(N-1) 的一端同时接第 N-2 分压电阻 RR(N-2) 的另一端和第 N-1 开关的输入端, 第 N-1 分压电阻 RR(N-1) 的另一端同时接第三参考电源 V_{REF3} 和第 N 开关的输入端; 第一开关的控制端接第一级 D 触发器的数据输出端, 第二开关的控制端接第二级 D 触发器的数据输出端, 以此类推, 第 N 开关的控制端接第 N 级 D 触发器的数据输出端, 所有 N 个开关的输出端连在一起, 输出电压即为数控 PMOS 体调制模块 32 输出的体偏置电压 V_{BP} 。

[0040] 数控 NMOS 体调制模块 33 与数控 PMOS 体调制模块 32 类似, 用于补偿第一 NMOS 管 M2 在不同工艺角、电源电压和温度下的参数偏差, 它包括: 感应 NMOS 管 M6、第二比较器对模块 37、第二移位寄存器模块 38 和 NMOS 体偏置电压产生模块 39;

[0041] 其中, 感应 NMOS 管 M6 的源端接第一参考地 GND, 感应 NMOS 管 M6 的栅端接共模电压 V_{CM} , 感应 NMOS 管 M6 的体端接数控 NMOS 体调制模块 33 输出的体偏置电压 V_{BN} , 感应 NMOS 管 M6 的漏端与第四电阻 R4 的一端、第二比较器对模块 37 相连。第四电阻 R4 的另一端接第一参考电源 V_{DD} ;

[0042] 其中, 第二比较器对模块 37 包括: 第五电阻 R5、第六电阻 R6、第三比较器 COMP3 和第四比较器 COMP4, 第三比较器 COMP3 和第四比较器 COMP4 也是采用动态比较器结构, 设有正输入端、负输入端、比较器时钟信号输入端和输出端; 第三比较器的正输入端 COMP3 和第四比较器 COMP4 的负输入端均接感应 NMOS 管 M6 的漏端 (即第四电阻 R4 的一端), 第三比较器 COMP3 的负输入端接第五电阻 R5 的一端, 第五电阻 R5 的一端同时也是第三基准电流 I_{REF3} 的输入端, 第五电阻 R5 的另一端接第一参考电源 V_{DD} , 第四比较器 COMP4 的正输入端接第六电阻 R6 的一端, 第六电阻 R6 的一端同时也是第四基准电流 I_{REF4} 的输入端, 第六电阻 R6 的另一端接第一参考电源 V_{DD} , 第三比较器 COMP3 和第四比较器的时钟输入端均接所述的比较器时钟信号, 第三比较器的输出端 OUT3 和第四比较器的输出端 OUT4 均与第二移位寄存器模块 38 相连;

[0043] 其中, 第二移位寄存器模块 38 的结构与第一移位寄存器模块 35 相同, 包括第二 SR 触发器、由第 N+1 级 D 触发器至第 2N 级 D 触发器构成的 N 级 D 触发器 (N 为 D 触发器级数, 通常 N 为 8-32, N 值决定了最终产生的体偏置电压的精度) 和由第 N+1 个 2 选 1 模块至第 2N 个 2 选 1 模块构成的 N 个 2 选 1 模块; 同样, 每级 D 触发器设有三个端口, 包括 D 触发器时钟输入端、D 触发器数据输入端和 D 触发器数据输出端; 每个 2 选 1 模块设有四个端口, 包括第一数据输入端、第二数据输入端、选择时钟输入端和选择数据输出端; 第二 SR 触发器设有三个端口, 包括置位端、复位端和 SR 触发器数据输出端; 第二 SR 触发器的置位端接第三比较器的输出端 OUT3, 第二 SR 触发器的复位端接第四比较器的输出端 OUT4, 第二 SR 触发器的数据输出端接第二移位寄存器模块 38 中所有 N 个 2 选 1 模块的选择时钟输入端; 第三比较器的输出端 OUT3 和第四比较器的输出端 OUT4 输出的信号进行逻辑或运算 (or 运算), 所产生的信号再与寄存器时钟信号 CLK2 进行逻辑与运算 (and 运算), 最终产生的信

号接第二移位寄存器模块 38 中所有 N 级 D 触发器的时钟输入端 ;N 个 2 选 1 模块和 N 级 D 触发器一一对应, 第 N+1 个 2 选 1 模块的第一数据输入端接第一参考地, 第 N+1 个 2 选 1 模块的第二数据输入端接第 N+2 级 D 触发器 (即后一级 D 触发器) 的数据输出端, 第 N+1 个 2 选 1 模块的选择数据输出端接第 N+1 级 D 触发器的数据输入端 ; 第 N+2 个 2 选 1 模块的第一数据输入端接第 N+1 级 D 触发器 (即前一级 D 触发器) 的数据输出端, 第 N+2 个 2 选 1 模块的第二数据输入端接第 N+3 级 D 触发器 (即后一级 D 触发器) 的数据输出端, 第 N+2 个 2 选 1 模块的选择数据输出端接第 N+2 级 D 触发器的数据输入端, 以此类推, 第 N+3 至第 2N-1 个 2 选 1 模块的第一数据输入端接前一级 D 触发器的数据输出端, 第 N+3 至第 2N-1 个 2 选 1 模块的选择数据输出端接该级 D 触发器的数据输入端, 第 2N 个 2 选 1 模块的第一数据输入端接第 2N-1 级 D 触发器的数据输出端, 第 2N 个 2 选 1 模块的第二数据输入端接第一参考地, 第 2N 个 2 选 1 模块的选择数据输出端接第 2N 级 D 触发器的数据输入端 ; 第二移位寄存器模块 38 中所有 D 触发器的输出端与 NMOS 体偏置电压产生模块 39 相连 ;

[0044] 其中, NMOS 体偏置电压产生模块 39 包括由第 N 分压电阻至第 2N-2 分压电阻构成的 N-1 个分压电阻和由第 N+1 开关至第 2N 开关构成的 N 个开关, 每个开关均设有开关输入端、开关控制端和开关输出端, 第 N 分压电阻的一端同时接第四参考电源和第 N+1 开关的输入端, 第 N 分压电阻的另一端同时接第 N+1 分压电阻的一端和第 N+2 开关的输入端 ; 第 N+1 分压电阻的一端同时接第 N 分压电阻的另一端和第 N+2 开关的输入端, 第 N+1 分压电阻的另一端同时接第 N+2 分压电阻的一端和第 N+3 开关的输入端 ; 以此类推, 第 2N-2 分压电阻的一端同时接第 2N-3 分压电阻的另一端和第 2N-1 开关的输入端, 第 2N-2 电阻的另一端同时接第五参考电源和第 2N 开关的输入端 ; 第 N+1 开关的控制端接第 N+1 级 D 触发器的数据输出端, 以此类推, 第 2N 开关的控制端接第 2N 级 D 触发器的数据输出端, NMOS 体偏置电压产生模块 39 中所有 N 个开关的输出端连在一起, 输出电压即为数控 NMOS 体调制模块 33 输出的体偏置电压。

[0045] 上述的数控体偏置型 C 类反相器中, 主体 C 类反相器模块 31 采用共源共栅结构, 用于模拟运算放大 ; 数控 PMOS 体调制模块 32 用于补偿第一 PMOS 管 M1 在不同工艺角、电源电压和温度下的参数偏差 ; 数控 NMOS 体调制模块 33 用于补偿第一 NMOS 管 M2 在不同工艺角、电源电压和温度下的参数偏差。

[0046] 在数控 PMOS 体调制模块 32 中, 感应 PMOS 管 M5 上施加的栅源电压与第一 PMOS 管 M1 在亚阈值状态时的栅源电压相同, 用于 “ 感应 ” 第一 PMOS 管 M1 在不同工艺角、电源电压和温度下的跨导、漏源电流等参数的变化特征, 工作时感应 PMOS 管 M5 的漏源电流经过第一电阻 R1 转换为电压, 该电压用作第一比较器对模块 34 的信号输入, 从第一比较器 COMP1 的正输入端和第二比较器 COMP2 的负输入端输入, 第一基准电流 I_{REF1} 经第二电阻 R2 所产生的电压从第一比较器的负输入端输入, 第二基准电流 I_{REF2} 经第三电阻 R3 所产生的电压从第二比较器的正输入端输入。当比较器时钟信号 CLK1 为高电平时, 第一比较器 COMP1 和第二比较器 COMP2 分别对其自身正负输入端的电压进行比较 ; 当比较器时钟信号 CLK1 为低电平时, 第一比较器的输出端 OUT1 和第二比较器的输出端 OUT2 保持原有状态不变。

[0047] 假设第一电阻 R1 、第二电阻 R2 和第三电阻 R3 的阻值相同, 而且第一基准电流 I_{REF1} 大于第二基准电流 I_{REF2} 那么, 当比较器时钟信号 CLK1 为高电平且感应 PMOS 管 M5 的漏源电

流大于第一基准电流 I_{REF1} 时, 第一比较器的输出端 OUT1 输出的电压为高电平, 第二比较器的输出端 OUT2 输出的电压为低电平; 当感应 PMOS 管 M5 的漏源电流小于第一基准电流 I_{REF1} 大于第二基准电流 I_{REF2} 时, 第一比较器的输出端 OUT1 和第二比较器的输出端 OUT2 输出的电压均为低电平; 当感应 PMOS 管 M5 的漏源电流小于第二基准电流 I_{REF2} 时, 第一比较器的输出端 OUT1 输出的电压为低电平, 第二比较器的输出端 OUT2 输出的电压为高电平。第一比较器的输出端 OUT1 输出的电压和第二比较器的输出端 OUT2 输出的电压用作第一移位寄存器模块 35 的信号输入。

[0048] 第一比较器的输出端 OUT1 输出的电压和第二比较器的输出端 OUT2 输出的电压进行逻辑“或”运算 (or 运算) 后, 再与寄存器时钟信号 CLK2 进行逻辑“与”运算 (and 运算), 最终产生的电压为所有 N 级 D 触发器的时钟输入端电压, 其中寄存器时钟信号 CLK2 与比较器时钟信号 CLK1 是两相不交叠时钟。当第一比较器的输出端 OUT1 输出的电压为高电平, 第二比较器的输出端 OUT2 输出的电压为低电平时, 第一 SR 触发器的数据输出端 (Q 端) 为高电平; 当第一比较器的输出端 OUT1 输出的电压为低电平, 第二比较器的输出端 OUT2 输出的电压为高电平时, 第一 SR 触发器的数据输出端为低电平; 当第一比较器的输出端 OUT1 输出的电压和第二比较器的输出端 OUT2 输出的电压均为低电平时, 此时第一 SR 触发器的数据输出端保持原有状态不变。同时, 第一 SR 触发器的数据输出端接所有 N 个 2 选 1 模块的选择时钟输入端, 从而控制了所有 N 级 D 触发器触发后 (即 D 触发器时钟输入端为高电平时) 的数据输出端电平。当第一 SR 触发器的数据输出端为高电平时, 第一个 2 选 1 模块的选择数据输出端置为低电平, 其余 N-1 个 2 选 1 模块的选择数据输出端电平为前一级 D 触发器的数据输出端电平, 由于第一移位寄存器模块 35 的初始化状态下 N 级 D 触发器中仅有二级 D 触发器的数据输出端为高电平, 所以当 N 级 D 触发器触发时, 这唯一的高电平就逐级向后移动, 直至 N 级 D 触发器不再触发或第一 SR 触发器的数据输出端变为低电平; 当第一 SR 触发器的数据输出端为低电平时, N 级 D 触发器的数据输出端上唯一的高电平就逐级向前移动, 直至 N 级 D 触发器不再触发或第一 SR 触发器的数据输出端变为高电平。N 级 D 触发器的数据输出端输出的电压汇总表示为 DOUT(1 ~ N), 用作 PMOS 体偏置电压产生模块 36 的信号输入。

[0049] 由于 N 级 D 触发器的数据输出端输出的电压 DOUT(1 ~ N) 控制了 PMOS 体偏置电压产生模块 36 中相对应的 N 个开关, 而 N 级 D 触发器的数据输出端电压 DOUT(1 ~ N) 中任何时候仅有一级 D 触发器的数据输出端为高电平, 所以 PMOS 体偏置电压产生模块 36 在任何时候只有一个开关闭合, 即输出的体偏置电压 V_{BP} 是唯一的。体偏置电压 V_{BP} 限定在第二参考电源电压 V_{REF2} 与第三参考电源电压 V_{REF3} 之间, 其中第三参考电源电压 V_{REF3} 大于第二参考电源电压 V_{REF2} 。当 N 级 D 触发器数据输出端电压 DOUT(1 ~ N) 中唯一的高电平向后移动时, 体偏置电压 V_{BP} 逐渐升高, 将体偏置电压 V_{BP} 反馈到第一 PMOS 管 M1 和感应 PMOS 管 M5 的体端, 导致第一 PMOS 管 M1 和感应 PMOS 管 M5 的反向体偏程度提高、阈值电压绝对值增大以及漏源电流减小; 同理, 当 N 级 D 触发器数据输出端电压 DOUT(1 ~ N) 中唯一的高电平向前移动时, 体偏置电压 V_{BP} 逐渐降低, 第一 PMOS 管 M1 和感应 PMOS 管 M5 的正向体偏程度提高、漏源电流增大。

[0050] 综上所述, 数控 PMOS 体调制模块 32 通过“参数感应 - 电流比较 - 数字控制 - 体偏压产生及反馈”等环节可以控制所述的主体 C 类反相器模块中第一 PMOS 管 M1 的阈值电压、

漏源电流和跨导等参数,因而能够减弱工艺偏差、电源电压扰动和温度变化的不利影响。

[0051] 同理,数控 NMOS 体调制模块 33 通过感应 NMOS 管 M6、第二比较器对模块 37、第二移位寄存器模块 38 和 NMOS 体偏置电压产生模块 39 的共同作用,能够减弱工艺偏差、电源电压扰动和温度变化对第一 NMOS 管 M2 参数的不利影响。

[0052] 其中感应 NMOS 管 M6 上施加的栅源电压与第一 NMOS 管 M2 在亚阈值状态时的栅源电压相同,用于“感应”第一 NMOS 管 M2 在不同工艺角、电源电压和温度下的跨导、漏源电流等参数的变化特征,工作时感应 NMOS 管 M6 的漏源电流经过第四电阻 R4 转换为电压,该电压用作第二比较器对模块 37 的信号输入,从第三比较器 COMP3 的正输入端和第四比较器 COMP4 的负输入端输入,第三基准电流 I_{REF3} 经第五电阻 R5 所产生的电压从第三比较器 COMP3 的负输入端输入,第四基准电流 I_{REF4} 经第六电阻 R6 所产生的电压从第四比较器 COMP4 的正输入端输入,第三比较器的输出电压 OUT3 和第四比较器的输出电压 OUT4 用作第二移位寄存器模块 38 的信号输入;第二移位寄存器模块 38 的电路结构和工作原理与数控 PMOS 体调制模块 32 中的第一移位寄存器模块 35 基本一致,第 N+1 级 D 触发器至第 2N 级 D 触发器的数据输出端电压汇总为 DOUT(N+1 ~ 2N),用作 NMOS 体偏置电压产生模块 39 的信号输入,其中 DOUT(N+1 ~ 2N) 中任何时候仅有一级 D 触发器的数据输出端为高电平;NMOS 体偏置电压产生模块 39 的电路结构和工作原理与 PMOS 体偏置电压产生模块 36 基本一致,体偏置电压 V_{BN} 限定在第四参考电源电压 V_{REF4} 与第五参考电源电压 V_{REF5} 之间,其中第五参考电源电压 V_{REF5} 小于第四参考电源电压 V_{REF4} 。

[0053] 关于数控体偏置型 C 类反相器需要说明的是:

[0054] 1、第一移位寄存器模块 35 中第一 D 触发器和第二移位寄存器模块 38 中第二 D 触发器的级数 N 决定了体偏置电压 V_{BP} 和 V_{BN} 的精度。这是因为 N 值越大,PMOS 体偏置电压产生模块 36 和 NMOS 体偏置电压产生模块 39 中对应的分压电阻和开关就越多,因而产生的体偏置电压 V_{BP} 和 V_{BN} 的最小精度得以提高。

[0055] 2、PMOS 体偏置电压产生模块 36 的工作方式可分为全调制 ($V_{REF3} > V_{DD}$, $V_{REF2} = V_{CM}$) 和半调制 ($V_{REF3} = V_{DD}$, $V_{REF2} = V_{CM}$) 两种。全调制能够产生大于第一参考电源 V_{DD} 的体偏置电压 V_{BP} ,即第一 PMOS 管 M1 和感应 PMOS 管 M5 能够实现反向体偏置,避免了第一 PMOS 管 M1 在 FF 工艺角、高电源电压和高温等情况下无谓的静态的功耗,但全调制的缺点在于需要额外增加一个高于 V_{DD} 的参考电源;半调制不需要额外增加参考电源 (V_{REF3} 与 V_{DD} 复用),而且半调制和全调制一样,都能解决第一 PMOS 管 M1 在 SS 工艺角、低电源电压和低温等情况下阈值电压绝对值提高、跨导和漏源电流减小的问题,这类问题更为重要,它可能直接导致第一 PMOS 管 M1 所在电路的性能下降甚至功能丧失。

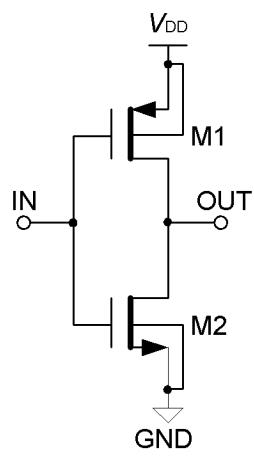


图 1(a)

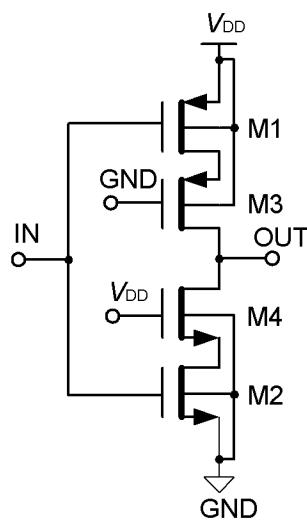


图 1(b)

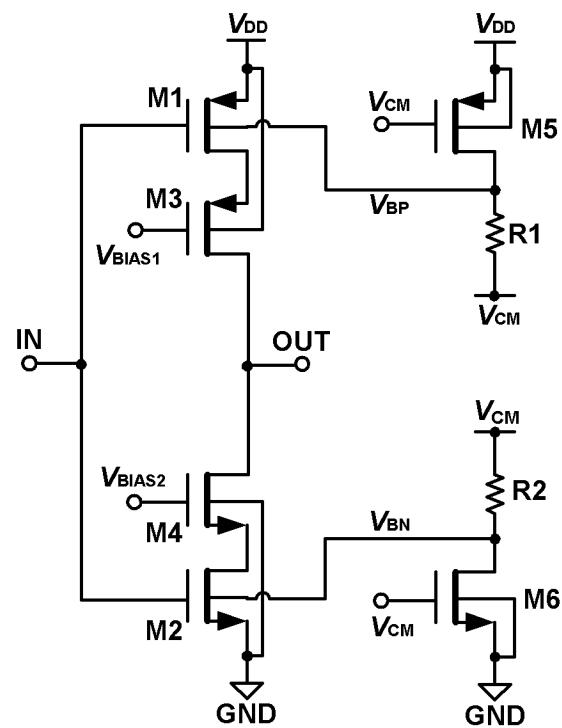
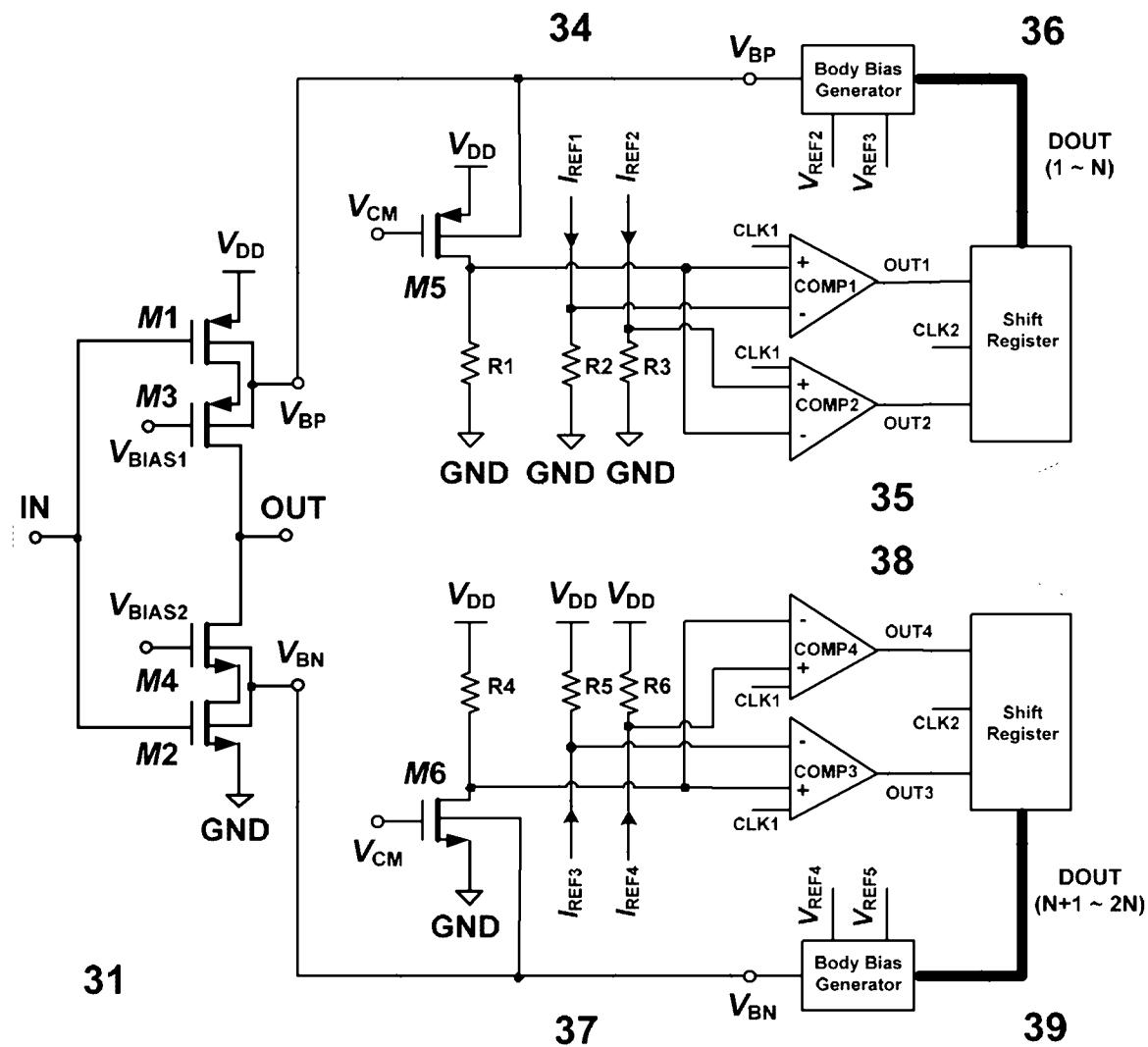


图 2

32



33

图 3

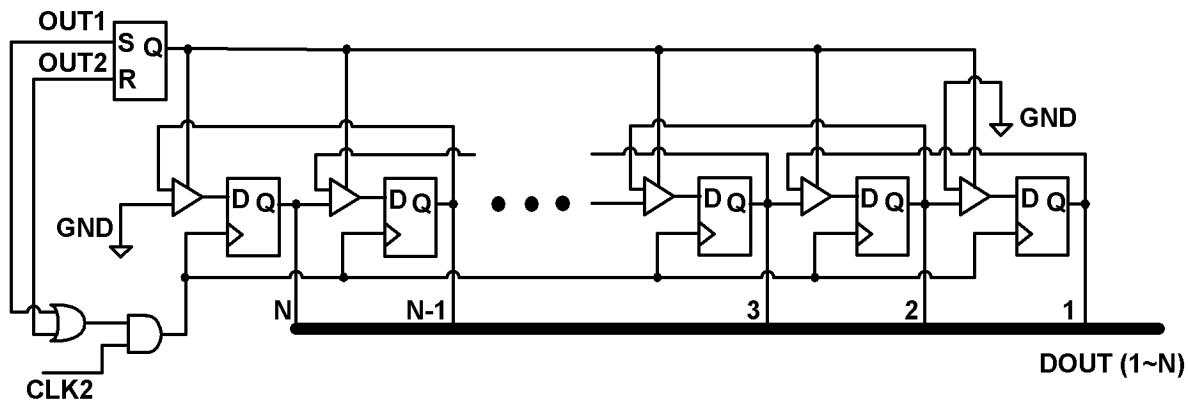


图 4

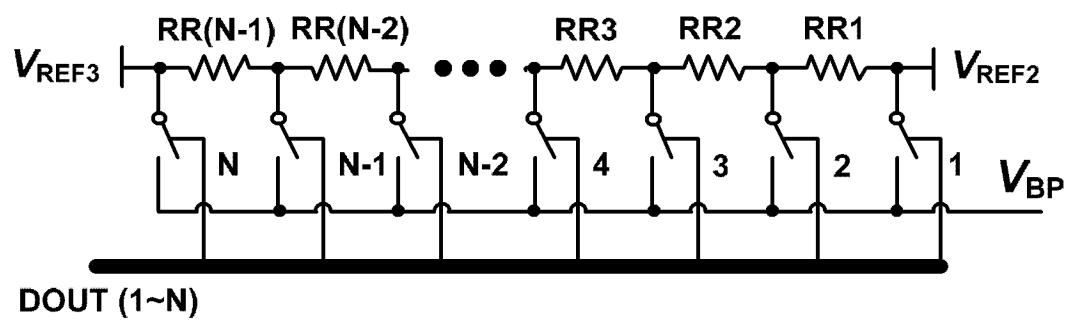


图 5