

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-293808

(P2005-293808A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷

G 1 1 C 29/00

F I

G 1 1 C 29/00 6 5 1 T

テーマコード (参考)

5 L 1 0 6

審査請求 未請求 請求項の数 14 O L (全 20 頁)

(21) 出願番号 特願2004-111494 (P2004-111494)

(22) 出願日 平成16年4月5日(2004.4.5)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(74) 代理人 100104156

弁理士 龍華 明裕

(72) 発明者 佐藤 新哉

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

Fターム(参考) 5L106 DD37 EE03 FF05 GG03

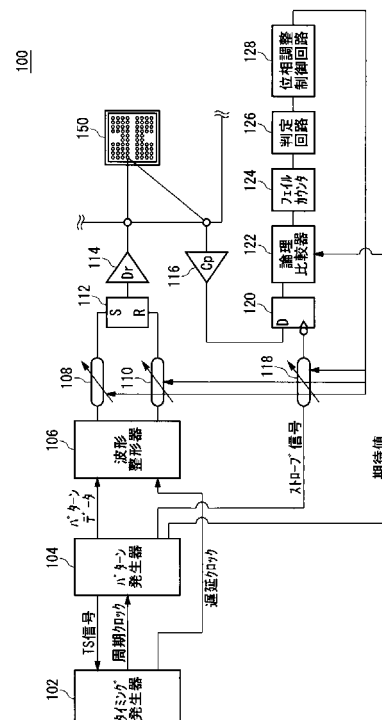
(54) 【発明の名称】 試験装置、位相調整方法、及びメモリコントローラ

(57) 【要約】

【課題】 高速なデータの送受信を行う被試験メモリを正確に試験することができる試験装置を提供する。

【解決手段】 本発明の試験装置は、被試験メモリから出力された出力信号の出力値を、ストローブ信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較器が出力した比較結果に基づいて、ストローブ信号のタイミングを調整する位相調整制御回路とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

被試験メモリを試験する試験装置であって、
前記被試験メモリから出力された出力信号の出力値を、ストローク信号のタイミングで
取得するタイミングコンパレータと、
前記タイミングコンパレータが取得した前記出力値を予め生成された期待値と比較して
、比較結果を出力する論理比較器と、
前記論理比較器が出力した前記比較結果に基づいて、前記ストローク信号のタイミング
を調整する位相調整制御回路と
を備える試験装置。

10

【請求項 2】

前記ストローク信号を遅延させて前記タイミングコンパレータに供給する第 1 可変遅延
回路
をさらに備え、
前記位相調整制御回路は、前記論理比較器が出力した前記比較結果に基づいて、前記第
1 可変遅延回路による遅延量を設定する
請求項 1 に記載の試験装置。

【請求項 3】

前記論理比較器が前記比較結果として出力した、前記出力値と前記期待値とが一致しな
いことを示すフェイルデータの数を計数するフェイルカウンタと、
前記フェイルカウンタが計数した前記フェイルデータの数を、予め定められた判定値と
比較して、判定結果を出力する判定回路と
をさらに備え、
前記位相調整制御回路は、前記判定回路が出力した前記判定結果に基づいて、前記第 1
可変遅延回路による遅延量を設定する
請求項 2 に記載の試験装置。

20

【請求項 4】

前記位相調整制御回路は、2 進数データで示される前記第 1 可変遅延回路による前記遅
延量を、前記判定回路が出力した前記判定結果に基づいてバイナリサーチにより上位ビット
から順に決定していく
請求項 3 に記載の試験装置。

30

【請求項 5】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで
前記試験パターン信号を立ち下げて、前記試験パターン信号を前記被試験メモリに供給す
る S R ラッチと、
前記セット信号を遅延させて前記 S R ラッチに供給する第 2 可変遅延回路と、
前記リセット信号を遅延させて前記 S R ラッチに供給する第 3 可変遅延回路と
をさらに備え、

前記タイミングコンパレータは、前記試験パターン信号に対応して前記被試験メモリか
ら出力された出力信号の出力値を、前記被試験メモリの内部クロックと同期した前記スト
ローク信号のタイミングで取得し、
前記論理比較器は、前記タイミングコンパレータが取得した前記出力値を前記期待値と
比較して、比較結果を出力し、
前記位相調整制御回路は、前記論理比較器が出力した前記比較結果に基づいて、前記第
2 可変遅延回路及び前記 3 可変遅延回路による遅延量を設定する
請求項 1 に記載の試験装置。

40

【請求項 6】

前記被試験メモリの温度又は前記被試験メモリの周囲の温度の変化を検出する温度検出
部と、
前記温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、前記

50

ストローク信号のタイミングを再度調整させるリキャリブレーション制御部とをさらに備える請求項 1 に記載の試験装置。

【請求項 7】

前記被試験メモリに対するデータの書き込み又は読み出しを連続して行った場合に、前記論理比較器が経過時間毎に出力した前記比較結果に基づいて、前記ストローク信号のタイミングを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部をさらに備える請求項 1 に記載の試験装置。

【請求項 8】

被試験メモリから出力された出力信号とストローク信号とのタイミングを調整する位相調整方法であって、

前記被試験メモリから出力された前記出力信号の出力値を、前記ストローク信号のタイミングで取得する出力値取得段階と、

取得された前記出力値を予め生成された期待値と比較して、比較結果を出力する段階と、

前記比較結果に基づいて、前記ストローク信号のタイミングを調整する段階とを備える位相調整方法。

【請求項 9】

前記被試験メモリに試験パターン信号を低速で書き込む低速書込段階と、

前記試験パターン信号に対応した前記出力信号を前記被試験メモリから高速で読み出す第 1 高速読出段階と

をさらに備え、

前記出力値取得段階は、前記第 1 高速読出段階において読み出された前記出力信号の前記出力値を、前記ストローク信号のタイミングで取得する段階を有する

請求項 8 に記載の位相調整方法。

【請求項 10】

前記低速書込段階は、前記被試験メモリのスキャン入出力端子から前記試験パターン信号を書き込む段階を有し、

前記第 1 高速読出段階は、前記被試験メモリのデータ入出力端子から前記試験パターン信号を読み出す段階を有する

請求項 9 に記載の位相調整方法。

【請求項 11】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで前記試験パターン信号を立ち下げて、前記試験パターン信号を前記被試験メモリに高速で書き込む高速書込段階と、

前記試験パターン信号に対応した前記出力信号を前記被試験メモリから高速で読み出す第 2 高速読出段階と、

前記第 2 高速読出段階において読み出された前記出力信号の出力値を、前記ストローク信号のタイミングで取得する段階と、

取得された前記出力値を予め生成された前記期待値と比較して、比較結果を出力する段階と、

前記比較結果に基づいて、前記セット信号及び前記リセット信号のタイミングを調整する段階と

をさらに備える請求項 8 に記載の位相調整方法。

【請求項 12】

前記高速書込段階は、前記被試験メモリのデータ入出力端子から前記試験パターン信号を書き込む段階を有し、

前記第 2 高速読出段階は、前記被試験メモリのデータ入出力端子から前記試験パターン信号を読み出す段階を有する

請求項 11 に記載の位相調整方法。

【請求項 13】

10

20

30

40

50

メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、
前記メモリから読み出された出力信号の出力値を、ストローク信号のタイミングで取得
するタイミングコンパレータと、
前記タイミングコンパレータが取得した前記出力値を予め生成された期待値と比較して
、比較結果を出力する論理比較器と、
前記論理比較器が出力した前記比較結果に基づいて、前記ストローク信号のタイミング
を調整する位相調整制御回路と、
前記メモリの温度又は前記メモリの周囲の温度の変化を検出する温度検出部と、
前記温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、前記
ストローク信号のタイミングを再度調整させるリキャリブレーション制御部と
を備えるメモリコントローラ。

10

【請求項 14】

メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、
前記メモリから読み出された出力信号の出力値を、ストローク信号のタイミングで取得
するタイミングコンパレータと、
前記タイミングコンパレータが取得した前記出力値を予め生成された期待値と比較して
、比較結果を出力する論理比較器と、
前記論理比較器が出力した前記比較結果に基づいて、前記ストローク信号のタイミング
を調整する位相調整制御回路と、
前記メモリに対するデータの書き込み又は読み出しを連続して行った場合に、前記論理
比較器が経過時間毎に出力した前記比較結果に基づいて、前記ストローク信号のタイミン
グを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部と
を備えるメモリコントローラ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置、位相調整方法、及びメモリコントローラに関する。特に本発明は
、被試験メモリを試験する試験装置、被試験メモリから出力された出力信号とストローク
信号とのタイミングを調整する位相調整方法、及びメモリのデータの書き込み及び読み出
しを制御するメモリコントローラに関する。

30

【背景技術】

【0002】

図12は、従来技術に係る試験装置10の構成を示す。試験装置10は、可変遅延回路
12、14、22、24、32、及び42、SRラッチ16及び26、ドライバ18及び
28、レベルコンパレータ30及び40、並びにタイミングコンパレータ34及び44を
備える。

【0003】

SRラッチ16は、可変遅延回路12によって遅延されたセット信号及び可変遅延回路
14によって遅延されたりセット信号に基づいて試験パターン信号を発生出力し、ドライ
バ18を介して被試験メモリ50に供給する。SRラッチ26は、可変遅延回路22によ
って遅延されたセット信号及び可変遅延回路24によって遅延されたりセット信号に基
づいて試験パターン信号を発生出力し、ドライバ28を介して被試験メモリ50に供給する
。また、タイミングコンパレータ34は、レベルコンパレータ30を介して被試験メモリ
50から出力された出力信号を受け取り、可変遅延回路32により遅延されたストローク
信号に基づいて出力値をサンプリングする。タイミングコンパレータ44は、レベルコン
パレータ40を介して被試験メモリ50から出力された出力信号を受け取り、可変遅延回
路42により遅延されたストローク信号に基づいて出力値をサンプリングする。

40

【0004】

そして、タイミングコンパレータ34又は44によってサンプリングされた出力値は、
論理比較器によって、予め生成された期待値と比較される。そして、試験装置10は、論

50

理比較器による比較結果に基づいて、被試験メモリ５０の良否を判定する。

【０００５】

試験装置１０では、被試験メモリ５０の試験を実行する前に次のような位相調整を行う。まず、ドライバ１８及び２８から出力される試験パターン信号の位相が、被試験メモリ５０の端子において同位相になるように、可変遅延回路１２及び１４の遅延量を設定する。また、被試験メモリ５０から同位相で出力される出力信号が、タイミングコンパレータ３４及び４４において正確にサンプリングされるように、可変遅延回路３２及び４２の遅延量を設定する。

【０００６】

現時点で先行技術文献の存在を認識していないので、先行技術文献に関する記載を省略する。 10

【発明の開示】

【発明が解決しようとする課題】

【０００７】

従来の試験装置１０における位相調整では、ドライバ１８及び２８から出力された試験パターン信号の位相が、被試験メモリ５０の端子において同位相になるように可変遅延回路１２及び１４の遅延量を設定する。そのため、非常に高い周波数で動作する被試験メモリ５０を試験する場合においては、被試験メモリ５０の出力信号の出力タイミングのばらつき、タイミングコンパレータ３４及び４４によるストローク信号の受け取りタイミングのばらつきにより、被試験メモリ５０から出力された出力信号を正しくサンプリングすることが困難である。また、タイミングコンパレータ３４及び４４によるストローク信号の受け取りタイミングのばらつきを抑えるため、被試験メモリ５０を実装するたびにストローク信号の位相調整を行うと、膨大な時間がかかり試験のスループットを低下させてしまう。 20

【０００８】

そこで本発明は、上記の課題を解決することができる試験装置、位相調整方法、及びメモリコントローラを提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】

30

【０００９】

本発明の第１の形態によると、被試験メモリを試験する試験装置であって、被試験メモリから出力された出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較器が出力した比較結果に基づいて、ストローク信号のタイミングを調整する位相調整制御回路とを備える。

【００１０】

ストローク信号を遅延させてタイミングコンパレータに供給する第１可変遅延回路をさらに備え、位相調整制御回路は、論理比較器が出力した比較結果に基づいて、第１可変遅延回路による遅延量を設定してもよい。 40

【００１１】

論理比較器が比較結果として出力した、出力値と期待値とが一致しないことを示すフェイルデータの数を計数するフェイルカウンタと、フェイルカウンタが計数したフェイルデータの数を、予め定められた判定値と比較して、判定結果を出力する判定回路とをさらに備え、位相調整制御回路は、判定回路が出力した判定結果に基づいて、第１可変遅延回路による遅延量を設定してもよい。

【００１２】

位相調整制御回路は、２進数データで示される第１可変遅延回路による遅延量を、判定回路が出力した判定結果に基づいてバイナリサーチにより上位ビットから順に決定していてもよい。

50

【 0 0 1 3 】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで試験パターン信号を立ち下げて、試験パターン信号を被試験メモリに供給するS Rラッチと、セット信号を遅延させてS Rラッチに供給する第2可変遅延回路と、リセット信号を遅延させてS Rラッチに供給する第3可変遅延回路とをさらに備え、タイミングコンパレータは、試験パターン信号に対応して被試験メモリから出力された出力信号の出力値を、被試験メモリの内部クロックと同期したストローク信号のタイミングで取得し、論理比較器は、タイミングコンパレータが取得した出力値を期待値と比較して、比較結果を出力し、位相調整制御回路は、論理比較器が出力した比較結果に基づいて、第2可変遅延回路及び第3可変遅延回路による遅延量を設定してもよい。

10

【 0 0 1 4 】

被試験メモリの温度又は被試験メモリの周囲の温度の変化を検出する温度検出部と、温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、ストローク信号のタイミングを再度調整させるリキャリブレーション制御部とをさらに備えてもよい。

【 0 0 1 5 】

被試験メモリに対するデータの書き込み又は読み出しを連続して行った場合に、論理比較器が経過時間毎に出力した比較結果に基づいて、ストローク信号のタイミングを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部をさらに備えてもよい。

【 0 0 1 6 】

本発明の第2の形態によると、被試験メモリから出力された出力信号とストローク信号とのタイミングを調整する位相調整方法であって、被試験メモリから出力された出力信号の出力値を、ストローク信号のタイミングで取得する出力値取得段階と、取得された出力値を予め生成された期待値と比較して、比較結果を出力する段階と、比較結果に基づいて、ストローク信号のタイミングを調整する段階とを備える。

20

【 0 0 1 7 】

被試験メモリに試験パターン信号を低速で書き込む低速書込段階と、試験パターン信号に対応した出力信号を被試験メモリから高速で読み出す第1高速読出段階とをさらに備え、出力値取得段階は、第1高速読出段階において読み出された出力信号の出力値を、ストローク信号のタイミングで取得する段階を有してもよい。

【 0 0 1 8 】

低速書込段階は、被試験メモリのスキャン入出力端子から試験パターン信号を書き込む段階を有し、第1高速読出段階は、被試験メモリのデータ入出力端子から試験パターン信号を読み出す段階を有してもよい。

30

【 0 0 1 9 】

セット信号のタイミングで試験パターン信号を立ち上げ、リセット信号のタイミングで試験パターン信号を立ち下げて、試験パターン信号を被試験メモリに高速で書き込む高速書込段階と、試験パターン信号に対応した出力信号を被試験メモリから高速で読み出す第2高速読出段階と、第2高速読出段階において読み出された出力信号の出力値を、ストローク信号のタイミングで取得する段階と、取得された出力値を予め生成された期待値と比較して、比較結果を出力する段階と、比較結果に基づいて、セット信号及びリセット信号のタイミングを調整する段階とをさらに備えてもよい。

40

【 0 0 2 0 】

高速書込段階は、被試験メモリのデータ入出力端子から試験パターン信号を書き込む段階を有し、第2高速読出段階は、被試験メモリのデータ入出力端子から試験パターン信号を読み出す段階を有してもよい。

【 0 0 2 1 】

本発明の第3の形態によると、メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、メモリから読み出された出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較

50

器が出力した比較結果に基づいて、ストローク信号のタイミングを調整する位相調整制御回路と、メモリの温度又はメモリの周囲の温度の変化を検出する温度検出部と、温度検出部が検出した温度変化が予め定められた温度変化以上である場合に、ストローク信号のタイミングを再度調整させるリキャリブレーション制御部とを備える。

【0022】

本発明の第4の形態によると、メモリのデータの書き込み及び読み出しを制御するメモリコントローラであって、メモリから読み出された出力信号の出力値を、ストローク信号のタイミングで取得するタイミングコンパレータと、タイミングコンパレータが取得した出力値を予め生成された期待値と比較して、比較結果を出力する論理比較器と、論理比較器が出力した比較結果に基づいて、ストローク信号のタイミングを調整する位相調整制御回路と、メモリに対するデータの書き込み又は読み出しを連続して行った場合に、論理比較器が経過時間毎に出力した比較結果に基づいて、ストローク信号のタイミングを再調整すべき時間間隔を測定するリキャリブレーション間隔制御部とを備える。

10

【0023】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた発明となりうる。

【発明の効果】

【0024】

本発明に係る試験装置によれば、高速なデータの送受信を行う被試験メモリを正確に試験することができる。

20

【発明を実施するための最良の形態】

【0025】

以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0026】

図1は、本発明の第1実施形態に係る試験装置100の構成の一例を示す。試験装置100は、タイミング発生器102、パターン発生器104、波形整形器106、可変遅延回路108、可変遅延回路110、SRラッチ112、ドライバ114、レベルコンパレータ116、可変遅延回路118、タイミングコンパレータ120、論理比較器122、フェイルカウンタ124、判定回路126、及び位相調整制御回路128を備える。

30

【0027】

本実施形態に係る試験装置100では、被試験メモリ150に印加する試験データ信号の位相、及び被試験メモリ150から出力される出力信号の出力値を取得するためのストローク信号の位相を、被試験メモリ150の端子毎に調整することにより、試験装置100と被試験メモリ150との高速なデータの送受信を実現することを目的とする。

【0028】

まず、試験装置100による被試験メモリ150の試験動作について説明する。パターン発生器104は、タイミングセット信号（以下、「TS信号」という。）を出力して、タイミング発生器102に供給する。タイミング発生器102は、TS信号により指定されたタイミングデータに基づいて周期クロック及び遅延クロックを発生して、遅延クロックをパターン発生器104に供給し、遅延クロックを波形整形器106に供給する。そして、パターン発生器104は、タイミング発生器102から供給された周期クロックに基づいて被試験メモリ150に供給すべきパターンデータを発生して、波形整形器106に供給する。

40

【0029】

波形整形器106は、タイミング発生器102から供給された遅延クロックに基づいて、パターン発生器104が発生したパターンデータが示す試験パターン信号を必要なタイミングの波形にすべく、セット信号及びリセット信号を出力する。可変遅延回路108は、位相調整制御回路128により予め設定された遅延量により、波形整形器106が出力

50

したセット信号を遅延させてS Rラッチ112に供給する。また、可変遅延回路110は、位相調整制御回路128により予め設定された遅延量により、波形整形器106が出力したリセット信号を遅延させてS Rラッチ112に供給する。そして、S Rラッチ112は、可変遅延回路108から供給されたセット信号のタイミングで試験パターン信号を立ち上げ、可変遅延回路110から供給されたリセット信号のタイミングで試験パターン信号を立ち下げ、ドライバ114を介して被試験メモリ150に供給する。

【0030】

また、パターン発生器104は、被試験メモリ150から出力された出力信号をタイミングコンパレータ120がサンプリングするタイミングを指定するストローク信号を発生する。可変遅延回路118は、位相調整制御回路128により予め設定された遅延量により、パターン発生器104が発生したストローク信号を遅延させてタイミングコンパレータ120に供給する。タイミングコンパレータ120は、被試験メモリ150から出力されレベルコンパレータ116によって2値データに変換された被試験メモリ150の出力信号の出力値を、可変遅延回路118から供給されたストローク信号のタイミングで取得する。

10

【0031】

また、パターン発生器104は、被試験メモリ150が試験パターン信号に対応して出力すべき出力信号の出力値である期待値を生成して、論理比較器122に供給する。そして、論理比較器122は、タイミングコンパレータ120が取得した出力値を、パターン発生器104によって予め生成された期待値と比較して、比較結果を出力する。そして、論理比較器122が出力する比較結果に基づいて、被試験メモリ150の良否判定を行う。

20

【0032】

次に、試験装置100による試験データ信号及びストローク信号の位相調整動作について説明する。上述の試験動作と同様に、タイミングコンパレータ120は、被試験メモリ150から出力された出力信号の出力値を、可変遅延回路118から供給されたストローク信号のタイミングで取得する。そして、論理比較器122は、タイミングコンパレータ120が取得した出力値を期待値と比較して、比較結果を出力する。具体的には、論理比較器122は、出力値と期待値とは一致する場合にフェイルデータを出力し、フェイルカウンタ124に供給する。そして、フェイルカウンタ124は、論理比較器122が比較結果として出力した、出力値と期待値とが一致しないことを示すフェイルデータの数を計数する。そして、判定回路126は、フェイルカウンタ124が計数したフェイルデータの数を、予め定められた判定値と比較して、判定結果を出力する。位相調整制御回路128は、判定回路126が出力した判定結果に基づいて、可変遅延回路118による遅延量を設定する。即ち、位相調整制御回路128は、論理比較器122が出力した比較結果に基づいて、可変遅延回路118による遅延量を設定することにより、タイミングコンパレータ120に供給されるストローク信号のタイミングを調整する。具体的には、位相調整制御回路128は、可変遅延回路118の位相調整レジスタの設定値を設定する。

30

【0033】

また、タイミングコンパレータ120は、試験パターン信号に対応して被試験メモリ150から出力された出力信号の出力値を、被試験メモリ150の内部クロックと同期したストローク信号のタイミングで取得する。そして、論理比較器122は、タイミングコンパレータ120が取得した出力値を期待値と比較して、比較結果を出力する。具体的には、論理比較器122は、出力値と期待値とは一致する場合にフェイルデータを出力し、フェイルカウンタ124に供給する。そして、フェイルカウンタ124は、論理比較器122が比較結果として出力した、出力値と期待値とが一致しないことを示すフェイルデータの数を計数する。そして、判定回路126は、フェイルカウンタ124が計数したフェイルデータの数を、予め定められた判定値と比較して、判定結果を出力する。位相調整制御回路128は、判定回路126が出力した判定結果に基づいて、可変遅延回路108及び可変遅延回路110による遅延量を設定する。即ち、位相調整制御回路128は、論理比

40

50

較器 1 2 2 が出力した比較結果に基づいて、可変遅延回路 1 0 8 及び 1 1 0 による遅延量を設定することにより、S R ラッチ 1 1 2 に供給されるセット信号及びリセット信号のタイミングを調整する。具体的には、位相調整制御回路 1 2 8 は、可変遅延回路 1 0 8 の位相調整レジスタの設定値、及び可変遅延回路 1 1 0 の位相調整レジスタの設定値を設定する。

【 0 0 3 4 】

以上のように、位相調整段階において、被試験メモリ 1 5 0 から実際に出力される出力信号を利用してストロブ信号、並びにセット信号及びリセット信号の位相を調整することで、試験段階において、被試験メモリ 1 5 0 から出力される出力信号の出力値を精度よくサンプリングすることができる。したがって、高速なデータの送受信を行う被試験メモリ 1 5 0 を正確に試験することができる。

10

【 0 0 3 5 】

図 2 は、第 1 実施形態に係る判定回路 1 2 6 の構成の一例を示す。判定回路 1 2 6 は、判定値レジスタ 2 0 0 及び計数値比較器 2 0 2 を有する。判定値レジスタ 2 0 0 は、予め定められた判定値を格納し、計数値比較器 2 0 2 に供給する。例えば、判定値は、位相調整段階において論理比較器 1 2 2 により行われる比較回数の半値である。計数値比較器 2 0 2 は、フェイルカウンタ 1 2 4 が計数したフェイルデータの数である計数値をフェイルカウンタ 1 2 4 から取得し、判定値レジスタ 2 0 0 から供給された判定値と大小比較する。そして、計数値比較器 2 0 2 は、判定結果としてパスフェイル信号を出力し、位相調整制御回路 1 2 8 に供給する。例えば、計数値比較器 2 0 2 は、計数値が判定値より小さい場合にパスデータとして " 1 " を出力し、計数値が判定値以上の場合にフェイルデータとして " 0 " を出力する。なお、計数値比較器 2 0 2 は、計数値が判定値より小さい場合にフェイルデータとして " 0 " を出力し、計数値が判定値以上の場合にパスデータとして " 1 " を出力してしもよい。

20

【 0 0 3 6 】

図 3 は、第 1 実施形態に係る位相調整制御回路 1 2 8 の構成の一例を示す。なお、図 3 では、可変遅延回路 1 0 8、1 1 0、1 1 8 の位相調整レジスタが 4 ビットの場合の例を説明する。なお、位相調整制御回路 1 2 8 は、可変遅延回路 1 0 8、1 1 0、及び 1 1 8 のそれぞれに対応して、図 3 に示す構成要素をそれぞれ有する。また、本例においては、位相調整制御回路 1 2 8 をハードウェア回路により実現する例を説明するが、ソフトウェアにより同様の機能を実現してもよい。

30

【 0 0 3 7 】

位相調整制御回路 1 2 8 は、ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8、論理積回路 3 1 0、3 1 2、3 1 4、3 1 6、3 1 8、3 2 0、3 2 2、3 2 4、3 2 6、3 2 8、3 3 0、3 3 2、3 3 4、3 3 6、3 3 8、3 4 0、3 4 2、及び 3 4 4、論理和回路 3 5 0、3 5 2、3 5 4、3 5 6、3 5 8、及び 3 6 0、並びに位相調整レジスタ 3 7 0、3 7 2、3 7 4、及び 3 7 6 を有する。

【 0 0 3 8 】

ビット選択レジスタ 3 0 0、3 0 2、3 0 4、3 0 6、及び 3 0 8、並びに位相調整レジスタ 3 7 0、3 7 2、3 7 4、及び 3 7 6 は、初期設定値を保持する。具体的には、ビット選択レジスタ 3 0 0 及び 3 0 2 は、" 1 " を保持する。また、ビット選択レジスタ 3 0 4、3 0 6、及び 3 0 8 は、" 0 " を保持する。また、位相調整レジスタ 3 7 0 は、" 1 " を保持する。また、位相調整レジスタ 3 7 2、3 7 4、及び 3 0 6 は、" 0 " を保持する。

40

【 0 0 3 9 】

ビット選択レジスタ 3 0 0 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 1 0 及び 3 1 2、並びにビット選択レジスタ 3 0 2 に供給する。ビット選択レジスタ 3 0 2 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 3 1 0、3 1 2、3 1 4、及び 3 1 6、並びにビット選択レジスタ 3 0 4 に供給する。ビット選択レジスタ 3 0 4 は、キャリブレーションセット

50

信号に基づいて、保持しているビットデータを論理積回路 314、316、318、及び 320、並びにビット選択レジスタ 306 に供給する。ビット選択レジスタ 306 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 318、320、及び 322、並びにビット選択レジスタ 308 に供給する。ビット選択レジスタ 308 は、キャリブレーションセット信号に基づいて、保持しているビットデータを論理積回路 322、並びにビット選択レジスタ 308 に供給する。

【0040】

ビット選択レジスタ 300、302、304、306、及び 308 は、キャリブレーションセット信号が供給される毎に、保持しているビットデータを順にシフトさせて保持する。即ち、ビット選択レジスタ 300、302、304、306、及び 308 は、初期設定において "1"、"1"、"0"、"0"、及び "0" をそれぞれ保持し、キャリブレーションセット信号が供給されると "0"、"1"、"1"、"0"、及び "0" をそれぞれ保持し、さらにキャリブレーションセット信号が供給されると "0"、"0"、"1"、"1"、及び "0" をそれぞれ保持し、さらにキャリブレーションセット信号が供給されると "0"、"0"、"0"、"1"、及び "1" をそれぞれ保持する。ビット選択レジスタ 300、302、304、306、及び 308 が保持するビットデータをシフトさせることによって、位相調整レジスタ 370、372、374、及び 376 を順に選択して設定値を決定する。

10

【0041】

論理積回路 310 は、ビット選択レジスタ 300 から供給されたビットデータと、ビット選択レジスタ 302 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 332 及び論理積回路 324 に出力する。論理積回路 312 は、ビット選択レジスタ 300 から供給されたビットデータと、ビット選択レジスタ 302 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 334 及び論理和回路 350 に出力する。論理積回路 314 は、ビット選択レジスタ 302 から供給されたビットデータと、ビット選択レジスタ 304 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 336 及び論理和回路 350 に出力する。論理積回路 316 は、ビット選択レジスタ 302 から供給されたビットデータと、ビット選択レジスタ 304 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 338 及び論理和回路 352 に出力する。

20

30

【0042】

論理積回路 318 は、ビット選択レジスタ 304 から供給されたビットデータと、ビット選択レジスタ 306 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 340 及び論理和回路 352 に出力する。論理積回路 320 は、ビット選択レジスタ 304 から供給されたビットデータと、ビット選択レジスタ 306 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 342 及び論理和回路 354 に出力する。論理積回路 322 は、ビット選択レジスタ 306 から供給されたビットデータと、ビット選択レジスタ 308 から出力されたビットデータとの論理積演算を行い、演算結果を論理積回路 344 及び論理和回路 354 に出力する。

40

【0043】

論理和回路 350 は、論理積回路 312 の出力と論理積回路 314 の出力との論理和演算を行い、演算結果を論理積回路 326 に出力する。論理和回路 352 は、論理積回路 316 の出力と論理積回路 318 の出力との論理和演算を行い、演算結果を論理積回路 328 に出力する。論理和回路 354 は、論理積回路 320 の出力と論理積回路 322 の出力との論理和演算を行い、演算結果を論理積回路 330 に出力する。

【0044】

論理積回路 324 は、論理積回路 310 の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ 370 に出力する。論理積回路 326 は、論理和回路 350 の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ 372 に出力する。論理積回路 328 は、論理和回路 352 の出力

50

とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ 374 に出力する。論理積回路 330 は、論理和回路 354 の出力とキャリブレーションセット信号との論理積演算を行い、演算結果を位相調整レジスタ 376 に出力する。即ち、論理積回路 324、326、328、及び 330 は、キャリブレーションセット信号が "1" にセットされている場合に、ビット選択レジスタ 300、302、304、306、及び 308 によって選択されている位相調整レジスタ 370、372、374、又は 376 にクロック信号を供給する。

【0045】

論理積回路 332 は、判定回路 126 から供給されたパスフェイル信号と論理積回路 310 の出力との論理積演算を行い、演算結果を位相調整レジスタ 370 に出力する。そして、位相調整レジスタ 370 は、論理積回路 324 の出力に基づいて、保持しているビットデータを出力し、また論理積回路 332 の出力を保持する。

10

【0046】

論理積回路 334 は、判定回路 126 から供給されたパスフェイル信号と位相調整レジスタ 370 が保持していたビットデータとの論理積演算を行い、演算結果を論理和回路 356 に出力する。論理積回路 336 は、判定回路 126 から供給されたパスフェイル信号と論理積回路 314 の出力との論理積演算を行い、演算結果を論理和回路 356 に出力する。論理和回路 356 は、論理積回路 334 の出力と論理積回路 336 の出力との論理和演算を行い、演算結果を位相調整レジスタ 372 に出力する。そして、位相調整レジスタ 372 は、論理積回路 326 の出力に基づいて、保持しているビットデータを出力し、また論理和回路 356 の出力を保持する。

20

【0047】

論理積回路 338 は、判定回路 126 から供給されたパスフェイル信号と位相調整レジスタ 372 が保持していたビットデータとの論理積演算を行い、演算結果を論理和回路 358 に出力する。論理積回路 340 は、判定回路 126 から供給されたパスフェイル信号と論理積回路 318 の出力との論理積演算を行い、演算結果を論理和回路 358 に出力する。論理和回路 358 は、論理積回路 338 の出力と論理積回路 340 の出力との論理和演算を行い、演算結果を位相調整レジスタ 374 に出力する。そして、位相調整レジスタ 374 は、論理積回路 328 の出力に基づいて、保持しているビットデータを出力し、また論理和回路 358 の出力を保持する。

30

【0048】

論理積回路 342 は、判定回路 126 から供給されたパスフェイル信号と位相調整レジスタ 374 が保持していたビットデータとの論理積演算を行い、演算結果を論理和回路 360 に出力する。論理積回路 344 は、判定回路 126 から供給されたパスフェイル信号と論理積回路 322 の出力との論理積演算を行い、演算結果を論理和回路 360 に出力する。論理和回路 360 は、論理積回路 342 の出力と論理積回路 344 の出力との論理和演算を行い、演算結果を位相調整レジスタ 376 に出力する。そして、位相調整レジスタ 376 は、論理積回路 330 の出力に基づいて、保持しているビットデータを出力し、また論理和回路 358 の出力を保持する。

【0049】

以上のように位相調整段階において、位相調整レジスタ 370、372、374、及び 376 は、判定回路 126 から供給されたパスフェイル信号及びキャリブレーションセット信号に基づいて、それぞれ 1 ビットの設定値を保持する。そして、被試験メモリ 150 の試験段階において、可変遅延回路 108、110、又は 118 に設定値を供給することにより、可変遅延回路 108、110、又は 118 によるストローク信号の遅延量を調整する。

40

【0050】

図 4 は、第 1 実施形態に係る位相調整制御回路 128 の動作の一例を示す。図 4 では、図 2 に示した判定回路 126、及び図 3 に示した位相調整制御回路 128 により可変遅延回路 108 及び 110 の遅延量を設定して、試験パターン信号の位相を調整する方法の一

50

例を説明する。

【 0 0 5 1 】

まず、1回目の試験パターン信号を被試験メモリ150に印加しながら、論理比較器122が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ124がフェイルデータの数を計数する。そして、フェイルカウンタ124による計数値が判定値より小さい場合、即ちパスフェイル信号がパスデータとして"1"を出力する場合、位相調整制御回路128は、可変遅延回路108及び110の遅延量を増加させることにより試験パターン信号の位相を遅らせる。

【 0 0 5 2 】

次に、2回目の試験パターン信号を被試験メモリ150に印加しながら、論理比較器122が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ124がフェイルデータの数を計数する。そして、フェイルカウンタ124による計数値が判定値より大きい場合、即ちパスフェイル信号がフェイルデータとして"0"を出力する場合、位相調整制御回路128は、可変遅延回路108及び110の遅延量を減少させることにより試験パターン信号の位相を進める。

【 0 0 5 3 】

次に、3回目の試験パターン信号を被試験メモリ150に印加しながら、論理比較器122が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ124がフェイルデータの数を計数する。そして、フェイルカウンタ124による計数値が判定値より小さい場合、即ちパスフェイル信号がパスデータとして"1"を出力する場合、位相調整制御回路128は、可変遅延回路108及び110の遅延量を増加させることにより試験パターン信号の位相を遅らせる。

【 0 0 5 4 】

次に、4回目の試験パターン信号を被試験メモリ150に印加しながら、論理比較器122が複数回に渡って出力値と期待値との比較を行い、フェイルカウンタ124がフェイルデータの数を計数する。そして、フェイルカウンタ124による計数値と、判定値レジスタ200が保持する判定値とがほぼ同じになり、位相調整制御回路128による位相調整が終了する。

【 0 0 5 5 】

即ち、本例においては、位相調整制御回路128は、2進数データで示される可変遅延回路108、110、又は118による遅延量を、判定回路126が出力した判定結果に基づいてバイナリサーチにより上位ビットから順に探索して決定していく。また、他の例においては、位相調整制御回路128は、シーケンシャルサーチによって可変遅延回路108、110、及び118の適切な遅延量を探索してもよいし、バイナリサーチとシーケンシャルサーチとの組み合わせによって可変遅延回路108、110、及び118の適切な遅延量を探索してもよい。

【 0 0 5 6 】

図5は、第1実施形態に係る試験方法のフローの一例を示す。本実施形態に係る位相調整は、被試験メモリ150を試験装置100のソケットに実装した状態で行い、被試験メモリ150のすべての端子について第1キャリブレーション(S502)による位相調整を行い、高速データ通信を行う端子については、第2キャリブレーション(S506)による位相調整を行う。

【 0 0 5 7 】

まず、タイミング発生器102、電圧電流発生器、電圧電流測定器等を所定の状態に初期化するイニシャライズが実行されたか否かを判断する(S500)。イニシャライズが実行された場合には(S500-y)、試験条件毎に第1キャリブレーションを行う(S502)。第1キャリブレーション(S502)では、イニシャライズに発生した各端子に対する信号の位相のずれを可変遅延回路108及び110により調整するため、可変遅延回路108及び110の設定値をファイル化してキャリブレーションファイルとして保存する。イニシャライズが実行されなかった場合には(S500-n)、第1キャリブ

10

20

30

40

50

ーションを行わない。

【0058】

次に、試験条件に対応したキャリブレーションファイルを可変遅延回路108及び110の位相調整レジスタに転送して(S504)、第2キャリブレーションを行う(S506)。第2キャリブレーション(S506)では、被試験メモリ150の端子のうち、高速に動作する端子であるデータ入出力端子等に対してのみ位相調整が行われる。例えば、被試験メモリ150がXDR-DRAMである場合、RQ0-11、CFM/CFMN、RST、CMD、SCK、SDI、SDO等の端子に対しては第1キャリブレーション(S502)のみを行い、DQ/DQN0-15の端子に対して第1キャリブレーション(S502)に加え第2キャリブレーション(S506)を行う。

10

【0059】

第2キャリブレーション(S506)が完了すると被試験メモリ150の試験を実行する(S508)。そして、同一の被試験メモリ150に対してさらに他の試験を実行するか否かを判断する(S510)。

【0060】

同一の被試験メモリ150に対してさらに他の試験を実行する場合には(S510-y)、試験条件を変更するか否かを判断する(S512)。試験条件を変更しない場合には(S512-n)、続けて被試験メモリ150の試験を実行する(S508)。試験条件を変更する場合には(S512-y)、試験条件に対応したキャリブレーションファイルを可変遅延回路108及び110の位相調整レジスタに転送して(S504)、第2キャ

20

【0061】

同一の被試験メモリ150に対してさらに他の試験を実行しない場合には(S510-n)、次の被試験メモリ150の試験を実行するか否かを判断する(S514)。次の被試験メモリ150の試験を実行する場合には(S514-y)、第2キャリブレーションを行う(S506)。そして、第2キャリブレーション(S506)が完了すると次の被試験メモリ150の試験を実行する(S508)。次の被試験メモリ150の試験を実行しない場合には(S514-n)、本試験フローを終了する。

【0062】

図6は、第1実施形態に係る位相調整方法のフローの一例を示す。図6では、第2キャリブレーション(S506)における位相調整方法のフローを説明する。まず、低速書込段階(S600)において、被試験メモリ150に試験パターン信号を低速で書き込む。低速書込段階(S600)では、シリアルバスを介して被試験メモリ150のスクアン入出力端子から試験パターン信号を書き込む。

30

【0063】

次に、高速読出段階(S602)において、試験パターン信号に対応した出力信号を被試験メモリ150から高速で読み出す。高速読出段階(S602)では、被試験メモリ150のデータ入出力端子から試験パターン信号を読み出す。

【0064】

次に、ストロブ信号位相調整段階(S604)において、タイミングコンパレータ120は、高速読出段階(S602)において被試験メモリ150から読み出された出力信号の出力値を、ストロブ信号のタイミングで取得する。そして、論理比較器122は、出力値を予め生成された期待値と比較して、比較結果を出力する。そして、図1から図4において説明したように、位相調整制御回路128は、論理比較器122の比較結果に基づいて、可変遅延回路118の位相調整用レジスタを設定し、タイミングコンパレータ120に供給されるストロブ信号のタイミングを調整することにより、タイミングコンパレータ120による出力信号のサンプリングのタイミングを調整する。

40

【0065】

次に、高速書込段階(S606)において、SRラッチ112は、可変遅延回路108から供給されるセット信号のタイミングで試験パターン信号を立ち上げ、可変遅延回路1

50

10から供給されるリセット信号のタイミングで試験パターン信号を立ち下げて、試験パターン信号を被試験メモリ150に高速で書き込む。高速書込段階(S606)では、被試験メモリ150のデータ入出力端子から試験パターン信号を書き込む。

【0066】

次に、高速読出段階(S608)において、試験パターン信号に対応した出力信号を被試験メモリ150から高速で読み出す。高速読出段階(S608)では、被試験メモリ150のデータ入出力端子から試験パターン信号を読み出す。

【0067】

次に、試験パターン信号位相調整段階(S610)において、タイミングコンパレータ120は、高速読出段階(S608)において被試験メモリ150から読み出された出力信号の出力値を、ストローク信号のタイミングで取得する。そして、論理比較器122は、出力値を予め生成された期待値と比較して、比較結果を出力する。そして、図1から図4において説明したように、位相調整制御回路128は、論理比較器122の比較結果に基づいて、可変遅延回路108及び110の位相調整用レジスタを設定し、SRラッチ112に供給されるセット信号及びリセット信号のタイミングを調整することにより、被試験メモリ150に供給される試験パターン信号のタイミングを調整する。

【0068】

以上のように、低速書込段階(S600)において試験パターン信号を被試験メモリ150に低速で書き込み、試験パターン信号を被試験メモリ150に正確に保持させることによって、ストローク信号位相調整段階(S604)においてタイミングコンパレータ120に供給されるストローク信号の遅延量を精度よく設定することができる。また、ストローク信号位相調整段階(S604)の後に試験パターン信号位相調整段階(S610)を実行することによって、試験パターン信号位相調整段階(S610)においてセット信号及びリセット信号の遅延量を精度よく設定することができる。

【0069】

図7及び図8は、第1実施形態に係るドライバ114の一例を示す。また、図9は、第1実施形態に位相調整レジスタの構成の変形例を示す。ドライバ114は、差動ドライバであり、図7に示すように、被試験メモリ150の差動端子において差動信号が正しくクロスすること、また、差動信号の線路が等長であることが前提とされている。しかしながら、実際にはこのような前提に基づいて構成されることはなく、図8に示すように、シングルドライバ114a及び114bを用いて差動信号の位相を調整している。

【0070】

即ち、試験装置100は、図8に示すように、可変遅延回路108及び110に換えて可変遅延回路108a、108b、110a、及び110bを備え、SRラッチ112に換えてSRラッチ112a及び112bを備え、ドライバ114に換えてドライバ114a及び114bを備える。また、試験装置100は、図9に示すように、位相調整レジスタ370、372、374、及び376に加え、クロスポイント調整レジスタ900、及び加算器904をさらに備える。

【0071】

SRラッチ112aは、可変遅延回路108aによって遅延されたセット信号により試験パターン信号を立ち上げ、可変遅延回路110aによって遅延されたりセット信号により試験パターン信号を立ち下げ、ドライバ114aを介して被試験メモリ150に供給する。また、SRラッチ112bは、可変遅延回路108bによって遅延されたセット信号により試験パターン信号を立ち上げ、可変遅延回路110bによって遅延されたりセット信号により試験パターン信号を立ち下げ、ドライバ114bを介して被試験メモリ150に供給する。

【0072】

第1キャリブレーション(S502)において、被試験メモリ150の差動端子において差動信号のクロスポイントがハイレベルとロウレベルとの中心になるように調整する。そして、クロスポイント調整レジスタ900に調整した設定値を保持する。次に、第2キ

10

20

30

40

50

ャリブレーション (S506) において、クロスポイントが中心からずれないように、可変遅延回路108a及び110bの位相を同時に調整し、また可変遅延回路108b及び110aの位相を同時に調整する。そして、位相調整レジスタ370、372、374、及び376に調整した設定値を保持する。次に、加算器904は、クロスポイント調整用レジスタ900に設定された設定値と、位相調整レジスタ370、372、374、及び376に設定された設定値とを加算して、可変遅延回路108a、110a、108b、又は110bに供給する。これにより、差動信号のクロスポイント調整と、試験パターン信号の位相調整とを同時に行うことができる。

【0073】

図10は、本発明の第2実施形態に係るメモリ制御システム1000の構成の一例を示す。メモリ制御システム1000は、メモリコントローラ1002、及び複数のメモリ1004を備える。メモリ制御システム1000は、データ転送を行う信号ラインに小振幅信号(200mV振幅)及び双方向差動インターフェースを最小し、複数のメモリ1004とメモリコントローラ1002との間を一对一接続する。また、メモリコントローラ1002のデータ入出力端子毎に、入力信号及び出力信号の位相調整機能が組み込まれている。

【0074】

図11は、第2実施形態に係るメモリコントローラ1002の構成の一例を示す。メモリコントローラ1002は、送受信制御部1100、温度検出部1130、リキャリブレーション制御部1132、及びリキャリブレーション間隔制御部1134を備える。送受信制御部1100は、ストローク信号発生器1104、レベルコンパレータ1116、可変遅延回路1118、タイミングコンパレータ1120、論理比較器1122、フェイルカウンタ1124、判定回路1126、及び位相調整制御回路1128を有する。

【0075】

ストローク信号発生器1104は、被試験メモリ150から出力された出力信号をタイミングコンパレータ1120がサンプリングするタイミングを指定するストローク信号を発生する。可変遅延回路1118は、位相調整制御回路1128により予め設定された遅延量により、ストローク信号発生器1104が発生したストローク信号を遅延させてタイミングコンパレータ1120に供給する。また、レベルコンパレータ1116、可変遅延回路1118、タイミングコンパレータ1120、論理比較器1122、フェイルカウンタ1124、判定回路1126、及び位相調整制御回路1128のそれぞれは、図1に示した試験装置100が備えるレベルコンパレータ116、可変遅延回路118、タイミングコンパレータ120、論理比較器122、フェイルカウンタ124、判定回路126、及び位相調整制御回路128のそれぞれと同一の機能を有するので説明を省略する。また、メモリコントローラ1002は、図1に示した試験装置100が備えるその他の構成部材を備えてもよい。

【0076】

温度検出部1130は、メモリ1004の温度又はメモリ1004の周囲の温度の変化を検出する。そして、リキャリブレーション制御部1132は、温度検出部1130が検出した温度変化が予め定められた温度変化以上である場合に、送受信制御部1100に対して、可変遅延回路1118による遅延量を再度設定することにより、タイミングコンパレータ1120に供給されるストローク信号のタイミングを再度調整させる。即ち、メモリ1004の温度変化に起因して生じる出力信号の位相の変化に対して、ストローク信号の位相を追従させることができる。そのため、メモリ1004が動作することによって温度が上昇する場合であっても、メモリ1004とメモリコントローラ1002との間のデータ通信を正確に行うことができる。

【0077】

また、リキャリブレーション間隔制御部1134は、メモリ1004に対するデータの書き込み又は読み出しを連続して行った場合に、論理比較器1122が経過時間毎に出力した比較結果に基づいて、タイミングコンパレータ1120に供給されるストローク信号

10

20

30

40

50

のタイミングを再調整すべき時間間隔を測定する。具体的には、フェイルカウンタ 1 1 2 4 は、論理比較器 1 1 2 2 が出力したフェイルデータの数単位時間毎に計数する。そして、判定回路 1 1 2 6 は、予め定められた判定値と、フェイルカウンタ 1 1 2 4 が計数した計数値とを大小比較する。これにより、リキャリブレーション間隔制御部 1 1 3 4 は、計数値が判定値より大きくなる時間を測定する。即ち、メモリ 1 0 0 4 に対するデータの書き込み又は読み出しを連続して行うことによって、メモリ 1 0 0 4 の温度変化に起因して出力信号の位相の変化により、メモリコントローラ 1 0 0 2 とメモリ 1 0 0 4 との間のデータ通信が正確に行われなくなる時間を測定する。そして、リキャリブレーション間隔制御部 1 1 3 4 は、測定した時間間隔毎に、送受信制御部 1 1 0 0 に対して、タイミングコンパレータ 1 1 2 0 に供給されるストローク信号のタイミングを再調整させる。これにより、メモリ 1 0 0 4 が動作することによって温度が上昇する場合であっても、常にメモリ 1 0 0 4 とメモリコントローラ 1 0 0 2 との間のデータ通信を正確に行うことができる。

10

【 0 0 7 8 】

なお、試験装置 1 0 0 は、図 1 1 に示したメモリコントローラ 1 0 0 2 が備える温度検出部 1 1 3 0、リキャリブレーション制御部 1 1 3 2、及びリキャリブレーション間隔測定部 1 1 3 4 をさらに備えてもよい。そして、被試験メモリ 1 5 0 の温度上昇に追従させてタイミングコンパレータ 1 2 0 に供給するストローク信号のタイミングを調整してもよい。また、タイミングコンパレータ 1 2 0 に供給するストローク信号のタイミングを再調整すべき時間間隔を測定して、メモリ 1 0 0 4 に書き込んでもよい。メモリコントローラ 1 0 0 2 は、試験装置 1 0 0 によって書き込まれた時間間隔にしたがってストローク信号のタイミングを再調整することにより、常にメモリ 1 0 0 4 とメモリコントローラ 1 0 0 2 との間のデータ通信を正確に行うことができる。

20

【 0 0 7 9 】

以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【 図面の簡単な説明 】

【 0 0 8 0 】

【 図 1 】 試験装置 1 0 0 の構成の一例を示す図である。

【 図 2 】 判定回路 1 2 6 の構成の一例を示す図である。

【 図 3 】 位相調整制御回路 1 2 8 の構成の一例を示す図である。

【 図 4 】 位相調整制御回路 1 2 8 の動作の一例を示す図である。

【 図 5 】 試験方法のフローの一例を示す図である。

【 図 6 】 位相調整方法のフローの一例を示す図である。

【 図 7 】 ドライバ 1 1 4 の一例を示す図である。

【 図 8 】 ドライバ 1 1 4 の一例を示す図である。

【 図 9 】 位相調整レジスタの構成の変形例を示す図である。

【 図 1 0 】 メモリ制御システム 1 0 0 0 の構成の一例を示す図である。

【 図 1 1 】 メモリコントローラ 1 0 0 2 の構成の一例を示す図である。

【 図 1 2 】 従来技術に係る試験装置 1 0 の構成を示す図である。

【 符号の説明 】

【 0 0 8 1 】

1 0 0 試験装置
1 0 2 タイミング発生器
1 0 4 パターン発生器
1 0 6 波形整形器
1 0 8 可変遅延回路
1 1 0 可変遅延回路

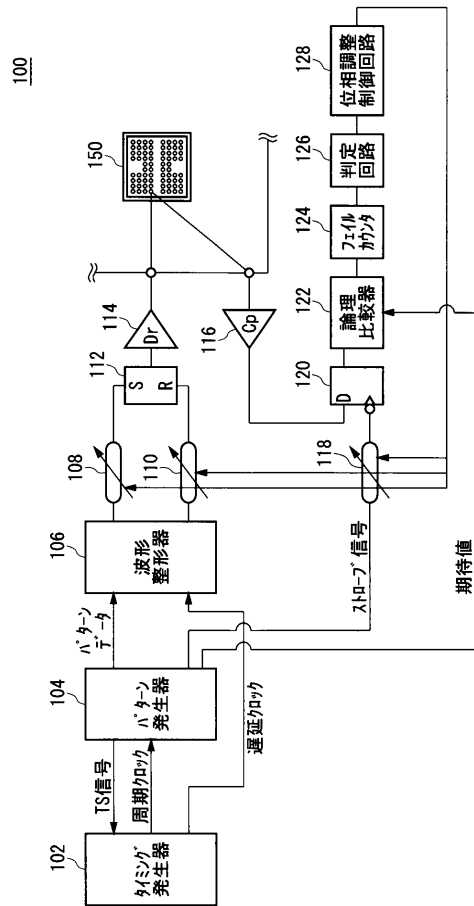
30

40

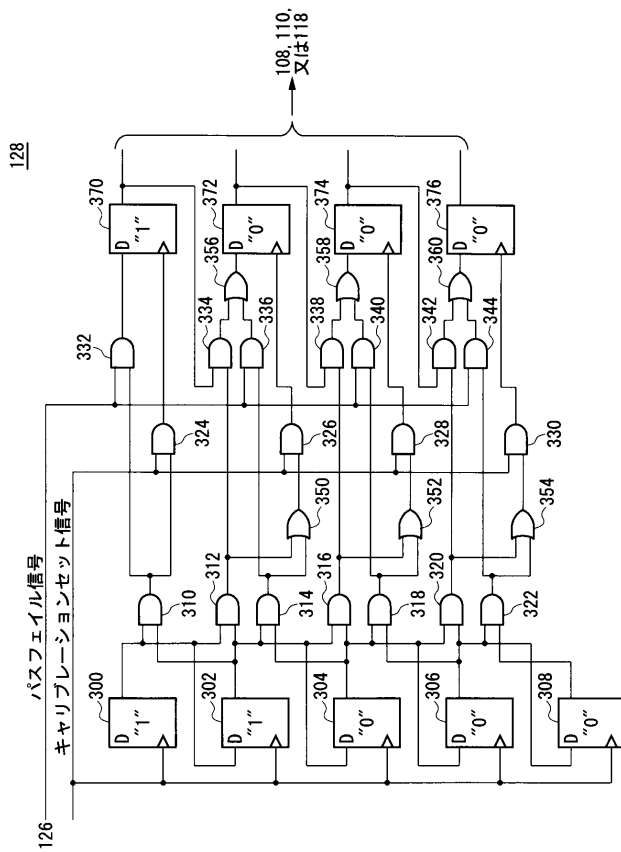
50

1 1 2	S R ラッチ	
1 1 4	ドライバ	
1 1 6	レベルコンパレータ	
1 1 8	可変遅延回路	
1 2 0	タイミングコンパレータ	
1 2 2	論理比較器	
1 2 4	フェイルカウンタ	
1 2 6	判定回路	
1 2 8	位相調整制御回路	
2 0 0	判定値レジスタ	10
2 0 2	計数値比較器	
9 0 0	クロスポイント調整レジスタ	
9 0 4	加算器	
1 0 0 0	メモリ制御システム	
1 0 0 2	メモリコントローラ	
1 0 0 4	メモリ	
1 1 0 0	送受信制御部	
1 1 0 4	ストロープ信号発生器	
1 1 1 6	レベルコンパレータ	
1 1 1 8	可変遅延回路	20
1 1 2 0	タイミングコンパレータ	
1 1 2 2	論理比較器	
1 1 2 4	フェイルカウンタ	
1 1 2 6	判定回路	
1 1 2 8	位相調整制御回路	
1 1 3 0	温度検出部	
1 1 3 2	リキャリブレーション制御部	
1 1 3 4	リキャリブレーション間隔制御部	

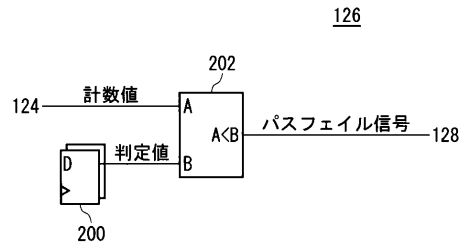
【図 1】



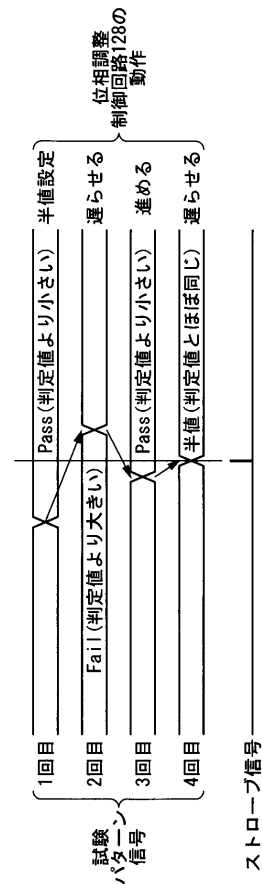
【図 3】



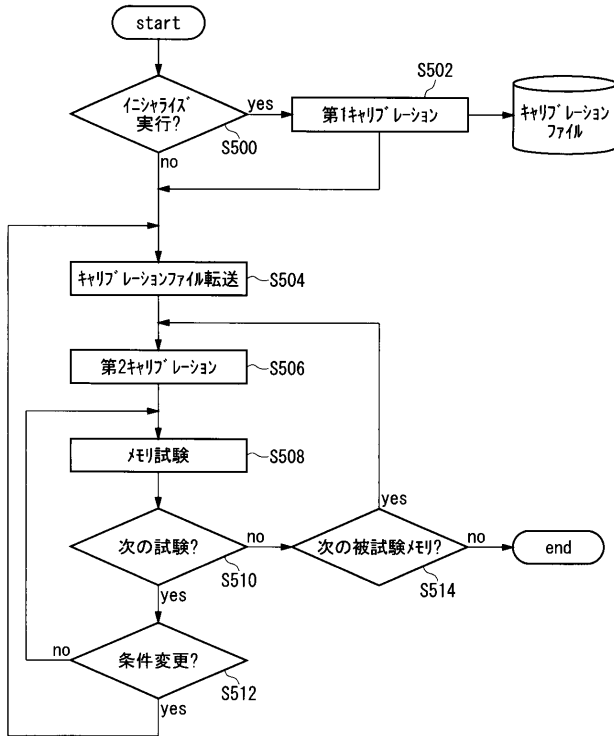
【図 2】



【図 4】

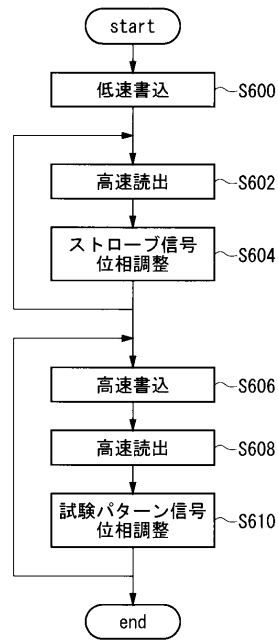


【図5】

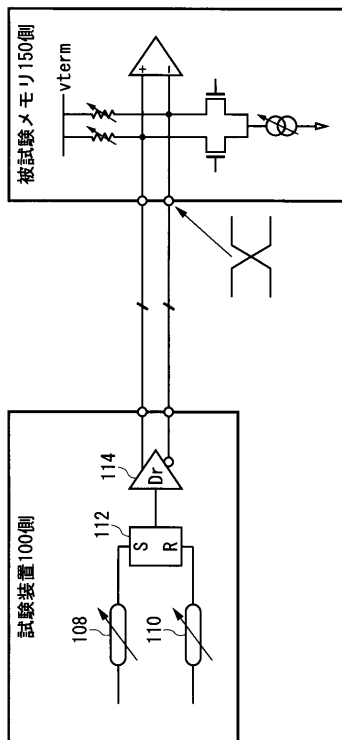


【図6】

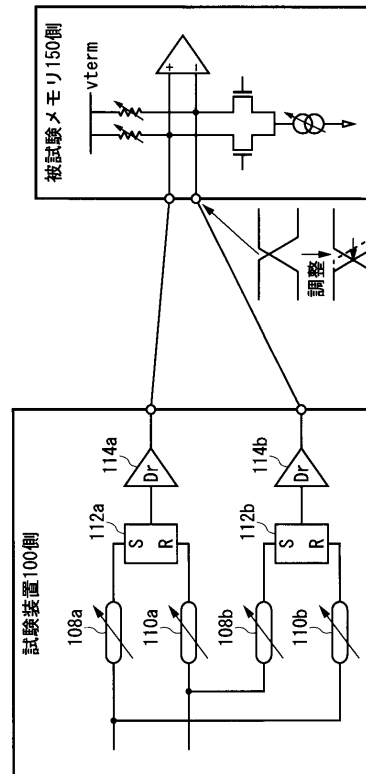
S506



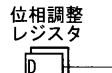
【図7】



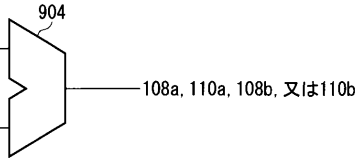
【図8】



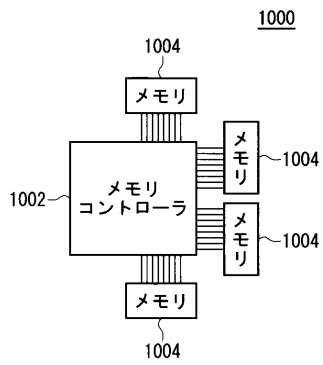
【図 9】

クロスポイント
調整レジスタ

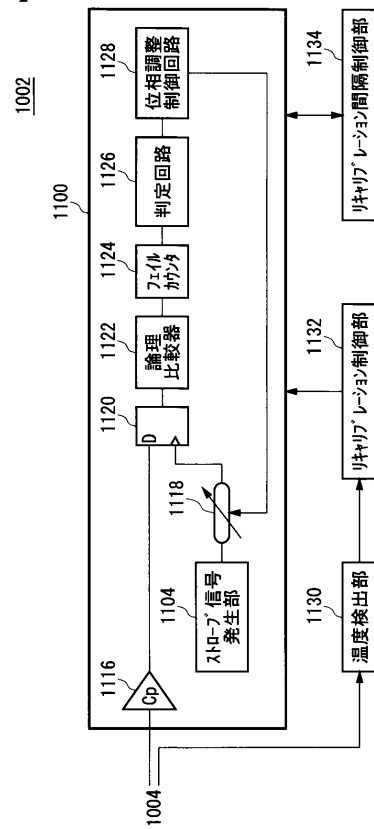
370, 372, 374, 376



【図 10】



【図 11】



【図 12】

