

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5127435号
(P5127435)

(45) 発行日 平成25年1月23日(2013.1.23)

(24) 登録日 平成24年11月9日(2012.11.9)

(51) Int.Cl.

F I

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/34 3 5 4 C

請求項の数 26 (全 20 頁)

(21) 出願番号	特願2007-337073 (P2007-337073)	(73) 特許権者	000005821
(22) 出願日	平成19年12月27日(2007.12.27)		パナソニック株式会社
(65) 公開番号	特開2009-134840 (P2009-134840A)		大阪府門真市大字門真1006番地
(43) 公開日	平成21年6月18日(2009.6.18)	(74) 代理人	110001427
審査請求日	平成22年12月17日(2010.12.17)		特許業務法人前田特許事務所
(31) 優先権主張番号	特願2007-285136 (P2007-285136)	(74) 代理人	100077931
(32) 優先日	平成19年11月1日(2007.11.1)		弁理士 前田 弘
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルと、
前記メモリセルにつながるワード線及びビット線と、
前記ビット線につながる第1のセンスアンプと、
ダミーメモリセルと、
前記ダミーメモリセルにつながるダミービット線と、
前記ダミービット線につながる第2のセンスアンプと、
前記第1のセンスアンプにつながるデータ線と、
前記データ線につながる第3のセンスアンプと、
前記第2のセンスアンプにつながるダミーデータ線と、
前記ダミーデータ線につながる論理回路とを備えた半導体記憶装置であって、
前記論理回路は、前記ダミービット線に読み出されたダイナミックデータを増幅する前記第2のセンスアンプで生成されたスタティックデータが前記ダミーデータ線上の電位でトランジスタのスイッチング電位を超えたことを検知して出力される信号を、前記第3のセンスアンプを起動する入力信号とすることを特徴とする半導体記憶装置。

10

【請求項2】

請求項1記載の半導体記憶装置において、
前記論理回路の出力にラッチ回路を備えたことを特徴とする半導体記憶装置。

【請求項3】

20

請求項 1 記載の半導体記憶装置において、
前記論理回路の出力信号の論理値によって、前記論理回路の入力になるダミーデータ線の信号をラッチする手段を備えたことを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 記載の半導体記憶装置において、
前記メモリセル及びダミーメモリセルは、各々 1 つのトランジスタと 1 つのキャパシタとで構成されていることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 記載の半導体記憶装置において、
前記ダミーメモリセルにつながるワード線と、前記メモリセルにつながるワード線とが同一配線であることを特徴とする半導体記憶装置。 10

【請求項 6】

請求項 1 記載の半導体記憶装置において、
前記ビット線及び前記ダミービット線と、前記データ線及び前記ダミーデータ線とがそれぞれ平行に配置されていることを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 記載の半導体記憶装置において、
前記ダミーメモリセルがワードドライバを含むロウデコーダと隣り合って配置され、前記論理回路の出力タイミングを調節する遅延回路を有することを特徴とする半導体記憶装置。 20

【請求項 8】

請求項 1 記載の半導体記憶装置において、
前記ダミーメモリセルの隣り合うキャパシタが接合していることを特徴とする半導体記憶装置。

【請求項 9】

請求項 1 又は 5 に記載の半導体記憶装置において、
前記メモリセル、前記ワード線、前記ビット線及び前記第 1 のセンスアンプを含むメモリアレイ毎に、前記ダミーメモリセル、前記ダミービット線及び前記第 2 のセンスアンプを含むダミーメモリアレイを配置したことを特徴とする半導体記憶装置。 30

【請求項 10】

請求項 1 記載の半導体記憶装置において、
前記ダミーメモリセルは 1 つのトランジスタで構成され、当該トランジスタのソースノードが電源につながっていることを特徴とする半導体記憶装置。

【請求項 11】

請求項 1 記載の半導体記憶装置において、
前記ダミーデータ線に前記第 2 のセンスアンプがスイッチによって 2 つ以上つながる構成を持つことを特徴とする半導体記憶装置。

【請求項 12】

請求項 11 記載の半導体記憶装置において、
前記データ線と前記第 1 のセンスアンプとをつなぐスイッチの制御信号と、前記ダミーデータ線と前記第 2 のセンスアンプとをつなぐスイッチの制御信号とが異なることを特徴とする半導体記憶装置。 40

【請求項 13】

請求項 1 記載の半導体記憶装置において、
前記ダミーデータ線が相補線ではなく、前記ダミーデータ線に隣接する配線が電源線であることを特徴とする半導体記憶装置。

【請求項 14】

請求項 1 記載の半導体記憶装置において、
前記論理回路は、2 本以上の前記ダミーデータ線の論理和をとる機能を備えたことを特徴とする半導体記憶装置。 50

【請求項 15】

請求項 14 記載の半導体記憶装置において、
前記 2 本以上のダミーデータ線のデータが同じ論理値であることを特徴とする半導体記憶装置。

【請求項 16】

請求項 1 記載の半導体記憶装置において、
冗長メモリセルと、
前記冗長メモリセルにつながる冗長ワード線と、
前記冗長メモリセルにつながるビット線と、
冗長ダミーメモリセルと、
前記冗長ダミーメモリセルにつながるダミービット線とを更に備えたことを特徴とする半導体記憶装置。

10

【請求項 17】

請求項 16 記載の半導体記憶装置において、
前記論理回路は、前記冗長ダミーメモリセルのダイナミックデータを増幅する前記第 2 のセンスアンプで生成されたスタティックデータが前記ダミーデータ線上の電位でトランジスタのスイッチング電位を超えたことを検知して出力される信号を、前記第 3 のセンスアンプを起動する入力信号とすることを特徴とする半導体記憶装置。

【請求項 18】

請求項 1、14、16 のいずれか 1 項に記載の半導体記憶装置において、
前記データ線につながるライトバッファと、
前記ダミーデータ線につながるライトバッファと、
前記メモリセルへの書き込み動作時に前記ダミーメモリセルにもデータを書き込む手段とを更に備えたことを特徴とする半導体記憶装置。

20

【請求項 19】

請求項 18 記載の半導体記憶装置において、
前記ダミーデータ線につながるライトバッファの入力が電源又は接地電位に接続されていることを特徴とする半導体記憶装置。

【請求項 20】

請求項 18 記載の半導体記憶装置において、
前記ダミーデータ線につながるライトバッファの入力データの論理値を外部から変更でき、かつ前記論理回路の出力論理が変らない機能を備えたことを特徴とする半導体記憶装置。

30

【請求項 21】

請求項 18 記載の半導体記憶装置において、
全てのダミーメモリセルへの一括書き込み手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 22】

請求項 18 記載の半導体記憶装置において、
リフレッシュを制御するためのリフレッシュカウンタと、
前記リフレッシュカウンタを使って選択した前記ワード線につながる前記ダミーメモリセルにデータを書き込む手段とを更に備えたことを特徴とする半導体記憶装置。

40

【請求項 23】

請求項 1、14、16 のいずれか 1 項に記載の半導体記憶装置において、
前記論理回路の出力を外部に読み出す手段を更に備えたことを特徴とする半導体記憶装置。

【請求項 24】

請求項 23 記載の半導体記憶装置において、
前記論理回路の外部出力の ON / OFF を切り替えられる機能を備えたことを特徴とする半導体記憶装置。

50

【請求項 25】

請求項 23 記載の半導体記憶装置において、
前記論理回路の外部出力に前記メモリセルのデータ出力の一部又は全部の経路を使用することを特徴とする半導体記憶装置。

【請求項 26】

請求項 1、14、16 のいずれか 1 項に記載の半導体記憶装置において、
前記データ線及び前記ダミーデータ線をそれぞれプリチャージするためのプリチャージ回路を備え、
前記データ線のプリチャージ電位と前記ダミーデータ線のプリチャージ電位とが異なることを特徴とする半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイナミックランダムアクセスメモリ(DRAM)などを含む半導体記憶装置に関するものである。

【背景技術】

【0002】

近年の半導体記憶装置、特にシステムLSIで使われる混載メモリの高速化は重要な課題となっている。この課題を解決する1つの手段として、メモリセルから読み出されたビット線上のデータをセンスアンプで増幅するタイミングを、レプリカ回路を使って論理的に決定する技術がある。この技術によってタイミングマージンの最適化が可能になるとともに、外部条件、プロセスばらつきなどの影響にも対応することができる。

20

【0003】

図15は、従来のDRAMのレプリカ回路を含む回路構成を示す。これは、各々1つのトランジスタと1つのキャパシタとで構成されたメモリセルMCと、ワード線WL0, WL1と、ビット線対BL0~BLn/XBL0~XBLnと、当該ビット線対BL0~BLn/XBL0~XBLnのデータを増幅するセンスアンプSA0~SANと、ダミーメモリセルDMCと、ダミーワード線DWLと、ダミービット線対DBL/XDBLと、当該ダミービット線対DBL, XDBLのデータを検出して信号を発生するデータ検出回路201と、センスアンプSA0~SANを起動するためのSA制御発生回路202とを備えたものである(例えば、特許文献1参照)。

30

【0004】

図16のタイミングチャートを用いて、以上のように構成された従来の半導体記憶装置のコア動作に関して説明する。まずDRAMにアクセス要求があると、選択ワード線WL0が活性化されてメモリセルからの電荷がビット線BL0~BLnに転送される。このとき同時にダミーワード線DWLも活性化されるため、ダミービット線DBLにも同様に電荷が転送される。この電荷転送動作によるダミービット線DBLの電位レベルの変動がデータ検出回路201の閾値を越えることによって、SA制御発生回路202が活性化され、SA制御信号SENが発生される。この信号によってセンスアンプSAが起動し、ビット線対BL/XBLを所望の電位まで増幅することができる。

40

【0005】

このようにビット線データの増幅までのタイミングを、ダミーメモリセルを使って論理的に決定することによって、回路の誤動作をなくし、またタイミングの最適化を実現できるためタイミング動作を高速化できる。

【特許文献1】特開平6-176568号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の構成によれば、電荷によるレベル検出では、電位変化分が閾値を超えない場合に正しい回路動作ができないといった課題があった。特にメモリセルのよう

50

に微小容量では、プロセスばらつきやリーク電流などの影響によってその課題は無視できない。

【 0 0 0 7 】

また、設定した閾値が例えばトランジスタの閾値を使うような場合は、通常メモリセルからビット線に現れる電位変化と比べると非常に大きな電位となり、例えばダミーメモリセルの電荷量やビット線の寄生容量の削減などで通常のメモリセルアレイと大きく異なるレイアウト構成にする必要がでてくる。これではレプリカ回路として、センスアンプ起動の正確なタイミングを作ることが困難になってくる課題があった。

【 0 0 0 8 】

また、リファレンス電位などを使って微細電位差を読み出すような場合は、プロセスばらつきや外部条件に対応できるようなリファレンス電位を発生する回路の設計を実現しないといけないといった課題や、リファレンス回路を配置するための面積オーバーヘッドなどといった課題があった。

10

【 0 0 0 9 】

また、DRAMのような、1)電荷読み出し動作、2)センス、リストア動作、3)プリチャージ動作の3つのメモリセル動作が必要な回路構成において、電荷読み出し動作のみのタイミングを高速化してもメモリセル全体の動作の高速化にもアクセス時間の高速化にも大きな効果を与えないといった課題があった。

【 0 0 1 0 】

また、例えばスタティックランダムアクセスメモリ(SRAM)のようにビット線に電流を転送することでデータを読み出す回路構成とは異なり、DRAMのようなキャパシタにてデータを電荷で蓄積するメモリにおいて、メモリセル容量とビット線の寄生容量との容量比とセンスアンプ感度とによって1つのビット線につながるメモリセル数が制限されるため、ビット線につながるメモリセル数つまりワード線の本数を自由に変えることによるメモリ容量のラインナップ展開(例えば、ワード線数16~512本で、ビット線数512本の場合、メモリ容量8Kビット~256Kビットのバリエーション展開ができる)においても、レプリカ回路を使ってメモリ容量に応じた最適なセンスアンプ起動タイミングを生成することと、レプリカ回路の面積オーバーヘッドとのトレードオフではそれほど大きな効果は望めないといった課題があった。

20

【 0 0 1 1 】

更に、混載メモリ、特に混載DRAMのようにメモリ容量が大きくて、かつ様々な仕様展開が必要な場合には、メモリ容量によってもビット線につながるメモリセル数を変えることよりも、ビット線につながるメモリセル数を変えずにビット線を含むメモリアレイ数を変えることで実現することの方が、回路動作の安定性でも回路面積の縮小においても効果的であるため、ビット線を増幅するセンスアンプの起動タイミングを論理的に決めるより、メモリ容量に応じて配線長や負荷が大きく変わるデータ線を増幅するセンスアンプの起動タイミングを論理的に決めることが高速化するための課題であっただけでなく、様々なメモリ仕様を容易に実現する上で重要であった。

30

【 0 0 1 2 】

本発明は、上記問題を解決するものであって、メモリ容量に応じて変わり、かつデータアクセス時間上最も負荷が重いデータ線を増幅するセンスアンプの起動タイミングを論理的に決めることで高速なアクセス時間を実現でき、かつ様々なメモリ仕様を容易に実現できる半導体記憶装置を提供することを目的とする。

40

【課題を解決するための手段】

【 0 0 1 3 】

この課題を解決するために、本発明の半導体記憶装置は、メモリセルと、メモリセルにつながるワード線及びビット線と、ビット線につながる第1のセンスアンプと、ダミーメモリセルと、ダミーメモリセルにつながるダミービット線と、ダミービット線につながる第2のセンスアンプと、第1のセンスアンプにつながるデータ線と、データ線につながる第3のセンスアンプと、第2のセンスアンプにつながるダミーデータ線と、ダミーデータ

50

線につながる論理回路とを備えた半導体記憶装置であって、論理回路の出力信号が第3のセンスアンプを起動する入力信号であることを特徴とする。

【0014】

更に、前記論理回路は、ダミービット線に読み出されたダイナミックデータを増幅する第2のセンスアンプで生成されたスタティックデータがダミーデータ線上の電位でトランジスタのスイッチング電位を超えたことを検知して出力される信号を、第3のセンスアンプを起動する入力信号とすることを特徴とする。

【0015】

このように、第2のセンスアンプで増幅されてかつ転送されたダミーデータ線上の電位レベルを使ってデータ線を増幅するための第3のセンスアンプのタイミングを生成するレプリカ回路構成によって、メモリ容量毎に負荷が大きく変わるデータ線の最適な転送タイミングを生成することができる。

10

【0016】

また、第2のセンスアンプを使ってダミーデータ線に電流を流し論理回路で検知する構成では、検知回路の閾値を超えないといった回路動作不具合やダミー回路部分のレイアウト構成が大きく変わることもないため、プロセスばらつきや外部条件に左右されない。

【0017】

また、ダミーメモリセルにつながるワード線と、メモリセルにつながるワード線とが同一配線であることで、レプリカ回路面積のオーバーヘッドをなくすとともに、アクセスされたメモリセルと物理的に近い場所からの起動でタイミングを作るためにタイミング誤差を小さくすることができる。

20

【0018】

また、ダミーメモリセルがワードドライバを含むロウデコーダと隣り合って配置され、論理回路の出力タイミングを調節する遅延回路を有することにより、一番早く第3のセンスアンプの起動タイミングを生成することでアクセス時間の高速化を実現できるとともに、遅延回路によって第3のセンスアンプの起動タイミングを微調整できるために、タイミングが早すぎるための誤動作を防ぐことができる。

【0019】

また、ダミーデータ線に第2のセンスアンプがスイッチによって2つ以上つながる構成によって、論理回路の閾値レベルと第3のセンスアンプの閾値レベルが例えば4:1の場合、第2のセンスアンプを4個つなぐことで、第3のセンスアンプの最適な起動タイミングを実現できる。

30

【0020】

また、2本以上のダミーデータ線の論理和をとる機能を備えた論理回路を備え、2本以上のダミーデータ線のデータが同じ論理値であることを特徴とする。このように、ダミーデータの論理和によって第3のセンスアンプの起動タイミングを発生することで、1つのダミーデータ線に誤った信号が転送されても第3のセンスアンプの起動タイミング信号が発生しないということがなくすることができる。

【0021】

更に、冗長構成の採用により、ワード線、それにつながるメモリセル又はダミーメモリセルに不良があった場合、冗長ワード線に置き換えることによってメモリを救済することができる。

40

【0022】

また、ダミーメモリセルのデータを外部に読み出す手段を備えることで、データ線用のレプリカ回路が不良かどうかの判定をすることができる。

【発明の効果】

【0023】

以上のように、本発明によれば、メモリ容量に応じて変わり、かつデータアクセス時間上最も負荷が重いデータ線を増幅するセンスアンプの起動タイミングを論理的に決めることで高速なアクセス時間を実現でき、かつ様々なメモリ仕様を容易に実現できる半導体記

50

憶装置を提供することができる。

【発明を実施するための最良の形態】

【0024】

本発明の実施の最良の形態について、図面を参照しながら説明する。

【0025】

《第1の実施の形態》

図1は、本発明の第1の実施の形態における半導体記憶装置の主要構成を示すブロック図である。図1において、1は1つのトランジスタと1つのキャパシタとで構成されたメモリセルと、当該メモリセルにつながるワード線及びビット線と、当該ビット線につながるセンスアンプとを含むメモリアレイ、2は1つのトランジスタと1つのキャパシタとで構成されたダミーメモリセル（前記メモリセルを構成する1つのトランジスタと1つのキャパシタと同じ回路構成であっても、また前記メモリセルとは違う回路構成であってもよい。）と、当該ダミーメモリセルにつながるワード線及びダミービット線と、当該ダミービット線につながるセンスアンプとを含むダミーメモリアレイ、3はメモリセル及びダミーメモリセルにつながるワード線を選択し活性化するためのロウデコーダ、4はメモリアレイ1にデータアクセスするためのデータ線対 $DL < m : 0 > / XDL < m : 0 >$ をプリチャージするためのプリチャージ回路、5はダミーメモリアレイ2にデータアクセスするためのダミーデータ線対 $DDL / XDDL$ をプリチャージするためのプリチャージ回路、6はデータ線対 $DL < m : 0 > / XDL < m : 0 >$ にデータを書き込む場合のライトバッファとデータを読み出す場合に増幅するためのデータ線用センスアンプとを含む回路ブロック（データ線用センスアンプ/ライトバッファ）、7はダミーデータ線 DDL の電位がある閾値を超えるとデータ線用センスアンプ6を活性化するための信号を生成するデータ線用センスアンプ制御信号生成論理回路、8はメモリ動作をコントロールするための制御回路である。

【0026】

図2は、メモリアレイ1とダミーメモリアレイ2とロウデコーダ3との具体的な回路構成を示す。ここで、メモリアレイ1のビット線につながるメモリセル及びダミーメモリアレイ2のダミービット線につながるダミーメモリセルの数は、セル容量とビット線又はダミービット線の寄生容量との容量比と、センスアンプ感度及びメモリの要求速度とで決められた個数になっている。

【0027】

図3は、データ線用センスアンプ/ライトバッファ6の具体的な回路構成を示す。図3において、61はデータ線用センスアンプ、62はライトバッファである。

【0028】

図4は、データ線用センスアンプ制御信号生成論理回路7を示す。図4において、71はNOR回路、72はダミー用のライトバッファである。

【0029】

図5のタイミングチャートを用いて、以上のように構成された半導体記憶装置のダミーメモリセルのレプリカ回路動作について説明する。まずメモリに読み出し要求があると、制御回路8でリード動作基準信号 REA が生成されることで入力アドレス信号をロウデコーダ3に伝達し、デコード信号によって選択ワード線 $WL0$ が活性化される。これによってメモリセル MC からビット線 BL にデータが転送される。同時にダミーメモリセル DMC からダミービット線 DBL に L データが転送される。これによって電源電圧 VDD （又は H レベル）の $1/2$ にプリチャージされたダミービット線 DBL の電位が L レベル方向にダミービット線 BL の寄生容量とダミーメモリセル DMC のセル容量比だけ上昇する。同時に、周辺回路リード動作基準信号 RE も生成される。

【0030】

次に、メモリセル MC 及びダミーメモリセル DMC からの電荷転送のための所定時間の遅延後、ビット線 BL / XBL 及びダミービット線 $DBL / XDBL$ につながるセンスアンプ $SA0 \sim SA_n$ 及び $DSA0, DSA1$ を活性化する信号 SEN が H レベルになり活

10

20

30

40

50

性化される。これによって、ビット線 BL/XBL はそれぞれ H 又は L レベルまで増幅される。同時にダミービット線 DBL は L レベルまで増幅される。なお、センスアンプ $SA_0 \sim SA_n$ と DSA_0, DSA_1 はプロセスパターンの均等化やビット線とダミービット線のセンス動作タイミングのばらつきをなくすために、同じ回路のセンスアンプを使用してもよい。また、センスアンプ $SA_0 \sim SA_n$ と DSA_0, DSA_1 は違う回路構成のセンスアンプを使ってもよいことは言うまでもない。

【0031】

次に、電源電圧 VDD にプリチャージされたデータ線 DL/XDL とダミーデータ線 $DDL/XDDL$ にビット線 BL/XBL とダミービット線 $DBL/XDBL$ のデータを転送するためのカラムスイッチ信号 CS_0 が H レベルになり活性化されることで、データ線 DL/XDL にはそれぞれビット線 BL/XBL からの所望のデータが、ダミーデータ線 DDL にはダミービット線 DBL の L レベルのデータが転送され、センスアンプ DSA_0 によって増幅された L レベルデータは、所定時間後にダミーデータ線 DDL を $1/2VDD$ レベルの電位にする。ダミーデータ線 DDL は、データ線用センスアンプ制御信号生成論理回路 7 の NOR 回路 71 の 1 つの入力につながっており、この入力信号につながる CMOS トランジスタのスイッチングレベルが $1/2VDD$ である（すなわち CMOS トランジスタの出力論理が反転する）ことと、NOR 回路 71 の他方の入力は周辺回路リード動作基準信号 RE の H レベル信号の反転信号となっていることから、データ線用センスアンプ制御信号生成論理回路 7 の出力信号 $DACNT$ が H レベルになりレプリカ回路動作が完了する。

【0032】

次に、信号 $DACNT$ が H レベルになることでデータ線用センスアンプ 6 が活性化され、データ線 DL/XDL のデータを増幅することで、それぞれ H レベル及び L レベルになる。増幅されたデータ線 DL のデータがバッファ回路を通じて出力 DO まで転送されることで読み出し動作が行われる。

【0033】

最後に、リード動作基準信号 REA 及び周辺回路リード動作基準信号 RE が一定期間の後に L レベルになることで、メモリの内部回路が次の動作に備えるスタンバイ状態となる。

【0034】

以上のとおり、電荷転送により電位変化が閾値を超えなかった場合に二度と期待した動作ができなくなり、また負荷容量が固定されているビット線のデータを増幅するためのセンスアンプ起動タイミングには例えばトランジスタ遅延回路のような固定遅延時間を使用し、センスアンプを使って電流によってデータ転送を行うことで一定時間後には必ず所望の電位が得られ、また負荷容量がメモリ容量によって大きく変わるデータ線のデータを増幅するためのセンスアンプの起動タイミングは、メモリセル、ビット線、センスアンプ、カラムスイッチ、データ線までを同じ回路構成で実現したダミービット線、センスアンプ、カラムスイッチ、ダミーデータ線と NOR 回路のような簡単なレベル検出回路によって構成されたレプリカ回路の出力信号を使うことで、例えば、メモリ容量が小さくなる場合、すなわちデータ線が短くなることで回路負荷が軽くなる場合は、ダミーデータ線が $1/2VDD$ の電位になるまでの時間も短くなり、よってデータ線用センスアンプの起動が早くなるためにデータ出力つまりアクセス時間を高速にすることができる。また、例えば、メモリ容量が大きくなる場合、すなわちデータ線負荷が重くなる場合は、データ線を増幅するために所定の時間が長くなるために、プロセスばらつきや外部条件に影響を受けやすい遅延回路などを使ったタイミング発生回路より安定的かつ高速なデータ線センスアンプ起動を実現できる有効な手段である。

【0035】

なお、図 4 で NOR 回路 71 を使用しているが、CMOS トランジスタのスイッチング機能など簡単な回路動作によって実現できる回路構成であればよいことは言うまでもない。また、それとは別にダミーデータ線にデータ線用センスアンプ 61 と同じ負荷トランジ

スタを付けた構成を負荷することはタイミングの最適化の意味で重要である。

【0036】

また、メモリセル及びダミーメモリセルを1つのトランジスタと1つのキャパシタ構成にすることで、蓄積されたデータがダイナミックデータの時の高速化には有効な手段となるが、メモリセルにダイナミックデータが蓄積される構成であるならばよく、例えば2つのトランジスタと2つのキャパシタ構成などであってもよい。

【0037】

また、メモリセルとダミーメモリセルにつながるワード線を共通にすることで、改めてレプリカ回路用にダミーワード線を構成する必要がないために回路面積を削減できるとともに、同じワード線のためにメモリセルとダミーメモリセルのアクセストランジスタのゲートと同じタイミングで活性化できるために、ビット線及びダミービット線にデータが転送されるタイミングを同じタイミングにすることができる。すなわち、レプリカ回路の動作タイミングとしては最適なタイミングとなる。また、キャパシタセルに必要なリフレッシュ動作も、同一ワード線につながっているためにメモリセルをリフレッシュすると同時にダミーメモリセルもリフレッシュできるために、ダミーメモリセルのみ特別なリフレッシュ動作を必要としないため有効な手段である。なお、メモリセルとダミーメモリセルが異なるワード線につながる構成であってもよいことは言うまでもない。

【0038】

また、ビット線及びダミービット線と、データ線とダミーデータ線とがそれぞれ平行に配置されていることで、ビット線及びダミービット線と、データ線とダミーデータ線とが垂直に配置された場合と比較すると、ダミーデータ線の負荷とデータ線の負荷が等しくできると、ダミーデータ線を含むレプリカ回路によるタイミング生成がデータ線の増幅タイミングを最適化できるため有効である。なお、本明細書ではビット線とデータ線の関係について言及しているが、スタティックデータになった後のレプリカ回路構成であるならば、ビット線と直接スイッチを介してつながるデータ線でも、そのデータ線とスイッチを介してつながるデータ線におけるレプリカ回路構成であってもよいのは言うまでもない。

【0039】

また、図1のようにダミーメモリアレイ2がロウデコーダ3と隣り合って配置されると、データ線用センスアンプ制御信号生成論理回路7の出力信号DACNTの出力タイミングを調整する遅延回路を備えることで、ダミーメモリセルがそれ以外の場所、例えばロウデコーダ3から一番離れた場所にある場合と比較すると、回路の動作タイミングとしては一番早い動作となるためにデータ出力までのタイミングを最も早くするためにメモリの高速化に有効である。また、出力タイミングが早すぎた場合の誤動作防止対策として、タイミングの微調節用の遅延回路を配置することは有効な手段である。なお、この遅延回路の調節はフューズや不揮発メモリなどを使って行う手段が有効なのは、マスク変更などが要らないことなどからも有効な手段であることは言うまでもない。

【0040】

また、ダミーメモリセルの隣り合うキャパシタが接合していることでビット線への読み出し電荷量が増えるために安定したセンスアンプ動作を実現することができるため、レプリカ回路の動作保証としては有効である。なお、ダミーメモリセルがメモリセルより大きなキャパシタをもつ構成であればよいのは言うまでもなく、キャパシタの電極のショートで実現する場合でも、新たなキャパシタを構成してもよい。

【0041】

また、図1のようにメモリアレイ1とダミーメモリアレイ2とを同数だけ配置することで、選択されたワード線の物理的にそれぞれのアレイがある位置に合わせた場所からレプリカ回路を起動できるため、最適なタイミングを発生できる有効な手段である。また、ワード線をメモリアレイ1とダミーメモリアレイ2とで共通に接続することで、選択されたワード線からダミーメモリセル及びメモリセルデータが読み出されるために、より最適なタイミングを生成できる。また、ダミーメモリアレイ2を例えば1箇所だけ配置するような構成にすればタイミングの最適化に障害が出るだけでなく、メモリセルのパターン不均

10

20

30

40

50

衡によるプロセス不具合や、ダミーメモリアレイがない場所がデッドスペース化することによる面積オーバーヘッドの課題を解決する手段でもある。

【 0 0 4 2 】

また、ダミーメモリセルが1つのトランジスタで構成され、トランジスタのソースノードが電源につながっていることによって、ダミーメモリセルキャパシタの欠陥に対して考慮する必要がなくなり、またダミーメモリセルへ読み出しに必要なデータを書き込む必要がないために有効な手段である。なお、ダミーメモリセルとして1つのトランジスタで構成するとしているが、2つ以上のトランジスタで構成してもよいことは言うまでもない。

【 0 0 4 3 】

また、図6で示す通り、論理回路7の出力にラッチ回路73を備えることで、ダミーセン
10
スアンプにつながるカラムスイッチがオフしても、周辺回路リード動作基準信号REがHの期間中は出力データをラッチできるため、有効な手段である。

【 0 0 4 4 】

次に図7を用いて、ダミーデータ線にセンスアンプがスイッチによって2つ以上つなが
る構成について説明する。図7が示すように、ダミーデータ線DDL/XDDLにセンス
アンプDSA0及びDSA1の2つが、各々制御信号DCSによりゲートが制御されるN
チャンネルトランジスタ20, 21; 22, 23を介してつながる構成になっている。これ
によって、メモリセルのデータ線DL/XDLよりダミーメモリセルのダミーデータ線
DDL/XDDLの方が2倍の速度でデータを読み出すことができるため、データ線用セン
20
スアンプ6にてデータ線DL/XDLを増幅するために必要な電位差とデータ線用セン
スアンプ制御信号生成論理回路7のNOR回路71のスイッチングするために必要な電位
差とが1:2の場合、レプリカ回路のデータ線用センスアンプ起動信号の生成タイミング
とデータ線用センスアンプ61の増幅するためのタイミングとを等価にすることができる
ため有効な手段である。

【 0 0 4 5 】

また、センスアンプのカラムスイッチの制御信号とダミーセンスアンプのカラムスイ
チの制御信号とが異なる構成にすることで、ダミーセンスアンプのカラムスイッチがカラ
ムデコード入力に関係なく制御できるため容易に複数のダミーセンスアンプを1つのダミ
ーデータ線に接続することができる。また、ダミーセンスアンプの数が変わってもセン
30
スアンプのカラムスイッチの駆動タイミングや駆動能力に影響を及ぼさないため有効である

【 0 0 4 6 】

次に図8を用いて、ダミーデータ線が相補線ではなく、ダミーデータ線に隣接する配線
が電源線である構成について説明する。図8が示すように、ダミーデータ線DDLはセン
スアンプDSA0及びDSA1に、各々カラムスイッチ信号CS0及びCS1によりゲ
ートが駆動されるNチャンネルトランジスタ20, 21を介してつながっている。一方のセン
スアンプDSA0及びDSA1につながるNチャンネルトランジスタ22, 23は、ゲ
ートをVSS電源、ソースをオープンにしている。この構成によって、ダミーデータ線の
相補の一方がVSS電源線のため、レプリカ回路動作に必要なダミーデータ線の読み出し
動作に対してシールド効果として使用できるだけでなく、負荷の重いダミーデータ線の動
40
作を1本だけにすることによる消費電流の削減効果が期待できる。なお、VSS電源線と
しているが、VDD電源線としてもよいことは言うまでもなく、その場合、Nチャンネル
トランジスタのソースノードに接続し、ゲートノードをVSS電源につなぐなどといった
手段がある。

【 0 0 4 7 】

なお、以上の形態はそれぞれを組み合わせることで、より一層の効果を期待できるこ
は言うまでもない。

【 0 0 4 8 】

《 第 1 の 実 施 の 形 態 の 変 形 例 》

図9は、本発明の第1の実施の形態の変形例における半導体記憶装置の主要構成を示す

10

20

30

40

50

ブロック図である。特に、データ線用センスアンプ制御信号生成論理回路 9 が第 1 の実施の形態と異なり、具体的な回路図としては図 10 に示すとおりである。図 10 において、9 1 は NOR 回路群、9 2 はダミー用のライトバッファ群、9 3 は OR 回路であり、複数本のダミーデータ線 $DDL < 0 > \sim DDL < n >$ の論理和をデータ線用センスアンプ 6 の制御信号 $DACNT$ としている。

【0049】

当該変形例によれば、複数のダミーデータ線の論理和をとることで、ダミーメモリセルの 1 つに不良があった場合でも、残りのダミーデータ線からのデータをデータ線用センスアンプ制御信号生成論理回路 9 に転送できるため、所望のレプリカ回路の動作を実現できる有効な手段である。通常、このダミーデータ線数はプロセス上の欠陥の発生率と回路面積のオーバーヘッドとのトレードオフで決めることができる。また、2 本以上のダミーデータ線のデータは全て同じ論理値であることは言うまでもない。

10

【0050】

なお、本実施の形態と第 1 の実施の形態を組み合わせることで、より一層の効果を期待できることは言うまでもない。

【0051】

《第 2 の実施の形態》

図 11 は、本発明の第 2 の実施の形態における半導体記憶装置の主要構成を示すブロック図である。図 11 において、10、11 はそれぞれ冗長ワード線 $RWL0$ を含むメモリアレイ、ダミーメモリアレイ、12 はメモリアレイ 10 及びダミーメモリアレイ 11 に欠陥があった場合に冗長ワード線へ切り替えることができる冗長デコード回路を含むロウデコードである。

20

【0052】

以上のように構成された半導体記憶装置にて、メモリアレイ 10 の $WL0$ につながるメモリセルに欠陥があった場合、例えばフューズ機能などを使って冗長するワード線のアドレスを指定し、もしアクセスが欠陥ワード線 $WL0$ にヒットした場合、冗長デコード回路によって、冗長ワード線 $RWL0$ にアクセスを切り替えるような制御を行い、冗長メモリセルからビット線 BL にデータを転送する。これによって欠陥セルの救済が可能となる。

【0053】

同様に、ダミーメモリアレイ 11 の $WL0$ につながるダミーメモリセルに欠陥があった場合も、冗長デコード回路によって冗長ワード線 $RWL0$ にアクセスを切り替えるような制御をできるため、ダミーメモリアレイ 11 の救済も可能となる。

30

【0054】

このように、従来存在していた冗長メモリセル及び冗長ワード線のような冗長回路をダミーメモリアレイにも適用することで、ダミーメモリアレイの欠陥救済までできるためにレプリカ回路の安定的な実現が可能になるだけでなく、冗長メモリセルを置くことによるダミーメモリアレイ内のデッドスペースを有効利用できるため有効な手段である。

【0055】

なお、本実施の形態と第 1 の実施の形態及び第 1 の実施の変形例を組み合わせることで、より一層の効果を期待できることは言うまでもない。

40

【0056】

《第 3 の実施の形態》

次に、本発明の第 3 の実施の形態について説明する。本実施の形態における半導体記憶装置の主要構成は図 1 ~ 図 4 のとおりであり、ダミーメモリアレイへのデータ書き込み動作に関して図 12 のタイミングチャートを用いて説明する。

【0057】

まずメモリに書き込み要求があると、制御回路 8 でライト動作基準信号 WEA が生成され、周辺回路ライト動作基準信号 WE が生成される。これによってデータ入力信号 DI はライトバッファ 6 でドライブされ、データ線 DL/XDL へデータを転送する。同時に、データ線用センスアンプ制御信号生成論理回路 7 のライトバッファ 7 2 によって、ダミー

50

データ入力信号DDIをダミーデータ線DDL/XDDLへデータを転送する。また、ライト動作基準信号WEAによって、入力アドレス信号はロウデコーダ3に伝達され、デコード信号によって選択ワード線WL0が活性化される。この後、選択ワード線WL0につながるメモリセル及びダミーメモリセルからビット線BL/XBL及びダミービット線DBL/XDBLに読み出されたデータはセンスアンプ活性化信号SENによって増幅される。次に、データ線とセンスアンプ及びダミーデータ線とセンスアンプをつなぐNチャンネルトランジスタのゲートを駆動するカラムスイッチ信号CS0が活性化されることで、データ線DL/XDLのデータがセンスアンプを介してメモリセルに書き込まれる。同様に、ダミーデータ線DDL/XDDLのデータもセンスアンプを介してダミーメモリセルに書き込まれる。

10

【0058】

最後に、ライト動作基準信号WEA及び周辺回路ライト動作基準信号WEが一定期間の後にLレベルになることで、メモリの内部回路が次の動作に備えるスタンバイ状態となる。

【0059】

以上のとおり、書き込み要求時にメモリセルへ所望のデータを書き込むと同時に、ダミーメモリセルへも所望のデータを書き込む機能を備えることで、ダミーメモリセルからダミービット線、センスアンプ及びダミーデータ線のデータを所望のデータ値とすることができるため有効な手段である。また、ダミーメモリセルの初期化又は所望データの書き込みをメモリセルの書き込み時と同時に行うため、回路動作のオーバーヘッドをなくす有効な手段である。

20

【0060】

また、ダミービット線DDL/XDDLにつながるライトバッファ72の入力信号DDIがVDD電源又は接地電位に接続されることによって、メモリへの新たな入力信号を追加することなく、書き込み要求に合わせて所望のアドレスにつながるダミーメモリセルへ固定データを書き込むことができるため、メモリのピン数削減の上でも有効である。

【0061】

また、ダミーデータ線DDL/XDDLにつながるライトバッファ72の入力信号DDIの論理値を外部から変更でき、かつ入力信号DDIの論理レベルを変えてもデータ線用センスアンプ制御信号発生論理回路7の出力信号DACNTの活性化時の論理レベルが変わらないように、図示していないが、例えば選択回路によってインバータ1段分異なる2つの信号経路を作って入力信号DDIの電位レベルによって切り替える機能を備えることによって、プロセス条件や外部条件などによってできるダミーメモリセルの読み出し動作の不均衡（例えば、Hレベルに比べてLレベルが読み出しやすいなど）を、例えば読み出しやすいデータ値に統一することで、ダミーメモリセルを含むレプリカ回路の安定動作を実現できる。

30

【0062】

また、全てのワード線と全てのダミーメモリセルにつながるセンスアンプと全てのダミーメモリセルにつながるセンスアンプとダミーデータ線をつなぐスイッチを活性化する機能を備えることで、レプリカ回路動作のための所望のデータをダミーメモリセルへ一括して書き込めるため、例えばメモリの初期シーケンス時やスタンバイモードなどの空き時間に効率的に実行できる。また、この機能をモード設定機能とすることで、モード設定された一括書き込む動作時以外、例えばダミーデータ線へ書き込むためのライトバッファを止めるための制御を加えることで、メモリへの通常書き込み要求時にはダミーデータ線を含むダミーメモリセルへの書き込み動作は制限されるため、消費電流を削減できる効果がある。また通常動作と同時に行う必要がないために、例えば動作周波数を十分遅くしてマージンをもってダミーメモリセルへの書き込み動作をすることで、レプリカ回路動作の安定動作を実現することができる。

40

【0063】

なお、本実施の形態と前記各実施の形態を組み合わせることで、より一層の効果を期待

50

できることは言うまでもない。

【0064】

《第3の実施の形態の変形例》

図13は、本発明の第3の実施の形態の変形例における半導体記憶装置の主要構成を示すブロック図である。図13のように構成された半導体記憶装置のメモリアレイ101に付設されたダミーメモリアレイ102へのデータ書き込み動作に関して説明する。

【0065】

外部からの制御信号CNTによってモードレジスタ111でダミーメモリアレイ102へのデータ書き込み動作を規定するフラグINTが活性化される。これによってライトバッファ110が活性化されることでダミーデータ入力信号DDIをダミーデータ線DDLへ転送する。選択回路112ではフラグINTがHデータのため、一定の周期でHレベルとLレベルを繰り返す入力信号CLKが選択され、リフレッシュカウンタ113をカウントアップしていく。このリフレッシュカウンタ113のカウントアップ動作で選択されたアドレス信号はロウデコーダ103でデコードされて、リフレッシュ時と同様に全てのワード線を順次選択していく動作を行う。このワード線動作と同様に、選択ワード線につながるセンスアンプも活性化され、また図示していないがダミーメモリアレイ102につながるセンスアンプとダミーデータ線DDLをつなぐスイッチも選択されたセンスアンプにつながるスイッチのみ活性化されることで、ダミーメモリアレイ102へ所望のデータを書き込むことができる。この動作をリフレッシュカウンタ113が一周するまで続けることで全てのダミーメモリアレイ102へのデータ書き込みを完了できる。

【0066】

また、通常のリフレッシュ要求に対しては、フラグINTが非活性状態のためリフレッシュコマンド信号REFを受けてリフレッシュカウンタ113が動作する構成になっている。

【0067】

以上のように、既存のメモリ回路を使って、ダミーメモリアレイ102への一括書き込み動作のような瞬間的に大電流を流す動作を必要とせず、かつ通常動作と異なるタイミングでダミーメモリアレイ102の初期化ができるとともに、メモリアレイ101とダミーメモリアレイ102とのリフレッシュ動作も同時に実現できるため、回路動作、消費電流、回路面積の上で最適な回路を実現できる。

【0068】

なお、一例としてモードレジスタ111を使ったモード設定によってダミーメモリアレイ102への書き込み動作を規定したが、リフレッシュカウンタ113を使ったダミーメモリアレイ102への書き込み動作を実現できる回路構成であるならばどのような回路構成でもよいことは言うまでもない。

【0069】

《第4の実施の形態》

図14は、本発明の第4の実施の形態における半導体記憶装置の主要構成を示すブロック図である。図14において、13は出力選択回路であり、テスト時の出力信号PDOは、メモリセルからのデータ出力DOのテスト出力と、データ線用センスアンプ制御信号生成論理回路7の出力信号DDOとをモード選択信号MODEで切り替えて出力できる回路構成になっている。

【0070】

以上のように構成された半導体記憶装置のダミーメモリセルのデータ読み出し動作について説明する。

【0071】

図5で示すレプリカ回路動作で信号DACNTがHレベルになると、図4で示すようにデータ線用センスアンプ制御信号生成論理回路7のもう一方の出力信号DDOもHレベルとなる。このときモード選択信号MODEがHレベルであると、出力信号PDOにHレベルのデータが出力される。

【0072】

また、モード選択信号MODEがLレベルの場合はメモリセルからの出力信号DOがテスト出力信号PDOに出力される。このようにデータ線用センスアンプ制御信号生成論理回路7の出力DDOの外部出力のON/OFFを切り替えることができる。

【0073】

以上のように、メモリのテスト結果をモード選択することでダミーメモリセルのデータを外部に出力する手段を持つため、ダミーメモリセルを含むレプリカ回路の欠陥検査をすることができるため、メモリセルだけでなくダミーメモリセルにも不良箇所の特定、冗長救済といったメモリの救済処置を実施することができる。

【0074】

なお、一例ではデータ線用センスアンプ制御信号生成論理回路7の出力DDOを選択信号を通してそのまま出力させているが、出力DDOをラッチする構成によって安定した外部出力結果を得る回路構成であってもよいのは言うまでもない。

【0075】

また、データ線用センスアンプ制御信号生成論理回路7の出力DDOが複数ある場合に、データ出力の一部又は全部の経路を使うことによって、テスト時に通常あったテスト出力端子を使って、ダミーメモリセルのデータ確認用に特別に出力端子を増やす必要なくダミーメモリセルからのデータを読み出すことができるため、メモリの端子数削減や回路面積削減において有効な手段である。

【0076】

また、データ線及びダミーデータ線にそれぞれプリチャージ回路を備え、データ線のプリチャージ電位とダミーデータ線のプリチャージ電位とが異なるようにする。一例としてダミーデータ線のプリチャージ電位をVDD電位として、トランジスタのスイッチング特性を使ってデータ線を増幅するリードアンプの起動タイミングを生成し、データ線のプリチャージ電位は1/2VDD電位にすることで、メモリで多数あるデータ線で消費する電力を、VDDプリチャージ電位と比較して1/2に抑えることができるため、メモリの低消費電力化において有効な手段である。

【0077】

なお、本実施の形態と前記各実施の形態を組み合わせることで、より一層の効果を期待できることは言うまでもない。

【産業上の利用可能性】

【0078】

本発明に係る半導体記憶装置は、メモリ容量に応じて変わり、かつデータアクセス時間上最も負荷が重いデータ線を増幅するセンスアンプの起動タイミングを論理的に決めることで高速なアクセス時間を実現でき、かつ様々なメモリ仕様を容易に実現できる効果を有し、メモリを多数かつ多種類の仕様を搭載するシステムLSIなどに有用である。

【図面の簡単な説明】

【0079】

【図1】本発明の第1の実施の形態における半導体記憶装置の主要構成を示すブロック図である。

【図2】図1中のメモリアレイ、ダミーメモリアレイ及びロウデコーダの具体的な回路構成を示すブロック図である。

【図3】図1中のデータ線用センスアンプ/ライトバッファの具体的な回路構成を示す回路図である。

【図4】図1中のデータ線用センスアンプ制御信号生成論理回路の具体的な回路構成を示す回路図である。

【図5】図1の半導体記憶装置のデータ読み出し動作を示すタイミングチャートである。

【図6】図4のデータ線用センスアンプ制御信号生成論理回路の変形例を示す回路図である。

【図7】図2中のダミーメモリアレイの変形例を示すブロック図である。

10

20

30

40

50

【図 8】図 2 中のダミーメモリアレイの他の変形例を示すブロック図である。

【図 9】本発明の第 1 の実施の形態の変形例における半導体記憶装置の主要構成を示すブロック図である。

【図 10】図 9 中のデータ線用センスアンプ制御信号生成論理回路の具体的な回路構成を示す回路図である。

【図 11】本発明の第 2 の実施の形態における半導体記憶装置のメモリアレイ、ダミーメモリアレイ及びロウデコーダの具体的な回路構成を示すブロック図である。

【図 12】本発明の第 3 の実施の形態における半導体記憶装置のデータ書き込み動作を示すタイミングチャートである。

【図 13】本発明の第 3 の実施の形態の変形例における半導体記憶装置の主要構成を示すブロック図である。

10

【図 14】本発明の第 4 の実施の形態における半導体記憶装置の主要構成を示すブロック図である。

【図 15】従来の半導体記憶装置の主要構成を示すブロック図である。

【図 16】図 15 の半導体記憶装置の回路動作を示すタイミングチャートである。

【符号の説明】

【0080】

1 メモリアレイ

2 ダミーメモリアレイ

3 ロウデコーダ

20

4 プリチャージ回路

5 プリチャージ回路

6 データ線用センスアンプ/ライトバッファ

7 データ線用センスアンプ制御信号生成論理回路

8 制御回路

9 データ線用センスアンプ制御信号生成論理回路 2

10 冗長セルを含むメモリアレイ

11 冗長セルを含むダミーメモリアレイ

12 冗長デコード回路を含むロウデコーダ

13 出力選択回路

30

20 ~ 23 カラムスイッチを構成する N チャンネルトランジスタ

61 データ線用センスアンプ

62 ライトバッファ

71 NOR 回路

72 ダミー用のライトバッファ

73 ラッチ回路

91 NOR 回路群

92 ダミー用のライトバッファ群

93 OR 回路

101 メモリアレイ

40

102 ダミーメモリアレイ

103 ロウデコーダ

110 ダミー用のライトバッファ

111 モードレジスタ

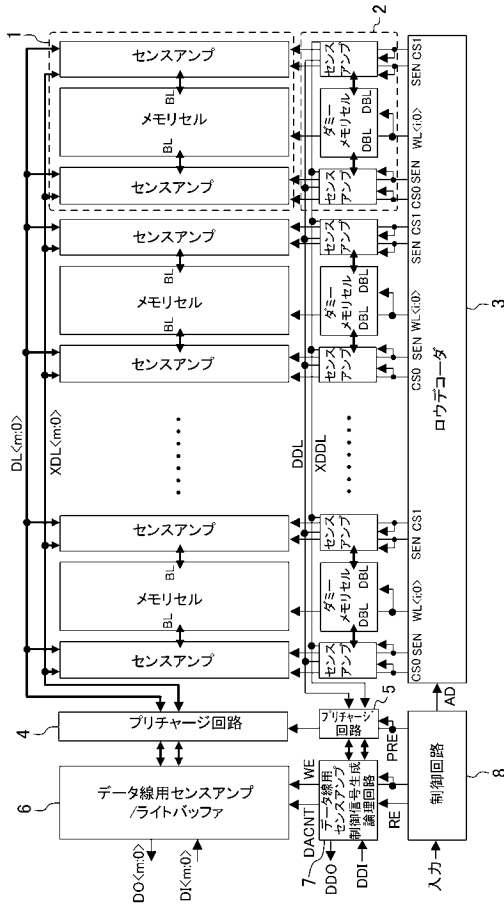
112 選択回路

113 リフレッシュカウンタ

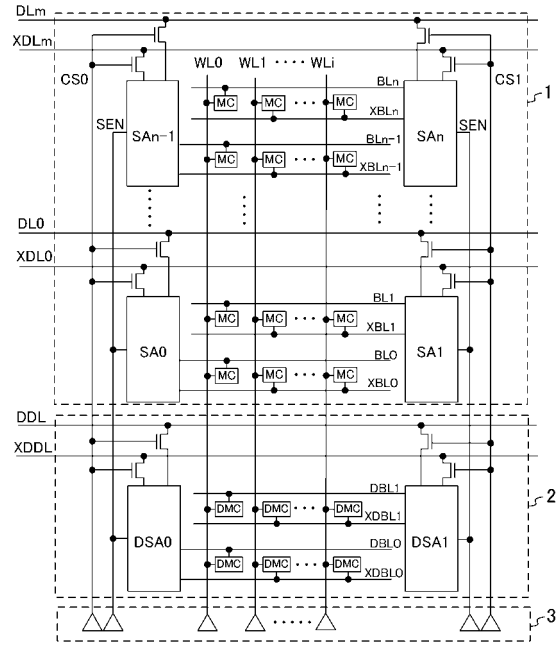
201 データ検出回路

202 SA 制御発生回路

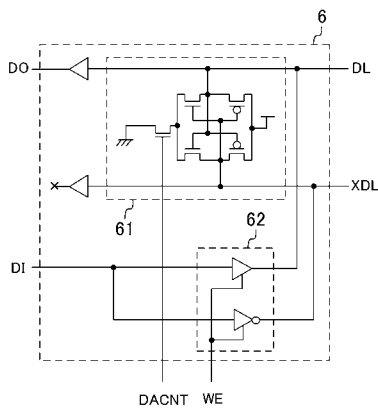
【図1】



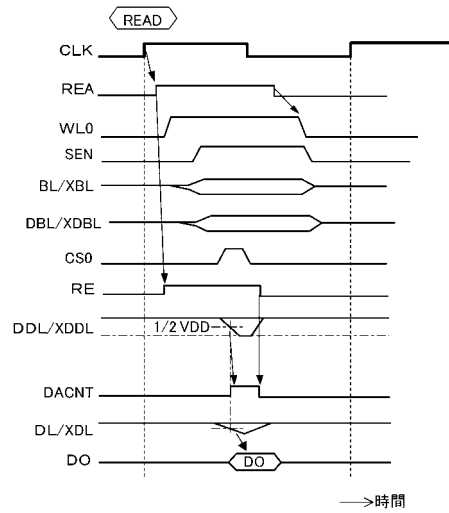
【図2】



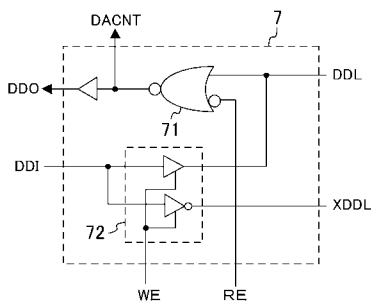
【図3】



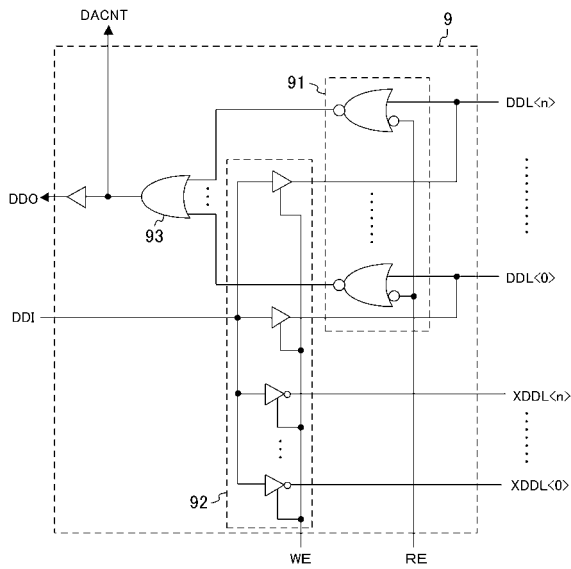
【図5】



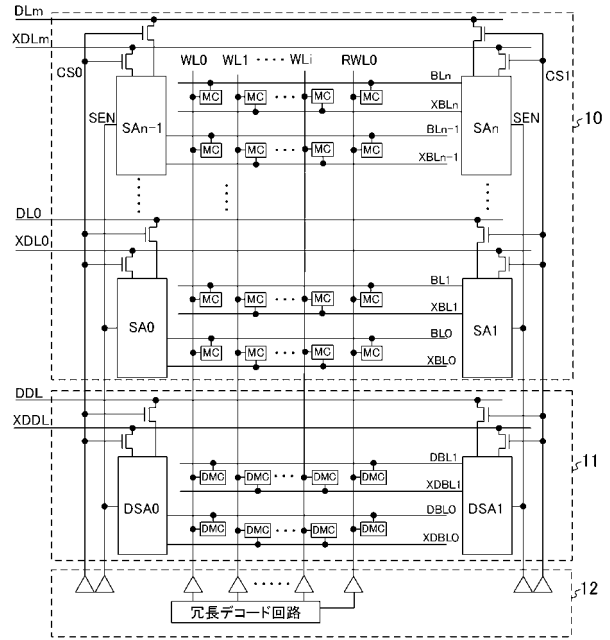
【図4】



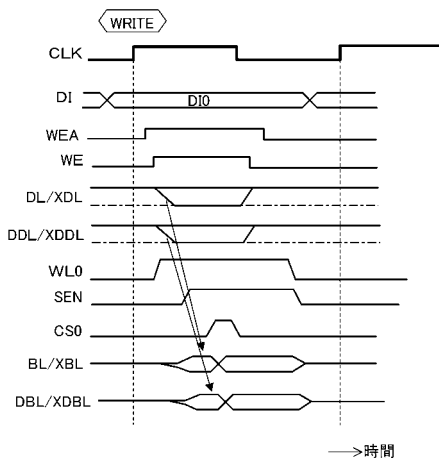
【図10】



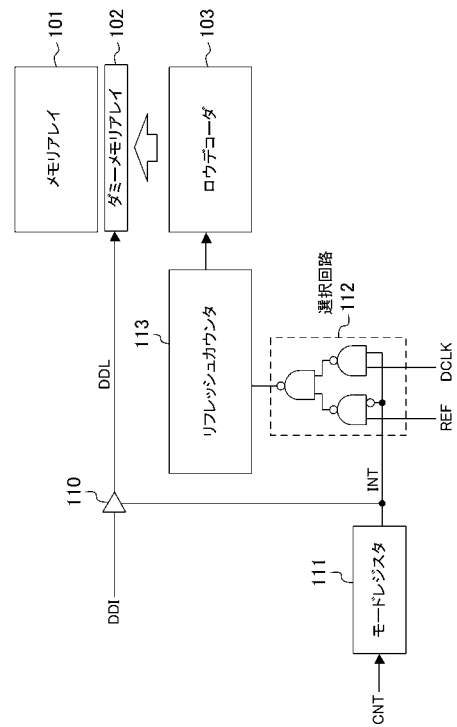
【図11】



【図12】



【図13】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 黒田 直喜
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 滝谷 亮一

- (56)参考文献 特開平11-203873(JP,A)
特開平06-176568(JP,A)
特開平03-025792(JP,A)
特開2002-230980(JP,A)
特開2002-074970(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/4076