

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3975111号  
(P3975111)

(45) 発行日 平成19年9月12日(2007.9.12)

(24) 登録日 平成19年6月22日(2007.6.22)

(51) Int. Cl. F I  
H03M 3/02 (2006.01) H03M 3/02

請求項の数 9 (全 23 頁)

(21) 出願番号	特願2002-117952 (P2002-117952)	(73) 特許権者	000005821
(22) 出願日	平成14年4月19日(2002.4.19)		松下電器産業株式会社
(65) 公開番号	特開2003-318736 (P2003-318736A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年11月7日(2003.11.7)	(74) 代理人	100105050
審査請求日	平成17年4月15日(2005.4.15)		弁理士 鷲田 公一
		(72) 発明者	浦元 恭貴
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	松下 正寿
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		審査官	渡辺 未央子

最終頁に続く

(54) 【発明の名称】 混合型変調器、オーバーサンプリング型D/A変換器およびA/D変換器

(57) 【特許請求の範囲】

【請求項1】

変調と 変調を混合した方式の混合型変調器であって、  
前記 変調を実行する部分を切り離すためのスイッチ手段と、  
このスイッチ手段の切り替えを制御する制御手段とを有し、  
前記制御手段は、入力信号の変化量が所定の許容範囲を超えると、前記スイッチ手段を制御して混合型変調器の前記 変調を実行する部分を切り離し、 変調とへと切替えることを特徴とする混合型変調器。

【請求項2】

請求項1において、  
前記制御手段は、入力信号の変化量が所定の許容範囲を超えると、前記スイッチ手段を制御して前記 変調を実行する部分を切り離し、その後、前記切り離しを解除することを特徴とする混合型変調器。

【請求項3】

入力信号と予測信号との差分信号について 変調を施す処理、あるいは、これと実質的に等価な処理を行う、 変調と 変調を混合した方式の変調器であって、  
前記入力信号と予測信号との差分信号についての 変調の結果を積分して前記予測信号を生成する予測信号生成器と、  
1クロックにつき量子化ステップ幅だけ、正方向または負方向に出力値を変化させることができる量子化器と、

前記入力信号と予測信号との差分信号と、前記量子化器の出力信号との差分を求めるための、少なくとも一つの演算器と、

前記入力信号と予測信号との差分信号と、前記量子化器の出力信号との前記差分を積分する積分器と、

この積分器の機能を停止させるための第1のセレクタと、

前記量子化器の1クロック前の出力信号のフィードバックを禁止するための第2のセレクタと、

前記第1および第2のセレクタを制御するセレクタ制御手段と、を有し、

前記セレクタ制御手段は、

前記入力信号の1クロック当たりの変化量が所定の許容量を超えた場合には、前記第1のセレクタを切り替えて前記積分器の機能を停止させると共に、前記第2のセレクタを切り替えて前記量子化器の1クロック前の出力信号のフィードバックを停止させ、また、前記入力信号と前記予測信号の差分が前記量子化器のステップ幅以内に収まると、前記第1および第2のセレクタを元の状態に戻すことを特徴とする混合型変調器。

10

#### 【請求項4】

請求項3において、

前記セレクタ制御手段は、前記入力信号の1クロック当たりの変化量が、前記量子化器のステップ幅を超えているか否か、または前記量子化器のステップ幅の整数倍を超えているか否か、を判定することを特徴とする混合型変調器。

#### 【請求項5】

20

請求項1～請求項4のいずれかに記載の混合型変調器を用いたオーバーサンプリング型D/A変換器。

#### 【請求項6】

請求項1～請求項4のいずれかに記載の混合型変調器と、この変調器の出力信号を積分して信号を再生する再生用積分器と、この積分器の後段に設けられたD/A変換器と、このD/A変換器の出力信号の帯域を制限するためのアナログフィルタと、を有することを特徴とするオーバーサンプリング型D/A変換器。

#### 【請求項7】

請求項1～請求項4のいずれかに記載の混合型変調器にアナログ信号が入力されることを想定して、前記混合型変調器の入力インターフェースをアナログ回路で構成したことを特徴とする混合型変調器。

30

#### 【請求項8】

請求項7記載の混合型変調器を用いたオーバーサンプリング型A/D変換器。

#### 【請求項9】

請求項7記載の混合型変調器と、この変調器の出力信号を積分する積分器と、この積分器の後段に設けられた、信号帯域制限用デジタルフィルタと、を有することを特徴とするオーバーサンプリング型A/D変換器。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

40

本発明は、変調と変調を混合した方式の変調器（混合型変調器）、オーバーサンプリング型D/A変換器、およびA/D変換器に関する。

##### 【0002】

##### 【従来の技術】

オーバーサンプリング型のD/A変換器、A/D変換器は、入力信号の周波数帯域の数10～数100倍のサンプリングレートで変換し、信号処理によって量子化雑音を高周波側に追いやり、低ビットのアナログインターフェース回路を用いて高分解能な変換を行うことができるものであり、大規模化が進むアナログデジタル混載システムLSIに最適な方式として注目されている。

##### 【0003】

50

オーバーサンプリング型の D / A、A / D 変換器の信号処理部に用いられている変調手法としては、変調（デルタ変調）、変調（デルタ - シグマ変調）、それらを混合した方式の変調が知られている。

【0004】

変調は、連続するサンプル信号の差分を 1 ビットの符号とする、差分パルス符号変調である。具体的には、入力信号に対する予測値を求め、入力信号と予測値との差信号を量子化（変調）するフィードバック型の変調方式であり、入力段が差動構成となっていることにより量子化ノイズを低減することができる。

【0005】

また、変調は、入力信号と、出力信号（量子化後の信号）との差（量子化雑音）を量子化（変調）するフィードバック型の変調方式である。この方式では、オーバーサンプリングすることによって、量子化雑音を高い周波数帯域にまで分布させることで、必要とされる信号帯域における雑音成分を低減することができる。

【0006】

本発明で採用する混合型変調は、前記変調と変調を組み合わせたものであり、補間型変調とも呼ばれ、入力信号と予測値との差分信号に対し、変調を行うものである。

【0007】

従って混合型変調は両方の長所を合わせ持つ。つまり、変調により量子化雑音を高周波域に追いやるため、量子化雑音電力は小さく、かつ、変調の長所である量子化雑音電力そのものが小さい。

【0008】

従って、混合型変調を用いた場合には、A / D 変換器においては後段のデジタルフィルタ、また、D / A 変換器においては、アナログ信号出力段のポストフィルタに、高次で急峻なフィルタ特性を必要とせず、回路規模と消費電力の増大を推えることが可能である。

【0009】

以下、混合型変調器および混合型変調器を用いたオーバーサンプリング型 A / D、D / A 変換器の一例について述べる。

【0010】

図 21 (a), (b) に、混合型変調器の基本的な構成を示す。(a) に記載の変調器と (b) に記載の変調器との相違点は、変調用の加算器 8 b の位置のみであり、どちらの構成であっても、処理内容は実質的に同じである。

【0011】

ここでは、(a) に記載の構成を例にとって説明する。

【0012】

図 21 (a) において、参照符号 5、6、7 は遅延器、参照符号 8 a、8 b、8 c、9 は加算器、参照符号 2 は量子化器である。量子化器 2 の内部は、± のしきい値を持ち、+ のしきい値を超える信号が入力されると “ + ” を出力し、+ と - のしきい値の間は “ 0 ” を出力し、- のしきい値以下の信号が入力されると “ - ” を出力する。この時の “ ” は量子化ステップ（あるいは量子化ステップ幅）と呼ばれる。

【0013】

図 21 (a) で示すブロック構成におけるシステム関数は、以下の (1) 式のように表わされる。

【0014】

$$Y = (1 - Z^{-1}) ((X + (1 - Z^{-1}) Q)) \dots \dots (1)$$

ここで、X は入力信号を表し、Y は出力信号を表す。Q は量子化器 2 の入力信号と出力信号の誤差、つまり量子化雑音を表す。

【0015】

本説明では 1 次の混合型変調方式を例としており、図 21 (a) では、1 次の変調と 1 次の変調が混合されている。

【0016】

10

20

30

40

50

図 2 1 ( a ) における加算器 9 の出力が 変調するための予測値の出力であり、従って 1 1 は予測積分器である。各遅延器は、遅延用クロックにより入力信号を一定時間遅らせる。

【 0 0 1 7 】

予測積分器 1 1 は、“ + ”、“ 0 ”、“ - ”のいずれかの値を足しこみ、一方、遅延器 5 及び加算器 8 c で構成される積分器 1 0 は、「入力信号 - 予測値 - 量子化器出力の 1 遅延後の値」、すなわち図 2 1 ( a ) で示す加算器 8 b の出力を足し込む。

【 0 0 1 8 】

混合型変調器は、量子化器 2 の出力を予測積分器 1 1 で積分することで予測信号を生成し「入力信号 - 予測値 - 量子化器出力の 1 遅延後の値」、すなわち図 2 1 ( a ) で示す加算器 8 b の出力が最小となるように、加算器 8 a、8 b、9 にフィードバックする。これによる効果は、入力信号と予測値との差分信号に対し 変調を行うことに等しい。

【 0 0 1 9 】

上述の ( 1 ) 式のシステム関数から明らかなように、混合型変調器の出力は、 変調同様、差分符号である。本差分符号と 変調の差分符号との違いは、 変調の差分符号が単に入力信号と予測値との差を表しているのに対し、混合型変調の差分符号は 変調により生成された差分符号を更に 変調した符号である点である。

【 0 0 2 0 】

前述したように、オーバーサンプリング型 A / D、D / A 変換器は入力信号周波数帯域の数 1 0 ~ 数 1 0 0 倍のサンプリングレートで変換する。このオーバーサンプリングの効果により量子化雑音は高周波域まで拡散され、従って、入力信号周波数帯域だけに着目すると量子化雑音電力が小さくなったことに等しい。

【 0 0 2 1 】

混合型変調器を用いた場合、このオーバーサンプリングの効果に、 変調と 変調の長所が加わり、より効果的に量子化雑音を極めて小さくすることが可能である。

【 0 0 2 2 】

なお、A / D 変換器においても、同様に量子化雑音電力を極めて低減することができ、これにより、構成要素の回路に要求されるアナログ特性等のレベルを落とすことも可能となる。

【 0 0 2 3 】

上述したように、混合型変調器は、オーバーサンプリング型 A / D、D / A 変換器で用いる変調器として容易に実現でき、低ビットのアナログインターフェース回路を用いて高分解能な変換を行うことが可能である。

【 0 0 2 4 】

【 発明が解決しようとする課題 】

しかしながら、前記従来の混合型変調器は、 変調と 変調の長所を合わせ持つと同時に、その構成要素である 変調部の「傾斜過負荷」を起こさせない条件、すなわち「入力信号のステップ幅は、量子化器が出力する量子化ステップ（量子化ステップ幅）以下である」という条件を満たさなくなると、 変調部の予測積分器と 変調部の積分器の間で互いの積分結果を打ち消しあうべく繰り返し演算が行われ、この演算過程が再生用積分器を介して出力へ現れるため、ノイズや歪みを発生し、加えてこの演算期間中は出力が安定せずセトリング時間を増長させるという欠点を有している。

【 0 0 2 5 】

つまり、混合型変調器は、 変調の帰還ループと 変調の帰還ループの 2 つのループ（大部分の構成要素が共用されている）を有しており、入力の変化が大きすぎると、 変調における予測値が追従できず、入力信号と予測値との差分が量子化ステップ幅（帰還ループの追従能力を決定する）を大きく超えてしまう。このような事態が生じた場合、一方の帰還ループが強引に収束しようとし、すると、他方の帰還ループについては収束条件から外れてしまい、逆に他方が収束しようとする、一方の収束条件から外れるといった現象を繰り返すため、セトリングが遅れることになる。

10

20

30

40

50

## 【 0 0 2 6 】

この現象を図 2 1 ( a ) 及び図 2 2 を用いて説明する。

## 【 0 0 2 7 】

図 2 1 ( a ) において、予測積分器 1 1 の出力を A 点とし、入力信号と予測値の差が現れる点、すなわち加算器 8 a の出力を B 点とする。また、量子化器 2 の出力の 1 遅延後の値を B 点から差し引いた点、すなわち、加算器 8 b の出力を C 点とし、積分器 1 0 の出力を D 点、量子化器の出力、すなわち混合型変調器の出力を E 点とする。

## 【 0 0 2 8 】

すなわち、1 つ前の E 点を積分した結果が A 点であり、入力信号から A 点を引いた結果が B 点であり、B 点から、1 つ前の E 点を引いた結果が C 点であり、C 点を積分した結果が D 点である。

10

## 【 0 0 2 9 】

量子化器 2 は、D 点が “  $\pm 1/2$  ” 以上であれば “  $\pm 1$  ” を出力し、“  $\pm 1/2$  ” の範囲内であれば 0 を出力し、“  $\pm 1/2$  ” 以下であれば “  $\mp 1$  ” を出力する。仮に入力信号の量子化ステップ “  $\Delta$  ” の 5 倍の信号が入力された場合の各点の変化の様子を図 2 2 のタイミング図に示す。初期状態において各点は全てゼロを示している。

## 【 0 0 3 0 】

図 2 2 では、便宜上、 $\Delta$  を省略して数値を描いている。つまり、図 2 2 において、例えば “ 5 ” という数値は “  $5\Delta$  ” を意味する。図 2 2 において、時刻 T 1 で “ 5 ” の入力信号が入力されると、まず、1 つ前の E 点が “ 0 ” のため、A 点も “ 0 ” であり、従って B 点、C 点、D 点は “ 5 ” を示す。

20

## 【 0 0 3 1 】

D 点はしきい値  $\pm 1/2$  に比べ 1 0 倍大きいので、E 点は “  $\pm 1$  ” を示す。次のクロックで、A 点は 0 となり、従って B 点は “ 4 ”、C 点は “ 3 ”、D 点は前の D 点の値である “ 5 ” を足しこみ “ 8 ” となる。時刻 T 6 において、最初に A 点が “ 5 ” となり、入力信号と等しくなり B 点は “ 0 ” になるが、同時刻の D 点は入力信号 “ 5 ” を大きく上回り “ 1 0 ” まで増加している。従って E 点は以前 “  $\pm 1$  ” を出力する。

## 【 0 0 3 2 】

この例における収束条件は A 点が “ 5 ”、B、C、D、E 点が “ 0 ” である。時刻 T 9 において、D 点が 1 回目の最もこの収束点に近い “ 5 ” を示すが、同時刻の A 点は “ 8 ”、B 点は “ - 3 ”、C 点は “ - 4 ” である。この例では、T 2 7 でようやく収束する。

30

## 【 0 0 3 3 】

一般的に言われる 変調の「傾斜過負荷」現象は、本説明中の A 点の動きのみであり、最初に A 点が 5  $\Delta$  に達した時点で収束であるが、混合型変調の場合、そのもう一方の構成要素である 変調部の積分器 1 0 があるために、変調のみと比べても収束までの演算時間が非常に長い。

## 【 0 0 3 4 】

この演算過程の出力信号は、再生用積分器通過後、収束点を何度も通り過ぎリング波形となって現れる。図 2 2 の下側に、A 点の信号レベルの変化を示している。大きなリングが発生していることがわかる。ここで、リングの発生の原因となるのは、図中、点線で囲んで示される P 部分（時刻 T 6 までに積分器 1 0 に蓄積された過大な信号を減らした部分）である。

40

## 【 0 0 3 5 】

本説明では入力信号として  $\Delta$  の整数倍の 5  $\Delta$  を用いたが、実際には  $\Delta$  とは無関係な信号が入力され、そのため演算時間は更に長くなる。また、入力信号ステップが大きくなる程、収束に要する演算時間は長くなり、リング波形も大きく激しくなっていく。以上説明したリングが、セトリング時間増長の原因であり、従来の混合型変調器の問題点である。

## 【 0 0 3 6 】

すなわち、図 2 3 ( a ) に示すようなステップ波形が D / A 変換器に入力されると、図 2

50

3 ( b ) に示すように、時刻  $t_0 \sim t_1$  (これがセトリング時間  $ST$  となる) においてリングングが存在する。したがって、時刻  $t_1$  以降でないと、 $D/A$  変換器の出力を実際に使用できない。セトリング時間 ( $ST$ ) が長いと、余分な待ち時間が増え、信号処理が遅れることになる。

【0037】

本発明は、このような問題点を解消するためになされたものであり、混合型変調器を用いたオーバーサンプリング型  $A/D$ 、 $D/A$  変換器において、変調部の傾斜過負荷を起こさせる大きなステップが入力信号として入力された場合にも、リングングの発生を抑え、セトリング時間を短くすることを目的とする。

【0038】

【課題を解決するための手段】

本発明の混合型変調器は、変調を実行する部分を切り離すためのスイッチ手段と、スイッチ手段の切り替えを制御する制御手段をもつ。これにより、混合型変調器を、瞬時的に変調器に変化させることができる。

【0039】

例えば、入力信号の変化量が所定の許容範囲を超えると、制御手段が、スイッチ手段を制御して変調を実行する部分を切り離してリングングの発生を抑制し、リングングが生じない(少なくともリングングが発生する可能性が低くなった)時点で、前述の切り離しを解除して混合型変調器の構成に戻す。

【0040】

本発明の混合型変調器の一態様では、入力信号の1クロック当たりの変化量の大小を監視し、変化量大きい場合には、入力信号が入力された直後の短い期間において、変調部の積分器の機能を停止し、さらに量子化器の1クロック前の出力信号のフィードバックを停止することで、変調動作のみを行い、入力信号と予測値との差が量子化器のステップ幅に収まると、変調と変調を混合した混合型変調動作を行う。

【0041】

つまり、初段変調における、入力信号と予測値との差分が量子化ステップ幅を超えている場合には、変調回路を構成し、予測値が入力信号に対し、量子化ステップ幅ずつ近づいていく。入力信号と予測値との差が量子化ステップ幅を下回った時、元の回路(変調と変調の混合型変調回路)が形成される。よって、量子化ステップ幅を超える入力変化が与えられた場合でも、変調部の積分器と、予測積分器の間で足し引きが発生せず、リングングが長期間継続するような事態が発生しない。

【0042】

【発明の実施の形態】

図1 ( a ) は変調器の構成を示し、図1 ( b ) は変調器の構成を示す。各変調器は共に、加算器90と、量子化器100と、1クロック分の遅延器200と、をもつ。ただし、変調器は、積分器としての予測フィルタ300を持つものに対して、変調器は、ノイズシェイプフィルタ400をもつ。

【0043】

図1 ( c ) は、混合型変調器の構成を示している。図中、参照符号91は加算器である。そして、図1 ( d ) が、本発明にかかる混合型変調器の基本的な構成である。

【0044】

図1 ( d ) に示されるように、本発明の混合型変調器は、差分判定器(制御手段)500と、2つのスイッチ  $SW_1$  (ノイズシェイプフィルタ400を、実質的に回路から切り離すためのスイッチ)および  $SW_2$  (変調器の帰還パスを切断するためのスイッチ)をもつ。

【0045】

差分判定器500にて、差分がしきい値(所定の許容範囲)を超えたことが検出されると、スイッチ  $SW_1$  はa端子側に切り替えられ、また、スイッチ  $SW_2$  は開状態となる。これにより、図1 ( d ) に示される混合型変調器が、図1 ( a ) に示される変調器に変化

10

20

30

40

50

する。

【0046】

したがって、従来の混合型変調器の欠点である 変調部の傾斜過負荷を起こさせる大きなステップが入力信号として入力された場合でも、例えば、オーバーサンプリングクロックの1クロック後に 変調回路に切り替わるため、リングングが生じない。よって、セトリング時間を短くすることができる。

【0047】

なお、混合型変調器の出力は差分出力であるため、実際の使用にあたっては、図19に示すように、再生用積分器13を後段に設ける必要がある。図20は、D/A変換器の構成例である。図示されるように、混合型変調器12、再生用積分器13、D/A変換器23、10  
ポストフィルタ24により構成される。

【0048】

以下、本発明の実施の形態について、図面を参照して具体的に説明する。

【0049】

(実施の形態1)

図2は、本発明の混合型変調器の構成を示すブロック図である。

【0050】

同図において参照符号2は量子化器、参照符号3a、3bはセレクタ、参照符号1は入力信号と予測値の差を判定する差分判定器、参照符号4、5、6、7は遅延器、参照符号8a、8b、8c、9は加算器である。また、参照符号10は 変調部の積分器であり、20  
参照符号11は 変調部の予測積分器である。

【0051】

加算器8aは入力信号と予測積分器11の出力との差を出力する。加算器8aの出力が差分判定器1に入力され、差分判定器1は、入力された差分量が量子化器2のしきい値を超えているか否かを判定し、セレクタ3aおよびセレクタ3bを制御する機能を有する。

【0052】

差分判定器1は、過大入力を検出する判定器であると同時に、セレクタを制御する制御器としても機能する。つまり、差分判定器1の判定出力は直接にセレクタ3a、3bに入力され、その信号によってセレクタ3a、3bの切り替えが制御される。

【0053】

図3は図2の変調器に、傾斜過負荷をおこさせる大きなステップ(図の例では初期値ゼロ、5 入力の後、続けて-14 を入力)が入力信号として入力された場合の動作を表している。なお、図中、便宜上、 を省略して数値を描いてある。例えば、“5”という数値は“5 ”を意味する。この の省略は、図6、図9でも同様である。

【0054】

図22(従来例の動作)と比較して、極めて短期間に収束しているのは明らかである(5 入力時の挙動を参照)。すなわち、時刻T1に5 の入力があると、その時刻(T1)に即座に 変調回路に切り替わり、以後A点の値が ずつ増分していく。そして、時刻(T7)には、早くも収束する。

【0055】

5 の入力の後、-14 が入力された場合、入力信号の変化量-19 を差分判定器が読み取り、 変調回路に切り替え、予測積分器の値を ずつ減らしていく。

【0056】

入力変化量が-19 と大きいにもかかわらず、図22に示す従来の混合型変調器の動作(5 入力時)と比べると格段に収束時間が早く、リングング防止の効果が発揮されている。

【0057】

図3に示す例は、量子化器のステップ幅 の整数倍を入力として与えている、いわば特殊なケースである。これに対して、実使用に近いタイミング図を図4に示す。

【0058】

10

20

30

40

50

図4は、図2の回路に  $5 +$  を入力信号として与えた場合のタイミング図を示している。図4では  $< / 2$  を想定しているが、量子化器の出力が異なるだけで、  $> = / 2$  としても問題が無いことは容易に確認でき、したがって、本発明の混合型変調器に、  $n +$  ( $n$ は整数。  $<$ ) の入力変化を与えた場合でも、正常に動作することが確認できる。

【0059】

(実施の形態2)

図5に本発明の混合型変調器の別の構成例を示してある。図1と図5の違いは、差分判定器の出力を1クロック遅延させるか否かである。すなわち、本実施の形態では、前掲の実施の形態と異なり、差分判定器の出力を1クロック分遅延させない。

10

【0060】

図5の混合型変調器の動作を示すタイミング図を図6に示す。図中、便宜上、 を省略して数値を描いている。

【0061】

図5に示す混合型変調器は、差分判定器の出力の1クロックの遅延を排除したものである。

【0062】

但し、図6(図3)に示す例では量子化器のステップ幅 の整数倍を入力として与えている特殊なケースであり、これに対して、実使用に近いタイミング図を図7に示す。以下、図4と図7を比較する。

20

【0063】

前述のとおり、図4は、図2の回路に  $5 +$  を入力信号として与えた場合のタイミング図を示しており、図7は、図5の回路に  $5 +$  を入力信号として与えた場合のタイミング図を示している。

【0064】

図4、図7では、  $< / 2$  を想定しているが、量子化器の出力が異なるだけで、  $> = / 2$  としても問題が無いことは容易に確認でき、したがって図4、図7から本発明の変調器に、  $n +$  ( $n$ は整数。  $<$ ) の入力変化を与えた場合でも、正常に動作することが確認できる。

【0065】

図4、図7を見比べると、図2、図5の回路構成による違いが変調動作に与える影響を確認することができる。

30

【0066】

時刻  $T_5$  まではどちらも 変調動作を行っているが、時刻  $T_6$  における  $D$  点の値に差があることがみてとれる。

【0067】

具体的には、図2に示す回路では、時刻  $T_6$  において  $D$  点は であり、一方の図5に示す回路では、時刻  $T_6$  において  $D$  点は  $2$  となっている。

【0068】

時刻  $T_6$  以降の  $D$  点の挙動は、どちらの回路においても ずつ増分されていることに変わりはなく、図5に示す回路が1クロック分だけ早く、量子化器のしきい値に達する。つまり、図5に示す回路が、図2に示す回路に対して、1クロックだけ早く立ち上がることになる。

40

【0069】

上述した回路構成による違いは、 変調動作をどの時点まで続けるかによる。図2の回路では  $T_6$  まで 変調動作を続けており、一方の図5の回路においては、時刻  $T_5$  で 変調動作が終了している。

【0070】

本発明においては、リング防止が最大の目的であり、その手段として 変調動作を採用している。その観点から考えると、図5の回路構成のほうが1クロック分早く 変調動

50

作を終了するため、本来の目的に、より合致しているということができる。

【0071】

図5の回路の図2の回路に対する利点は、上述した、1クロック分早く変調動作を完了できる点、さらに遅延器を1つ減らすことができ、回路規模の縮小を図ることができる点である。

【0072】

差分判定器1は非常に簡単な回路構成であり、ここで発生する遅延量はごくわずかであると考えられる。さらに差分判定器1の出力は、直接セクタ3a、3bを制御しているため、差分判定器1からセクタ3a、3bまでの遅延量も殆どない。

【0073】

したがって、遅延器4はとくに必要でないと考え、その考えの元に構成された回路が図5である。これらの理由から、図5の回路構成は、非常に有用である。

【0074】

但し、図2の回路構成が有利な場合もある。例えば、動作クロックが非常に早い場合には、図2に示す同期設計を採用しなければ、ミスラッチを起こす可能性がある。加えて1クロック分の収束時間の短縮も大した効果が得られないことから、図2の回路を採用すべきである。

【0075】

一方で、動作クロックが比較的遅い場合については、上述したとおり非同期回路設計による問題は生じない。加えて、1クロック分の収束時間の短縮による効果がおおきいため、図5の回路を採用する利点がある。

【0076】

以上のように、使用条件により図2、図5の回路構成を使い分けることで、本発明の混合型変調器の利点を最大限に発揮することが可能となる。

【0077】

(実施の形態3)

次に、本発明の混合型変調器に更なる変形を施した構成例を図8を用いて説明する。

【0078】

図8は、前述した本発明の混合型変調器の構成例とは、大きく異なるものである。図2、図5に示す回路構成との相違点は、差分判定器12の位置と動作、および加算器8cの位置である。

【0079】

加算器8cは予測積分器11の値に量子化器2の1クロック前の値を加算する。加算器8aは入力信号と加算器8cの出力との差分を計算し、その結果が積分器10に入力される。

【0080】

差分判定器12は、加算器8aの出力を受け、量子化器2のステップ幅の2倍を超えているか否かを判定し、セクタ3aおよびセクタ3bを制御する機能を有する。

【0081】

図9は図8の変調器に、傾斜過負荷を起こさせる大きなステップ(図の例では初期値ゼロ、5 入力の後、続けて-14 を入力)が入力信号として入力された場合の動作を表している。図9において、便宜上、 を省略して数値を描いている。

【0082】

図9では、図3と同様に、時刻T7、T28でそれぞれ収束しており、この回路構成においてもリング防止の効果を確認できる。

【0083】

この回路構成において、差分判定器12のしきい値が2 に設定されている点が、図2、図5に示す回路との大きな違いである。

【0084】

このしきい値を とすると、図8の回路構成では正常に動作しない。このことを説明する

10

20

30

40

50

前に、まず、図5の回路に5 + の入力信号（初期値ゼロ）が与えられた場合のタイミングを図10に示し、n + の入力に対しても動作することを説明する。

【0085】

図10では、5 + の入力に対する立ち上がりの部分についてのみ示してある。C点での判定を2 のしきい値で行っているため、時刻T6で混合型変調動作に切り替わっている。変調から混合型変調への切り替わりのタイミングが、差分判定器12の出力を1クロック遅らせているため、図2の回路構成と同じ1クロック分後ろにずれる。

【0086】

すなわち、図2に示す回路構成と同じ効果が得られ、リングングの防止を実現できていることが確認できる。

10

【0087】

この立ち上がりの時点だけに注目すると、差分判定器12のしきい値は でも正常に動作するように思える。しかし、しきい値を に設定すると、混合型変調動作が正常に行われない。このことを次に示す。

【0088】

図11は図10に示したタイミング図の続きである。ここで の値を /8として説明を行う。

【0089】

量子化器2のしきい値は /2であり、時刻T8におけるD点は /2であるため、量子化器2は を出力する。これによりA点、B点ともに ずつ増分され、C点の時刻T9に 20

【0090】

差分判定器12のしきい値は、2 としているので、 変調動作に切り替わることはなく混合型変調動作は継続される。

【0091】

差分判定器12のしきい値を とした場合のタイミング図を図12に示す。図10に相当する、時刻T0～T9の部分は変化がないため省略し、時刻T6～T15までを図に示してある。

【0092】

時刻T9のC点の値 - 2 + を受けて、差分判定器12は1を出力し、時刻T10において 30

変調回路に切り替わる。これにより積分器10の値がクリアされ、改めて ずつ加算されていき、時刻T13において、D点が /2に達し、時刻T15において 変調回路に切り替わる。

【0093】

その後も、この一連の動作を継続していくため、出力信号には5クロック毎にパルスが生じる。入力信号は /8を端数としてもっているため、本来なら8クロック毎にパルスが生じることから、差分判定器12のしきい値を とする場合、正常に動作しないことがわかる。

【0094】

以上のことから、図8の回路構成においては、差分判定器12のしきい値の設定が重要で 40

あり、設定を適切に行えば、図2、図5に示す混合型変調器と同様の効果を得ることが可能である。

【0095】

この回路構成による利点は次である。差分判定器12のしきい値を2 としているため、差分判定器12への入力信号のビット幅を減らすことが可能となる。

具体的には、しきい値を としている図2、図5に示す差分判定器1に対し、1ビット入力信号を減らすことができ、回路規模の縮小を図れるという点で、非常に有用な回路構成である。

【0096】

（実施の形態4）

50

次に、本発明の混合型変調器をオーバーサンプリング型 D / A 変換器に適用した場合について説明する。

【0097】

図13は、本発明の混合型変調器を用いたオーバーサンプリング型 D / A 変換器の構成を示す一実施例である。

【0098】

本発明の混合型変調器としては、例えば、図2の変調器が適用される。図13における参照符号18の回路が、図2に示す混合型変調器を示しており、13は再生用積分器、16は、D / A 変換器、17は、帯域制限用のポストフィルタである。

【0099】

混合型変調器の出力は、従来技術の欄の(1)式に示すとおり、差分符号であるため、信号を再生するための再生用積分器13が必要である。

【0100】

再生用積分器13により再生された信号は、混合型変調により量子化ノイズレベルが低く、かつノイズシェーピング効果により高帯域側に量子化ノイズが分布している。

【0101】

したがってアナログポストフィルタ17に急峻な特性を必要とせず、量子化ノイズを容易に取り除くことが可能であり、高精度なオーバーサンプリング型 D / A 変換器を実現できる。

【0102】

図2に示す混合型変調器を用いることで、上述した高精度なオーバーサンプリング型 D / A 変換器を小回路規模で実現でき、かつリング防止によりセトリング時間の問題が解決できる点から、実用上非常に有用な回路である。

【0103】

(実施の形態5)

次に、本発明の混合型変調器をオーバーサンプリング型 A / D 変換器に適用した場合について説明する。

【0104】

図14は、本発明の混合型変調器を用いたオーバーサンプリング型 A / D 変換器の構成を示す一実施例である。

【0105】

本発明の混合型変調器としては、例えば、図2の変調器が適用される。図2における差分判定器1に相当する回路は、図14における比較器23、比較信号をラッチするラッチ回路24、およびデジタル論理回路で構成する判定回路25である。

【0106】

図14におけるアナログ加算器21は、図2における加算器8aと同じ機能を有す。

【0107】

図14におけるアナログ加算器22は、図2における加算器8cと同じ機能を有す。図14における量子化器29およびラッチ回路30の構成は、図2における量子化器2と同じ機能を有す。

【0108】

図14におけるアナログセレクタ28は、図2におけるセレクタ3aと同じ機能を有す。

図14におけるアナログ積分器27は、図2における積分器10と同じ機能を有す。

【0109】

また、図2および図14において、同じ参照符号が付されている遅延器6、7、加算器9、およびセレクタ3bは、同じ機能を有し、かつ同じ動作を行う。

【0110】

図14における D / A 変換器20、26、31は、デジタルからアナログへ伸びる3つの経路において必要である。

【0111】

10

20

30

40

50

D/A変換器20は、図2における予測積分器11から加算器8aへの経路、D/A変換器26は、図2における差分判定器1からセクタ3a、3bへの経路、D/A変換器31は、図2におけるセクタ3bから加算器8cへの経路においてそれぞれ使われている。したがって、図14の混合型変調器は、図2の変調器と等しい。

【0112】

従って、傾斜過負荷を起こさせる大きなステップが入力信号として入力された場合でも、リングングの発生を抑え、セトリング時間が短縮される。

【0113】

図14のA/D変換器は、以下のように動作する。

【0114】

図示されるように、ラッチ回路30から加算器9の出力までの経路、遅延器7からセクタ3bの出力までの経路、再生用積分器13、およびデジタルフィルタ33は全てデジタル回路で構成される。

【0115】

一方、入力段はすべてアナログ回路で構成される。

【0116】

アナログ加算器21に入力されたアナログ信号は、アナログ加算器22、セクタ28を通り、アナログ積分器27で積分（混合型変調動作時）され、同時に量子化器29によりデジタル信号に量子化され、ラッチ回路30でデジタル信号をラッチする。

【0117】

加算器9の出力は、D/A変換器20によりアナログ信号に戻され、アナログ加算器21へ入力され、ここでアナログ信号から減算される。また遅延器7からの出力はD/A変換器31でアナログ信号に変換され、アナログ加算器22においてアナログ信号から減算される。

【0118】

混合型変調器32の出力は前記したとおり差分符号であるため、再生用積分器13で再生され、デジタルフィルタ33により帯域制限され、変調により高周波域に追いやられた量子化雑音を取り除き、A/D変換器の出力としてデジタル信号を得る。

【0119】

オーバーサンプリング及び変調及び変調の効果により量子化雑音電力を極めて小さくする事が可能である。よって、量子化雑音の発生源としてのアナログ加算器21、22、アナログ積分器27、量子化器29、及びD/A変換器20、26、31に要求される分解能及びアナログ特性を軽減することができる。そして、上述のとおり、本発明の混合型変調器を用いていることから、さらに、傾斜過負荷を起こさせる入力が入った場合でも、リングングを抑制できる効果も有する。

【0120】

（実施の形態6）

次に、本発明の混合型変調器をオーバーサンプリング型A/D変換器に適用する場合の図14とは異なる構成例を説明する。

【0121】

図15は、本発明の混合型変調器を用いたオーバーサンプリング型A/D変換器の構成を示す一実施例である。

【0122】

本発明の混合型変調器としては、図8の変調器が適用される。図8における差分判定器12に相当する回路は、図15における比較器23、比較信号をラッチするラッチ回路24、およびデジタル論理回路で構成する判定回路25である。図8における遅延器4に相当する回路は、図15におけるラッチ回路24がその機能を持つ。

【0123】

図8と図15において、同じ参照符号が付されている回路は同じ機能を有し、かつ同じ動作をする。

10

20

30

40

50

## 【0124】

図14と図15の大きな違いは、図14におけるアナログ加算器22の代わりに図15では加算器8cが使用されている点、ならびに、図14におけるD/A変換器31が図15では不要である点である。

## 【0125】

ここに、図15に示す混合型変調器の構成の利点がある。具体的には、デジタルからアナログへの経路が図14と比較して1本少なくなるため、D/A変換器の数を1つ減らすことができ、さらにアナログ加算器をデジタル加算器に替えることができる。

## 【0126】

よって、アナログ回路による誤差の低減が図14に示す回路に比べ、実現しやすい。これにより、より高精度かつ面積の小さいA/D変換器を実現することが可能となる。

## 【0127】

(実施の形態7)

次に、本発明の混合型変調器をオーバーサンプリング型A/D変換器に適用する場合の図14とは異なる構成例を説明する。

## 【0128】

図16は、本発明の混合型変調器を用いたオーバーサンプリング型A/D変換器の構成を示す一実施例である。

## 【0129】

本実施例では、混合型変調器として、例えば、図8に示される構成の変調器を使用する。図8における差分判定器12に相当する回路は、図16における比較器23および遅延回路39である。

## 【0130】

図8における量子化器2に相当する回路は、図16における量子化器29および遅延回路40である。

## 【0131】

図8における加算器8a、8c、9に相当する回路は、図15においてそれぞれアナログ加算器21、34、36である。図8における遅延器4に相当する回路は、図16の遅延回路39である。また、図8における遅延器6、7に相当する回路は、図16におけるラッチ回路35および遅延回路37である。

## 【0132】

図8における積分器10に相当する回路は、図16におけるアナログ積分器27である。図8におけるセレクタ3a、3bに相当する回路は、それぞれ図16においてセレクタ28、38である。

## 【0133】

図8に示す混合型変調回路が、図16におけるアナログ回路で構成した混合型変調器42に相当する。

## 【0134】

図16における混合型変調器42の動作は、図8に示す混合型変調器と同じ動作をし、その出力をデジタル回路で構成されたラッチ回路43でラッチし、再生用積分器13を通して差分符号を再生し、デジタルフィルタ33により量子化雑音、およびアナログ回路上で発生するノイズをカットし、精度のよいA/D変換器を構成することが可能である。

## 【0135】

この回路構成による利点は、回路素子が全てアナログで実現されているため、C-MOSプロセスを使う必要がなく、バイポーラ等でも実現できる点にあり、加えてリングングを抑制する効果も併せ持つ、混合型変調器を実現できる。

## 【0136】

以上、本発明の混合型変調器並びに前記本発明の混合型変調器を用いたオーバーサンプリング型D/A、A/D変換器が、前述の目的を達成すべく容易に実現可能であり、かつ、有効に作用することを示した。

10

20

30

40

50

## 【0137】

本発明の混合型変調器は、例えば、図17に示すような、移動体通信用の携帯端末におけるAFC回路において使用することができる。

## 【0138】

先に説明したように、本発明が入力信号として想定しているのは、図23(a)のような一定時間、変化しない信号である。つまり、リアルタイムで変化する信号ではない。

## 【0139】

例えば、CDMA方式のAFC回路(受信側の局部発振器の発振クロックを送信されてくる搬送波に同期させるための自動周波数制御回路)では、AFCの帰還制御は所定の周期で行われるものであり、一度、入力された信号は、所定時間ホールドされることになる。また、アンテナで受信された信号は、フェージングの影響を受けてその振幅が大きく変化するため、A/D変換やD/A変換に際し、入力が過大となる恐れは常に存在する。

10

## 【0140】

したがって、AFC回路は、本発明の混合型変調器を用いたA/D変換器やD/A変換器を適用するのにふさわしい回路である、といえる。

## 【0141】

図17において、移動体端末600において、アンテナ601で受信されたCDMA方式の信号は、アンプ602で増幅され、バンドパスフィルタ603を経由してミキサ604に入力される。

## 【0142】

このミキサ604では、局部発振回路(VCO)615から出力される局部発振信号(LO)が乗算され、受信信号の周波数変換がなされる。そして、周波数が変換された信号は、バンドパスフィルタ605を経由してベースバンド変換回路606に入力され、ベースバンド信号となる。

20

## 【0143】

同期クロック検出回路607は、ベースバンド信号に含まれる同期クロックを抽出する。抽出された同期クロックは分周器608で分周され、分周後のクロック信号がAFC(自動周波数制御回路)609に入力される。このAFC回路609に、本発明のD/A変換器610やA/D変換器611が搭載されている。

## 【0144】

AFC回路609では、分周器608で分周されたクロック信号と、温度補償型水晶発振器(TCXO)612の発振クロックを分周器613で分周したクロック信号とを比較し、分周器613の出力信号を、分周器608の出力信号に同期させる。分周器613の出力は、PLL回路614に入力される。PLL回路614は、局部発振器(VCO)615の発振出力(局部発振信号LO)を分周器613の出力クロックに同期させる働きをする。

30

## 【0145】

CDMA受信機では、局部発振器の発振出力を、極めて高精度に送信されてきた搬送波に同期させる必要がある。本発明をAFC回路に適用すると、低ビット数の比較的安価なA/D変換器、D/A変換器を用いて、きわめて高精度な変換出力を得ることができ、かつ、過大入力があった場合でも、セトリング時間が増大することはなく、使い勝手が良くなる。

40

## 【0146】

図18に、本発明を变形した例を示す。この例では、混合型変調器において、スイッチSW1、SW2の他に、スイッチSW3を設け、これらのスイッチを制御部700で制御するものである。

## 【0147】

図1で説明したように、スイッチSW1、SW2が切り替えられると変調器に変化し、スイッチSW3が切り替えられると、変調器に変化する。

## 【0148】

50

このように、内蔵スイッチを各々独立に制御することで、混合型変調器から、変調器や変調器を個別に切り離すことができる。したがって、用途や使用条件等に応じて、どの変調器を使用するかを決めることができる。

【0149】

【発明の効果】

以上説明したように本発明によれば、混合型変調器を用いたオーバーサンプリング型D/A、A/D変換器において、変調部の「傾斜過負荷」を起こさせる大きなステップが入力信号として入力された場合にも、リングングの発生を抑え、セトリング時間を短くすることができる。

【0150】

また、本発明の混合型変調器を構成するにあたっては、非常に少ない回路素子の追加のみで実現可能であり、大規模化が進むアナログデジタル混載システムLSIにおいて非常に有効であると言える。

【図面の簡単な説明】

【図1】(a) 変調器の構成を示す図

(b) 変調器の構成を示す図

(c) 混合型変調器の構成を示す図

(d) 本発明の混合型変調器の特徴を説明するための図

【図2】本発明の混合型変調器の一例の構成を示すブロック図

【図3】図2の混合型変調器に過大かつ、の整数倍の入力を与えた場合の動作を示すタイミング図 20

【図4】図2の混合型変調器に過大かつ、の整数倍でない入力を与えた場合の動作を示すタイミング図

【図5】本発明の混合型変調器の他の例の構成（差分判定器の出力を遅延器を介さずにセレクタに供給する構成）を示すブロック図

【図6】図5の混合型変調器に過大かつ、の整数倍の入力を与えた場合の動作を示すタイミング図

【図7】図5の混合型変調器に過大かつ、の整数倍でない入力を与えた場合の動作を示すタイミング図

【図8】本発明の混合型変調器の他の例の構成（差分判定器の規模を縮小した構成）を示すブロック図 30

【図9】図8の混合型変調器に過大かつ、の整数倍の入力を与えた場合の動作を示すタイミング図

【図10】図8の混合型変調器に過大かつ、の整数倍でない入力を与えた場合の動作を示すタイミング図（時刻T0～T9）

【図11】図8の混合型変調器に過大かつ、の整数倍でない入力を与えた場合の動作を示すタイミング図（時刻T6～T15）

【図12】図8の混合型変調器の差分判定器の出力をに設定し、過大かつ、の整数倍でない入力を与えた場合の動作を示すタイミング図（時刻T6～T15）

【図13】本発明の混合型変調器を用いたオーバーサンプリング型D/A変換器の全体構成の一例を示すブロック図 40

【図14】本発明の混合型変調器を用いたオーバーサンプリング型A/D変換器の全体構成の一例を示すブロック図

【図15】本発明の混合型変調器を用いたオーバーサンプリング型A/D変換器の他の例の構成を示すブロック図

【図16】本発明の混合型変調器を全てアナログ回路を用いて実現した、オーバーサンプリング型A/D変換器の構成を示すブロック図

【図17】本発明の混合型変調器を用いたA/D変換器やD/A変換器が搭載されているCDMA受信機の構成を示すブロック図

【図18】本発明の混合型変調器の変形例の構成を示すブロック図

10

20

30

40

50

【図19】混合型変調器と再生用積分器とを組み合わせた回路を示すブロック図

【図20】混合型変調器を用いたオーバーサンプリング型D/A変換器の構成を示すブロック図

【図21】(a)従来の混合型変調器の一例の構成を示すブロック図

(b)従来の混合型変調器の他の例の構成を示すブロック図

【図22】従来の混合型変調器に過大な入力があった場合に、出力信号が収束するまでの各部の状態の変化を示すタイミング図

【図23】(a)混合型変調器の入力信号の例を示す図

(b)過大な信号が入力された場合に、混合型変調器の出力にリングングが発生する様子  
を示す図

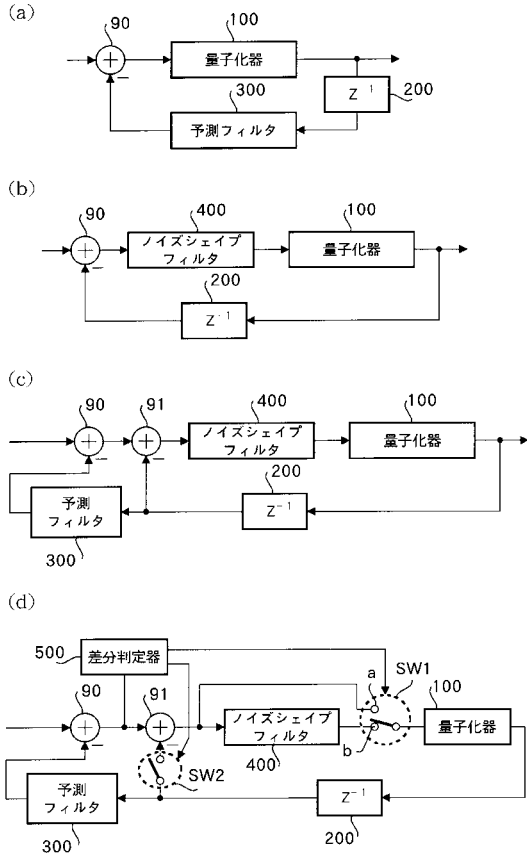
10

【符号の説明】

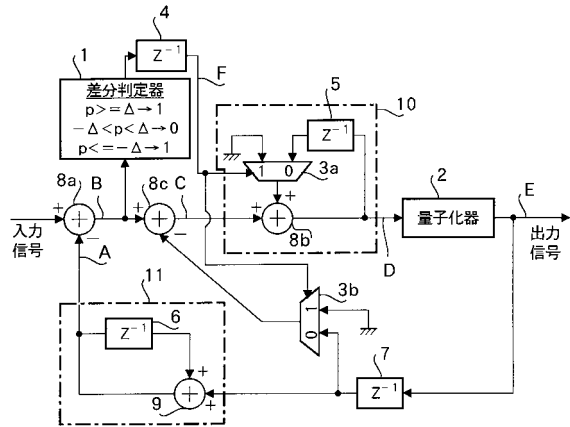
- 1 差分判定器
- 2 量子化器
- 3 a、3 b 変調部の積分器の機能を停止するためのセレクタ
- 4 差分判定器の出力を遅延させるための遅延器
- 5、6、7 遅延器
- 8 a、8 b、8 c、9 加算器(減算器;演算器)
- 10 変調部の積分器
- 11 予測積分器
- 13 再生用積分器
- 90, 91 加算器
- 100 量子化器
- 200 遅延器
- 300 予測フィルタ
- 400 ノイズシェイプフィルタ
- 500 差分判定器
- SW1, SW2 変調を実行する部分を切り離すためのスイッチ

20

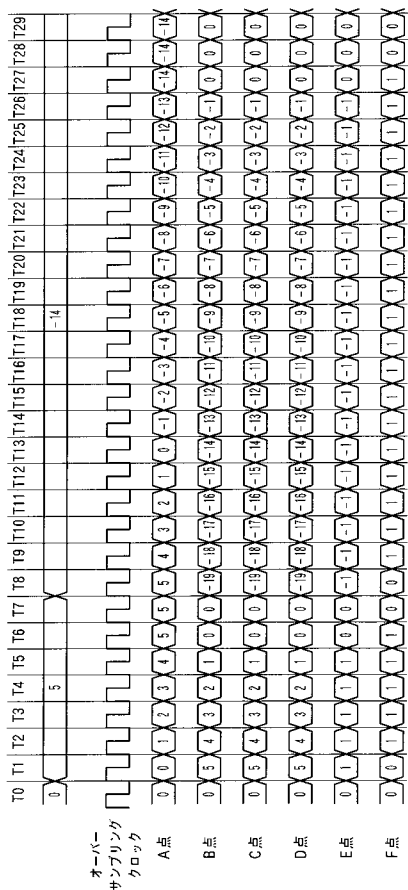
【 図 1 】



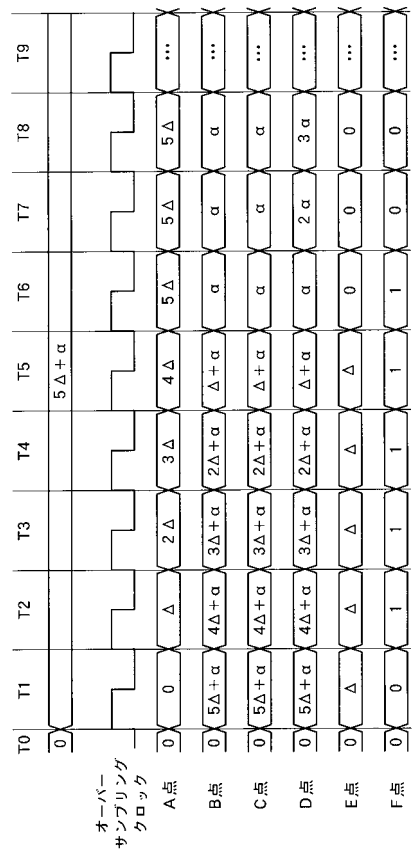
【 図 2 】



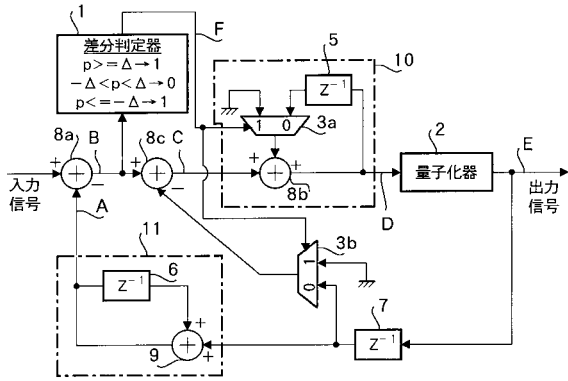
【 図 3 】



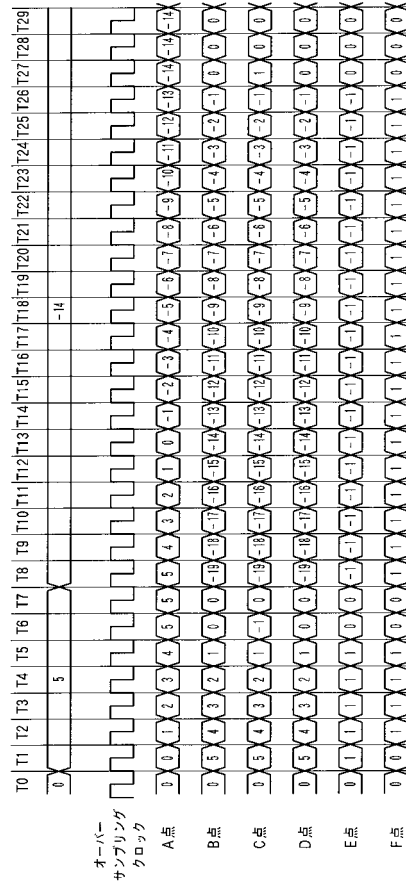
【 図 4 】



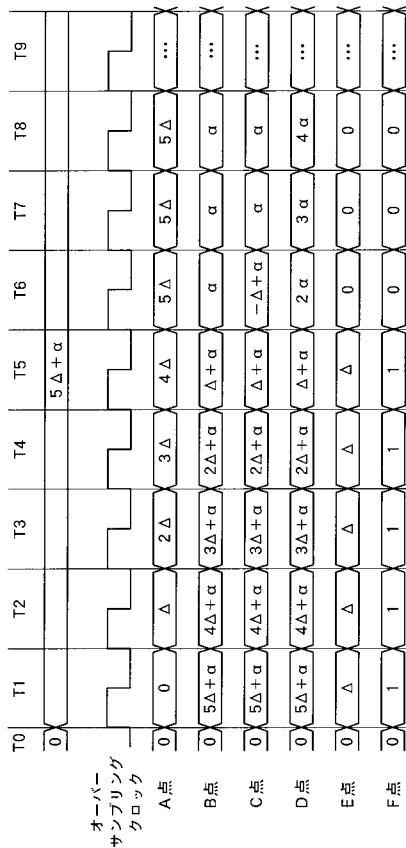
【図5】



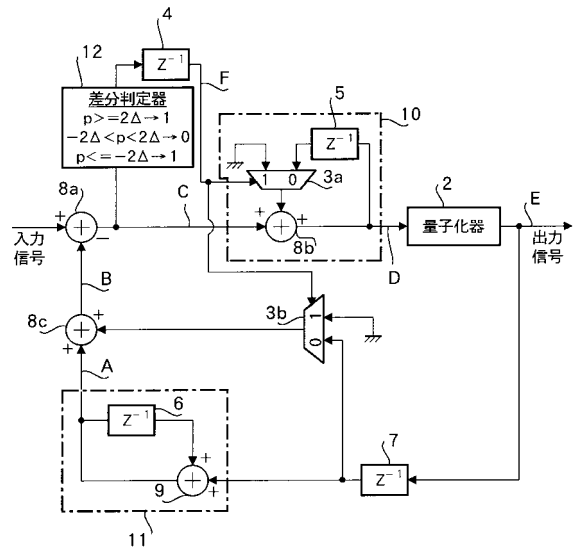
【図6】



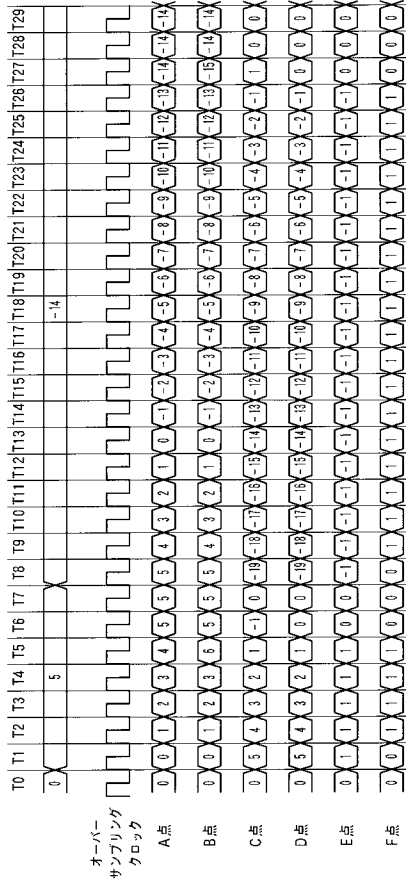
【図7】



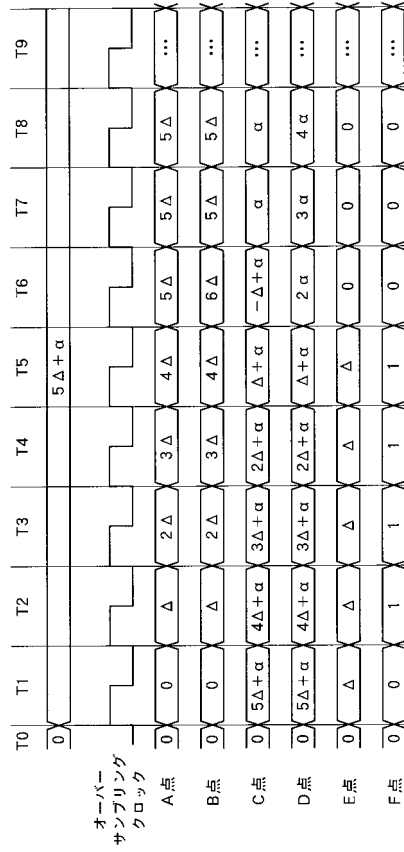
【図8】



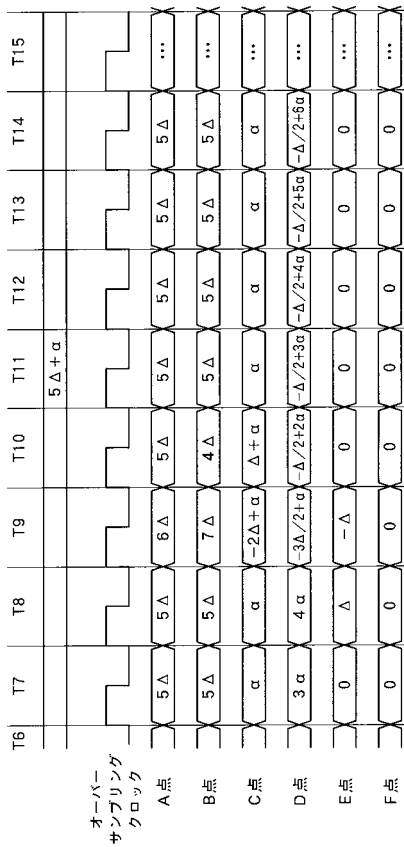
【 図 9 】



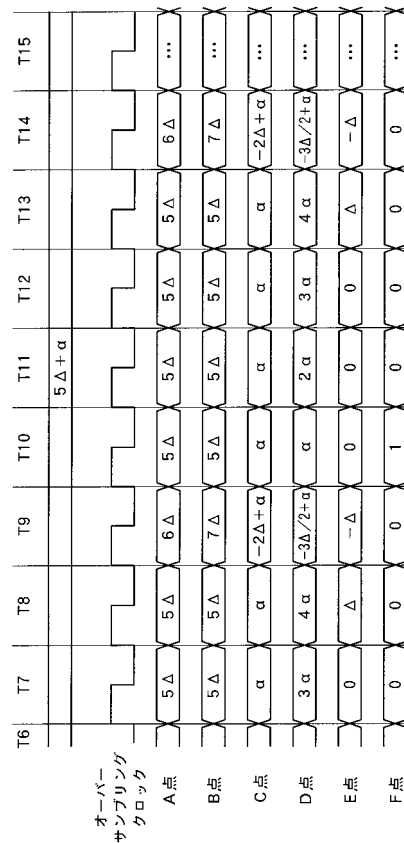
【 図 10 】



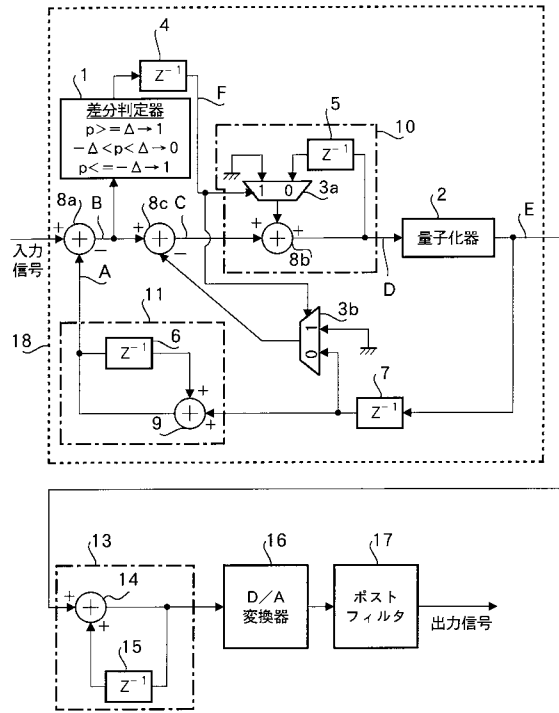
【 図 11 】



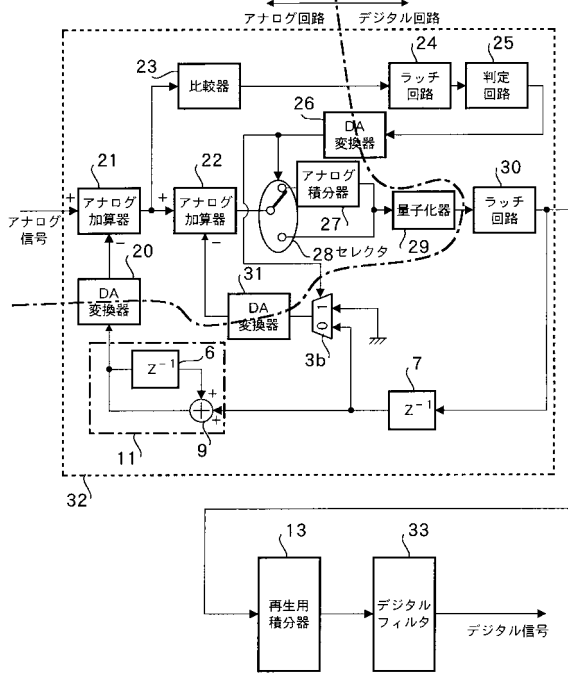
【 図 12 】



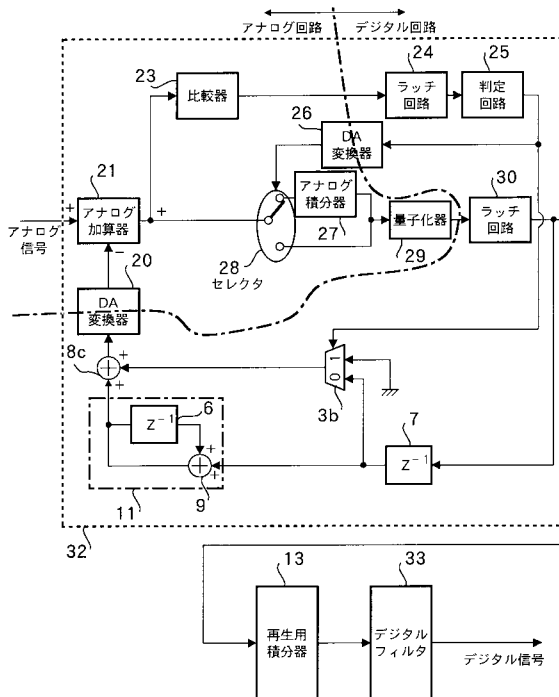
【図13】



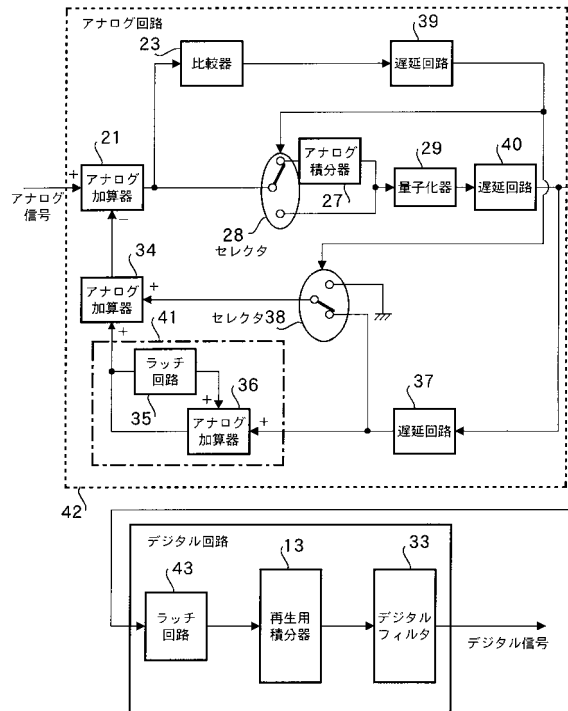
【図14】



【図15】

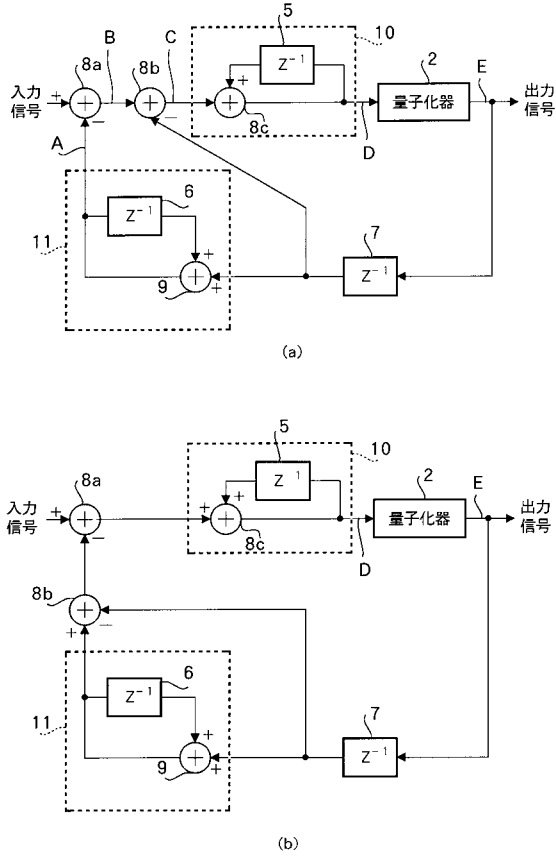


【図16】

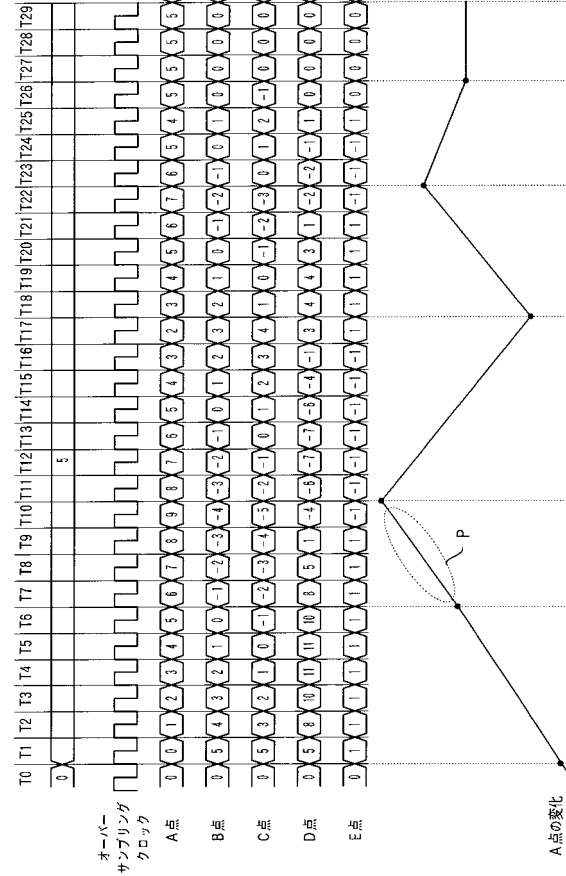




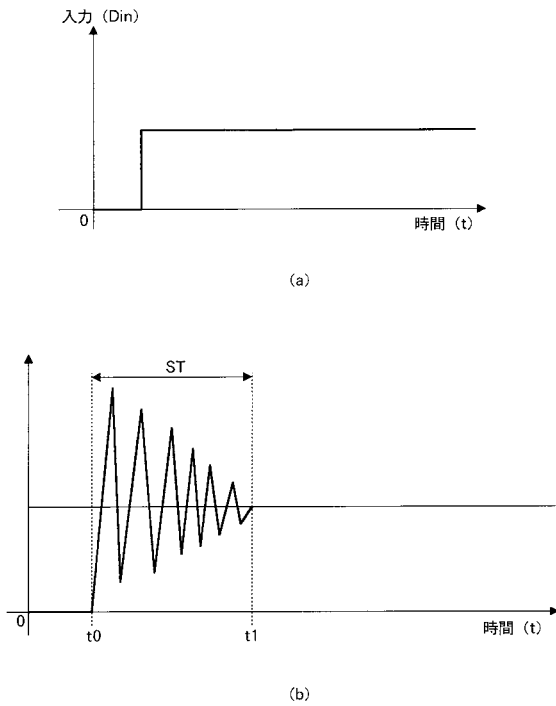
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



---

フロントページの続き

- (56)参考文献 特開2002-076901(JP,A)  
特開2002-076900(JP,A)  
特開2000-307429(JP,A)  
特開2001-168722(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 3/02

H03M 7/32