

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年5月24日(2012.5.24)

【公表番号】特表2010-511224(P2010-511224A)

【公表日】平成22年4月8日(2010.4.8)

【年通号数】公開・登録公報2010-014

【出願番号】特願2009-538383(P2009-538383)

【国際特許分類】

G 06 F 3/06 (2006.01)

【F I】

G 06 F 3/06 304 F

【手続補正書】

【提出日】平成24年3月27日(2012.3.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

キャッシュメモリをオフロードするための方法であって、

(A) コントローラを介して、前記キャッシュメモリとメインメモリとの間で複数のキャッシュラインを直接交換するステップであって、前記メインメモリと前記キャッシュメモリが揮発性であるステップと、

(B) 前記キャッシュメモリを介さず、前記コントローラを介して、プロセッサと前記メインメモリの間でデータを交換するステップと、

(C) 電力の停止を示す信号のアサーションに応じて、前記キャッシュラインの全てを前記キャッシュメモリから前記コントローラにバッファするステップと、

(D) RAID構成に従ってバッファされた前記キャッシュラインを分割することによって、前記コントローラに複数のブロックを生成するステップと、

(E) 前記電力の停止後に、前記RAID構成において、前記コントローラから複数の不揮発性メモリに前記ブロックを直接書き込むステップであって、前記不揮発性メモリのそれぞれが、(i) 前記キャッシュメモリの読み出し帯域幅より小さい書き込み帯域幅と(iii) 前記ブロックを運ぶために前記コントローラに対して異なる独立した経路とを有するステップと、

を含む方法。

【請求項2】

前記ブロックの少なくとも2つが、前記不揮発性メモリにほぼ同時に書き込まれる、請求項1に記載の方法。

【請求項3】

前記ブロックをストライピングすることによって複数のストライプを生成するステップであって、前記ストライプのそれぞれが、前記ブロックの対応する1つにおける大部分のサブセットを含むステップをさらに含む、請求項1に記載の方法。

【請求項4】

ステップ(E)が、前記不揮発性メモリの間に(i)前記ストライプと(ii)同じランクの複数のストライプとを書き込むサブステップを含む、請求項3に記載の方法。

【請求項5】

前記ストライプの少なくとも2つが、前記不揮発性メモリにほぼ同時に書き込まれる、

請求項 4 に記載の方法。

【請求項 6】

(i) 前記信号の前記アサーションが、電力回路に流れ込む前記電力の停止を示し、(i i) 前記電力回路が、前記電力の停止後に、前記コントローラ、前記キャッシュメモリ、および前記不揮発性メモリに電力を供給するように構成される、請求項 1 に記載の方法。

【請求項 7】

(i) 前記不揮発性メモリのそれぞれが、第 1 の記憶容量を有し、(i i) 前記キャッシュメモリが、第 2 の記憶容量を有し、(i i i) 前記第 1 の記憶容量の合計が、少なくとも、前記第 2 の記憶容量と同じくらい大きい、請求項 1 に記載の方法。

【請求項 8】

前記不揮発性メモリの前記書き込み帯域幅の合計が、少なくとも、前記キャッシュメモリの前記読み出し帯域幅と同じくらい大きい、請求項 1 に記載の方法。

【請求項 9】

前記キャッシュラインが、前記キャッシュメモリの前記読み出し帯域幅に近い第 1 の帯域幅で、前記キャッシュメモリから読み出される、請求項 1 に記載の方法。

【請求項 10】

前記ブロックが、前記不揮発性メモリの前記書き込み帯域幅に近い第 2 の帯域幅で、前記不揮発性メモリに書き込まれる、請求項 9 に記載の方法。

【請求項 11】

読み出し帯域幅を有し、かつ複数のキャッシュラインを記憶するように構成されたキャッシュメモリであって、揮発性であるキャッシュメモリと、

前記読み出し帯域幅より小さい書き込み帯域幅をそれぞれが有する複数の不揮発性メモリと、

(i) 電力の停止を示す信号のアサーションに応じて、前記キャッシュメモリから受信された前記キャッシュラインの全てをバッファし、(i i) R A I D 構成に従ってバッファされた前記キャッシュラインを分割することによって、複数のブロックを生成し、かつ(i i i) 前記電力の停止後に、前記 R A I D 構成において、前記ブロックを前記不揮発性メモリに直接書き込むように構成されたコントローラであって、前記不揮発性メモリのそれぞれが、前記ブロックを運ぶために前記コントローラに対して異なる独立した経路を有するコントローラと、

前記コントローラを介して、前記キャッシュラインを前記キャッシュメモリと直接交換するように構成されたメインメモリと、

前記キャッシュメモリを介さず、前記コントローラを介して、第 1 のデータを前記メインメモリと交換するように構成されたプロセッサと、

を含むシステム。

【請求項 12】

前記ブロックの少なくとも 2 つが、前記不揮発性メモリにほぼ同時に書き込まれる、請求項 1 1 に記載のシステム。

【請求項 13】

前記プロセッサが、前記コントローラを介して、前記キャッシュメモリと第 2 のデータを交換するようにさらに構成される、請求項 1 1 に記載のシステム。

【請求項 14】

前記信号をアサートするように構成された電力回路をさらに含む、請求項 1 1 に記載のシステム。

【請求項 15】

(i) 前記信号の前記アサーションが、前記電力回路に流れ込む前記電力の停止を示し、(i i) 前記電力回路が、前記電力の停止後に、前記コントローラ、前記キャッシュメモリ、および前記不揮発性メモリに電力を供給するようにさらに構成される、請求項 1 4 に記載のシステム。

【請求項 16】

前記電力回路が、ソース電力の停止後に電力を供給するスーパー・キャパシタおよびウルトラ・キャパシタの少なくとも1つを含む、請求項14に記載のシステム。

【請求項 17】

少なくとも4つのスロットであって、前記スロットのそれぞれが、前記不揮発性メモリの1つに接続するように構成された少なくとも4つのスロットをさらに含む、請求項11に記載のシステム。

【請求項 18】

前記スロットの少なくとも1つが、前記システムの少なくとも1つの構成において空である、請求項17に記載のシステム。

【請求項 19】

前記RAID構成が、(i) RAID0構成、(ii) RAID1構成および(iii) RAID5構成のうちの1つを含む、請求項17に記載のシステム。

【請求項 20】

読み出し帯域幅を有し、かつ複数のキャッシュラインを記憶するように構成された揮発性記憶装置用手段と、

前記読み出し帯域幅より小さい書き込み帯域幅をそれぞれが有する、複数の不揮発性記憶装置用手段と、

(i) 電力の停止を示す信号のアサーションに応じて、前記揮発性記憶装置用手段から受信された前記キャッシュラインの全てをバッファし、(ii) RAID構成に従ってバッファされた前記キャッシュラインを分割することによって、複数のブロックを生成し、(iii) 前記電力の停止後に、前記RAID構成において、前記ブロックを前記不揮発性記憶装置用手段に直接書き込む制御用手段であって、前記不揮発性記憶装置用手段のそれぞれが、前記ブロックを運ぶために前記制御用手段に対して異なる独立した経路を有する制御用手段と、

前記制御用手段を介して、前記キャッシュラインを前記揮発性記憶装置用手段と直接交換するように構成されたメインメモリ用手段と、

前記揮発性記憶装置用手段を介さず、前記制御用手段を介して、データを前記メインメモリ用手段と交換するように構成された処理用手段と、

を含むシステム。

【請求項 21】

(i) 前記コントローラが、前記ブロックをストライピングすることによって複数のストライプを生成するようにさらに構成され、(ii) 前記ストライプのそれぞれが、前記ブロックの対応する1つにおける大部分のサブセットを含む、請求項11に記載のシステム。