

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5623653号
(P5623653)

(45) 発行日 平成26年11月12日 (2014.11.12)

(24) 登録日 平成26年10月3日 (2014.10.3)

(51) Int. Cl. F I
G 1 1 C 5/14 (2006.01) G 1 1 C 5/14
G 1 1 C 11/4074 (2006.01) G 1 1 C 11/34 3 5 4 F
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 2 A

請求項の数 11 (全 11 頁)

| | | | |
|---------------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2013-540186 (P2013-540186) | (73) 特許権者 | 508034325 |
| (86) (22) 出願日 | 平成23年5月3日 (2011.5.3) | | コンバーサント・インテレクトチュアル・プロパティ・マネジメント・インコーポレイテッド |
| (65) 公表番号 | 特表2014-501016 (P2014-501016A) | | CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC. |
| (43) 公表日 | 平成26年1月16日 (2014.1.16) | | カナダ・オンタリオ・K2K・OG7・オタワ・マーチ・ロード・390・スイート・100 |
| (86) 国際出願番号 | PCT/CA2011/000528 | | |
| (87) 国際公開番号 | W02012/068664 | (74) 代理人 | 100108453 |
| (87) 国際公開日 | 平成24年5月31日 (2012.5.31) | | 弁理士 村山 靖彦 |
| 審査請求日 | 平成26年3月13日 (2014.3.13) | (74) 代理人 | 100064908 |
| (31) 優先権主張番号 | 61/416, 437 | | 弁理士 志賀 正武 |
| (32) 優先日 | 平成22年11月23日 (2010.11.23) | | |
| (33) 優先権主張国 | 米国 (US) | | |
| 早期審査対象出願 | | | |

最終頁に続く

(54) 【発明の名称】 集積回路デバイス内の内部電源を共有するための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリデバイスを備えるマルチチップパッケージであって、
 各メモリデバイスが、内部電源電圧端子に接続された内部電源電圧発生器を備え、各メモリデバイスの前記内部電源電圧端子が、当該マルチチップパッケージ内で一緒に接続され、

前記内部電源電圧発生器が、レギュレータ出力端子、レギュレータ入力端子、およびレギュレータイネーブル端子に接続されたレギュレータと、前記レギュレータ入力端子および前記レギュレータに接続されたポンプ回路とを備え、

第1のメモリデバイスの前記レギュレータイネーブル端子が、当該マルチチップパッケージ内で前記第1のメモリデバイス内の前記レギュレータをイネーブルするために第1の電圧に接続され、

第2のメモリデバイスの前記レギュレータイネーブル端子が、当該マルチチップパッケージ内で前記第2のメモリデバイス内の前記レギュレータをディスエーブルするために第2の電圧に接続され、

前記第1のメモリデバイスの前記レギュレータ出力端子が、第2のメモリデバイスの前記レギュレータ入力端子に接続され、

前記第2のメモリデバイス内の前記レギュレータがディスエーブルされる時、前記第2のメモリデバイス内のポンプ回路が前記第1のメモリデバイス内の前記レギュレータによってエネーブルされ、制御される、マルチチップパッケージ。

10

20

【請求項 2】

マルチチップパッケージを構成する方法であって、内部電源電圧端子に接続された内部電源電圧発生器を各メモリダイが有する、複数のメモリダイを設けるステップと、前記マルチチップパッケージ内で各メモリダイの前記内部電源電圧端子と一緒に接続するステップとを含み、

前記内部電源電圧発生器が、レギュレータ出力端子、レギュレータ入力端子、およびレギュレタイネーブル端子に接続されたレギュレータと、前記レギュレータ入力端子および前記レギュレータに接続されたポンプ回路とをさらに含み、

当該方法が、

第1のメモリダイの前記レギュレタイネーブル端子を前記マルチチップパッケージ内で前記第1のメモリダイ内の前記レギュレータをイネーブルするために第1の電圧に接続するステップと、

第2のメモリダイの前記レギュレタイネーブル端子を前記マルチチップパッケージ内で前記第2のメモリダイ内の前記レギュレータをディスエーブルするために第2の電圧に接続するステップと、

前記第1のメモリダイの前記レギュレータ出力端子を前記第2のメモリダイの前記レギュレータ入力端子に接続するステップと、

前記第2のメモリダイ内の前記レギュレータがディスエーブルされる時、前記第2のメモリダイ内のポンプ回路が、前記第1のメモリダイ内の前記レギュレータによって、エネーブルされ、制御されるステップをさらに含む方法。

【請求項 3】

前記メモリダイがDRAMダイである、請求項2に記載のマルチチップパッケージを構成する方法。

【請求項 4】

前記内部電源電圧発生器がワード線電源電圧発生器である、請求項3に記載のマルチチップパッケージを構成する方法。

【請求項 5】

前記内部電源電圧発生器が基板バイアス電源電圧発生器である、請求項3に記載のマルチチップパッケージを構成する方法。

【請求項 6】

前記メモリダイがフラッシュメモリダイである、請求項2に記載のマルチチップパッケージを構成する方法。

【請求項 7】

前記フラッシュメモリダイがNANDフラッシュダイである、請求項6に記載のマルチチップパッケージを構成する方法。

【請求項 8】

前記内部電源電圧発生器がページプログラム電源電圧発生器である、請求項7に記載のマルチチップパッケージを構成する方法。

【請求項 9】

前記内部電源電圧発生器がブロック消去電源電圧発生器である、請求項7に記載のマルチチップパッケージを構成する方法。

【請求項 10】

マルチチップパッケージを構成する方法であって、

内部電源電圧端子に接続された内部電源電圧発生器を各メモリデバイスが有する、複数のメモリデバイスを設けるステップと、

前記マルチチップパッケージ内で各メモリデバイスの前記内部電源電圧端子と一緒に接続するステップとを含む方法であって、

前記内部電源電圧発生器が、レギュレータ出力端子、レギュレータ入力端子、およびレギュレタイネーブル端子に接続されたレギュレータと、前記レギュレータ入力端子および前記レギュレータに接続されたポンプ回路とを含み、

10

20

30

40

50

当該方法が、

第1のメモリデバイスの前記レギュレータイネーブル端子を前記マルチチップパッケージ内で前記第1のメモリデバイス内の前記レギュレータをイネーブルするために第1の電圧に接続するステップと、

第2のメモリデバイスの前記レギュレータイネーブル端子を前記マルチチップパッケージ内で前記第2のメモリデバイス内の前記レギュレータをディスエーブルするために第2の電圧に接続するステップと、

前記第1のメモリデバイスの前記レギュレータ出力端子を前記第2のメモリデバイスの前記レギュレータ入力端子に接続するステップと、

前記第2のメモリデバイス内の前記レギュレータがディスエーブルされる時、前記第2のメモリデバイス内のポンプ回路が、前記第1のメモリデバイス内の前記レギュレータによって、エネーブルされ、制御されるステップをさらに含む方法。

10

【請求項 1 1】

共通パッケージ内の少なくとも1つの他の同様の集積回路デバイスと内部電源を共有するように適合された、前記内部電源を有する集積回路デバイスであって、

内部電源電圧端子に接続された内部電源電圧発生器をさらに備え、

前記内部電源電圧端子が、前記少なくとも1つの他の同様の集積デバイスの内部電源電圧端子と接続され、

前記内部電源電圧発生器が、レギュレータ出力端子、レギュレータ入力端子、およびレギュレータイネーブル端子に接続されたレギュレータと、前記レギュレータ入力端子および前記レギュレータに接続されたポンプ回路とを備え、

20

前記レギュレータイネーブル端子が、前記レギュレータをイネーブルするために第1の電圧に接続され、

前記レギュレータ出力端子が、前記少なくとも1つの他の同様の集積回路デバイスのレギュレータ入力端子に接続され、

前記レギュレータがディスエーブルされる時、前記ポンプ回路が、前記少なくとも1つの他の集積回路デバイスのレギュレータによって、エネーブルされ、制御される、集積回路デバイス。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、一般に集積回路デバイスに関し、詳細には、内部電源を有する集積回路デバイスに関する。

【背景技術】

【0002】

DRAM(ダイナミックランダムアクセスメモリ)、およびフラッシュ(電氣的消去可能/プログラム可能揮発性メモリ)などの集積回路デバイスは通常は動作のために、データの記憶、読出し、および消去を含む別々の動作のためのいくつかの電圧を必要とする。これらの電圧は、 V_{dd} と呼ばれることが多い外部的に供給される電圧源を用いて内部的に発生される。

40

【0003】

従来型のDRAMデバイスは、メモリセルに記憶された V_{dd} レベルより高くワード線を駆動するための高い電圧を供給するための V_{pp} 電源と、セルプレートにレール中間電位に駆動するための $V_{dd}/2$ 電源と、メモリセル基板に負のバックバイアス電位を供給するための V_{bb} 電源とを有し得る。

【0004】

従来型のNANDフラッシュデバイスは、ページ読出し動作時に選択されたブロック内の非選択のワード線に印加するための V_{pass} 、ページプログラム動作において選択されたワード線に印加するための V_{pgm} 、およびブロック消去動作時に選択されたブロック内のワード線に印加するための V_{ers} を発生するためのポンプ回路を有し得る。

50

【 0 0 0 5 】

これらの内部電圧源回路は、かなりのチップ面積を占有し、ダイサイズおよびコストを増大させ、これは大きなポンプおよび蓄積コンデンサを必要とする容量性ポンプ回路が用いられる場合に特に当てはまる。電圧源回路はまた、性能を制限する場合がある。たとえばNANDフラッシュデバイスでは、 V_{pgm} 電圧はパルス化されて、ペリファイ読み出し動作と交互にワード線に繰り返し印加されなければならない。ワード線を充電するために時間がかかることにより、各プログラム/ペリファイ読み出しサイクルにオーバーヘッドが追加され、NANDフラッシュ性能において決定的に重要な要因であるプログラム時間パラメータ t_{PROG} が増加し得る。

【 0 0 0 6 】

一部の集積回路デバイス、たとえばJEDEC(米国電子工業会)仕様JESD209-2Bに記載されているLPDDR2(低電力ダブルデータレート2(Low-Power Double Data Rate 2))DRAMでは、所与の時間ウィンドウ内で活動化状態にすることができるバンクの数は t_{FAW} (4バンク活動化ウィンドウ(Four bank Activate Window))に依存し、これは高速グレードに対しては50 nsと規定されている。この期間内でデバイスに8バンクすべてを活動化状態にするコマンドを発行することはできるが、周期的な t_{FAW} ウィンドウ内で最大で4つのバンクを活動化状態にすることをユーザに強制することによって、 t_{FAW} の制約は内部 V_{pp} 発生器、および恐らく他の内部電圧発生器に対しても電流駆動要件を制限する。この制約により V_{pp} 発生器のサイズを、制約のないバンク活動化の場合に必要なものより縮小することが可能になり、それによってダイ面積およびコストが節約される。

【 0 0 0 7 】

いくつかのメモリデバイスが組み合わされてより大きなメモリサブシステムを形成するときは、それらはしばしば共通の共有バスに接続される。この場合、すべてのデバイスをそれらの最大能力まで働かせるのに十分なコマンド帯域幅がない場合がある。たとえば、400MHzで動作する共有コマンドバスに接続された8個のLPDDR2 DRAMデバイスの場合は、50 nsの t_{FAW} ウィンドウ内で各デバイスに4バンク活動化コマンドを発行することは不可能である。1つのコマンドは、クロックの2つのエッジすなわち2.5nsを必要とする。したがってデバイスの少なくともいくつかは、それらの内部 V_{pp} 発生器の能力を十分に利用しないことになる。DRAM製造業者が、ある範囲の内部電圧発生器駆動能力および最適化したダイサイズを有するメモリ製品の異なる変形品を提供することは実際的ではない。メモリ製造業者はコストを下げるために、大量の標準化された製品に依存している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 米国特許出願第12/757,540号

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明は、複数の集積回路の内部電圧を一緒に接続するための方法および装置を提供する。これにより、そうでなければアイドル状態にあるリソースの共有化された使用が可能になり、結果として、より大きな容量および縮小されたサイズが得られる。本発明は、単一または複数の電圧の共有に適合することができる。装置は、外部環境からの内部電源への接続を有する集積回路を含む。他の実施形態は、いくつかの内部電源へのアクセスをもたらす。方法はアクセスを利用可能にし、複数の集積回路内部電圧を接続するプロセスおよび制御を含む。

【 0 0 1 0 】

他の実施形態は、1つの集積回路が別の同様な集積回路の内部電源を制御することを可能にする。これは、制御される集積回路の電源のレギュレータをディスエーブルする能力によって示され、結果として電力消費が低減され、リソースのより効率的な割当てをもたらす。

10

20

30

40

50

【0011】

システムは、一緒に接続されて電源を共有する複数の集積回路を含む。

【0012】

本発明の他の特徴および利点は、添付の図面と共に以下の詳細な説明を読むことにより明らかになるであろう。

【図面の簡単な説明】

【0013】

【図1】従来型のMCP(マルチチップパッケージ(Multi-Chip Package))エンクロージャのブロック図である。

【図2】本発明の実施形態を含んだMCPエンクロージャのブロック図である。

10

【図3】従来型の電源のブロック図である。

【図4】本発明の第3の実施形態に適した切替え可能な電源のブロック図である。

【図5】本発明の第3の実施形態を組み込んだMCPエンクロージャの別のブロック図である。

【図6】本発明の方法のフローチャートである。

【発明を実施するための形態】

【0014】

添付の図面全体を通して同様な特徴は同様な参照番号によって識別されることに留意されたい。

【0015】

20

メモリダイは、より高い体積効率を得るために単一の基板上に積層し、一緒にパッケージすることができる。パッケージ内のメモリデバイスと、パッケージ上の端子との間の相互接続は、ワイヤボンドまたはTSV(シリコン貫通ビア(Through Silicon Via))によって達成することができる。2010年4月9日に出願された米国特許出願第12/757,540号は、積層型メモリデバイスのためのチップ選択およびバス構成について述べている。個別にパッケージされたメモリデバイスと同様に、MCP(マルチチップパッケージ)エンクロージャ内の複数のダイは、しばしば同じバスに接続される。

【0016】

図1を参照すると従来型の構成において、上述の t_{FAW} 仕様を有する4つのLPDDR DRAMダイが、単一のMCP100内に一緒にパッケージされると仮定する。

30

【0017】

4つすべてのダイ上のアドレスおよびコマンド入力は一緒に結線されて、MCPアドレス/コマンド端子に接続される。同様に双方向データバス端子(DQ)は、各ダイに共通に接続される。別々のチップイネーブルピン($CE_1 \dots CE_4$)は、コマンドがMCP内の個々のLPDDR2ダイに向かって導かれることを可能にする。クロックは特に示されていないが、アドレス/コマンドおよびデータバスの一部として含まれる。電源(V_{dd} 、 V_{ss} 、 V_{ddq} 、および V_{ssq})も4つすべてのダイに共通に供給される。この構成は、個別の個々にパッケージされたメモリデバイスを備えるボードレベルメモリサブシステムと同じ弱点を共有する。各ダイでのバンク活動化は t_{FAW} 仕様によって制限され、ダイが一定の数を超えると各ダイを t_{FAW} 限界まで働かせるためにはコマンド帯域幅が不十分となる。

40

【0018】

図2を参照すると本発明の実施形態200では、すべてが従来型のMCP100と同じ t_{FAW} 仕様をもつLPDDR2機能を有する4つのダイ202、203、204、および205が、単一のMCP201内に一緒にパッケージされると仮定する。これらのダイは、それぞれ共通のバス207を通じた内部 V_{pp} 電圧源へのワイヤボンドパッドまたはTSVバンプ接続212、213、214、および215を追加することによって変更されている。第2の実施形態は、同様なやり方で V_{bb} または $V_{dd}/2$ などの他の内部電圧源への接続をもたらす。結果としてダイ202、203、204、および205すべての電源が並列のときに、回路構成要素のサイズを縮小することができる。

【0019】

MCPエンクロージャまたは封入体内では、ダイ202、203、204、および205のそれぞれの

50

ための内部 V_{pp} 電源ノード212、213、214、および215は、バス207と一緒に結線される。ダイ202、203、204、および205のそれぞれが50nsの t_{FAW} ウィンドウ内で4つのバンクを活動化状態にするのに十分な V_{pp} 電流を供給する能力があると仮定すると、4つのダイの間での16個のバンクの配分に関わらず、4つのダイの積層体200は t_{FAW} ウィンドウ内での16個のバンクの活動化をサポートすることができる。これは結果として、内部電源をより大きくするための追加のダイ面積の代償なしに、性能の著しい向上をもたらすことができる。

【0020】

図3は、従来型の V_{pp} ポンプ回路300のブロック図である。容量性ポンプ回路は、 V_{dd} 電源から電流を引き出し、レベルを V_{dd} より高い電位まで昇圧する。簡単な形の回路により V_{dd} の倍に近い V_{pp} レベルを得ることができる。当技術分野では、 $2 \times V_{dd}$ より高い電圧レベルを得るためのより複雑な回路が知られている。 V_{bb} ポンプ(図示せず)も同様な構造を有する。

10

【0021】

発振器302は、容量性ポンプ304を制御するためのクロック信号を発生する。各クロックサイクルごとに、ある量の電荷が出力に供給されて V_{pp} レベルを増加させる。電荷を保持しかつ、各クロックサイクルごとに電荷を放出することによって引き起こされる電圧ステップを減衰するために、しばしば蓄積コンデンサが出力に接続され、このようなコンデンサはかなり大きくなる場合があり、集積回路チップ上の相当な空間を占有し得る。レギュレータ306は V_{pp} のレベルを検出して、 V_{pp} が所望のレベルに達した時点を判定する。これが生じたときは、レギュレータ306の出力はローになって発振器302およびポンプ304をディスエーブルする。 V_{pp} 電源は、EN入力信号を用いてイネーブルまたはディスエーブルすることができる。メモリ内のデータを維持する必要がないディープパワーダウンモードでは、EN入力信号をローにすることによってレギュレータ306を直接ディスエーブルし、ANDゲート308を用いて発振器302およびポンプ304をターンオフすることができる。動作時は V_{pp} レベルが所望のレベルより低いときは、3つのブロック302、304、および306すべてが電力を消費する。 V_{pp} が所望のレベルに達したときはレギュレータ306のみが電力を消費する。ディープパワーダウンモードでは電力を節約するために、レギュレータ306はEN入力信号によって完全にターンオフされる。

20

【0022】

第3の実施形態ではダイの1つだけの中のレギュレータがイネーブルされ、残りのレギュレータはディスエーブルされる。これは自己リフレッシュデータ保持モードにおいて電力を大幅に低減し、これは携帯電話などのハンドヘルド携帯装置において特に重要である。

30

【0023】

図4は、本発明の第3の実施形態に適した切替え可能な電源400のブロック図である。 V_{pp} 電源400は、レギュレータ306をイネーブルするための追加の入力 EN_R 407を有する。 EN_R 407がハイレベル(1)にある場合は、回路は図3の V_{pp} 電源と全く同様に機能する。この実施形態ではレギュレータ306は、 EN_R 入力407上のローレベル信号(0)によってディスエーブルすることができる。入力 EN_R 407はANDゲート402の1つの入力に接続され、その結果 EN_R 上に信号(0)があるときはレギュレータ306をディスエーブルする。さらに外部的に供給されるレギュレータ入力 R_{IN} 406がマルチプレクサ404を通じて接続されて発振器302およびポンプ304を制御する。 V_{pp} 電源400はまた、 R_{OUT} 端子408上に局所的なレギュレータ出力を生じる。

40

【0024】

図4の電源を組み込んだ、本発明の第3の実施形態の図5を参照する。図1のようにダイ501、502、503、および504のそれぞれのための内部 V_{pp} 電源ノード212、213、214、および215は、MCP500内のバス207と一緒に結線される。しかしこの実施形態ではLPDDR2ダイ#1 501は、論理ハイ(1)511、すなわち EN_R 入力512に印加された V_{dd} レベルの結果としてイネーブルされたレギュレータを有し、LPDDR2ダイ#2 502、#3 503、および#4 504はそれぞれライン521、531、および541上の論理ロー(0)、すなわち対応する EN_R 入力522、523、および524に印加された V_{ss} レベルの結果としてディスエーブルされたレギュレータを有する。ダイ#

50

1上のレギュレータ出力 $R_{OUT-513}$ は、それぞれダイ#2 502、#3 503、および#4 504上のレギュレータ入力523、533、および543 R_{IN} に接続される。結果としてMCP500内で1つのレギュレータ(LPDDR2ダイ#1 501上のもの)だけがイネーブルされ、電力消費が低減される。前と同様に、短い期間内に複数のバンクが活動化状態にされたときなど、 V_{pp} に対する電流駆動要件を満たすために必要なときは、ダイ501、502、503、および504上のすべての V_{pp} ポンプを活動化状態にすることができる。この技法はまた、 V_{bb} 基板バイアス電源などのMCP DRAM内の他の電源にも適用することができる。これはまた、 V_{prog} または V_{ers} チャージポンプなどのMCP構成でのNANDフラッシュデバイス上の内部電源にも適用することができる。

【0025】

V_{pp} などのポンプ式電源は、問題なく一緒に連結することができる。各デバイスがそれ自体のレギュレータをイネーブルされた場合は、デバイス間のばらつきにより、各レギュレータはわずかに異なる電圧でポンプをディスエーブルする場合がある。基本的に最も高い閾値を有するレギュレータが、組み合わされたシステムの全体の V_{pp} レベルを決定することになる。通常は V_{pp} 電源内のレギュレータは、電圧を正確に閾値ポイントに確立するように過剰な電荷を引き出すことはないので、レギュレータ閾値レベルにばらつきがあることによって電力が浪費されることはない。

【0026】

図6は本発明の方法のフローチャートである。上述のように第1のステップは、個々のメモリデバイス上に内部電源に接続された端子を設けることである。従来技術のデバイスではこれらの接続は、他の構成要素にアクセスすることができない。上述のようにこの方法は、DRAM、NANDフラッシュおよびNORフラッシュを含むフラッシュメモリ、PCRAM(相変化ランダムアクセスメモリ)、および内部電源を含む任意のメモリ素子などの多様なデバイスで正しく機能する。

【0027】

次のステップは、デバイスの端子を一緒に接続してデバイスが電源を共有できるようにすることである。図1に示されるような最も簡単な実施形態では終了する。同じプロセスは続けて、 V_{bb} 基板バイアス電源などのMCP DRAM内の電源など、メモリデバイスの内部の他の電圧を接続することができる。これはまた V_{prog} または V_{ers} チャージポンプなどのMCP構成でのNANDフラッシュデバイス上の内部電源にも適用することができる。

【0028】

内部レギュレータをそれらの内部電源内に有するデバイスでは、このプロセスが続けられる。このような場合はデバイスには、レギュレータ入力および/またはレギュレータ出力接続部が設けられる。第1のデバイスのレギュレータ出力接続部は、少なくとも1つ、およびしばしばいくつかのデバイスのレギュレータ入力に接続される。これは上述のように、第1のデバイスが他のデバイスのレギュレータをスイッチオンおよびオフして電力を節約し熱の蓄積を低減することを可能にする。

【0029】

諸図は V_{pp} 電源の共有のみを示すが、性能を改善し、電力消費を低減し、各個々のダイ内のダイ面積を最適化するように、内部電源の任意の組合せ、または内部電源のすべてをMCPエンクロージャ内で共有することができる。これらの技法は、DRAM、NANDフラッシュおよびNORフラッシュを含むフラッシュメモリ、ならびにPCRAM(相変化ランダムアクセスメモリ)および他の新たなメモリ技術などの他の形のメモリに適用することができる。

【符号の説明】

【0030】

- 200 ダイ積層体、複数デバイス集積回路
- 201 MCP、エンクロージャ
- 202 ダイ
- 203 ダイ
- 204 ダイ

10

20

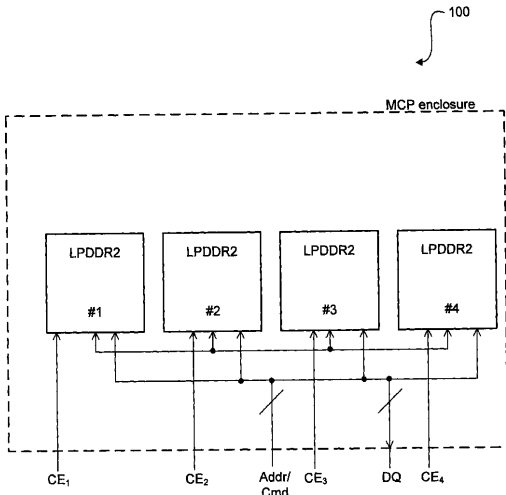
30

40

50

| | | |
|-----|-------------------|----|
| 205 | ダイ | |
| 207 | バス | |
| 208 | 内部電源への接続部 | |
| 212 | 内部 V_{pp} 電源ノード | |
| 213 | 内部 V_{pp} 電源ノード | |
| 214 | 内部 V_{pp} 電源ノード | |
| 215 | 内部 V_{pp} 電源ノード | |
| 302 | 発振器 | |
| 304 | 容量性ポンプ、ポンプ | |
| 306 | レギュレータ | 10 |
| 308 | ANDゲート | |
| 400 | V_{pp} 電源 | |
| 402 | ANDゲート | |
| 404 | マルチプレクサ | |
| 406 | 入力 R_{IN} | |
| 407 | 入力 EN_R | |
| 408 | R_{OUT} 端子 | |
| 500 | MCP | |
| 501 | ダイ | |
| 502 | ダイ | 20 |
| 503 | ダイ | |
| 504 | ダイ | |
| 511 | 論理ハイ(1) | |
| 512 | EN_R 入力 | |
| 513 | 出力 R_{OUT} | |
| 521 | ライン | |
| 522 | EN_R 入力 | |
| 523 | EN_R 入力 | |
| 523 | R_{IN} 入力 | |
| 524 | EN_R 入力 | 30 |
| 531 | ライン | |
| 533 | R_{IN} 入力 | |
| 541 | ライン | |
| 543 | R_{IN} 入力 | |

【 図 1 】



PRIOR ART
FIG. 1

【 図 2 】

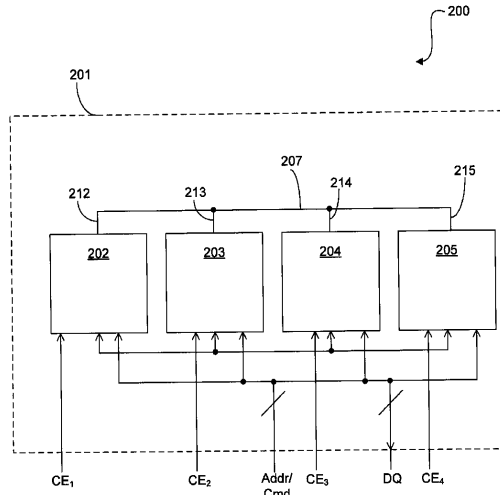
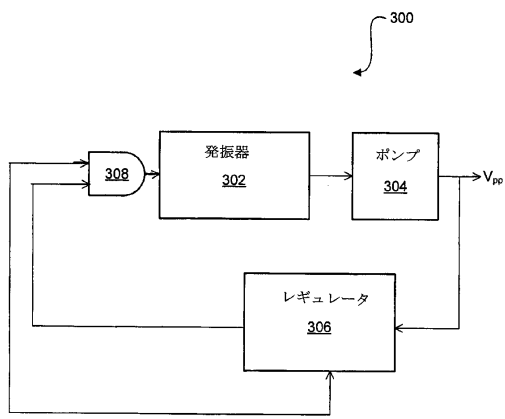


FIG. 2

【 図 3 】



PRIOR ART
FIG. 3

【 図 4 】

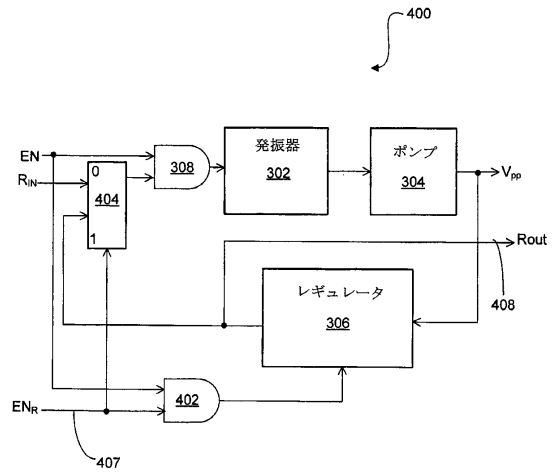


FIG. 4

【図5】

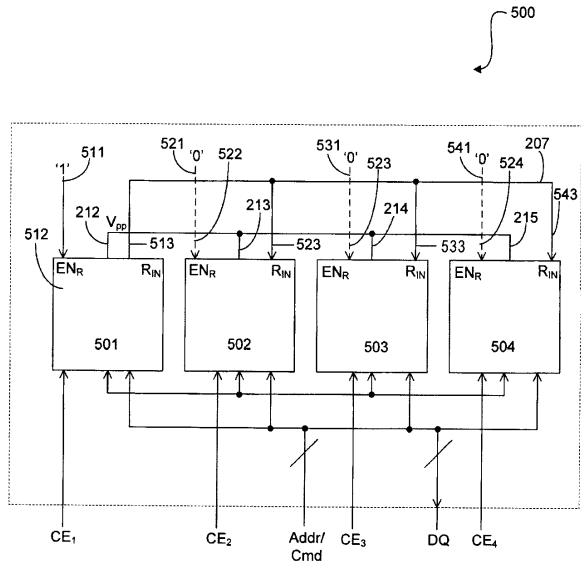


FIG. 5

【図6】

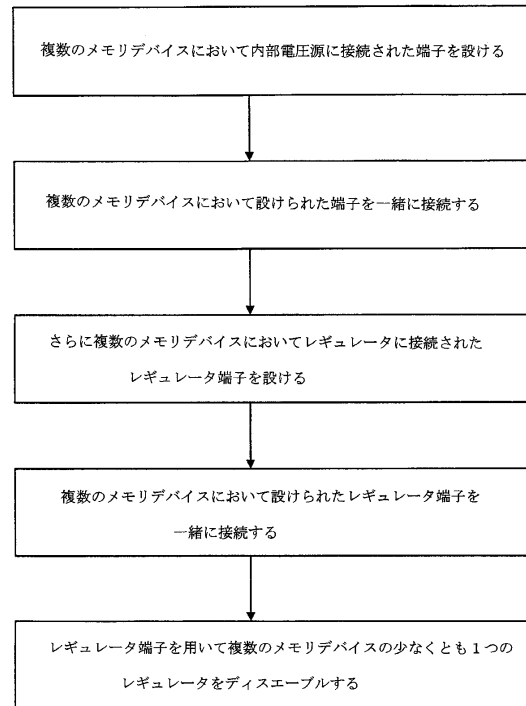


FIG. 6

フロントページの続き

(74)代理人 100089037

弁理士 渡邊 隆

(74)代理人 100140534

弁理士 木内 敬二

(72)発明者 ピーター・ギリンガム

カナダ・オンタリオ・K 2 K ・ 2 X 1 ・カナタ・スレイド・クレセント・4 3

審査官 小林 紀和

(56)参考文献 特開2006-286048(JP,A)

特開2002-312306(JP,A)

特表2012-518859(JP,A)

特開2003-036673(JP,A)

特開2003-132679(JP,A)

特表2011-508314(JP,A)

特表2011-508318(JP,A)

特開2007-180087(JP,A)

特開2005-210106(JP,A)

特開2004-327474(JP,A)

特開2008-300469(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 5 / 1 4

G 1 1 C 1 1 / 4 0 7 4

G 1 1 C 1 6 / 0 6