



(12)发明专利

(10)授权公告号 CN 105338265 B

(45)授权公告日 2018.07.03

(21)申请号 201510484665.9

H04N 5/357(2011.01)

(22)申请日 2015.08.04

H04N 5/225(2006.01)

H01L 27/146(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105338265 A

(43)申请公布日 2016.02.17

(30)优先权数据

2014-158961 2014.08.04 JP

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 吉田大介 桥本诚二

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 袁玥

(51)Int.Cl.

H04N 5/341(2011.01)

(56)对比文件

WO 2012043867 A1,2012.04.05,说明书全

文.

CN 1645918 A,2005.07.27,说明书全文.

US 2013229543 A1,2013.09.05,说明书全

文.

Handoko等.A high-sensitivity cmos
image sensor with gain-adaptive column
amplifiers.《IEEE JOURNAL OF SOLID-STATE
CIRCUITS》.2005,第1147-1149页.

审查员 许瑞雪

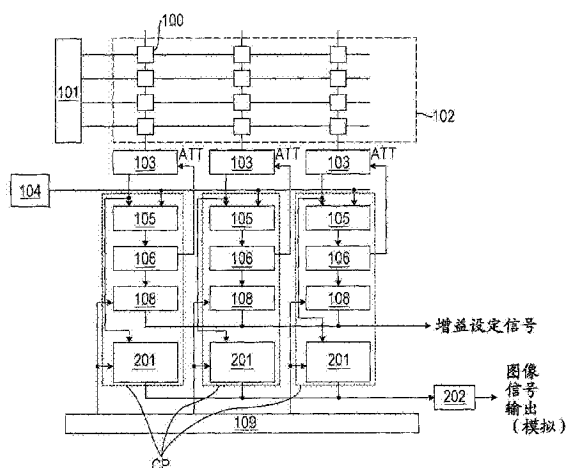
权利要求书2页 说明书9页 附图11页

(54)发明名称

光电转换装置的驱动方法、光电转换装置和
成像系统

(57)摘要

本申请涉及用于光电转换装置的驱动方法、
光电转换装置和成像系统。在多个电容被连接在
放大器的输入节点和输出节点之间的状态下,在
该放大器的输入节点和输出节点之间建立短路。
在电容中的至少一个与放大器的输入节点和输
出节点隔离的状态下,在来自放大器的输出大于
阈值的情况下,所述多个电容被连接到放大器的
输入节点和输出节点。



1. 一种用于光电转换装置的驱动方法,其特征在于,所述光电转换装置包括:
像素阵列,其具有按照矩阵形式排列的多个像素;以及
多个列信号处理单元,其中每一个列信号处理单元与所述像素阵列中的一列相对应地设置,

所述列信号处理单元中的每一个包括列放大单元,所述列放大单元具有:

放大器;

第一电容,其设置在所述放大器的反馈路径中;以及

第二电容,其在所述放大器的反馈路径中与所述第一电容并行设置,

所述方法包括:

包含如下的操作序列:

在所述放大器的输入节点和输出节点之间建立短路的操作,其中,当建立所述短路时,所述第一电容和所述第二电容都被连接在所述放大器的输入节点和输出节点之间,然后所述第一电容和所述第二电容中的一个与所述放大器的反馈路径电隔离;

在所述第一电容和所述第二电容中的所述一个与所述放大器的反馈路径电隔离的状态下在所述放大器的输入节点和输出节点之间消除短路的操作;以及

当所述短路已被消除时,设定列放大单元的增益的操作,其中,在来自所述放大器的输出大于阈值的情况下,通过将隔离的电容再次连接到所述反馈路径来将所述第一电容和所述第二电容连接到所述放大器的输入节点和输出节点。

2. 根据权利要求1所述的驱动方法,其特征在于,所述阈值是所述列放大单元的输出的饱和电平。

3. 根据权利要求1所述的驱动方法,其特征在于,还包括在来自所述放大器的输出大于所述阈值的情况下将该输出限制为不超过所述阈值。

4. 根据权利要求1所述的驱动方法,其特征在于,表明来自所述放大器的输出是否大于所述阈值的信号被输出。

5. 根据权利要求1所述的驱动方法,其特征在于,所述多个列信号处理单元中的每一个都具有切换单元,所述切换单元被配置为在所述第一电容和所述第二电容之间切换将被连接到所述放大器的输入节点和输出节点的电容。

6. 根据权利要求1所述的驱动方法,其特征在于,所述多个列信号处理单元中的每一个都具有模数转换器,并且所述模数转换器被配置为对从所述放大器中输出的信号执行模数转换。

7. 一种光电转换装置,其特征在于,包括:

像素阵列,其具有按照矩阵形式排列的多个像素;以及

多个列信号处理单元,其中每一个列信号处理单元与所述像素阵列中的一列相对应地设置,

所述列信号处理单元中的每一个包括列放大单元,所述列放大单元具有:

放大器;

第一电容,其设置在所述放大器的反馈路径中;以及

第二电容,其在所述放大器的反馈路径中与所述第一电容并行设置,

所述光电转换装置被配置为执行包含如下的操作序列:

在所述放大器的输入节点和输出节点之间建立短路的操作,其中,当建立所述短路时,所述第一电容和所述第二电容都被连接在所述放大器的输入节点和输出节点之间,然后所述第一电容和所述第二电容中的一个与所述放大器的反馈路径电隔离;

在所述第一电容和所述第二电容中的所述一个与所述放大器的反馈路径电隔离的状态下在所述放大器的输入节点和输出节点之间消除短路的操作;以及

当所述短路已被消除时,设定列放大单元的增益的操作,其中,在来自所述放大器的输出大于阈值的情况下,通过将隔离的电容再次连接到所述反馈路径来将所述第一电容和所述第二电容连接到所述放大器的输入节点和输出节点。

8. 根据权利要求7所述的光电转换装置,其特征在于,所述多个列信号处理单元中的每一个还具有列比较单元,所述列比较单元被配置为将来自所述放大器的输出与所述阈值相比较。

9. 根据权利要求7所述的光电转换装置,其特征在于,

所述多个列信号处理单元中的每一个还具有输出限制单元,所述输出限制单元被配置为在来自所述放大器的输出大于所述阈值的情况下限制所述输出。

10. 根据权利要求9所述的光电转换装置,其特征在于,所述多个列信号处理单元中的每一个还具有判断值输出单元,并且所述输出限制单元被配置为输出表明所述放大器的输出受到限制的信号。

11. 根据权利要求7所述的光电转换装置,其特征在于,所述多个列信号处理单元中的每一个都具有切换单元,所述切换单元被配置为在所述第一电容和所述第二电容之间切换将被连接到所述放大器的输入节点和输出节点的电容。

12. 根据权利要求7所述的光电转换装置,其特征在于,所述多个列信号处理单元中的每一个都具有模数转换器,并且所述模数转换器被配置为对从所述放大器中输出的信号执行模数转换。

13. 一种成像系统,其特征在于,包括:

根据权利要求7至12中任一个所述的光电转换装置;

光学系统,其被配置为在所述像素阵列中形成图像;以及

视频信号处理单元,其被配置为通过处理从所述光电转换装置中输出的信号来生成图像数据。

光电转换装置的驱动方法、光电转换装置和成像系统

技术领域

[0001] 本发明涉及光电转换装置的驱动方法,并且其具体涉及包括可变增益放大器的光电转换装置的驱动方法、光电转换装置和成像系统。

背景技术

[0002] 在成像装置领域中,高信噪比和宽动态范围一直是期望的。日本专利特开No.2005-175517公开了一种设置在像素阵列的每一列中用于扩大动态范围同时保持更高的信噪比的可变增益放大单元。日本专利特开No.2005-175517还公开了基于对来自放大单元的输出信号的信号电平的检测结果来设置放大单元的增益。

[0003] 其中还公开了放大单元的一个配置示例,其中具有各不相同的电容值的电容元件被并行设置在放大器的反馈路径上(图14)。可通过切换要被电连接到反馈路径的电容元件来切换放大单元的增益。

[0004] 然而,日本专利特开No.2005-175517未公开应用何种顺序来切换设置在反馈路径上的电容元件。本发明人已经发现用于切换设置在反馈路径中的电容元件的连接的一些顺序可以导致偏移误差。

发明内容

[0005] 提供了一种用于光电转换装置的驱动方法,该光电转换装置包括具有按照矩阵形式排列的多个像素的像素阵列,以及每一个都与像素阵列中的一个列相对应地设置的多个列信号处理单元,列信号处理单元中的每一个包括具有放大器、设置在该放大器的输入节点和输出节点之间的第一电容以及与该第一电容并行设置的第二电容并且放大从像素阵列中输出的信号的列放大单元。该方法包括在第一电容和第二电容都被连接在放大器的输入节点和输出节点之间的状态下,在放大器的输入节点和输出节点之间建立短路,以及在第一电容或第二电容与放大器的输入节点和输出节点隔离的状态下,在来自放大器的输出大于阈值的情况下将第一电容和第二电容连接到放大器的输入节点和输出节点。

[0006] 通过参考附图阅读示例性实施例的以下描述,本发明的其它特征将变得清楚。

附图说明

[0007] 图1A和图1B是示出光电转换装置的一个配置示例的框图。

[0008] 图2示出了列信号处理单元的一个配置示例。

[0009] 图3是用于说明根据第一实施例的操作的时序图。

[0010] 图4示出了列放大单元的一个配置示例。

[0011] 图5示出了列放大单元的放大倍数的设置示例。

[0012] 图6是示出光电转换装置的一个配置示例的框图。

[0013] 图7示出了列信号处理单元的一个配置示例。

[0014] 图8是用于说明根据第三实施例的操作的时序图。

[0015] 图9是示出放大单元和列输出限制单元的配置的等效电路图。

[0016] 图10是示出放大单元和列输出限制单元的配置的等效电路图。

[0017] 图11是用于说明根据第四实施例的操作的时序图。

[0018] 图12是示出成像系统的一个配置示例的框图。

具体实施方式

[0019] 第一实施例

[0020] 图1A是示出根据第一实施例的光电转换装置的一个配置示例的框图。光电转换装置包括具有按照矩阵形式排列的多个像素100的像素阵列102。针对像素阵列中的每一列设置了可变增益列放大单元103和模拟存储器201。针对列放大单元103中的每一个设置了列比较单元105、列控制单元106和数字存储器108。光电转换装置还包括被配置为按行来控制像素100的垂直扫描单元101,被配置为生成基准信号的基准信号生成单元104,以及被配置为控制数字存储器108和模拟存储器201的水平扫描单元109。光电转换装置还可以包括被配置为缓冲并输出从模拟存储器201中输出的信号的输出缓冲器202。根据本实施例,列放大单元103、模拟存储器201、列比较单元105、列控制单元106和存储器108将被总称为列信号处理单元。

[0021] 从一列中的像素100中输出的信号在对应的列放大单元103中被放大。列放大单元103中的每一个具有与对应的列比较单元105和模拟存储器201的输入节点相连的输出节点。列比较单元105将从列放大单元103中输出的信号与从基准信号生成单元104提供的基准信号相比较,并且将结果作为比较结果信号输出到列控制单元106。列控制单元106将比较结果信号提供给数字存储器108,并且根据比较结果信号向列放大单元103提供增益设定信号ATT。列放大单元103具有基于增益设定信号ATT而被设置的增益。水平扫描单元109选择每一列中的数字存储器108和模拟存储器201,并且保持在其中的信号被输出到后一级中的电路。这里假定后续开关在控制信号具有高电平时被导通并且当控制信号具有低电平时被关断。

[0022] 图1B是示出像素100中的每一个的配置示例的等效电路图。像素100中的每一个包括作为光电转换像素的光电二极管PD、传送晶体管TX、复位晶体管RES、放大晶体管SF和选择晶体管SEL。当传送晶体管TX响应于信号PTX而被导通时,在光电二极管PD中生成的电荷被传送到存在于放大晶体管SF的栅极节点中的电容。该节点将被称为浮动扩散部分FD。当选择晶体管响应于信号PEEL而被导通时,放大晶体管SF与未示出的电流源一起构成源极跟随电路,并且输出基于在浮动扩散部分FD中保持的电荷的量的电压信号。电流源一般被共同地提供给多个像素100。复位晶体管RES被用信号PRES控制并且将在浮动扩散部分FD中保持的电荷排出到电源。

[0023] 图2示出了列放大单元103、列比较单元105和列控制单元106的配置示例。列放大单元103具有与对应像素100的输出OUT和前面提到的电流源相连的输入节点VIN。列放大单元103包括输入电容C0、放大单元amp、反馈电容Cf1和Cf2、开关Sf2、列放大单元复位开关Sr以及或电路OR1。在本实施例中,放大单元amp是差分放大器。反馈电容Cf1和Cf2被设置在作为放大器的放大单元amp的输入节点和输出节点之间。或电路OR1输出与从列控制单元106中输出的信号ATT和从未示出的定时控制单元中输出的信号PCFR的逻辑和相对应的信号,

并且接通或者断开开关Sf2。开关Sr根据信号PC0R而被接通或者断开。列放大单元103具有取决于连接到放大单元amp的反馈路径的电容的值和输入电容C0的电容值之间的比值的增益。当开关Sf2具有接通状态时,列放大单元103具有 $-\{C0/(Cf1+Cf2)\}$ 的增益。当开关Sf2具有断开状态时,列放大单元具有 $-(C0/Cf1)$ 的增益。本实施例假定输入电容C0和反馈电容Cf1和Cf2分别具有电容值C0、C0和 $3 \times C0$ 。换言之,当开关Sf2具有接通状态时,增益是1/4倍。当开关Sf2具有断开状态时,增益是1倍。根据本实施例,开关Sf2被设置在放大单元amp的反相输入端和反馈电容Cf2之间。然而,开关Sf2可以与反馈电容Cf1和开关Sr并行设置在放大单元amp的输出端和反馈电容Cf2之间的路径中。由具有相同相位的信号控制的开关可被设置跨接在反馈电容Cf2两端。

[0024] 列比较单元105包括两个输入节点都与电容相连的比较器comp。来自列放大单元103的输出通过电容而被输入到比较器comp的一个输入节点,并且基准信号VRMP通过另一电容而被输入到比较器comp的另一输入节点。从比较器comp中输出的比较结果信号被提供给列控制单元106。

[0025] 图3是用于说明根据本实施例的操作的时序图。图3示出了将被提供给像素100中的每一个的信号以及与列放大单元103、列比较单元105和列控制单元106相关联的信号。图3中的部分(a)示出了在当从列放大单元103中输出的信号VOUT低于阈值时的情况下执行的操作,并且图3中的部分(b)示出了在从列放大单元103中输出的信号VOUT大于阈值的情况下执行的操作。部分(a)例如对应于具有更低强度的光进入从中读出信号的像素的情况(低亮度条件),并且部分(b)例如对应于强光进入从中读出信号的像素的情况(高亮度条件)。例如,在部分(b)的情况下入射在像素上的光量比在部分(a)的情况下入射在像素上的光量更高。

[0026] 将描述从列放大单元103中输出的信号VOUT低于阈值时要被执行的操作。

[0027] 当信号PEEL在时间t1处具有高电平时,选择晶体管SEL被导通,并且放大晶体管SF与未示出的电流源一起作为源极跟随电路工作。当信号PRES在时间t1具有高电平时,复位晶体管RES被导通,并且浮动扩散部分FD的电势被复位。

[0028] 当信号PC0R和PCFR在时间t1具有高电平时,开关Sr和Sf2被接通。因此,在放大单元amp的输入节点和输出节点之间建立短路,并且在反馈电容Cf2的两个节点之间建立短路。结果,反馈电容Cf1和Cf2的两个节点都被放大单元amp的输出复位。在这种情况下,放大单元amp作为电压跟随电路工作。

[0029] 在时间t2处,信号PRES具有低电平,并且复位晶体管RES被关断。因此,与由浮动扩散部分FD的复位造成的噪声相对应的信号被从像素中输出并且出现在列放大单元的输入VIN处。

[0030] 在时间t3处,信号PCFR具有低电平,并且反馈电容Cf2与放大单元amp的反馈路径电隔离。

[0031] 在时间t4处,信号PC0R具有低电平,并且开关Sr被关断。因此,列放大单元103具有 $-(C0/Cf1)$ 的增益。

[0032] 在从时间t5到时间t6的时段期间,当信号PTX被导通时,在光电二极管PD中累积的电荷被传送到浮动扩散部分FD。鉴于此,像素的输出即VIN改变。又鉴于此,VOUT改变。

[0033] 在时间t6处,基准信号VRMP改变为阈值VTH。当列放大单元103的输出如在图3中的

部分(a)中一样低于阈值 V_{TH} 时,就是说,当低亮度信号被输入到列比较单元105时,信号ATT保持低电平。因此,开关Sf2保持其断开状态。换言之,列放大单元103维持 $-(C_0/C_{f1})$ 的增益。另一方面,如在图3中的部分(b)中一样,当列放大单元103的输出大于阈值 V_{TH} 时,就是说,当高亮度信号被输入到列比较单元105时,信号ATT改变为高电平(时间 t_7)。因此,开关Sf2被接通,并且列放大单元103的增益被改变为 $-(C_0/(C_{f1}+C_{f2}))$ 。因此,列放大单元103的输出 V_{OUT} 衰减。阈值 V_{TH} 例如可以是与列放大单元103的输出的饱和电平相对应的值,并且具有大于该阈值的值的信号可被确定为具有饱和电平。

[0034] 即使在基准信号VRMP在时间 t_8 恢复为其初始值之后,列控制单元也保持信号ATT的逻辑电平。

[0035] 在基准信号VRMP恢复其初始值之后并且在时间 t_9 之前,来自列放大单元103的输出 V_{OUT} 被保持在模拟存储器201中,并且信号ATT被保持在数字存储器108中。此后,模拟存储器201中保持的信号被读出,并且数字存储器108中保持的信号被读出。因此,可以通过后一级中的电路来识别为了放大从模拟存储器201中读出的信号而施加了哪一个增益。

[0036] 通过这些操作,可利用适当增益来放大从像素100中输出的信号以得到高信噪比和宽动态范围。

[0037] 根据本实施例,都与放大单元amp的反馈路径电连接的两个反馈电容 C_{f1} 和 C_{f2} 被复位,然后它们中的一个与反馈路径隔离。当从像素100中输出的信号具有比阈值更大的值时,与反馈路径隔离的反馈电容被再次电连接到反馈路径以降低列放大单元103的增益。因此,当列放大单元103的增益被切换时可以降低叠加在信号上的噪声。在下面将更加详细地描述其原因。

[0038] 在图3中的从时间 t_3 到时间 t_4 的时段中,在信号PCOR被改变为具有低电平之前,信号PCFR具有低电平。因此,放大单元amp的反相输入节点被放大单元amp的输出复位,并且开关Sf2然后被关断。因此,由开关Sf2的关断造成的噪声被放大单元amp的输出抵消。换言之,在 $-(C_0/C_f)$ 的增益的情况下,由于开关Sf2的开关噪声的影响可被降低。当来自列放大单元103的输出大于阈值时,开关Sf2被导通。因此,因为由开关Sf2的接通而造成的开关噪声的电荷被分到两个反馈电容 C_{f1} 和 C_{f2} ,因此开关噪声的影响可被降低。

[0039] 如上所述,根据本实施例,可以禁止偏移的发生并且同时可以获得高信噪比和宽动态范围。

[0040] 第二实施例

[0041] 图4是示出列放大单元103的另一个配置示例的等效电路图。其与在图2中示出的列放大单元103的配置示例的不同之处在于,比在图2中示出的配置设置了更多的反馈电容,并且对输入电容和反馈电容施加了不同电容值。根据本实施例,设置了六个反馈电容,其分别具有 C 、 C 、 $2 \times C$ 、 $4 \times C$ 、 $8 \times C$ 和 $16 \times C$ 的电容值。输入电容具有 $8 \times C$ 的电容值。

[0042] 可利用该配置设置的最大增益是当开关S0至S4全部具有断开状态时获得的,且等于 $8 \times C/C = 8$ 倍。另一方面,可利用该配置设置的最小增益是当开关S0至S4全部具有接通状态时获得的,且等于 $8 \times C/(C+C+2 \times C+4 \times C+8 \times C+16 \times C) = 1/4$ 倍。本实施例的配置允许通过改变被引入导通状态的开关S0至S4的组合来在三种或者更多种增益之间切换。

[0043] 根据本实施例的列放大单元103是可编程的增益放大器,对于该增益放大器,用2位信号 r_gain 可能得到四种设置。当信号ATT具有L电平时,其意味着低亮度信号已被输入

到列放大单元103。当信号ATT具有H电平时,其意味着高亮度信号已被输入到列放大单元103。图5示出了在信号ATT具有L电平并且信号STT具有H电平的情况下的设置。图5示出了在信号ATT的不同状态和开关S0至S4的不同状态下的信号r_gain。例如,当设置的ATT具有L电平并且信号r_gain具有“01”时,开关s0和s1被导通,并且开关s2至s4被关断。在这种情况下,列放大单元103的增益是两倍。图5示出了一个示例,其中响应于低亮度信号而可以为列放大单元103设置一倍、两倍、四倍和八倍的四种增益,并且响应于高亮度信号而可以为列放大单元103设置1/4倍、1/2倍、一倍和两倍的四种增益。开关S0至S4可以利用如在图5中示出的表格上的信号r_gain的设定00至11中的一个来控制,以使得信号ATT具有L电平的情况和信号ATT具有H电平的情况之间的增益比值可被保持在1:1/4。

[0044] 例如,可以根据成像场景的亮度信息或者由成像系统设置的ISO灵敏度的值来改变用于确定可编程增益的信号r_gain。

[0045] 根据本实施例,根据列控制单元106的输出允许对开关S0至S4的分别控制,并且至少列控制单元106的输出或者信号PCFR中的一个的高电平可以接通对应的开关。

[0046] 因为根据本实施例的操作可以与在图3中示出的操作相同,因此描述将被省略。

[0047] 根据本实施例,可像第一实施例一样获得高信噪比和动态范围,并且可允许更多增益之间的切换。因此,可以根据信号电平有利地允许列放大单元103的增益之间的更详细切换。

[0048] 第三实施例

[0049] 图6是示出根据第三实施例的成像装置的配置的框图。相似的标记指与图1A和图1B中示出的成像装置中的那些共有的部件。根据本实施例的成像装置与在图1A和图1B中示出的成像装置的不同之处在于基准信号生成单元104、列比较单元105和列计数器单元107被用于对从列放大单元103中输出的信号执行模数转换(在下文中称为AD转换)。换言之,本实施例与前面提到的实施例的不同之处在于列信号处理单元CP包括AD转换器。

[0050] 在列比较单元105中将从列放大单元103中输出的信号与从基准信号生成单元104中输出的基准信号VRMP相比较。基准信号VRMP随时间被单调地改变,并且使列计数器单元107执行计数操作。因此,在来自列放大单元103的输出和基准信号VRMP之间的幅度关系被反转之前改变的计数值是与从列放大单元103中输出的信号相对应的数字信号。数字存储器108保持列计数器单元107的计数值。当列中的数字存储器108被水平扫描单元109选择时,它们所保持的计数值被输出到节点DOUT。

[0051] 图7示出了列放大单元103、列比较单元105和列控制单元106的其他配置示例。与图2中的电路图的差异将被主要描述。根据本实施例的列放大单元103与在图2中示出的列放大单元103的差异在于放大单元amp不是差分放大器。

[0052] 根据本实施例的列比较单元105包括列输出限制单元110。列输出限制单元110包括限幅电路,该限幅电路控制来自列放大单元103的输出VOUT以使基于限幅电压VCLP的电势低于预定电势。像前面提到的实施例一样,根据本实施例,当来自列放大单元103的输出大于阈值VTH时,列控制单元106通过使用信号ATT将列放大单元103的增益改变为更低增益。此外,根据本实施例,列输出限制单元110操作来根据关于输出VOUT是否正被列输出限制单元110限制的判定结果来切换信号ATT。

[0053] 图8是用于说明根据本实施例的操作的时序图。将参考图6至图8来描述这些操作。

图8在部分(a)中示出了在从列放大单元103中输出的信号是低亮度信号的情况下的来自列放大单元103的输出、基准信号VRMP和信号ATT。而另一方面部分(b)示出了在从列放大单元103中输出的信号是高亮度信号的情况下的来自列放大单元103的输出、基准信号VRMP和信号ATT。在图8中,标记(a)和(b)不被给予在部分(a)和(b)两者中共有的部分。

[0054] 因为从时间t1到时间t4的时段期间的操作与在图3中示出的那些相同,因此将省略其描述。

[0055] 在部分(a)和(b)中在从时间t10到时间t11的时段期间发生的操作是相同的。在时间t10处,基准信号生成单元104使基准信号VRMP从初始值起随时间单调地增加。如果基准信号VRMP在某一时间大于来自列放大单元103的输出VOUT,则来自列比较单元105的输出的逻辑电平被反转。响应于此,由列计数器单元107执行的计数操作停止。因此,包含因列放大单元103的复位而产生的噪声的信号进行AD转换(图8中的N_AD)。在计数操作停止之后,计数值被传送到数字存储器108。

[0056] 响应于在时间t12处将信号PTX改变为高电平,在光电二极管PD中累积的电荷被传送到浮动扩散部分FD。结果,列放大单元103的输入节点VIN的电势被降低,并且列放大单元103的输出VOUT被改变为具有更高电平。在部分(a)中,因为来自列放大单元103的输出未高达需要由列输出限制单元110进行限制操作的程度,因此信号ATT保持其低电平。换言之,列放大单元103的增益被维持。另一方面,在部分(b)中,因为来自列放大单元103的输出过高,因此其被列输出限制单元110限制。

[0057] 响应于列输出限制单元110在时间t13处对来自列放大单元103的输出执行的限制操作,列控制单元106将信号ATT改变为高电平。因为这使开关Sf2导通,因此列放大单元103的增益从1倍减小到1/4倍。

[0058] 然后,在信号PTX被改变为具有低电平之后,基准信号生成单元104在时间t14处使基准信号VRMP随时间单调地增加。基准信号VRMP的随时间的斜率可能等于其在从时间t10到时间t11的时段中的随时间的斜率。响应于列放大单元103的输出VOUT在某一时间改变为大于基准信号VRMP,列比较单元105的输出的逻辑电平被反转。响应于此,列计数器单元107的计数操作停止。因此,基于在光电转换单元中生成的电荷的光学信号被进行AD转换(图8中的S_AD)。在计数操作停止之后,计数值被传送到数字存储器108。例如,未示出的信号处理单元可被用来获取通过在从时间t10到时间t11的时段期间执行的操作而获取的数字信号与通过在从时间t14到时间t15的时段期间执行的操作而获取的数字信号之间的差异以执行CDS处理,以使得因列放大单元103的复位而产生的噪声可被降低。

[0059] 列控制单元106将描述列输出限制单元110是否已经限制来自列放大单元103的输出的标识信号存储在数字存储器108中。后一级中的电路被允许根据该标识信号来判定在列放大单元103中施加了哪一个增益设定来获取数字信号。

[0060] 同样根据本实施例,像前面提到的实施例一样,在反馈电容Cf1和Cf2两者都被复位之后,反馈电容Cf2被与放大器amp的反馈路径隔离。此后,当列放大单元103的输出被列输出限制单元110限制时,反馈电容Cf2被再次连接到放大器amp的反馈路径。因此,因由开关Sf2的接通造成的开关噪声而产生的电荷被分到两个反馈电容Cf1和Cf2。因此,开关噪声的影响可被降低。

[0061] 已经描述了具有一个输入的放大单元amp被用作列放大单元103,根据第一和第二

实施例中的一个的列放大单元103可被使用。

[0062] 第四实施例

[0063] 图9是示出放大单元amp和列输出限制单元110的更详细配置的等效电路图。

[0064] 放大单元amp是包括四个晶体管M1至M4的共源放大电路。NMOS晶体管M4是共源放大电路中的放大晶体管,并且具有接收将被放大单元amp放大的信号的栅极。NMOS晶体管M3是与NMOS晶体管M4串联的共栅晶体管。PMOS晶体管M1和M2是级联的恒流负载。在本实施例中,可提供4 μ A电流。将被馈送至PMOS晶体管M1和M2及NMOS晶体管M3的栅极的电压VBPB、VBPG和VBNG是用于确定对应晶体管的工作点的偏置电压。

[0065] 列输出限制单元110包括晶体管M5至M7。PMOS晶体管M5起限幅晶体管的作用。PMOS晶体管M5具有与输出节点VOUT相连的源极、通过NMOS晶体管M6与GND相连并且与NMOS晶体管M7的栅极和判断值输出单元112相连的漏极。限幅电压VCLP被馈送至PMOS晶体管M5的栅极。NMOS晶体管M6是在PMOS晶体管M5被导通时起用于吸收(sink)恒流的负载的作用的晶体管,并且其工作点是根据偏置电压VBNB来确定的。根据本实施例,NMOS晶体管M6能够提供1 μ A电流。NMOS晶体管M7具有与输出节点VOUT相连的漏极和与GND相连的源极。判断值输出单元112包括2级反相器电路。从判断值输出单元112中输出的信号被输入到列控制单元106。

[0066] 接下来,将描述根据本实施例的列输出限制单元110所要执行的操作。当放大单元amp的输出具有足够低的电平时,PMOS晶体管M5具有关断状态。在这种情况下,因为NMOS晶体管M6具有导通状态,因此NMOS晶体管M7具有大致等于GND电平的栅极电压。因此,NMOS晶体管M7也具有关断状态。结果,因为PMOS晶体管M5和NMOS晶体管M7都具有关断状态,因此列输出限制单元110对来自放大单元amp的输出基本没有影响。

[0067] 将检查例如高亮度信号被输入到放大单元amp并且输出节点VOUT的电势上升的情况。当PMOS晶体管M5的源极电压即输出节点VOUT的电压大于取决于限幅电压VCLP的阈值时,PMOS晶体管M5被改变为具有导通状态。同时,NMOS晶体管M7的栅极电压上升,并且NMOS晶体管M7也被改变为具有导通状态。结果,从放大单元amp的负载电流源M1和M2馈送的电流被吸收到列输出限制单元110以及NMOS晶体管M3和M4,并且放大单元amp的输出被改变为具有输出不上升到该值或者更大值的限幅状态。因此,放大单元amp的输出可被限制。

[0068] 判断值输出单元112包括2级反相器,并且输出表明NMOS晶体管M7的栅极电压已经增大的信号。换言之,该信号表明由PMOS晶体管M5执行的输出限制是活动的。已经接收到该信号的列控制单元106向后一级中的电路发送表明限幅操作已被执行、即放大单元amp的输出已被限制的信号。

[0069] 图10示出了输出限制单元的另一配置示例。在该配置中,作为由放大单元amp执行的输出限制操作的阈值的两个限幅电压是可设置的。将被馈送至作为第一限幅晶体管的PMOS晶体管M5的第一限幅电压VCLP和将被馈送给作为第二限幅晶体管的PMOS晶体管M12的第二限幅电压VCLP2具有 $VCLP < VCLP2$ 的关系。

[0070] 在图10中示出的列输出限制单元110包括晶体管M5至M12。PMOS晶体管M5具有与输出节点VOUT相连的源极和通过NMOS晶体管M6与GND相连并且与NMOS晶体管M7和NMOS晶体管M9的栅极相连的漏极。PMOS晶体管M5具有与包括PMOS晶体管M10和NMOS晶体管M11的反相器电路的输出相连的栅极。包括PMOS晶体管M10和NMOS晶体管M11的反相器电路根据信号PCLP_EN向PMOS晶体管M5的栅极提供限幅电压VCLP或者vdd。NMOS晶体管M6是在PMOS晶体管

M5被导通时起吸收恒流的负载的作用的晶体管,并且其工作点是根据偏置电压VBNB来确定的。根据本实施例,NMOS晶体管M6能够提供1 μ A电流。NMOS晶体管M7具有与输出节点VOUT相连的漏极和与GND相连的源极。

[0071] PMOS晶体管M8和NMOS晶体管M9对应于图9中的2级反相器电路的第一级中的反相器电路。

[0072] 图11是用于说明当在图10中示出的电路被使用时将被执行的操作的时序图。除了添加了信号PJ DG和PCLP_EN之外,图11与图8相同。因此,将适当地省略关于与图8中的那些相同的操作的描述。

[0073] 在列放大单元103的复位完成时的时间t4之后,信号PCLP_EN在时间t16处被改变为具有高电平。因此,PMOS晶体管M5被导通以具有栅极电压VCLP。此时,PMOS晶体管M5和M12两者都可以起限幅晶体管的作用。然而,PMOS晶体管M5基于关系 $V_{CLP2} > V_{CLP}$ 而被激活。

[0074] 在信号PTX被改变为具有高电平时的时间t12之前,信号PJ DG从时间t17起被改变为具有高电平。因此,来自包括PMOS晶体管M8和NMOS晶体管M9的反相器电路的输出具有高阻抗状态。结果,来自反相器电路的输出由于寄生电容的存在而被保持在高电平。

[0075] 当高亮度信号从时间t12起被输入到列放大单元103时,PMOS晶体管M5被导通。因此,NMOS晶体管M7和M9的栅极电压增大,并且来自包括晶体管M8和M9的反相器的输出被反转为低电压。基于该信号,列控制单元106使信号ATT转变为高电平。然后,在开始转换时的时间t14之前的时间t18处,信号PCLP_EN和PJ DGAD被转变为低电平。因此,PMOS晶体管M5和判断值输出单元112被转变为非工作状态,并且只有PMOS晶体管M12被激活。

[0076] 这对于更加安全地关断PMOS晶体管M5是有效的。限幅电压VCLP被馈送至PMOS晶体管M5的栅极并且输出节点VOUT的电压略微低于取决于限幅电压VCLP的阈值电压,PMOS晶体管M5可以在亚阈值区域中工作。当PMOS晶体管M5执行这种亚阈值操作时,放大单元amp可能无法输出正确值。因此,如上所述的处理可以使PMOS晶体管安全地转变为关断状态。

[0077] 第五实施例

[0078] 图12示出了成像系统的一个配置示例。成像系统800可包括例如光学单元810、图像拾取设备100、视频信号处理单元830、记录/通信单元840、定时控制单元850、系统控制单元860和再现/显示单元870。成像装置820具有图像拾取设备100和视频信号处理单元830。图像拾取设备100可以是根据前面提到的实施例中的一个的光电转换装置。

[0079] 作为诸如透镜之类的光学系统的光学单元810聚焦来自照相对象的光以在图像拾取设备100中的包括二维排列的多个像素的像素部分10中形成照相对象的图像。图像拾取设备100在基于来自定时控制单元850的信号的时间点处输出根据在像素部件10中成像的光的信号。从图像拾取设备100输出的信号被输入到作为视频信号处理单元的视频信号处理单元830,并且视频信号处理单元830例如根据在程序中定义的方法来执行信号处理。通过由视频信号处理单元830执行的处理来获取的信号作为图像数据而被发送到记录/通信单元840。记录/通信单元840将用于形成图像的信号发送到再现/显示单元870,并且使再现/显示单元870再现和显示对应的运动图像或静止图像。记录/通信单元840接收来自视频信号处理单元830的信号,并且与系统控制单元860通信,并且执行将用于形成图像的信号记录在未示出的记录介质中的操作。

[0080] 系统控制单元860被配置为总体地控制由成像系统光学单元810执行的操作,并且

控制定时控制单元850、记录/通信单元840和再现/显示单元870的驱动。系统控制单元860可以包括例如作为记录介质的未示出的存储设备,并且用于控制由成像系统执行的操作的程序被存储在该存储设备中。系统控制单元860可以提供用于例如根据用户操作来切换驱动模式或灵敏度的信号。其具体示例可以包括对要被读出或复位的行的改变、针对电子变焦的视场角的改变以及针对电子防振的视场角的移动。当成像系统的灵敏度根据用户输入而被切换时,图像拾取设备100的灵敏度也根据该切换而被切换。换言之,系统控制单元860起用于选择成像系统800的灵敏度的灵敏度选择单元的作用,并且图像拾取设备100的灵敏度也根据选择的灵敏度而被切换。

[0081] 定时控制单元850被配置为在由系统控制单元860执行的控制下控制图像拾取设备100和视频信号处理单元830的驱动定时。定时控制单元850也可以起被配置为设置图像拾取设备100的成像灵敏度的灵敏度设置单元的作用。

[0082] 根据本发明,在切换放大单元的增益时造成的偏移误差可被减小。

[0083] 尽管已经参考示例性实施例描述了本发明,但是将会明白,本发明不限于所公开的示例性实施例。以下权利要求的范围将被赋予最宽的解释以便包含所有这种修改以及等同的结构和功能。

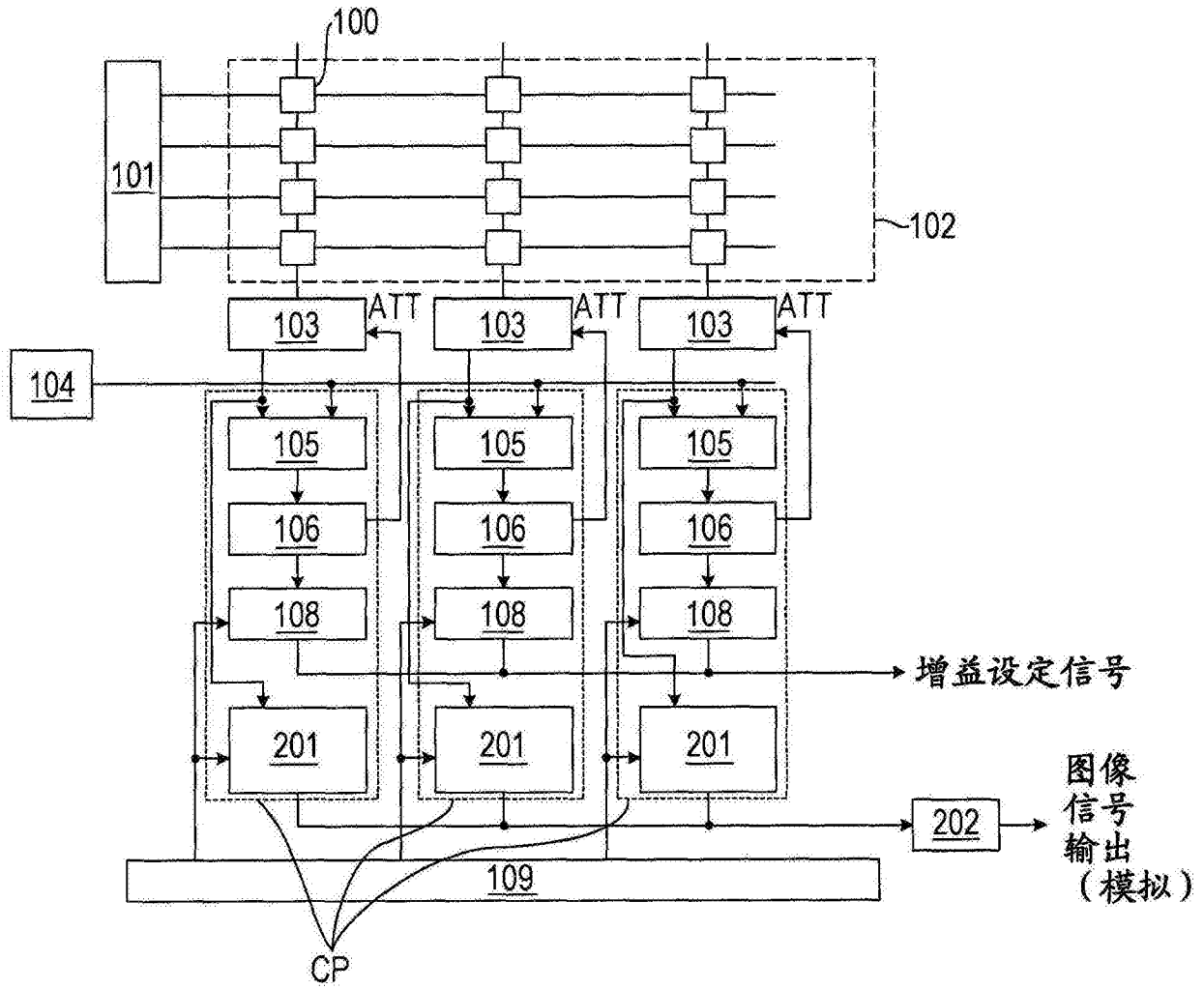


图1A

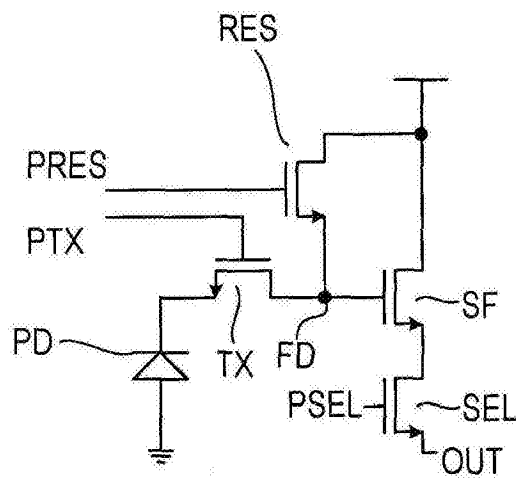


图1B

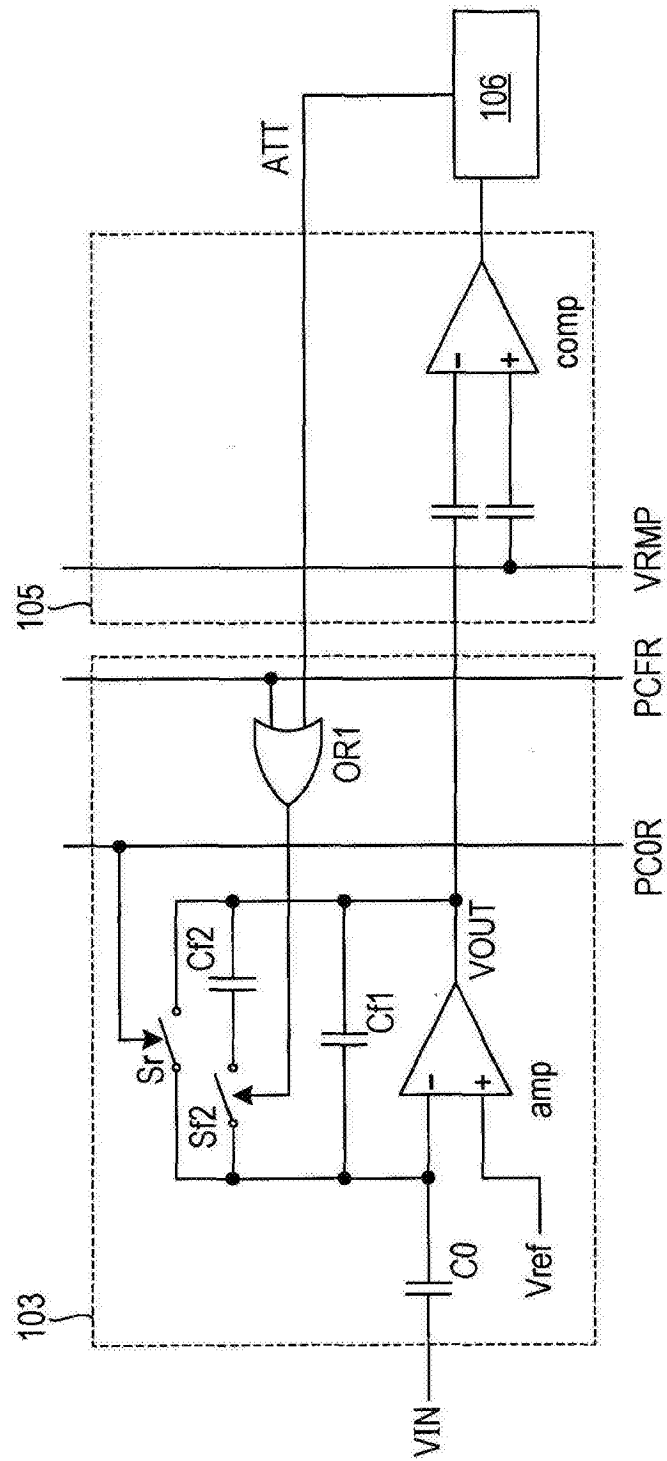


图2

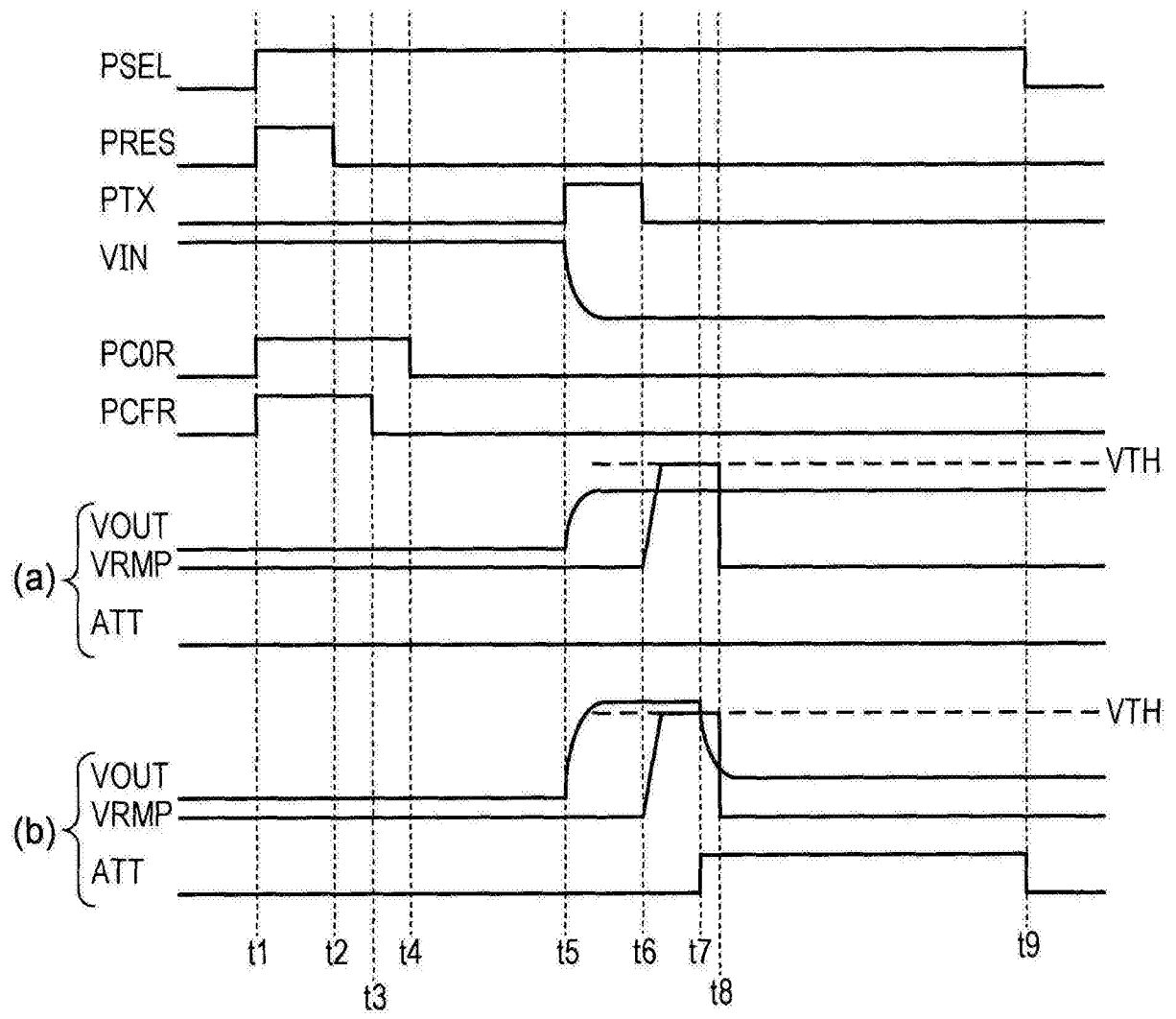


图3

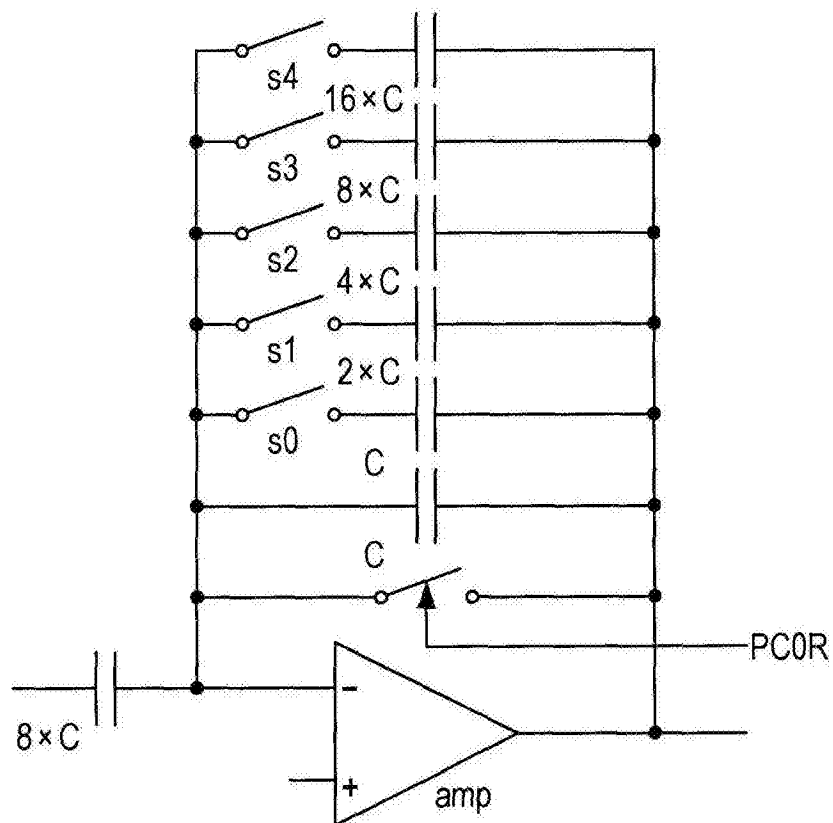


图4

ATT = L 电平					ATT = H 电平				
	r_gain					r_gain			
	00	01	10	11		00	01	10	11
s0	接通	接通	接通	断开	s0	接通	接通	接通	接通
s1	接通	接通	断开	断开	s1	接通	接通	接通	接通
s2	接通	断开	断开	断开	s2	接通	接通	接通	断开
s3	断开	断开	断开	断开	s3	接通	接通	断开	断开
s4	断开	断开	断开	断开	s4	接通	断开	断开	断开

图5

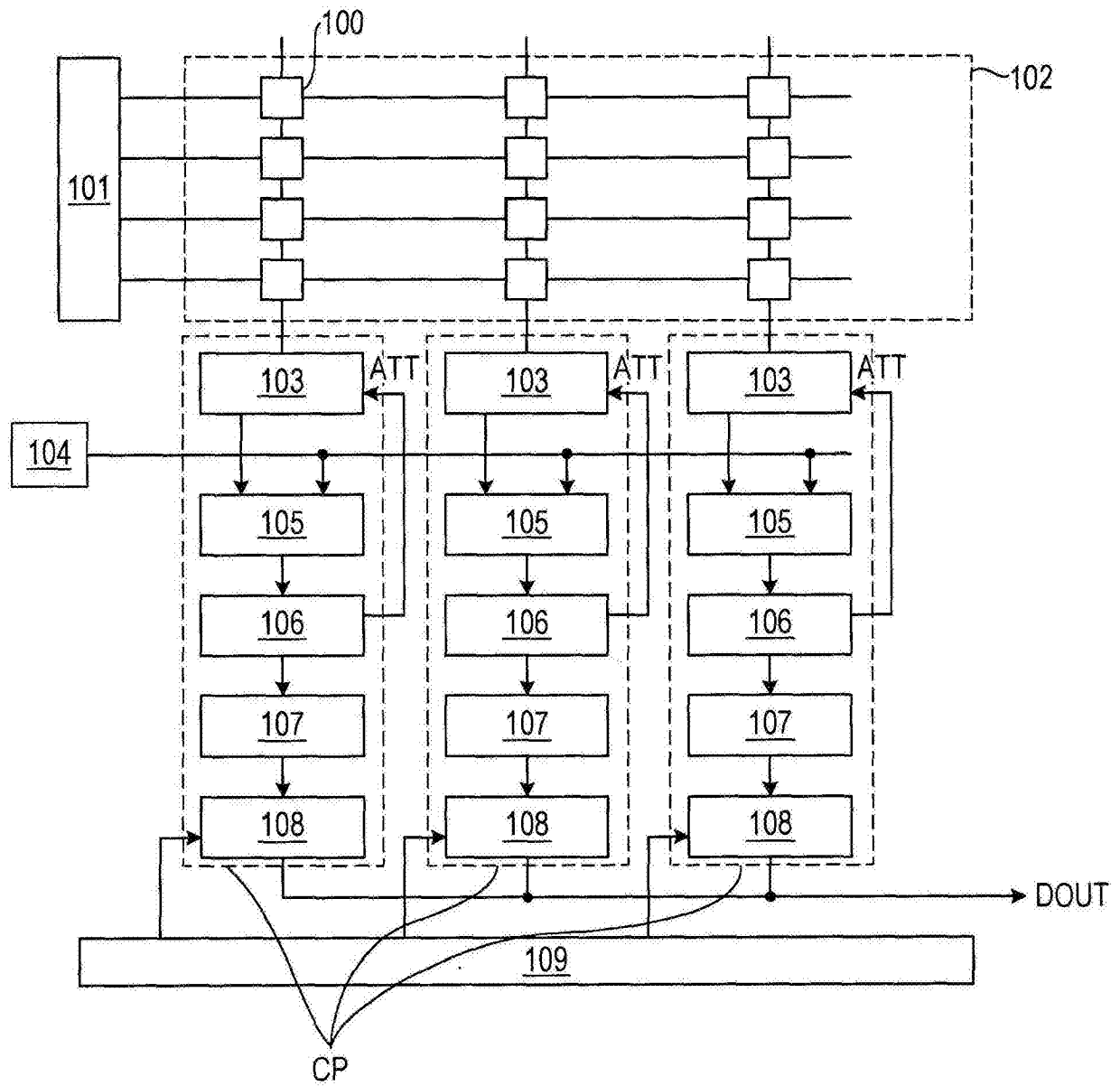


图6

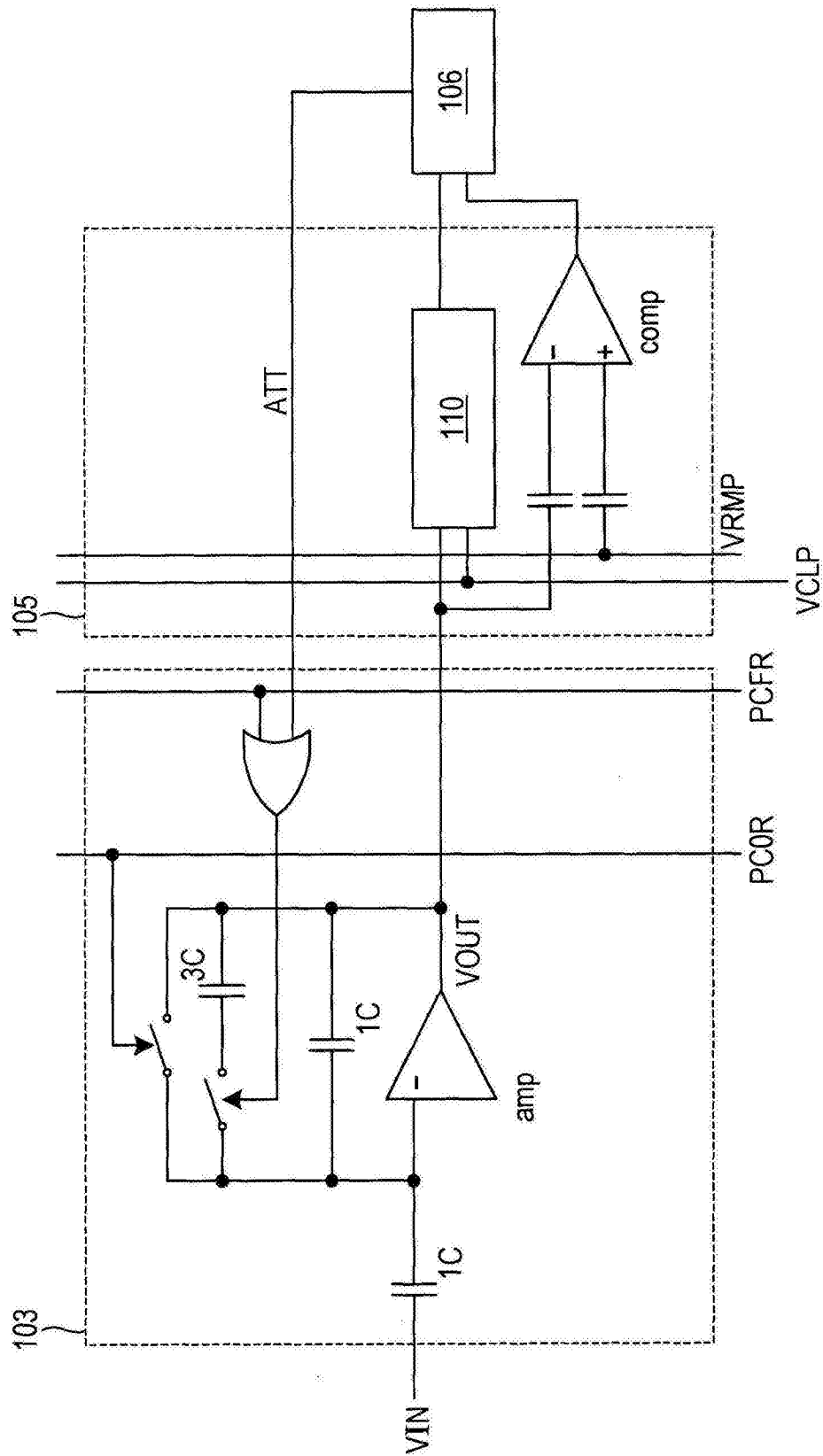


图7

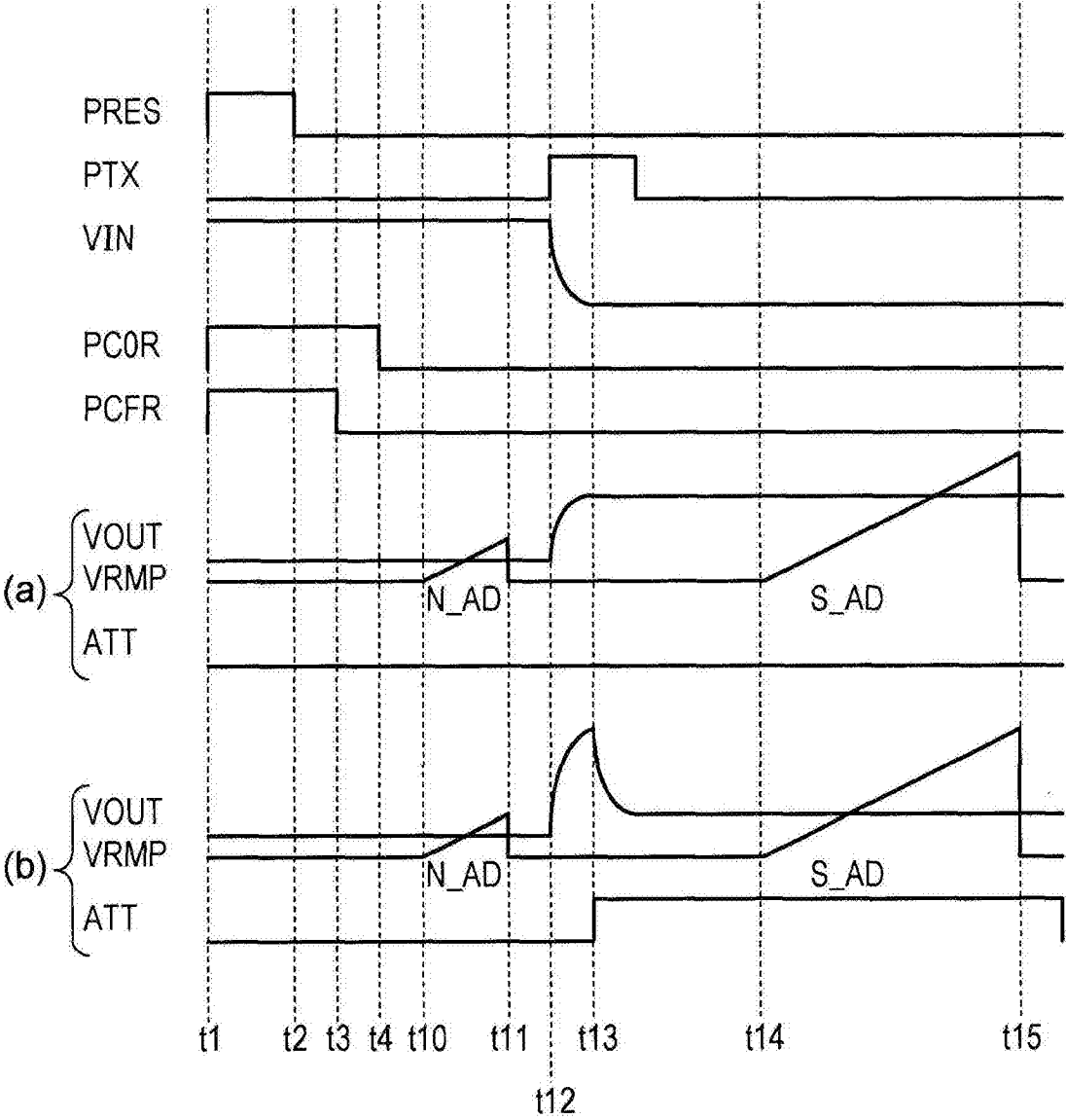


图8

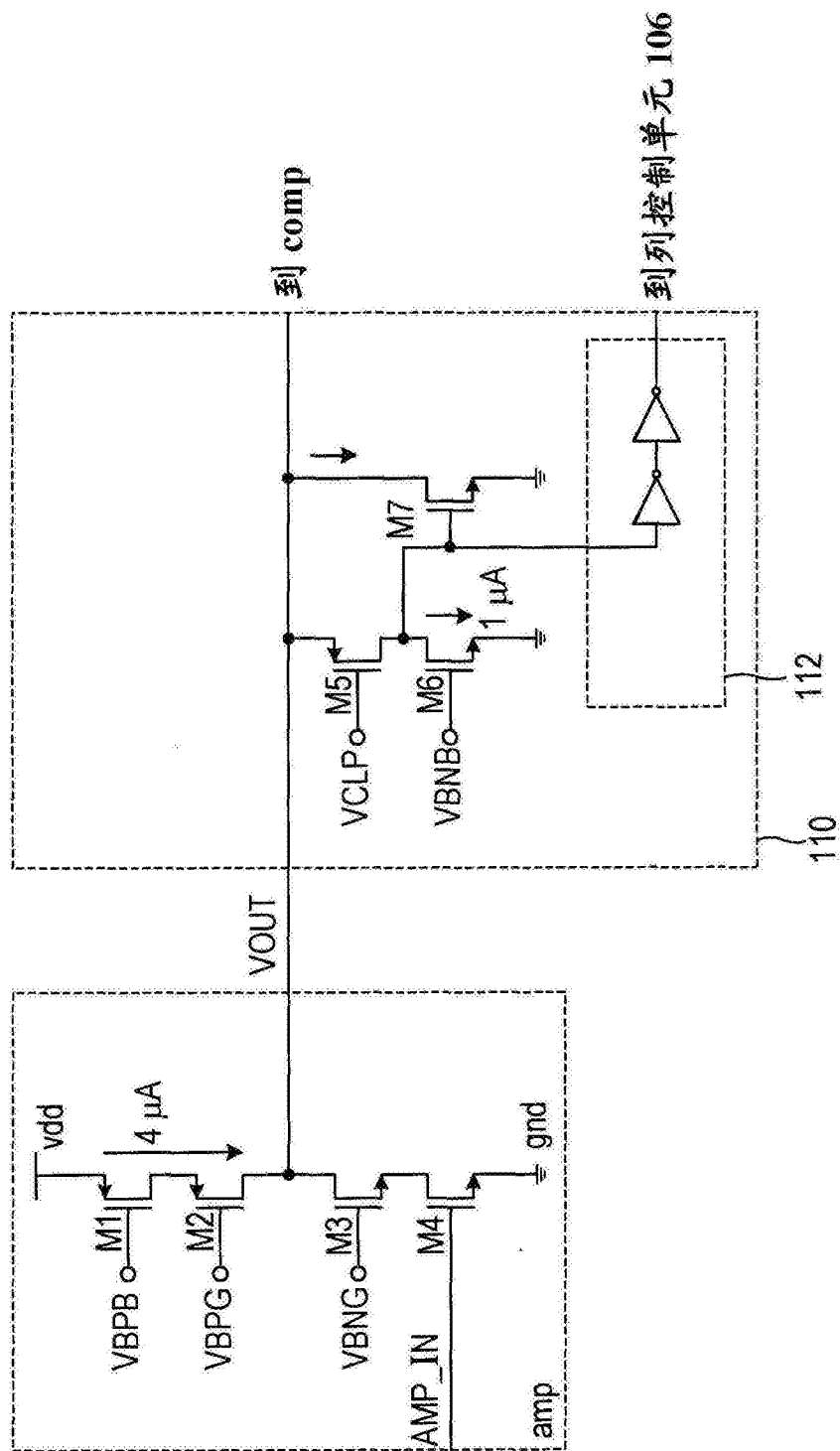


图9

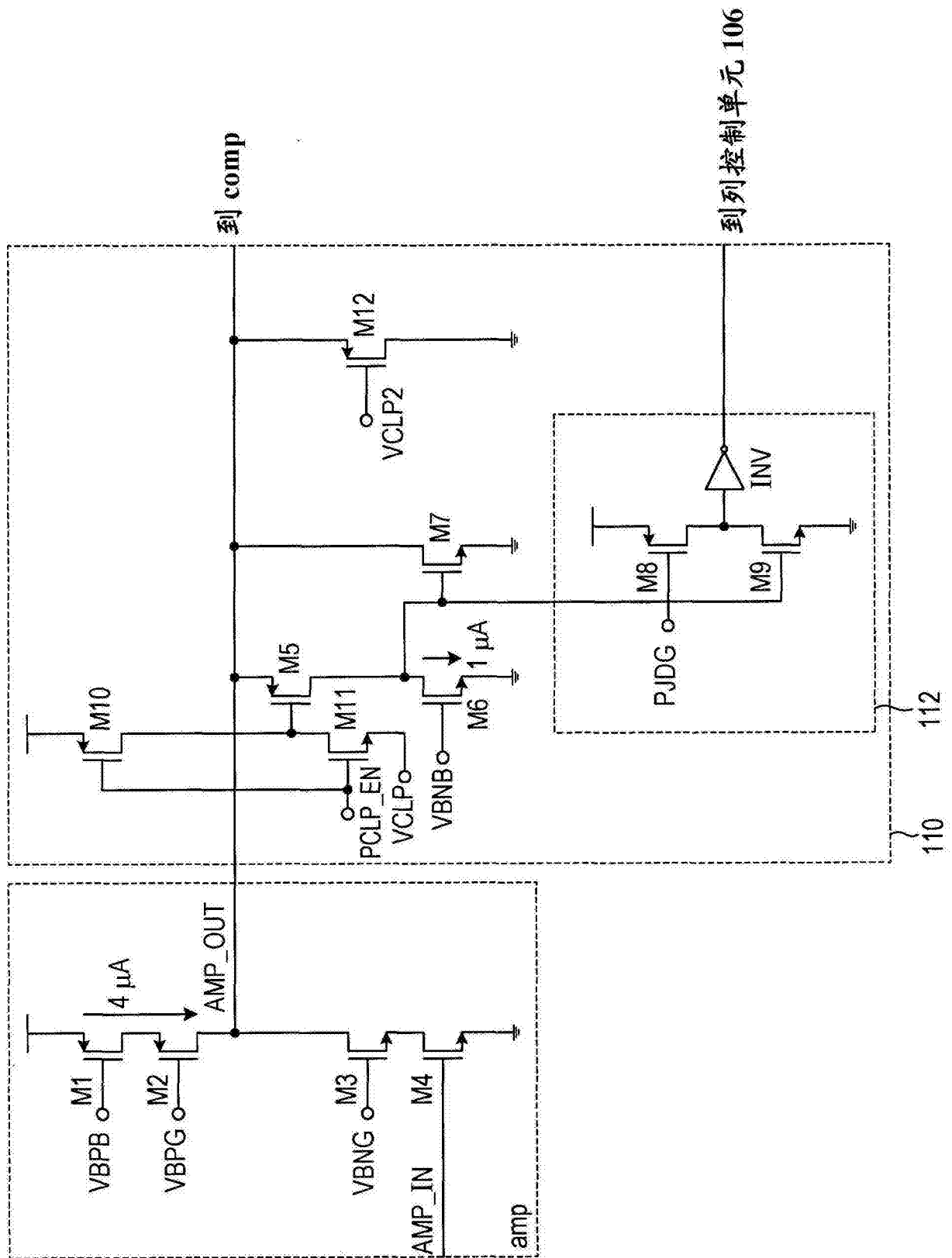


图10

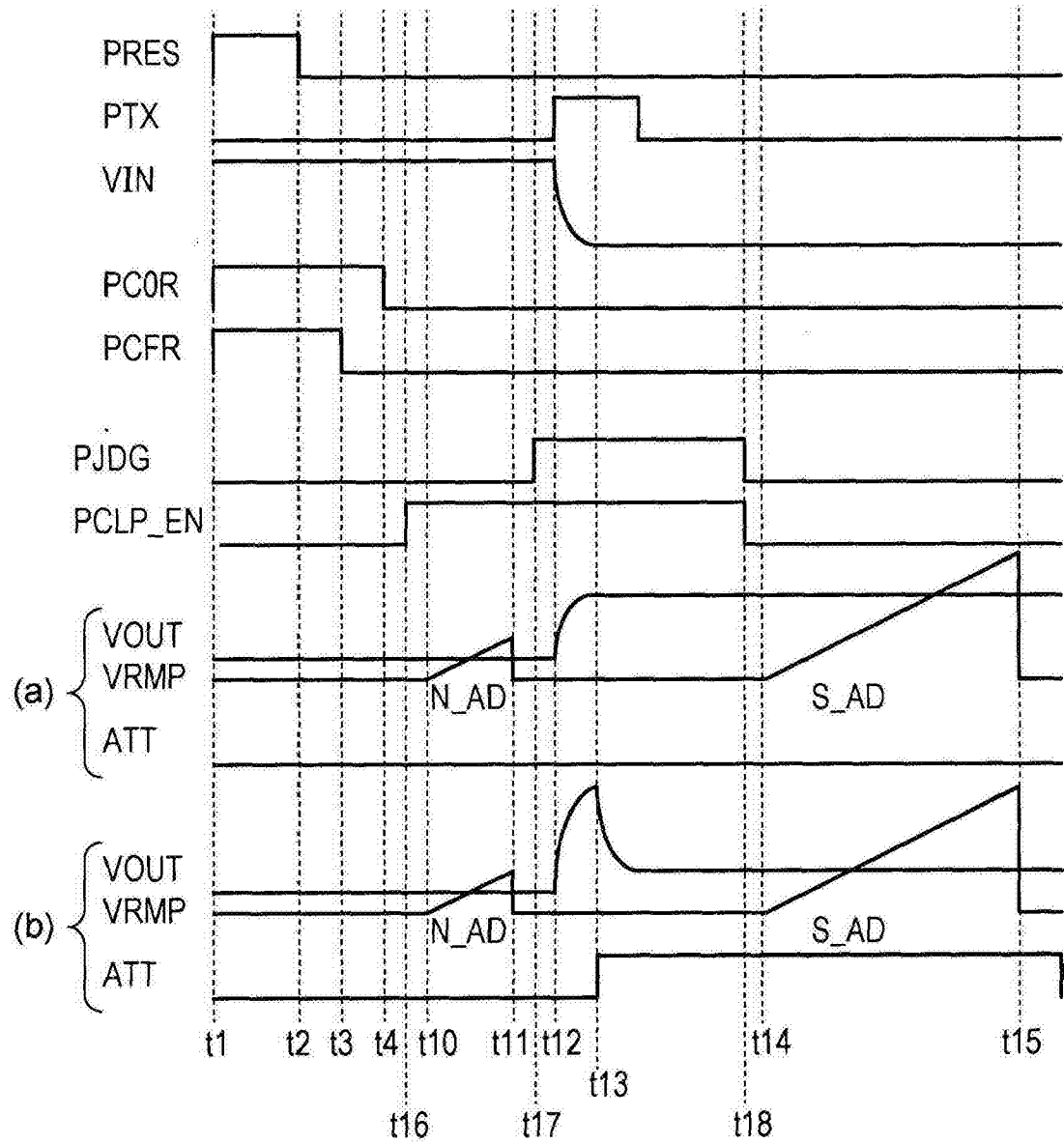


图11

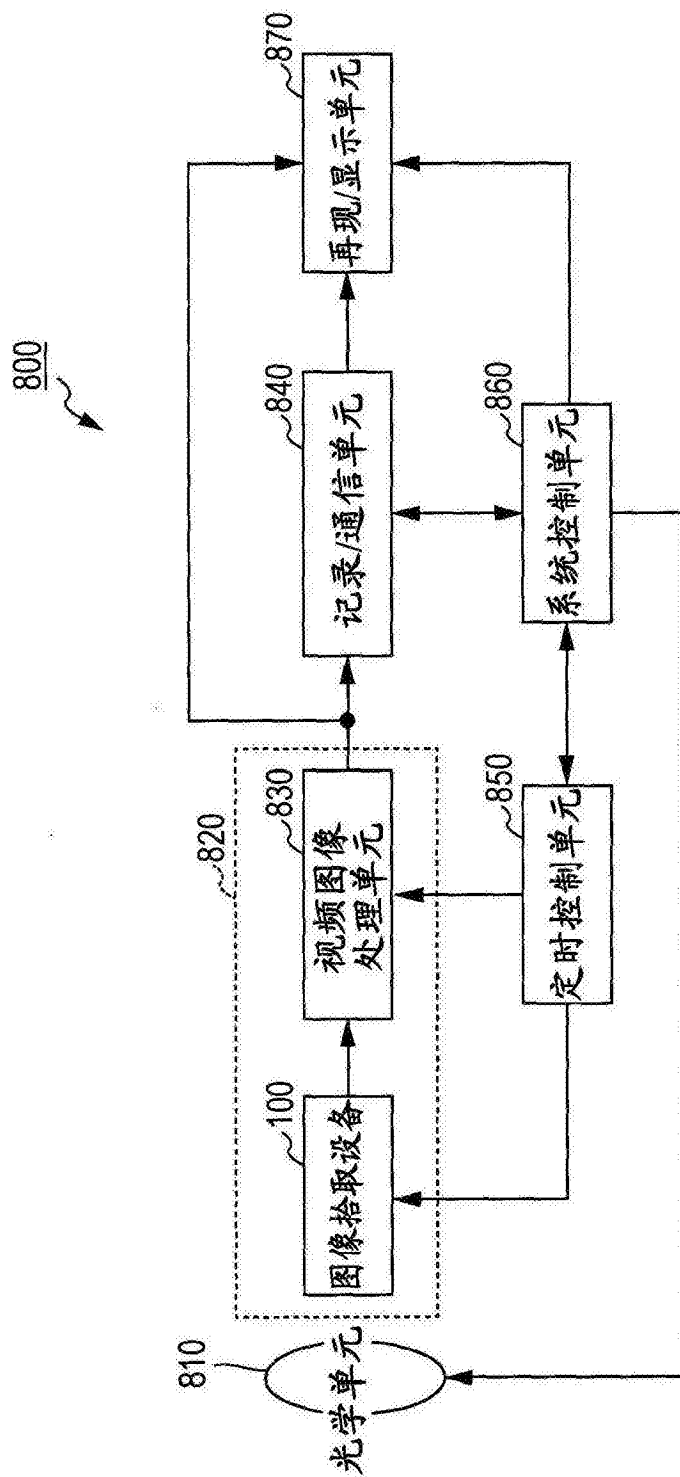


图12