

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2024-0030145
(43) 공개일자 2024년03월07일

(51) 국제특허분류(Int. Cl.)

H10N 70/00 (2024.01) H10B 63/00 (2023.01)

(52) CPC특허분류

H10N 70/826 (2023.02)

H10B 63/20 (2023.02)

(21) 출원번호 10-2022-0108799

(22) 출원일자 2022년08월30일

심사청구일자 2022년08월30일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김태근

경기도 성남시 분당구 양현로 88, 503동 1403호

유민지

서울특별시 노원구 석계로13길 45-7, 405호

김태호

서울특별시 송파구 송이로15길 31, 104동 902호

(74) 대리인

권성현, 유광철, 김정연, 강일신, 백두진

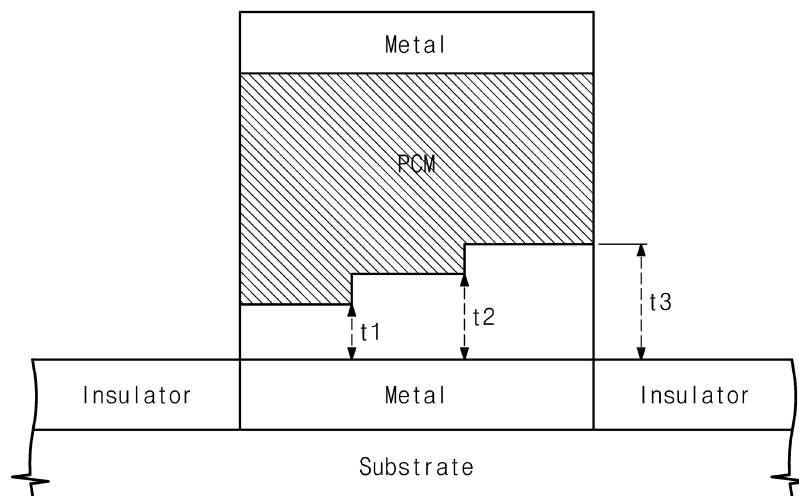
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 서로 다른 높이를 갖는 절연층을 통해 멀티 레벨 구현이 가능한 상변화 메모리 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 상변화 메모리 장치는 서로 대향하도록 구성되는 하부 전극과 상부 전극; 상기 하부 전극 상에 제공되며, 측면이 서로 연결한 서로 다른 높이를 갖는 복수의 절연체 기둥을 포함하는 절연층; 및 상기 절연층의 상면과 상기 상부 전극의 저면 사이에 제공되는 상변화층을 포함한다.

대표도 - 도1



(52) CPC특허분류

H10N 70/021 (2023.02)

H10N 70/063 (2023.02)

H10N 70/231 (2023.02)

H10N 70/841 (2023.02)

H10N 70/882 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711156838
과제번호	2016R1A3B1908249
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	유리투명전극 기반 고효율 광전소자 연구
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2022.03.01 ~ 2023.02.28

명세서

청구범위

청구항 1

서로 대향하도록 구성되는 하부 전극과 상부 전극;

상기 하부 전극 상에 제공되며, 측면이 서로 연결한 서로 다른 높이를 갖는 복수의 절연체 기둥을 포함하는 절연층; 및

상기 절연층의 상면과 상기 상부 전극의 저면 사이에 제공되는 상변화층을 포함하는,

상변화 메모리 장치.

청구항 2

제1항에 있어서,

상기 절연층은:

제1 높이와 제1 폭을 갖으며, 제1 층을 형성하도록 구성되는 제1 절연체 기둥; 및

상기 제1 높이보다 낮은 제2 높이를 갖고 제2 폭을 갖으며, 제2 층을 형성하도록 구성되는 제2 절연체 기둥을 포함하는, 상변화 메모리 장치.

청구항 3

제2항에 있어서,

상기 제1 폭과 상기 제2 폭의 합은 상기 상변화층의 폭에 대응되도록 구성되는, 상변화 메모리 장치.

청구항 4

제3항에 있어서,

상기 절연층은:

상기 제2 높이보다 낮은 제3 높이를 갖고 제3 폭을 갖으며, 제3 층을 형성하도록 구성되는 제2 절연체 기둥을 더 포함하는, 상변화 메모리 장치.

청구항 5

제4항에 있어서,

상기 제1 폭, 상기 제2 폭 및 상기 제3 폭의 합은 상기 상변화층의 폭에 대응되도록 구성되는, 상변화 메모리 장치.

청구항 6

제2항에 있어서,

상기 제1 높이는:

상기 제1 절연체 기둥에서 direct tunneling 현상이 발생하기에 충분히 낮은 높이인, 상변화 메모리 장치.

청구항 7

제1항에 있어서,

상기 상변화층은:

Ge-Sb-Te, Ge-Se, Ge-Te, Ge-Sb, Ge-Te-As, Ge-Te-Sn, Ge-Te-Ti, Ge-Te-Se, Ge-Te-As, Ge-Bi-Te, Ge-Sb-Te-Se, Ge-Sn-Sb-Te, Ge-Sb-Te-S, Ge-Te-Sn-O, Ge-Te-Sn-Au, Ge-Te-Sn-Pd, SIn-Sb-Te, In-Se, Sb-Te, Sb-Se-Bi, Sb-Se-Bi, Se-Te-Sn 및 Ag-In-Sb-Te 중 적어도 어느 하나를 포함하도록 구성되는, 상변화 메모리 장치.

청구항 8

제1항에 있어서,

상기 절연층은:

SiO₂, Al₂O₃, TiO₂, Ta₂O₅, HfO, NiO, CoO, MnO, WO, ZrO, RuO, MoO 및 FeO 중 적어도 어느 하나를 포함하도록 구성되는, 상변화 메모리 장치.

청구항 9

제1항에 있어서,

상기 하부 전극 또는 상기 상부 전극은:

TiN, Pt, W, TiW, Ag, Ta, TaN, TaW, Al, TiAl, TiN, MoN, MoAlN, TaSiN, TaAlN, WON, TiCN 및 TiON 중 적어도 어느 하나를 포함하도록 구성되는, 상변화 메모리 장치.

청구항 10

하부 전극 상에 절연층을 증착하는 절연층 증착 단계;

상기 절연층 상면의 일부 영역을 식각하여 높이에 차등을 주는 절연층 식각 단계;

상기 절연층 상에 상변화층을 증착하는 상변화층 증착 단계; 및

상기 상변화층 상에 상부 전극을 증착하는 상부 전극 증착 단계를 포함하는,

상변화 메모리 장치 제작 방법.

청구항 11

제10항에 있어서,

상기 절연층 증착 단계 이전에,

기판 상에 하부 전극을 증착하고, 상기 하부 전극을 둘러싼 영역에 절연 물질을 증착하는 하부 전극 증착 단계를 더 포함하는, 상변화 메모리 장치 제작 방법.

청구항 12

제10항에 있어서,

상기 절연층 증착 단계는:

상기 상기 하부 전극 상에 제1 높이로 절연 물질을 증착하는 단계를 포함하는, 상변화 메모리 장치 제작 방법.

청구항 13

제12항에 있어서,

상기 절연층 식각 단계는:

상기 절연 물질의 상면에서 제1 폭에 해당하는 영역을 제외한 나머지 영역을 식각 함으로써 상기 제1 폭과 상기 제1 높이를 갖는 제1 층과 그 외 영역에 해당하며 제2 높이를 갖는 제2 층을 형성하는 제1 식각 단계를 포함하는, 상변화 메모리 장치 제작 방법.

청구항 14

제13항에 있어서,

상기 절연층 식각 단계는:

상기 제2 층의 상면에서 제2 폭에 해당하는 영역을 제외한 나머지 영역을 식각 함으로써 상기 제2 폭과 제2 높이를 갖는 제2 층과 그 외 영역에 해당하며 제3 높이를 갖는 제3 층을 형성하는 제2 식각 단계를 더 포함하는, 상변화 메모리 장치 제작 방법.

청구항 15

제10항에 있어서,

상기 상변화층 증착 단계는:

높이의 차등이 존재하는 상기 절연층의 상면에 상변화 물질을 증착하는 단계; 및

상기 하부 전극의 상면과 상기 상변화 물질의 상면 간의 거리가 동일하도록 상기 상변화 물질의 상면을 평탄화하는 단계를 포함하는, 상변화 메모리 장치 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 서로 다른 높이를 갖는 절연층을 통해 멀티 레벨 구현이 가능한 상변화 메모리 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 상변화 메모리(phase change random access memory; PRAM)는 차세대 비휘발성 메모리의 한 종류이며, NAND Flash 메모리의 비휘발성과 DRAM(dynamic random access memory)의 빠른 스위칭 속도의 장점이 결합된 새로운 개념의 메모리/스토리지 장치이다.

[0003] 상변화 메모리(PRAM)의 기본 구조로는 상부 전극과 하부 전극 사이에 상변화를 일으키는 물질인 상변화 물질(phase change material; PCM)을 위치시킨 후 이를 스위칭 레이어로 사용하며, 스위칭 레이어의 비결정상(amorphous)과 결정상(crystalline) 상태가 가지는 전기전도도 차이를 이용하여 정보를 저장하고 판독할 수 있다.

[0004] 상변화를 일으키기 위해 각 메모리 셀에 논리 '0' 또는 '1'을 기록해주는 펄스 동작이 필요하며 고저항 상태는 논리 '0', 저저항 상태는 논리 '1'에 해당된다. 상변화 층은 정보를 저장하는 핵심적인 역할을 하며 상변화 메모리의 비휘발성, 빠른 스위칭 속도, 높은 재현성과 집적도 등의 우수성으로 선행 연구가 활발히 진행되고 있으며, 현재는 한 웨이퍼 상에 더 많은 개수의 소자를 집적시키기 위한 고집적/고밀도의 cross-array 구조 구현에

대한 연구 개발이 많이 선행되어 오고 있다.

- [0005] Ge-Sb-Te 3원계 칼코게나이드 물질(GST)은 상변화 메모리 소자 제작에 있어 가장 보편적으로 사용한다. 하지만, GST 물질의 낮은 결정화 온도(189° C)로 인하여 어레이 구동 시 전력 소비 측면에서 큰 문제점을 야기하는 셀 간 열 간섭 현상의 문제점이 발생한다. 또한, 쓰기/지우기 동작을 반복함에 따라 amorphous 위상에서 발생하는 원자 이탈 현상으로 인하여 고밀도의 어레이 구현에 어려움이 발생한다.
- [0006] 현재에는 열적 안정성과 소자화 문제를 개선시키기 위해 상변화 물질(phase change material; PCM), Transition metal dichalcogenide(TMDC), 절연 물질 등을 사용한 multi-layer 형 PRAM에 대한 연구가 활발히 진행되고 있지만 구조적, 물질적 한계점에 있어서 개선되어야 할 문제점은 아직도 현존하고 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 실시예는 하부 전극과 상변화 물질 사이에 서로 다른 높이를 갖는 절연층을 삽입함으로써 상변화 메모리에 걸리는 전압의 크기에 따라 상기 상변화 물질의 특정 영역에 국한된 상변화를 야기하여 멀티 레벨 동작을 구현할 수 있는, 서로 다른 높이를 갖는 절연층을 통해 멀티 레벨 구현이 가능한 상변화 메모리 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.
- [0008] 한편, 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따른 상변화 메모리 장치는 서로 대향하도록 구성되는 하부 전극과 상부 전극; 상기 하부 전극 상에 제공되며, 측면이 서로 연결한 서로 다른 높이를 갖는 복수의 절연체 기둥을 포함하는 절연층; 및 상기 절연층의 상면과 상기 상부 전극의 저면 사이에 제공되는 상변화층을 포함한다.
- [0010] 상기 절연층은: 제1 높이와 제1 폭을 갖고, 제1 층을 형성하도록 구성되는 제1 절연체 기둥; 및 상기 제1 높이보다 낮은 제2 높이를 갖고 제2 폭을 갖고, 제2 층을 형성하도록 구성되는 제2 절연체 기둥을 포함할 수 있다.
- [0011] 상기 제1 폭과 상기 제2 폭의 합은 상기 상기 상변화층의 폭에 대응되도록 구성될 수 있다.
- [0012] 상기 절연층은: 상기 제2 높이보다 낮은 제3 높이를 갖고 제3 폭을 갖고, 제3 층을 형성하도록 구성되는 제3 절연체 기둥을 더 포함할 수 있다.
- [0013] 상기 제1 폭, 상기 제2 폭 및 상기 제3 폭의 합은 상기 상변화층의 폭에 대응되도록 구성될 수 있다.
- [0014] 상기 제1 높이는 10 나노미터 이하로 제공될 수 있다.
- [0015] 상기 상변화층은: Ge-Sb-Te, Ge-Se, Ge-Te, Ge-Sb, Ge-Te-As, Ge-Te-Sn, Ge-Te-Ti, Ge-Te-Se, Ge-Te-As, Ge-Bi-Te, Ge-Sb-Te-Se, Ge-Sn-Sb-Te, Ge-Sb-Te-S, Ge-Te-Sn-O, Ge-Te-Sn-Au, Ge-Te-Sn-Pd, SIn-Sb-Te, In-Se, Sb-Te, Sb-Se-Bi, Sb-Se-Bi, Se-Te-Sn 및 Ag-In-Sb-Te 중 적어도 어느 하나를 포함하도록 구성될 수 있다.
- [0016] 상기 절연층은: SiO₂, Al₂O₃, TiO₂, Ta₂O₅, HfO, NiO, CoO, MnO, WO, ZrO, RuO, MoO 및 FeO 중 적어도 어느 하나를 포함하도록 구성될 수 있다.
- [0017] 상기 하부 전극 또는 상기 상부 전극은: TiN, Pt, W, TiW, Ag, Ta, TaN, TaW, Al, TiAl, TiN, MoN, MoAlN, TaSiN, TaAlN, WON, TiCN 및 TiON 중 적어도 어느 하나를 포함하도록 구성될 수 있다.
- [0018] 본 발명의 일 실시예에 따른 상변화 메모리 장치 제작 방법은 하부 전극 상에 절연층을 증착하는 절연층 증착 단계; 상기 절연층 상면의 일부 영역을 식각하여 높이에 차등을 주는 절연층 식각 단계; 상기 절연층 상에 상변화층을 증착하는 상변화층 증착 단계; 및 상기 상변화층 상에 상부 전극을 증착하는 상부 전극 증착 단계를 포함한다.
- [0019] 상기 절연층 증착 단계 이전에, 기판 상에 하부 전극을 증착하고, 상기 하부 전극을 둘러싼 영역에 절연 물질을 증착하는 하부 전극 증착 단계를 더 포함할 수 있다.

- [0020] 상기 절연층 증착 단계는: 상기 상기 하부 전극 상에 제1 높이로 절연 물질을 증착하는 단계를 포함할 수 있다.
- [0021] 상기 절연층 식각 단계는: 상기 절연 물질의 상면에서 제1 폭에 해당하는 영역을 제외한 나머지 영역을 식각 함으로써 상기 제1 폭과 상기 제1 높이를 갖는 제1 층과 그 외 영역에 해당하며 제2 높이를 갖는 제2 층을 형성하는 제1 식각 단계를 포함할 수 있다.
- [0022] 상기 절연층 식각 단계는: 상기 제2 층의 상면에서 제2 폭에 해당하는 영역을 제외한 나머지 영역을 식각 함으로써 상기 제2 폭과 제2 높이를 갖는 제2 층과 그 외 영역에 해당하며 제3 높이를 갖는 제3 층을 형성하는 제2 식각 단계를 더 포함할 수 있다.
- [0023] 상기 상변화층 증착 단계는: 높이의 차등이 존재하는 상기 절연층의 상면에 상변화 물질을 증착하는 단계; 및 상기 하부 전극의 상면과 상기 상변화 물질의 상면 간의 거리가 동일하도록 상기 상변화 물질의 상면을 평탄화하는 단계를 포함할 수 있다.

발명의 효과

- [0024] 본 발명의 일 실시예에 따른 서로 다른 높이를 갖는 절연층을 통해 멀티 레벨 구현이 가능한 상변화 메모리 장치 및 그 제조 방법은 하부 전극과 상변화 물질 사이에 서로 다른 높이를 갖는 절연층을 삽입함으로써 상변화 메모리에 걸리는 전압의 크기에 따라 상기 상변화 물질의 특정 영역에 국한된 상변화를 야기하여 멀티 레벨 동작을 구현할 수 있다.
- [0025] 한편, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 상변화 메모리 장치의 정면도이다.
- 도 2는 절연층 삽입에 따라 계면 열저항이 증가하는 모습을 나타낸 도면이다.
- 도 3은 상변화 메모리 장치에 Metal Oxide가 삽입됨에 따라 열안정성(thermal stability)가 증가되는 모습을 나타낸 도면이다.
- 도 4는 direct tunneling 현상을 설명하기 위한 도면이다.
- 도 5는 제1 층, 제2 층 및 제3 층 각각에서의 저항 값을 나타낸 도면이다.
- 도 6은 상부 전극과 하부 전극의 양 단에 각기 다른 크기의 전압을 걸었을 때, 상변화가 일어날 수 있는 영역을 나타낸 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 상변화 메모리 장치 제작 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0028] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다.
- [0029] 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.
- [0030] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.

- [0031] 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 '및/또는'이라는 용어는 나열된 구성들 각각 또는 이들의 다양한 조합을 가리킨다.
- [0032] 한편, 본 명세서 전체에서 사용되는 '~부', '~기', '~블록', '~모듈' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다. 예를 들어 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미할 수 있다.
- [0033] 이하, 본 명세서의 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 상변화 메모리 장치(1)의 정면도이다.
- [0035] 도 1을 참조하면, 상변화 메모리 장치(1)는 서로 대향하도록 구성되는 하부 전극(10)과 상부 전극(40) 사이에 절연층(20)과 상변화층(30)이 차례로 적층된 형상으로 제공될 수 있다.
- [0036] 예를 들어, 하부 전극(10)과 상부 전극(40)은 TiN, Pt, W, TiW, Ag, Ta, TaN, TaW, Al, TiAl, TiN, MoN, MoAlN, TaSiN, TaAlN, WON, TiCN 및 TiON 중 적어도 어느 하나를 포함할 수 있다.
- [0037] 도 2는 절연층(20) 삽입에 따라 계면 열저항이 증가하는 모습을 나타낸 도면이다.
- [0038] 도 2를 참조하면, 상변화 메모리 장치(1)의 하부 전극(10)과 상변화층(30) 사이에 절연층(20)이 제공됨에 따라 절연층(20)과 상변화층(30) 간의 열전도율(thermal conductivity) 차이를 이용한 계면 열저항(thermal boundary resistance; TBR)이 증가하게 되며, 증가된 계면 열저항에 의해 상변화 메모리 장치(1)의 구동 시 발생하는 열 확산을 억제할 수 있다. 도 2에서의 Material 1은 본 발명의 절연층(20)에 대응될 수 있고, Material 2는 본 발명의 상변화층(30)에 대응될 수 있다.
- [0039] 도 3은 상변화 메모리 장치에 Metal Oxide가 삽입됨에 따라 열안정성(thermal stability)가 증가되는 모습을 나타낸 도면이다.
- [0040] 도 3을 참조하면, 하부 전극(10)과 상변화층(30) 사이에 절연층(20)에 해당하는 Metal Oxide층이 삽입될 경우 열 확산을 제어할 수 있으며, 특정 물질이 여러 온도에 노출되었을 때 안정성을 유지하는 능력과 관계되는 물리적 특성인 열안정성(thermal stability)가 개선됨을 알 수 있다. 도 3에서 PCM은 본 발명의 상변화층(30)에 대응될 수 있고, Metal Oxide는 본 발명의 절연층(20)에 대응될 수 있다.
- [0041] 다시 도 1을 참조하면, 하부 전극(10)은 기판(50) 상에 제공될 수 있으며, 하부 전극(10)을 둘러싼 기판(50) 상의 영역에는 절연체(60)가 제공될 수 있다. 이러한 절연체(60)는 특정 상변화 메모리 장치(1)를 구성하는 하부 전극(10)과 그 외 다른 상변화 메모리 장치를 분리시킴으로써 상변화 메모리 장치들 간의 열 확산을 감소시킬 수 있다.
- [0042] 하부 전극(10) 상에 제공되는 절연층(20)은 제1 높이(t1)와 제1 폭을 갖는 제1 층(21), 제2 높이(t2)와 제2 폭을 갖는 제2 층(22), 그리고 제3 높이(t3)와 제3 폭을 갖는 제3 층(23)을 포함할 수 있다.
- [0043] 예를 들어, 절연층(20)은 SiO₂, Al₂O₃, TiO₂, Ta₂O₅, HfO, NiO, CoO, MnO, WO, ZrO, RuO, MoO 및 FeO 중 적어도 어느 하나를 포함할 수 있다.
- [0044] 이때, 제1 층(21)을 형성하는 절연층(20)을 제1 절연체 기둥, 제2 층(22)을 형성하는 절연층(20)을 제2 절연체 기둥, 제3 층(23)을 형성하는 절연층(20)을 제3 절연체 기둥으로 명명할 수 있다.
- [0045] 도 1에서는 절연층(20)이 총 3개의 층을 포함하는 것으로 도시되어 있으나, 경우에 따라 2개의 층 만을 포함하거나 4개 이상의 층을 포함하도록 제공되는 것 역시 가능하다.
- [0046] 예를 들어, 절연층(20)이 제1 층(21) 및 제2 층(22) 만을 포함할 경우, 제1 폭 및 제2 폭의 합은 상변화층(30)의 폭에 대응될 수 있으며, 절연층(20)이 제1 층(21), 제2 층(22) 및 제3 층(23) 만을 포함할 경우, 제1 폭, 제2 폭 및 제3 폭의 합은 상변화층(30)의 폭에 대응될 수 있다.
- [0047] 도 1에서는 가장 높은 높이(t1)의 제1 층(21)이 가장 우측에, 중간 높이(t2)의 제2 층(22)이 가운데에, 그리고 가장 낮은 높이(t3)의 제3 층(23)이 가장 좌측에 제공됨에 따라 절연층(20)이 계단 형상을 갖는 것으로 도시되어 있으나, 각 층의 배열은 사용자의 선택에 따라 자유롭게 배열되는 것 역시 가능하다. 예를 들어, 가장 높은 높이(t1)의 제1 층(21)이 가장 좌측에, 중간 높이(t2)의 제2 층(22)이 가장 우측에, 그리고 가장 낮은 높이(t

3)의 제3 층(23)이 가운데에 제공되는 것 역시 가능하다.

- [0048] 절연층(20) 상에 제공되는 상변화층(30)은 상변화 물질(phase change material; PCM)을 포함한다.
- [0049] 예를 들어, 상변화 물질은 Ge-Sb-Te, Ge-Se, Ge-Te, Ge-Sb, Ge-Te-As, Ge-Te-Sn, Ge-Te-Ti, Ge-Te-Se, Ge-Te-As, Ge-Bi-Te, Ge-Sb-Te-Se, Ge-Sn-Sb-Te, Ge-Sb-Te-S, Ge-Te-Sn-O, Ge-Te-Sn-Au, Ge-Te-Sn-Pd, Sn-Sb-Te, In-Se, Sb-Te, Sb-Se-Bi, Sb-Se-Bi, Se-Te-Sn 및 Ag-In-Sb-Te 중 적어도 어느 하나를 포함할 수 있다.
- [0050] 상변화 물질은 비정질(amorphous)과 결정질(crystalline) 사이를 양방향으로 상변화 될 수 있다. 비정질화 과정은 높은 파워를 가해 물질을 녹인 후 파워 공급을 멈추면 Quenching 되어 비정질로 만드는 것으로, 간단하게 Melt and Quench라 부른다. 결정화 과정은 상변화물질의 녹는점 보다는 낮고 상온보다는 상당히 높은 온도를 가하는 Annealing을 통해 이루어진다.
- [0051] 상변화 물질이 비정질 상태가 되면 높은 저항상태(hing resistance state; HRS), 결정질 상태가 되면 낮은 저항상태(low resistance state; LRS)가 된다. HRS, LRS는 각각 Data 0, 1에 해당된다. 따라서, 각 메모리 셀에 0 또는 1을 기록해 주는 동작이 필요하며, 또한 메모리 셀의 상태를 읽어주는 동작이 필요하다. HRS, 즉, 0을 기록하는 동작을 Reset이라 부른다. 반대로 LRS, 즉, 1을 기록하는 동작을 Set이라 부른다.
- [0052] Reset 동작은 상변화 물질에 비정질 상을 형성하는 것으로서, 수십 [ns]의 동안 높은 Power Pulse를 인가하면 Joule Heating에 의하여 상변화 물질에 녹는 부위가 생기 고 Pulse가 끊긴 후에 Quenching 되어 비정질 상이 형성된다. Set 동작은 상변화 물질에 결정질 상을 형성하는 것으로 수백 [ns] 동안 중간 Power Pulse를 인가 하여 결정화 온도보다는 높지만 녹는점 보다는 낮은 온도를 만들어 주어 Annealing 효과를 발생시켜 결 정화를 하게 된다. Read 동작은 상부 전극(40)과 하부 전극(10) 양단에 작은 Voltage를 걸어 전류 값을 읽는 것으로 저항을 측정하게 된다.
- [0053] 도 4는 direct tunneling 현상을 설명하기 위한 도면이다.
- [0054] 도 4를 참조하면, direct tunneling 메커니즘에 의해, 하부 전극(BE), 절연층, 상변화물질(PCM) 및 상부 전극(TE)이 차례로 접한 소자에서, 절연층의 두께인 t_{ox} 가 증가할수록 해당 소자의 일함수 J는 감소하게 된다.
- [0055] 즉, 절연층의 두께인 t_{ox} 조절을 통해 각 층의 저항 및 전류 밀도를 제어할 수 있다.
- [0056] 도 5는 제1 층(21), 제2 층(22) 및 제3 층(23) 각각에서의 저항 값을 나타낸 도면이다.
- [0057] 도 4와 도 5를 참조하면, 절연체(20)의 높이에 따라 구분된 제1 층(21), 제2 층(22) 및 제3 층(23) 각각에서는 서로 다른 저항 값을 갖게 된다. 이때 저항 값은 절연체(20)의 비저항과 각 층의 높이에는 비례하고, 각 층의 단면적에는 반비례하는 특성을 갖게 된다.
- [0058] 따라서, 도 3에 도시된 상변화 메모리 소자(10)의 경우, 각 층의 비저항과 단면적이 동일하다고 가정했을 때, 제1 층(21), 제2 층(22), 그리고 제3 층(23) 순으로 보다 큰 저항 값을 갖게 됨을 알 수 있다.
- [0059] 다만, 제1 층(21)의 가로 폭을 제1 폭, 제2 층(22)의 가로 폭을 제2 폭, 제3 층(23)의 가로 폭을 제3 폭이라고 했을 때, 각각의 폭의 변화에 따라 각 층의 단면적이 변화하게 되며, 이를 통해 각 층의 저항 역시 조절할 수 있음은 자명하다.
- [0060] 본 발명의 일 실시예에 따른 상변화 메모리 장치(1)에 포함된 각기 다른 높이의 절연층(20)의 경우, 도 2에서 기술한 direct tunneling 메커니즘에 의해 서로 다른 저항값을 갖게 된다. 이때, 본 발명의 절연층(20)은 direct tunneling 현상을 발생시키기 위하여 충분히 얇게, 예를 들어 10 [nm] 미만으로 제공될 수 있다.
- [0061] 즉, 도 1에 도시된 제1 층(21)의 높이인 t_1 역시 direct tunneling 현상을 발생할 수 있도록, 예를 들어 10 [nm] 이하로 제공될 수 있다.
- [0062] 도 6은 상부 전극(40)과 하부 전극(10)의 양 단에 각기 다른 크기의 전압을 걸었을 때, 상변화가 일어날 수 있는 영역을 나타낸 도면이다.
- [0063] 도 6을 참조하면, 제3 층(23)의 경우 상대적으로 가장 낮은 저항을 갖고 direct tunneling 현상을 일으키는데 요구되는 일함수도 상대적으로 가장 낮음에 따라 상대적으로 가장 작은 전압인 V_{min} 에 의해서도 인접한 상변화층(30)에 상변화를 일으키게 된다.
- [0064] 제2 층(22)의 경우 상대적으로 중간 값의 저항을 갖고 direct tunneling 현상을 일으키는데 요구되는 일 함수도

중간 크기를 갖음에 따라 중간 크기의 전압인 V_{mid} 가 가해졌을 때 인접한 상변화층(30)에 상변화를 일으키게 된다. 이때, 제1 층(22)과 인접한 상변화층(30)에도 상변화가 일어남은 자명할 것이다.

[0065] 제3 층(23)의 경우 상대적으로 큰 값의 저항을 갖고 direct tunneling 현상을 일으키는데 요구되는 일 함수도 상대적으로 가장 크기에 상대적으로 가장 큰 전압인 V_{max} 가 가해졌을 때 인접한 상변화층(30)에 상변화를 일으키게 된다. 이때, 제1 층(22) 및 제2 층(22)과 인접한 상변화층(30)에도 상변화가 일어남은 자명할 것이다.

[0066] 즉, 본 발명의 일 실시예에 따른 상변화 메모리 장치(1)는 절연층(20)을 구성하는 각 층의 높이와 단면적을 조절함으로써 논리 '0'과 '1' 외에 추가적인 논리를 구현할 수 있다.

[0067] 예를 들어, 도 1과 같이 절연체(20)가 총 3개의 층으로 구성될 경우, 상변화가 발생하지 않은 논리 0, 제3 층(23)과 인접한 상변화층(30)에 상변화가 발생한 논리 1, 제2 층(22)과 인접한 상변화층(30)에 추가적인 상변화가 발생한 논리 2, 제1 층(21)과 인접한 상변화층(30)에 추가적인 상변화가 발생한 논리 3을 구현할 수 있다.

[0068] 도 7은 본 발명의 일 실시예에 따른 상변화 메모리 장치 제작 방법(S10)을 나타낸 도면이다.

[0069] 도 1 및 도 7을 참조하면, 상변화 메모리 장치 제작 방법(S10)은 기판(50, substrate) 상에 하부 전극(10, metal)을 증착하고(a), 하부 전극(10)을 둘러싼 영역에 절연체(60, insulator)를 증착하는(b) 하부 전극 증착 단계(S100); 하부 전극(10) 상에 절연층(20, oxide barrier)을 증착하는(c) 절연층 증착 단계(S200); 절연층(20) 상면의 일부 영역을 식각하여 높이에 차등을 주는(d, e) 절연층 식각 단계(S300); 절연층(20) 상에 상변화층(30, PCM)을 증착하는(f, g) 상변화층 증착 단계(S400); 및 상변화층(30) 상에 상부 전극(40, metal)을 증착하는(h) 상부 전극 증착 단계(S500)를 포함할 수 있다.

[0070] 이하, 상변화 메모리 장치 제작 방법(S10)을 보다 상세히 설명하도록 한다.

[0071] 절연층 증착 단계(S200)는 하부 전극(10) 상에 제1 높이로 절연 물질을 증착하는 단계를 포함할 수 있다.

[0072] 절연층 식각 단계(S300)는 절연 물질의 상면에서 제1 폭에 해당하는 영역을 제외한 나머지 영역을 식각 함으로써 제1 폭과 제1 높이(t_1)를 갖는 제1 층(21)과 그 외 영역에 해당하며 제2 높이(t_2)를 갖는 제2 층(22)을 형성하는 제1 식각 단계(S310)를 포함할 수 있으며, 제2 층(22)의 상면에서 제2 폭에 해당하는 영역을 제외한 나머지 영역을 식각 함으로써 제2 폭과 제2 높이(t_2)를 갖는 제2 층(22)과 그 외 영역에 해당하며 제3 높이(t_3)를 갖는 제3 층(23)을 형성하는 제2 식각 단계(S320)를 더 포함할 수 있다.

[0073] 상변화층 증착 단계(S400)는 높이의 차등이 존재하는 절연층(20)의 상면에 상변화 물질(PCM)을 증착하는 단계(S410); 및 하부 전극(10)의 상면과 상변화 물질(PCM)의 상면 간의 거리가 동일하도록 상변화 물질(PCM)의 상면을 평탄화 하는 단계(S420)를 포함할 수 있다.

[0074] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

부호의 설명

[0075] 1 상변화 메모리 장치

10 하부 전극

20 절연층

21 제1 층

22 제2 층

23 제3 층

30 상변화층

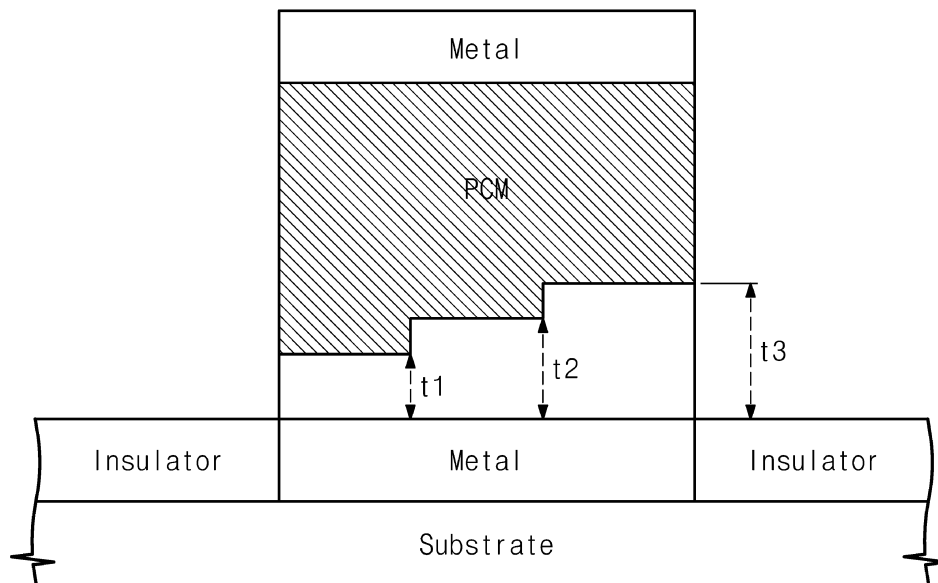
40 상부 전극

50 기판

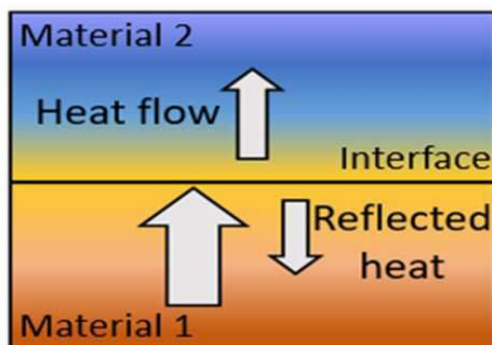
60 절연체

도면

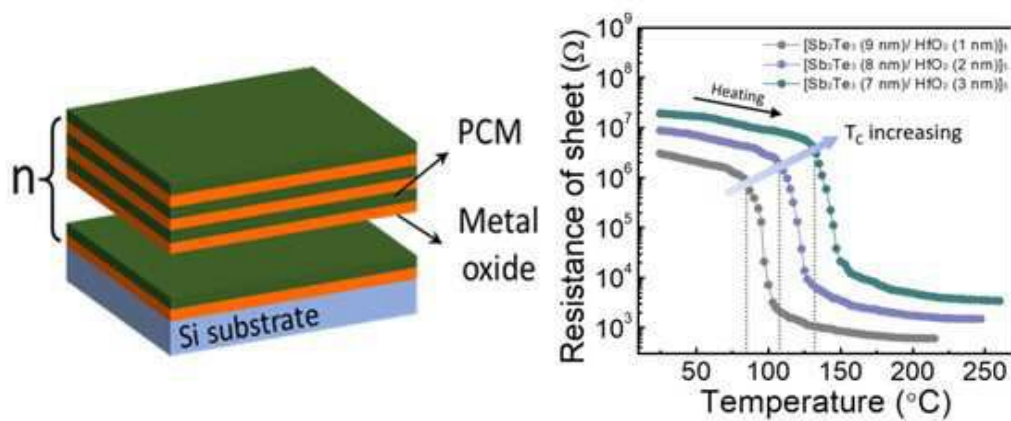
도면1



도면2

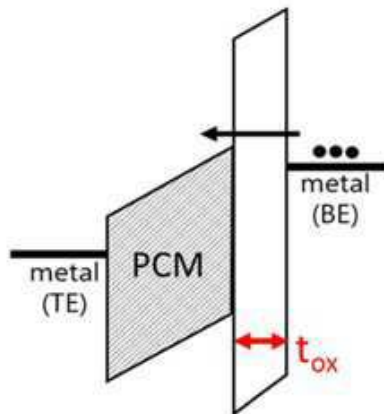


도면3



도면4

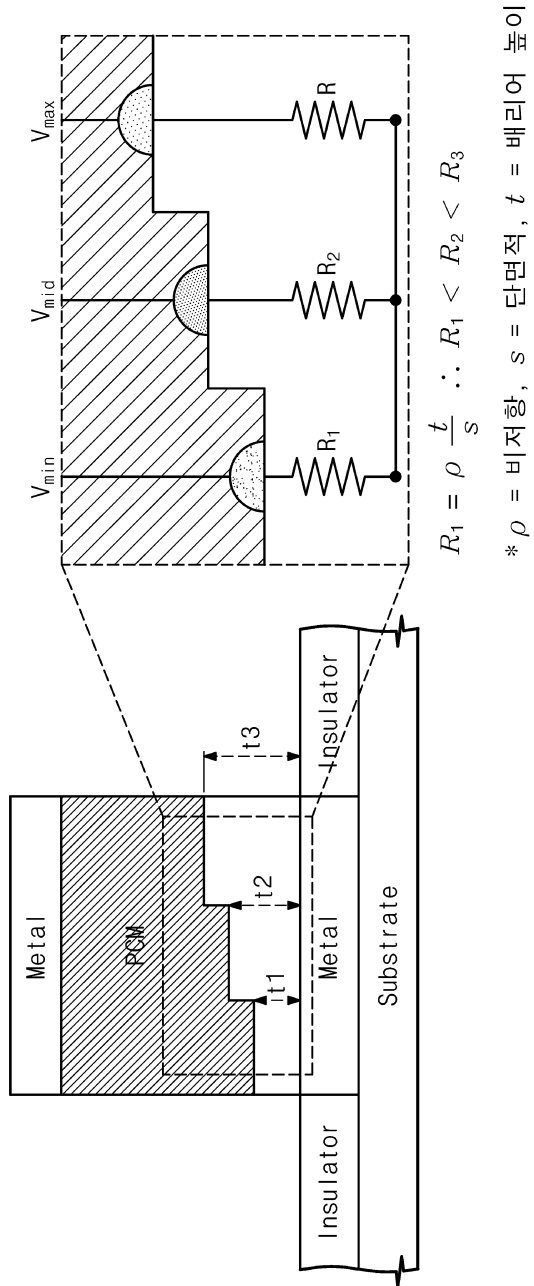
<Direct tunneling>



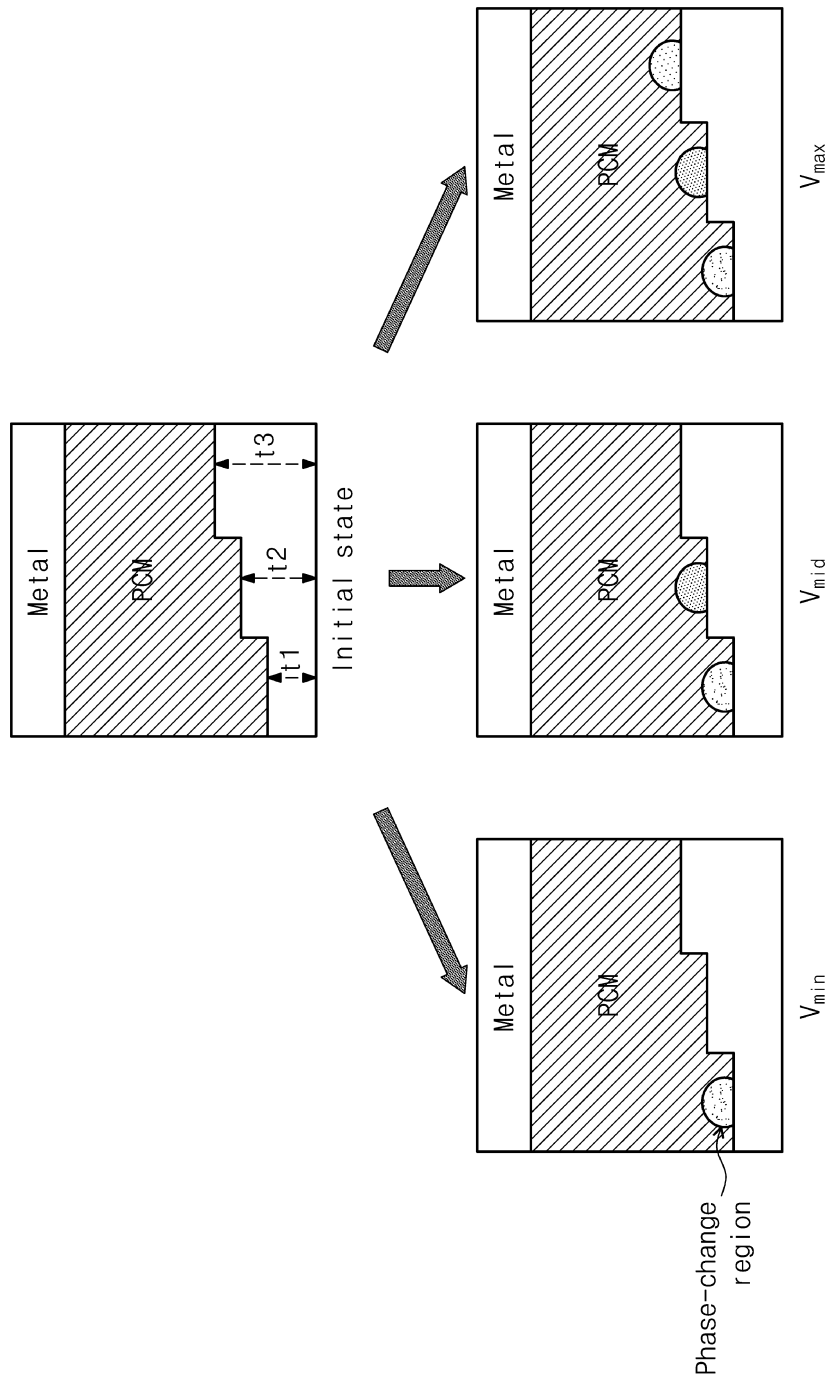
$$J \sim \exp \left\{ - \frac{8\pi\epsilon_r\sqrt{2qm_{eff}\phi_B}}{3h} \cdot t_{ox} \right\}$$

$q\phi_B$ = 쇼트키 배리어
 h = 플랑크 상수
 ϵ_r = 유전 상수
 m_{eff} = 터널링 유효 질량

도면5



도면6



도면7

