



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월30일
 (11) 등록번호 10-1025999
 (24) 등록일자 2011년03월23일

(51) Int. Cl.
 H01G 4/12 (2006.01) H01G 4/228 (2006.01)
 H05K 1/18 (2006.01)
 (21) 출원번호 10-2008-0126728
 (22) 출원일자 2008년12월12일
 심사청구일자 2008년12월12일
 (65) 공개번호 10-2010-0068056
 (43) 공개일자 2010년06월22일
 (56) 선행기술조사문헌
 JP2006100682 A*
 KR1020080092891 A*
 KR1020010020511 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
 경기도 수원시 영통구 매탄동 314
 (72) 발명자
이병화
 경기 성남시 분당구 이매동 한신아파트 202동 904호
위성권
 서울 강동구 명일1동 삼익그린아파트 503동 602호
 (뒷면에 계속)
 (74) 대리인
특허법인 씨엔에스·로고스

전체 청구항 수 : 총 16 항

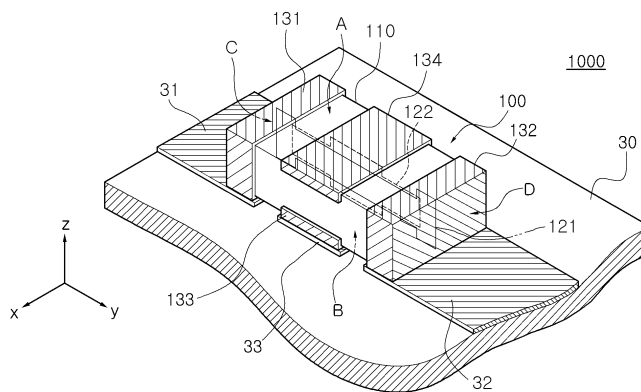
심사관 : 이우식

(54) 회로기판 장치 및 집적회로 장치

(57) 요약

본 발명은 회로기판 장치 및 집적회로 장치에 관한 것으로서, 본 발명의 일 측면은 실장 영역과, 제1 및 제2 전원 라인과 접지 단자를 구비하는 회로기판 및 상기 회로 기판의 실장 영역에 실장되며, 커패시터 본체와, 상기 커패시터 본체 내에서 유전체층을 사이에 두고 서로 대향하도록 교대로 배치되며 상기 커패시터 본체 하면에 수직으로 배치되고 상기 커패시터 본체 하면으로 인출되며 서로 다른 극성을 갖는 복수의 제1 극성 및 제2 극성 내부 전극과, 상기 제1 극성 내부 전극과 전기적으로 연결된 제1 및 제2 외부전극과, 상기 제2 극성 내부 전극과 연결된 제3 외부전극을 구비하는 수직 적층형 칩 커패시터를 포함하며, 상기 제1 및 제2 전원 라인은 상기 실장 영역 상에 서로 이격 배치되며 각각 상기 제1 및 제2 외부전극과 접속되어 상기 수직 적층형 칩 커패시터에 의해 서로 전기적으로 연결되고, 상기 접지 단자는 상기 제1 및 제2 전원 라인 사이에 배치되어 상기 제3 외부전극과 접속되며, 상기 제1 극성 내부 전극은 상기 제1 외부전극 및 제2 외부전극에서 전류가 서로 반대 방향으로 입력되는 것을 특징으로 하는 회로기판 장치를 제공한다.

대표도 - 도4



(72) 발명자

조홍연

경기도 수원시 영통구 영통동 969-1 삼성아파트
921동 1301호

박동석

서울 성북구 장위1동 209-26

박상수

경기 수원시 영통구 영통동 신나무실6단지아파트
풍림아파트 603동 1403호

박민철

경기 광명시 광명6동 374번지 63호

특허청구의 범위

청구항 1

실장 영역과, 상기 실장 영역 상에 형성된 제1 및 제2 전원 라인과 접지 단자를 구비하는 회로기판; 및

상기 회로 기판의 실장 영역에 실장되며, 복수의 유전체층의 적층에 의해 형성되고 서로 대향하는 제1 및 제2 측면과 하면을 갖는 커패시터 본체와, 상기 커패시터 본체 내에서 유전체층을 사이에 두고 서로 대향하도록 교대로 배치되며 상기 커패시터 본체 하면에 수직으로 배치되고 상기 커패시터 본체 하면으로 인출되며 서로 다른 극성을 갖는 복수의 제1 극성 및 제2 극성 내부 전극과, 상기 제1 및 제2 측면에 각각 형성되어 상기 커패시터 본체 하면으로 일부 연장되고 상기 제1 극성 내부 전극과 전기적으로 연결된 제1 및 제2 외부전극과, 상기 제1 및 제2 외부전극 사이에서 상기 커패시터 본체 하면에 형성되어 상기 제2 극성 내부 전극과 연결된 제3 외부전극을 구비하는 수직 적층형 칩 커패시터;를 포함하며,

상기 제1 및 제2 전원 라인은 상기 실장 영역 상에 서로 이격 배치되며 각각 상기 제1 및 제2 외부전극과 접속되어 상기 수직 적층형 칩 커패시터에 의해서만 서로 전기적으로 연결되고,

상기 접지 단자는 상기 제1 및 제2 전원 라인 사이에 배치되어 상기 제3 외부전극과 접속되며,

상기 제1 극성 내부 전극은 상기 제1 외부전극 및 제2 외부전극에서 전류가 서로 반대 방향으로 입력되는 것을 특징으로 하는 회로기판 장치.

청구항 2

제1항에 있어서,

상기 수직 적층형 칩 커패시터는 상기 제3 외부전극과 같은 극성을 가지며, 상기 제1 외부전극과 제2 외부전극 사이에서 상기 커패시터 본체의 상면에 형성된 제4 외부전극을 더 구비하는 것을 특징으로 하는 회로기판 장치.

청구항 3

제2항에 있어서,

상기 적층형 칩 커패시터는 내부 및 외부 구조에 있어서 상하 대칭인 것을 특징으로 하는 회로기판 장치.

청구항 4

제1항에 있어서,

상기 제1 및 제2 전원 라인의 폭은 서로 동일한 것을 특징으로 하는 회로기판 장치.

청구항 5

제4항에 있어서,

상기 제1 및 제2 전원 라인의 폭은 상기 접지 단자의 폭과 동일한 것을 특징으로 하는 회로기판 장치.

청구항 6

제1항에 있어서,

상기 제1 및 제2 외부전극의 폭은 상기 제1 및 제2 전원 라인의 폭보다 크거나 같은 것을 특징으로 하는 회로기판 장치.

청구항 7

제1항에 있어서,

상기 복수의 제1 극성 내부 전극은 상기 제1 및 제2 외부전극에 모두 연결된 제1 내부 전극 패턴을 갖고, 상기 복수의 제2 극성 내부 전극은 상기 제3 외부전극에 연결된 제2 내부 전극 패턴을 갖는 것을 특징으로 하는 회로기판 장치.

청구항 8

제1항에 있어서,

상기 제1 극성 내부 전극 각각은 상기 커패시터 본체의 제1 측면과 제2 측면 중 적어도 한 측면과 하면으로 인출된 것을 특징으로 하는 회로기판 장치.

청구항 9

제8항에 있어서,

상기 제1 극성 내부전극은 "H" 형상을 갖는 것을 특징으로 하는 회로기판 장치.

청구항 10

제1항에 있어서,

상기 제2 극성 내부전극은 "열십(+)" 자 형상을 갖는 것을 특징으로 하는 회로기판 장치.

청구항 11

제1항에 있어서,

상기 회로기판은 상기 접지 단자와 연결된 도전성 비아를 더 구비하는 것을 특징으로 하는 회로기판 장치.

청구항 12

제11항에 있어서,

상기 회로기판은 그 내부에 상기 도전성 비아와 연결된 접지 플레인을 더 구비하는 것을 특징으로 하는 회로기판 장치.

청구항 13

실장 영역과, 상기 실장 영역 상에 형성된 제1 및 제2 전원 라인과 접지 단자를 구비하는 회로기판;

상기 회로 기판의 실장 영역에 실장되며, 복수의 유전체층의 적층에 의해 형성되고 서로 대향하는 제1 및 제2 측면과 하면을 갖는 커패시터 본체와, 상기 커패시터 본체 내에서 유전체층을 사이에 두고 서로 대향하도록 교대로 배치되되 상기 커패시터 본체 하면에 수직으로 배치되고 상기 커패시터 본체 하면으로 인출되며 서로 다른 극성을 갖는 복수의 제1 극성 및 제2 극성 내부 전극과, 상기 제1 및 제2 측면에 각각 형성되어 상기 커패시터 본체 하면으로 일부 연장되고 상기 제1 극성 내부 전극과 전기적으로 연결된 제1 및 제2 외부전극과, 상기 제1 및 제2 외부전극 사이에서 상기 커패시터 본체 하면에 형성되어 상기 제2 극성 내부 전극과 연결된 제3 외부전극을 구비하는 수직 적층형 칩 커패시터;

상기 제1 전원 라인에 연결된 제1 전자 부품; 및

상기 제2 전원 라인에 연결된 제2 전자 부품;을 포함하며,

상기 제1 및 제2 전원 라인은 상기 실장 영역 상에 서로 이격 배치되되 각각 상기 제1 및 제2 외부전극과 접속되어 상기 수직 적층형 칩 커패시터에 의해서만 서로 전기적으로 연결되고,

상기 접지 단자는 상기 제1 및 제2 전원 라인 사이에 배치되어 상기 제3 외부전극과 접속되는 것을 특징으로 하는 집적회로 장치.

청구항 14

제13항에 있어서,

상기 제1 전자 부품은 DC-DC 컨버터이며, 상기 제2 전자 부품은 집적회로 칩인 것을 특징으로 하는 집적회로 장치.

청구항 15

제14항에 있어서,

상기 제2 전원 라인은 2개 이상으로 분기되어 상기 집적회로 칩의 전원 단자와 연결된 것을 특징으로 하는 집적회로 장치.

청구항 16

제13항에 있어서,

상기 제1 전자 부품은 배터리이며, 상기 제2 전자 부품은 DC-DC 컨버터인 것을 특징으로 하는 집적회로 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 적층형 칩 커패시터가 실장된 회로기판 장치 및 집적회로 장치에 관한 것으로, 특히 우수한 정격전류 특성을 가지면서 고주파 노이즈를 효과적으로 제거할 수 있으며, 나아가, 전원 회로 구성을 단순화할 수 있는 회로기판 장치 및 집적회로 장치에 관한 것이다.

배경기술

[0002] 적층형 칩 커패시터(MLCC)는 LSI의 전원 회로 내에 배치되는 바이패스(bypass) 커패시터로 유용하게 사용되고 있으며, 이러한 바이패스 커패시터로 기능하기 위해서는 적층형 칩 커패시터가 고주파 노이즈를 효과적으로 제거할 수 있어야 한다. 이러한 요구는 전자장치의 고주파화 경향에 따라 더욱 증가되고 있다.

[0003] 바이패스 커패시터로 사용되는 일반적인 적층형 칩 커패시터는 도 1에 도시된 바와 같이, 2단자형 구조가 널리 사용되고 있다. 2단자형이라함은 2개의 외부전극이 회로기판과 접속된 상태로 적층형 칩 커패시터(10)가 실장된 경우를 의미한다. 종래의 2단자형 적층형 칩 커패시터(10)는 유전체층(14)의 적층 구조인 커패시터 본체(11)와 그 외부 면에 서로 다른 극성을 가지고 형성된 제1 및 제2 외부전극(12a, 12b)을 구비한다. 상기 커패시터 본체(11) 내부에는 각각 상기 제1 및 제2 외부전극(12a, 12b)과 연결되며 유전체층(14)을 사이에 두고 서로 교대로 적층된 제1 및 제2 내부전극(13a, 13b)이 형성되어 있다.

[0004] 도 2는 도 1의 적층형 칩 커패시터를 통하여 노이즈가 바이패스되는 양상을 등가회로도들 통하여 모식적으로 나타낸 것이다. 바이패스 커패시터로 사용되는 적층형 칩 커패시터는 회로기판 상의 실장 패드 상에 솔더링을 통하여 전기적으로 연결되며 상기 실장 패드는 기판 상의 배선 패턴이나 도전성 비아를 통해 다른 외부 회로와 연결될 수 있다. 구체적으로, 상기 적층형 칩 커패시터는 도 2에 도시된 것과 같이, 전원 라인(Power)과 접지 라인(Ground)과 각각 연결되며, 특히, 상기 전원 라인(Power)과 수직으로 연결된다.

[0005] 이 경우, 적층형 칩 커패시터는 커패시턴스 성분 외에 등가직렬저항(ESR) 및 등가직렬인덕턴스(ESL) 성분을 함께 가지며, 이러한 등가직렬저항(ESR) 및 등가직렬인덕턴스(ESL) 성분은 바이패스 커패시터의 기능을 저해하게 된다. 특히, 등가직렬인덕턴스(ESL)는 고주파에서 커패시터의 인덕턴스를 높여 고주파 노이즈 제거 특성을 저해하게 된다. 적층형 칩 커패시터의 실장 형태에 따라 바이패스 커패시터의 인덕턴스(L)가 달라질 수 있으며, 이러한 바이패스 커패시터의 인덕턴스 차이는 노이즈 제거 특성에 큰 영향을 미친다.

[0006] 이러한 고주파 노이즈 제거 문제를 해소하기 위하여 도 3에 도시된 것과 같이, 다수의 적층형 칩 커패시터를 사용하는 방안이 고려될 수 있으나, 이러한 방식의 경우, 커패시터의 수가 많아짐으로써 전원 회로 구성이 복잡해지는 등의 문제가 있다.

[0007] 따라서, 당 기술 분야에서는 최소의 바이패스 커패시터를 사용하여 전원 회로 구성을 단순화하면서도 우수한 노이즈 제거 특성을 갖는 적층형 칩 커패시터 및 이에 대한 실장 구조가 요구된다.

발명의 내용

해결 하고자하는 과제

- [0008] 본 발명의 일 목적은 특히 우수한 정격전류 특성을 가지면서 고주파 노이즈를 효과적으로 제거할 수 있으며, 나아가, 전원 회로 구성을 단순화할 수 있는 적층형 칩 커패시터가 실장된 회로기판 장치를 제공하는 것에 있다.
- [0009] 또한, 본 발명의 다른 목적은 상기 회로기판 장치를 구비하는 집적회로 장치를 제공하는 것에 있다.

과제 해결수단

- [0010] 상기와 같은 과제를 해결하기 위하여, 본 발명의 일 측면은,
- [0011] 실장 영역과, 상기 실장 영역 상에 형성된 제1 및 제2 전원 라인과 접지 단자를 구비하는 회로기판 및 상기 회로 기판의 실장 영역에 실장되며, 복수의 유전체층의 적층에 의해 형성되고 서로 대향하는 제1 및 제2 측면과 하면을 갖는 커패시터 본체와, 상기 커패시터 본체 내에서 유전체층을 사이에 두고 서로 대향하도록 교대로 배치되며 상기 커패시터 본체 하면에 수직으로 배치되고 상기 커패시터 본체 하면으로 인출되며 서로 다른 극성을 갖는 복수의 제1 극성 및 제2 극성 내부 전극과, 상기 제1 및 제2 측면에 각각 형성되어 상기 커패시터 본체 하면으로 일부 연장되고 상기 제1 극성 내부 전극과 전기적으로 연결된 제1 및 제2 외부전극과, 상기 제1 및 제2 외부전극 사이에서 상기 커패시터 본체 하면에 형성되어 상기 제2 극성 내부 전극과 연결된 제3 외부전극을 구비하는 수직 적층형 칩 커패시터를 포함하며, 상기 제1 및 제2 전원 라인은 상기 실장 영역 상에 서로 이격 배치되며 각각 상기 제1 및 제2 외부전극과 접촉되어 상기 수직 적층형 칩 커패시터에 의해서만 서로 전기적으로 연결되고, 상기 접지 단자는 상기 제1 및 제2 전원 라인 사이에 배치되어 상기 제3 외부전극과 접촉되며, 상기 제1 극성 내부 전극은 상기 제1 외부전극 및 제2 외부전극에서 전류가 서로 반대 방향으로 입력되는 것을 특징으로 하는 회로기판 장치를 제공한다.
- [0012] 본 발명의 일 실시 예에서, 상기 수직 적층형 칩 커패시터는 상기 제3 외부전극과 같은 극성을 가지며, 상기 제1 외부전극과 제2 외부전극 사이에서 상기 커패시터 본체의 상면에 형성된 제4 외부전극을 더 구비할 수 있다. 이 경우, 상기 적층형 칩 커패시터는 내부 및 외부 구조에 있어서 상하 대칭일 수 있으며, 이에 따라, 실장 방향에 상관 없이 실장이 가능하여 편의성을 제공할 수 있다.
- [0013] 본 발명의 일 실시 예에서, 상기 제1 및 제2 전원 라인의 폭은 서로 동일할 수 있다. 또한, 상기 제1 및 제2 전원 라인의 폭은 상기 접지 단자의 폭과 동일할 수 있다.
- [0014] 본 발명의 일 실시 예에서, 상기 제1 및 제2 외부전극의 폭은 상기 제1 및 제2 전원 라인의 폭보다 크거나 같을 수 있다.
- [0015] 본 발명의 일 실시 예에서, 상기 복수의 제1 극성 내부 전극은 상기 제1 및 제2 외부전극에 모두 연결된 제1 내부 전극 패턴을 갖고, 상기 복수의 제2 극성 내부 전극은 상기 제3 외부전극에 연결된 제2 내부 전극 패턴을 가질 수 있다.
- [0016] 본 발명의 일 실시 예에서, 상기 제1 극성 내부 전극 각각은 상기 커패시터 본체의 제1 측면과 제2 측면 중 적어도 한 측면과 하면으로 인출될 수 있다. 이 경우, 상기 제1 극성 내부전극은 "H" 형상을 가질 수 있다.
- [0017] 본 발명의 일 실시 예에서, 상기 제2 극성 내부전극은 "열십(+)" 자 형상을 가질 수 있다.
- [0018] 본 발명의 일 실시 예에서, 상기 회로기판은 상기 접지 단자와 연결된 도전성 비아를 더 구비할 수 있다. 이 경우, 상기 회로기판은 그 내부에 상기 도전성 비아와 연결된 접지 플레인을 더 구비할 수 있다.

- [0019] 본 발명의 다른 측면은,
- [0020] 실장 영역과 상기 실장 영역 상에 형성된 제1 및 제2 전원 라인과 접지 단자를 구비하는 회로기판과, 상기 회로기판의 실장 영역에 실장되며, 복수의 유전체층의 적층에 의해 형성되고 서로 대향하는 제1 및 제2 측면과 하면을 갖는 커패시터 본체와, 상기 커패시터 본체 내에서 유전체층을 사이에 두고 서로 대향하도록 교대로 배치되되 상기 커패시터 본체 하면에 수직으로 배치되고 상기 커패시터 본체 하면으로 인출되며 서로 다른 극성을 갖는 복수의 제1 극성 및 제2 극성 내부 전극과, 상기 제1 및 제2 측면에 각각 형성되어 상기 커패시터 본체 하면으로 일부 연장되고 상기 제1 극성 내부 전극과 전기적으로 연결된 제1 및 제2 외부전극과, 상기 제1 및 제2 외부전극 사이에서 상기 커패시터 본체 하면에 형성되어 상기 제2 극성 내부 전극과 연결된 제3 외부전극을 구비하는 수직 적층형 칩 커패시터와, 상기 제1 전원 라인에 연결된 제1 전자 부품 및 상기 제2 전원 라인에 연결된 제2 전자 부품을 포함하며, 상기 제1 및 제2 전원 라인은 상기 실장 영역 상에 서로 이격 배치되되 각각 상기 제1 및 제2 외부전극과 접속되어 상기 수직 적층형 칩 커패시터에 의해서만 서로 전기적으로 연결되고, 상기 접지 단자는 상기 제1 및 제2 전원 라인 사이에 배치되어 상기 제3 외부전극과 접속되는 것을 특징으로 하는 집적회로 장치를 제공한다.
- [0021] 본 발명의 일 실시 예에서, 상기 제1 전자 부품은 DC-DC 컨버터이며, 상기 제2 전자 부품은 집적회로 칩일 수 있으며, 이 경우, 상기 제2 전원 라인은 2개 이상으로 분기되어 상기 집적회로 칩의 전원 단자와 연결될 수 있다.
- [0022] 본 발명의 일 실시 예에서, 상기 제1 전자 부품은 배터리이며, 상기 제2 전자 부품은 DC-DC 컨버터일 수 있다.

효 과

- [0023] 본 발명에 따르면 특히 우수한 정격전류 특성을 가지면서 고주파 노이즈를 효과적으로 제거할 수 있으며, 나아가, 전원 회로 구성을 단순화할 수 있는 적층형 칩 커패시터가 실장된 회로기판 장치를 얻을 수 있다. 또한, 본 발명에 의한 적층형 칩 커패시터의 경우, 내부전극과 외부전극이 서로 넓은 면적에서 접촉할 수 있어 내부전극의 저항값이 낮아질 수 있으며, 이에 따라, 정격전류 특성도 향상될 수 있다.
- [0024] 한편, 본 발명에 따르면 상기 회로기판 장치를 구비하는 집적회로 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0026] 도 4는 본 발명에 일 실시형태에 따른 회로기판 장치를 나타내는 사시도이며, 도 5는 도 4의 종단면도이다. 도 4 및 도 5를 참조하면, 본 실시 형태에 따른 회로기판 장치(1000)는 3단자 수직 적층형 칩 커패시터(100)가 회로기판(30) 상에 실장된 구조이다. 여기서, "수직 적층형(vertically laminated or vertical multilayer)"은 커패시터 내의 적층된 내부 전극들이 회로기판의 실장 영역면에 수직으로 배치되어 있음을 의미하고, "3단자(3-terminal)"는 커패시터의 단자로서 총 3개의 단자가 회로기판에 접속됨을 의미한다.
- [0027] 본 실시 형태에서, 상기 수직 적층형 칩 커패시터(100)는 복수의 유전체층의 적층에 의해 형성되고 서로 대향하는 제1 측면(C) 및 제2 측면(D)과 하면(B)을 갖는 커패시터 본체(110)를 구비하며, 상기 커패시터 본체(110) 내부에는 제1 및 제2 내부전극(121, 122)이 서로 교대로 적층되되 상기 회로기판(30)에 수직으로 배치되어 있다.

상기 제1 및 제2 측면(C, D)에는 각각 상기 제1 내부전극(121)과 연결되도록 제1 및 제2 외부전극(131, 132)이 형성되며, 상기 하면(B)에는 상기 제2 내부전극(122)과 연결되도록 제3 외부전극(133)이 형성된다. 또한, 경우에 따라 제외될 수 있으나, 상기 하면(B)에 대향하는 상기 커패시터 본체(110)의 상면(A)에는 상기 제2 내부전극(122)과 연결되도록 제4 외부전극(134)이 형성된다.

[0028] 상기 회로기관(30)은 다양한 소재로 형성될 수 있는 기관부(35)와 기관부(35) 상의 제1 및 제2 전원 라인(31, 32)과 상기 제1 및 제2 전원 라인(31, 32) 사이에 형성된 접지 단자(33)를 포함하여 구성된다. 기관부(35) 상의 제1 및 제2 전원 라인(31, 32)과 접지 단자(33)가 형성된 영역은 커패시터 실장을 위한 실장 영역으로서 제공된다. 기관부(35)의 실장 영역 상에는 제1 및 제2 전원 라인(31, 32)과 접지 단자(33)가 일 방향(y 방향)으로 배열되어 있다. 이 경우, 상기 제1 및 제2 전원 라인(31, 32)은 동일 극성(예컨대, + 극성)을 갖고, 접지 단자(33)는 그와 반대인 극성(예컨대, - 극성)을 갖는 것으로 볼 수 있다. 상기 제1 및 제2 전원 라인(31, 32)과 접지 단자(33)는 그 위에 실장되는 적층형 칩 커패시터(100)의 대응극성의 외부전극(131, 132, 133)에 각각 접속된다.

[0029] 상기 제1 및 제2 전원 라인(31, 32)은 디지털 기기 등에서 전원 공급 회로를 구성하는 요소이며, 상기 적층형 칩 커패시터(100)는 상기 제1 및 제2 전원 라인(31, 32)의 사이에 배치되어 바이패스 기능을 수행한다. 이를 위해, 후술할 바와 같이, 상기 제1 전원 라인(31)에는 DC-DC 컨버터가, 상기 제2 전원 라인(32)에는 집적회로 칩이 전기적으로 연결될 수 있다. 특히, 본 실시 형태의 경우, 상기 제1 및 제2 전원 라인(32)은 바이패스 커패시터인 상기 적층형 칩 커패시터(100)에 의해서만 서로 전기적으로 연결된다. 즉, 종래와 같이 하나의 전원 라인에 병렬로 다수의 커패시터를 연결하는 방식 대신, 본 실시 형태에서는 수직 적층형 칩 커패시터(100)를 서로 분리된 제1 및 제2 전원 라인(31, 32)의 사이에 배치한 방식이다. 이 경우, 후술할 바와 같이, 본 발명에서 제안한 수직 적층형 칩 커패시터 하나만을 제1 및 제2 전원 라인(31, 32)에 배치하여 사용할 수 있으나, 필요에 따라, 다수의 수직 적층형 칩 커패시터를 사용할 수도 있을 것이다.

[0030] 제1 및 제2 전원 라인(31, 32)이 바이패스 커패시터에 의해서만 전기적으로 연결되도록 하는 한편, ESL을 저감하기 위한 측면에서, 상기 적층형 칩 커패시터(100)는 도 6 및 도 7에 도시된 것과 같은 형상의 내부 전극을 구비할 수 있다.

[0031] 도 6 및 도 7은 도 4에 도시된 적층형 칩 커패시터에서 채용될 수 있는 내부 전극 구조를 나타내는 종단면도이다. 우선, 도 6을 참조하면, 상기 적층형 칩 커패시터(100)는 커패시터 본체(110)와 제1 내지 제4 외부전극(131, 132, 133, 134)을 포함한다. 커패시터 본체(110)는 복수의 유전체층(110a, 110b)의 적층에 의해 형성된다. 커패시터 본체(110) 내에는 제1 극성의 제1 내부 전극(121)과 제2 극성의 제2 내부 전극(122)이 유전체층 사이에 두고 서로 대향하도록 교대로 배치되어 있다. 이 경우, 상기 제1 및 제2 내부 전극(121, 122)은 하면(B)(또는 커패시터 실장면)에 수직으로 배치되며, 이러한 수직 배치 방식에 의해 상기 제1 및 제2 외부전극(131, 132)의 두께에 해당하는 부분만을 거쳐 상기 제1 내부전극(121)에 직접 전류가 흐를 수 있다. 마찬가지로 상기 제3 외부전극(133)의 두께에 해당하는 부분만을 거쳐 상기 제2 내부전극(122)에 직접 전류가 흐를 수 있다. 이에 의해, 내부전극을 회로기관에 수평으로 실장하는 경우에 비하여 전류 경로가 짧아져 적층형 칩 커패시터(100)의 인덕턴스 성분을 크게 낮출 수 있으며, 이에 따라, 바이패스 성능은 향상될 수 있다.

[0032] 서로 동일 극성을 갖는 제1 및 제2 외부전극(131, 132)은 커패시터 본체(110)의 제1 측면(C)과 제2 측면(D)에 형성되어 하면(B)으로 소정폭만큼 연장되고 제1 내부 전극(121)과 전기적으로 연결된다. 도시된 바와 같이, 제1 및 제2 외부전극(131, 132)은 상면(A)으로도 연장될 수 있다. 제1 외부전극(131)의 극성과는 다른 극성의 제3 외부전극(133)은 제1 및 제2 외부전극(131, 132) 사이에서 소정폭을 갖고 적층방향(x 방향)을 따라 하면(B)에 형성되어 제2 내부 전극(122)과 전기적으로 연결된다. 추가적으로, 상면(A)에도 제3 외부전극(133)과 동일한 극성을 갖는 제4 외부전극(134)이 배치되어 제2 내부 전극(122)과 전기적으로 연결될 수 있다.

[0033] 도 6에 도시된 바와 같이, 상기 제1 내부 전극(121)은 "H" 형상의 도전체 패턴을 갖고 있으며, 제1 및 제2 리드(121a, 121b)를 통해 제1 및 제2 외부전극(131, 132)에 연결된다. 특히 제1 리드(121a)는 커패시터 본체의 제1 측면(C), 상면(A) 및 하면(B)으로 인출되고, 제2 리드(121b)는 커패시터 본체의 제2 측면(D), 상면(A) 및 하면(B)으로 인출된다. 또한 제2 내부 전극(122)은 "열십(+)"자 형상의 도전체 패턴을 갖고 있으며, 제3 및 제4 리드(122a, 122b)를 통해 제3 및 제4 외부전극(133, 134)에 연결된다. 제1 내부 전극(121)의 각 리드(121a, 121b)가 측면(C 또는 D), 하면(B) 및 상면(A)에 걸쳐서 넓은 접촉면적으로 대응 외부전극(131 또는 132)과 접촉하기 때문에, 각 리드(121a, 121b)에서 흐르는 전류 경로는 넓은 폭을 갖게 되고 이에 따라 커패시터의 ESL이 저감될 수 있다. 나아가, 넓은 폭을 갖는 전류 경로에 의해 내부전극의 저항값도 낮아질 수 있으며, 이에 따라, 정격전류 특성도 향상된다.

[0034] 또한, 본 실시 형태의 경우, 수직 적층형 칩 커패시터(100)의 내부 및 외부 구조가 상하 대칭적이므로 칩의 방향성을 제거할 수 있다. 따라서, 수직 적층형 칩 커패시터(100)를 회로기판(30)에 실장할 때, 커패시터의 상면(A) 및 하면(B) 중 어느 면을 실장면으로 제공할 수 있다. 따라서, 회로기판에의 커패시터 실장시 실장면의 방향을 고려하지 않아도 되는 장점이 있다. 다만, 내부전극의 형상은 도 6에 도시된 형상으로만 제한되지 않으며, 제1 및 제2 외부전극을 서로 연결시킬 수 있는 형상이라면 모두 채용이 가능하다. 그 일 예로서, 도 7에 도시된 것과 같이, 제1 내부전극(121')은 하부, 즉, 회로기판 방향으로만 연장될 수 있으며, 마찬가지로 제2 내부전극(122')도 하부로만 연장될 수 있다. 이에 따라, 본 실시 형태에서는 커패시터 본체의 상면에까지 외부전극들을 연장 형성하지 않아도 무방하다.

[0035] 다시 도 5를 참조하여 수직 적층형 칩 커패시터(100)의 실장 형태를 상세히 살펴보면, 기판부(35) 내에는 접지 단자(33)와 연결된 도전성 비아(v)가 상기 기판부(35)에 수직으로 연장되어 있으며, 상기 도전성 비아(v)는 기판부(35) 내부의 접지 플레인(Ground Plane, 34)과 연결될 수 있다. 즉, 본 실시 형태의 경우, 접지 단자(33)는 도전성 비아(v)에 의해 접지 플레인(34)과 연결된다. 이와 달리, 전원 라인(31, 32)은 플레인 형태가 아닌 라인 형태로 회로기판(30)의 상면에 형성되며, 이에 따라, 상기 전원 라인(31, 32)의 폭은 수직 적층형 칩 커패시터(100)의 폭보다 작거나 같아도 무방하다. 이 경우, 전원 라인(31, 32) 및 수직 적층형 칩 커패시터(100)의 폭은 상기 전원 라인(31, 32)의 길이 방향에 수직인 폭으로 정의될 수 있다.

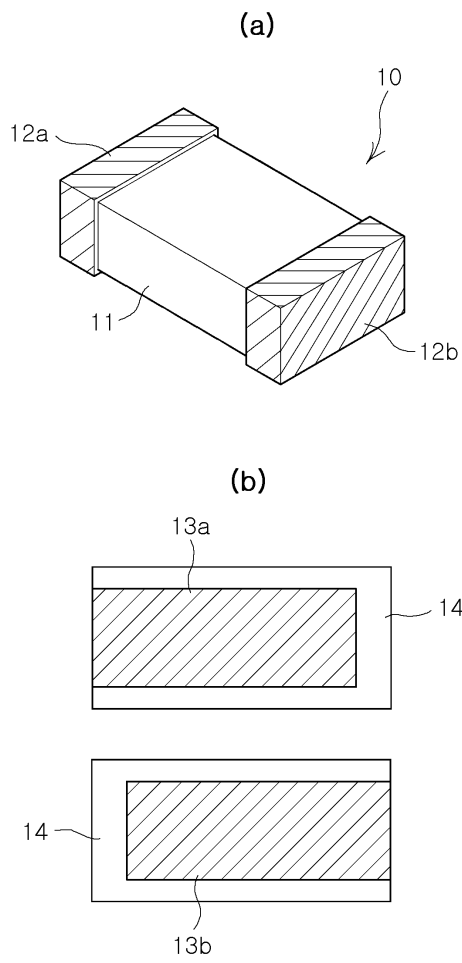
[0036] 한편, 이러한 연결 방식에 의해 전원 인가 시에 상기 적층형 칩 커패시터(100)에서는 도 5에서 화살표로 표기한 것과 같은 전류 흐름을 가질 수 있다. 구체적으로, 제1 및 제2 전원 라인(31, 32) 각각에 의해 형성되는 전류 흐름은 상기 제1 및 제2 외부전극(131, 132)와 연결된 제1 극성 내부전극(121)을 통해 제2 극성 내부전극(122)으로 흐른다. 이러한 전류 흐름에 의해 적층형 칩 커패시터(100)의 커패시턴스 성분과 직렬로 연결되는 인덕턴스 성분의 크기를 약 20pH 수준으로 매우 작게할 수 있다. 이를 도 8을 참조하여 보다 구체적으로 살펴보면, 도 8은 도 4의 실장 구조를 갖는 적층형 칩 커패시터의 등가 회로도를 나타낸다.

[0037] 제2 극성 내부전극(122)의 인덕턴스 성분은 그 주변의 제1 극성 내부전극(121)에 의한 인덕턴스 성분 사이에서 분기되어 커패시턴스 성분과 직렬로 연결된다. 즉, 커패시턴스 성분과 직렬 연결된 인덕턴스 성분은 제2 극성 내부전극(122)의 인덕턴스 성분으로 제한될 수 있다. 커패시턴스 성분과 직렬 연결된 인덕턴스 성분의 경우, 특히, 고주파에서 임피던스를 증가시키므로, 본 실시 형태에서와 같이 이를 상대적으로 작게함으로써 바이패스 기능을 향상시킬 수 있다. 이에 따라, 고주파에서의 바이패스 기능을 위해 많은 수의 적층형 칩 커패시터를 사용하지 않아도 되는 이점을 제공한다.

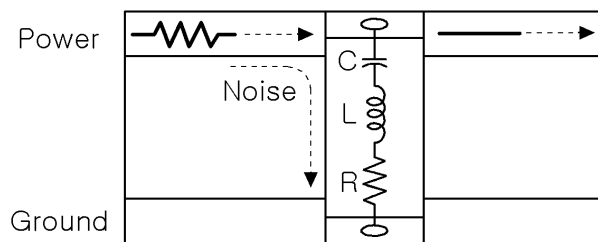
[0038] 한편, 도 9는 도 4의 구조를 갖는 회로기판 장치를 실제 디지털 기기의 전원 회로에 사용한 예를 나타낸다. 도 9에 도시된 바와 같이, DC-DC 컨버터와 집적회로 칩(IC) 사이에서 전원 라인을 전기적으로 연결하도록 배치될 수 있다. 종래의 경우, 다수의 바이패스용 커패시터를 전원 라인과 병렬로 연결하며, 전원 라인이 분기되어 집적회로 칩의 전원 핀과 연결될 경우, 분기된 전원 라인 각각에 커패시터를 연결해야 하는 문제가 있으나, 본 실시 형태의 경우에는 하나의 수직 적층형 커패시터를 사용하여 노이즈가 제거된 상태에서 전원 라인(도 4에서 제

도면

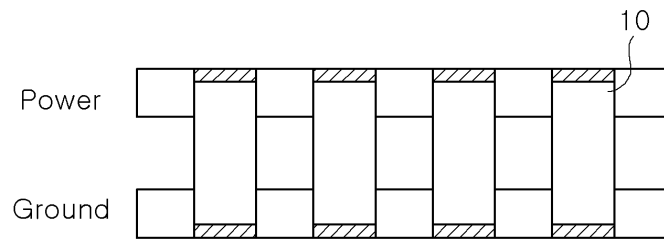
도면1



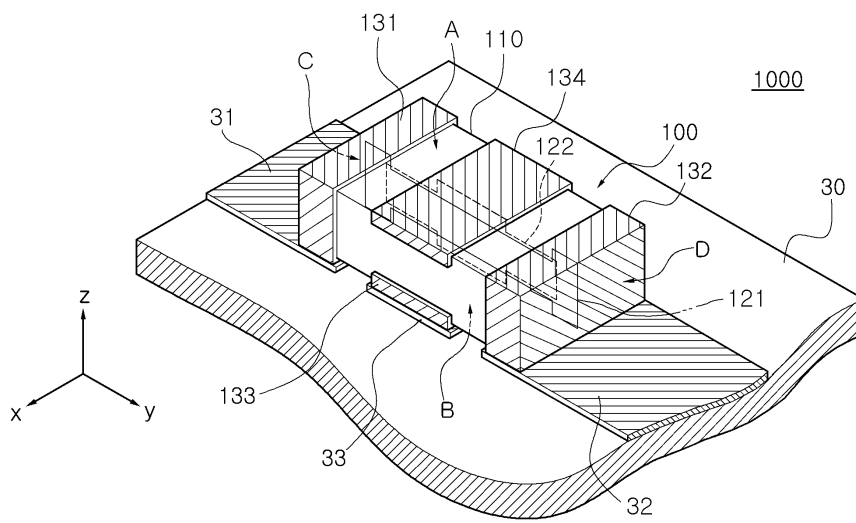
도면2



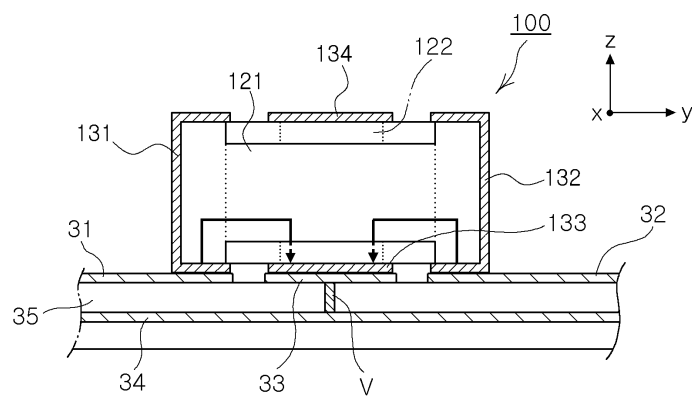
도면3



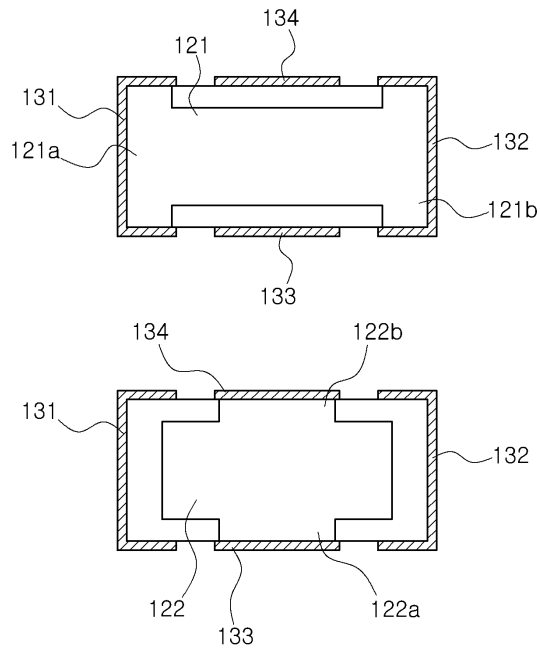
도면4



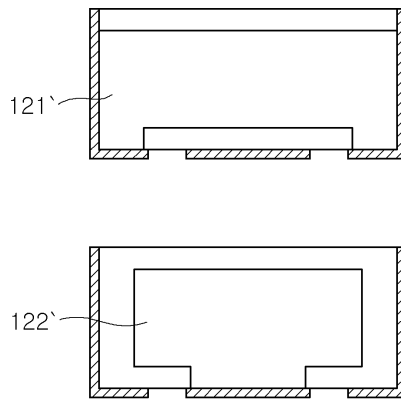
도면5



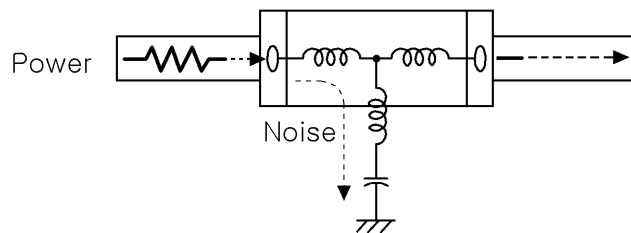
도면6



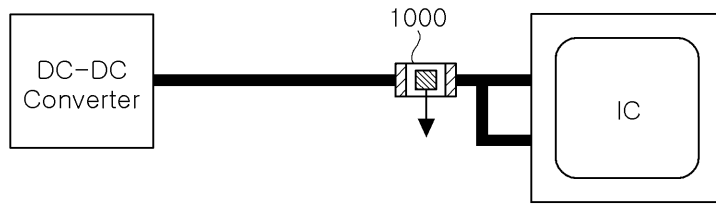
도면7



도면8



도면9



도면10

