(19) Deutsches Patent- und Markenamt

(10) **DE 11 2022 004 839 T5** 2024.08.08

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/080087**
in der deutschen Übersetzung (Art. III § 8 Abs. 2 IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 004 839.5**
(86) PCT-Aktenzeichen: **PCT/JP2022/040499**
(86) PCT-Anmeldetag: **28.10.2022**
(87) PCT-Veröffentlichungstag: **11.05.2023**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **08.08.2024**

(51) Int Cl.: ***H01L 29/49*** (2006.01)
H01L 29/78 (2006.01)
H01L 29/06 (2006.01)
H01L 29/161 (2006.01)
H01L 29/20 (2006.01)

(30) Unionspriorität:
2021-181318 **05.11.2021** **JP**

(71) Anmelder:
ROHM CO., LTD., Kyoto, JP

(74) Vertreter:
WITTE, WELLER & PARTNER Patentanwälte mbB, 70173 Stuttgart, DE

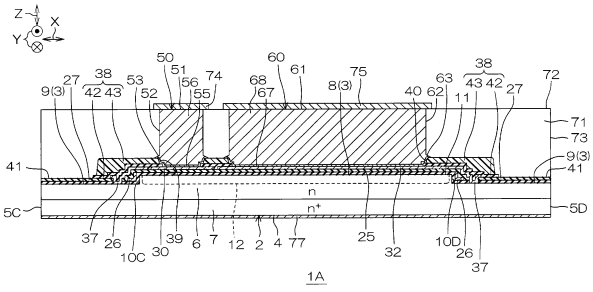
(72) Erfinder:
Nakano, Yuki, Kyoto, JP

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **HALBLEITERVORRICHTUNG**

(57) Zusammenfassung: Eine Halbleitervorrichtung beinhaltet einen Chip, der eine Hauptoberfläche aufweist, eine auf der Hauptoberfläche angeordnete Hauptoberflächenelektrode, eine auf der Hauptoberflächenelektrode angeordnete Anschlusselektrode, einen Dichtungsisolator, der einen Umfang der Anschlusselektrode auf der Hauptoberfläche so bedeckt, dass ein Teil der Anschlusselektrode freiliegt, und einen Anschlussfilm, der die Anschlusselektrode bedeckt, aufweist.



1A

Beschreibung

Technisches Gebiet

[0001] Diese Anmeldung beansprucht den Vorteil der Priorität aus der japanischen Patentanmeldung Nr. 2021-181318, eingereicht am 5. November 2021, und der gesamte Inhalt dieser Anmeldung wird durch Bezugnahme hierin aufgenommen. Die vorliegende Offenbarung bezieht sich auf eine Halbleitervorrichtung.

Stand der Technik

[0002] Patentliteratur 1 offenbart eine Halbleitervorrichtung, die ein Halbleitersubstrat, eine Elektrode und einen Schutzfilm einschließt. Die Elektrode ist auf dem Halbleitersubstrat ausgebildet. Der Schutzfilm weist eine laminierte Struktur auf, die einen anorganischen Schutzfilm und einen organischen Schutzfilm einschließt und die Elektrode bedeckt.

Liste der Entgegenhaltungen

Patentliteratur

[0003] Patentliteratur 1: US-Patentanmeldung Veröffentlichung Nr. 2019/0080976

Kurzdarstellung der Erfindung

Technisches Problem

[0004] Eine Ausführungsform stellt eine Halbleitervorrichtung bereit, die die Zuverlässigkeit verbessern kann.

Lösung des Problems

[0005] Eine Ausführungsform stellt eine Halbleitervorrichtung bereit, die einen Chip einschließt, der eine Hauptoberfläche, eine auf der Hauptoberfläche angeordnete Hauptoberflächenelektrode, eine auf der Hauptoberflächenelektrode angeordnete Anschlusselektrode, einen Dichtungsisolator, der einen Umfang bzw. eine Umgebung der Anschlusselektrode auf der Hauptoberfläche so bedeckt, dass ein Teil der Anschlusselektrode freiliegt, und einen Anschlussfilm, der die Anschlusselektrode bedeckt, aufweist.

[0006] Die vorgenannten und noch weitere Aufgaben, Merkmale und Wirkungen der vorliegenden Erfindung werden anhand der folgenden Beschreibung von Ausführungsformen unter Bezugnahme auf die begleitenden Zeichnungen erklärt.

Kurze Beschreibung der Zeichnungen

[**Fig.** 1] **Fig.** 1 ist eine Draufsicht einer Halbleitervorrichtung gemäß einer ersten Ausführungsform.

[**Fig.** 2] **Fig.** 2 ist eine Querschnittsansicht entlang der in **Fig.** 1 gezeigten Linie II-II.

[**Fig.** 3] **Fig.** 3 ist eine vergrößerte Draufsicht, die einen Hauptteil eines inneren Abschnitts eines Chips zeigt.

[**Fig.** 4] **Fig.** 4 ist eine Querschnittsansicht entlang der in **Fig.** 3 gezeigten Linie IV-IV.

[**Fig.** 5] **Fig.** 5 ist eine vergrößerte Querschnittsansicht, die einen Umfangskantenabschnitt des Chips zeigt.

[**Fig.** 6] **Fig.** 6 ist eine Draufsicht, die Layoutbeispiele für eine Gate-Elektrode und eine Source-Elektrode zeigt.

[**Fig.** 7] **Fig.** 7 ist eine Draufsicht, die ein Layoutbeispiel für einen oberen Isolierfilm zeigt.

[**Fig.** 8A] **Fig.** 8A ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem ersten Konfigurationsbeispiel zeigt.

[**Fig.** 8B] **Fig.** 8B ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem zweiten Konfigurationsbeispiel zeigt.

[**Fig.** 8C] **Fig.** 8C ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem dritten Konfigurationsbeispiel zeigt.

[**Fig.** 8D] **Fig.** 8D ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem vierten Konfigurationsbeispiel zeigt.

[**Fig.** 8E] **Fig.** 8E ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem fünften Konfigurationsbeispiel zeigt.

[**Fig.** 8F] **Fig.** 8F ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem sechsten Konfigurationsbeispiel zeigt.

[**Fig.** 8G] **Fig.** 8G ist eine Querschnittsteilansicht, die einen Anschlussfilm gemäß einem siebten Konfigurationsbeispiel zeigt.

[**Fig.** 9] **Fig.** 9 ist eine Draufsicht, die eine Waferstruktur zeigt, die einem Zeitpunkt der Herstellung verwendet werden soll.

[**Fig.** 10] **Fig.** 10 ist eine Querschnittsansicht, die einen in **Fig.** 9 gezeigten Vorrichtungsbereich zeigt.

[**Fig.** 11A] **Fig.** 11A ist eine Querschnittsansicht, die ein beispielhaftes Herstellungsverfahren für die in **Fig.** 1 gezeigte Halbleitervorrichtung zeigt.

[**Fig.** 11B] **Fig.** 11B ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11A zeigt.

[**Fig.** 11C] **Fig.** 11C ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11B zeigt.

[**Fig.** 11D] **Fig.** 11D ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11C zeigt.

[**Fig.** 11E] **Fig.** 11E ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11D zeigt.

[**Fig.** 11F] **Fig.** 11F ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11E zeigt.

[**Fig.** 11G] **Fig.** 11G ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11F zeigt.

[**Fig.** 11H] **Fig.** 11H ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11G zeigt.

[**Fig.** 11I] **Fig.** 11I ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11H zeigt.

[**Fig.** 11J] **Fig.** 11J ist eine Querschnittsansicht, die einen Schritt nach **Fig.** 11I zeigt.

[**Fig.** 12A] **Fig.** 12A ist eine Querschnittsteilansicht, die ein erstes beispielhaftes Herstellungsverfahren für den Anschlussfilm zeigt.

[**Fig.** 12B] **Fig.** 12B ist eine Querschnittsteilansicht, die einen Schritt nach **Fig.** 12A zeigt.

[**Fig.** 12C] **Fig.** 12C ist eine Querschnittsteilansicht, die einen Schritt nach **Fig.** 12B zeigt.

[**Fig.** 13A] **Fig.** 13A ist eine Querschnittsteilansicht, die ein zweites beispielhaftes Herstellungsverfahren für den Anschlussfilm zeigt.

[**Fig.** 13B] **Fig.** 13B ist eine Querschnittsteilansicht, die einen Schritt nach **Fig.** 13A zeigt.

[**Fig.** 13C] **Fig.** 13C ist eine Querschnittsteilansicht, die einen Schritt nach **Fig.** 13B zeigt.

[**Fig.** 14A] **Fig.** 14A ist eine Querschnittsteilansicht, die ein drittes beispielhaftes Herstellungsverfahren für den Anschlussfilm zeigt.

[**Fig.** 14B] **Fig.** 14B ist eine Querschnittsteilansicht, die einen Schritt nach **Fig.** 14A zeigt.

[**Fig.** 14C] **Fig.** 14C ist eine Querschnittsteilansicht, die einen Schritt nach **Fig.** 14B zeigt.

[**Fig.** 15] **Fig.** 15 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer zweiten Ausführungsform zeigt.

[**Fig.** 16] **Fig.** 16 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer dritten Ausführungsform zeigt.

[**Fig.** 17] **Fig.** 17 ist eine Querschnittsansicht entlang der in **Fig.** 16 gezeigten Linie XVII-XVII.

[**Fig.** 18] **Fig.** 18 ist ein Schaltbild, das eine elektrische Konfiguration der in **Fig.** 16 gezeigten Halbleitervorrichtung zeigt.

[**Fig.** 19] **Fig.** 19 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer vierten Ausführungsform zeigt.

[**Fig.** 20] **Fig.** 20 ist eine Querschnittsansicht entlang der in **Fig.** 19 gezeigten Linie XX-XX.

[**Fig.** 21] **Fig.** 21 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer fünften Ausführungsform zeigt.

[**Fig.** 22] **Fig.** 22 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer sechsten Ausführungsform zeigt.

[**Fig.** 23] **Fig.** 23 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer siebten Ausführungsform zeigt.

[**Fig.** 24] **Fig.** 24 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer achten Ausführungsform zeigt.

[**Fig.** 25] **Fig.** 25 ist eine Draufsicht, die eine Halbleitervorrichtung gemäß einer neunten Ausführungsform zeigt.

[**Fig.** 26] **Fig.** 26 ist eine Querschnittsansicht entlang der in **Fig.** 25 gezeigten Linie XXVI-XXVI.

[**Fig.** 27] **Fig.** 27 ist eine Querschnittsansicht, die ein modifiziertes Beispiel des Chips zeigt, das auf die einzelnen Ausführungsformen angewendet werden soll.

[**Fig.** 28] **Fig.** 28 ist eine Querschnittsansicht, die ein modifiziertes Beispiel eines Dichtungsisolators zeigt, das auf die einzelnen Ausführungsformen angewendet werden soll.

[**Fig.** 29] **Fig.** 29 ist eine Draufsicht, die ein Gehäuse zeigt, in das eine beliebige der Halbleitervorrichtungen gemäß der ersten bis achten Ausführungsform eingebaut werden soll.

[**Fig.** 30] **Fig.** 30 ist eine Draufsicht, die ein Gehäuse zeigt, in das die Halbleitervorrichtung gemäß der neunten Ausführungsform eingebaut werden soll.

[**Fig.** 31] **Fig.** 31 ist eine perspektivische Ansicht, die ein Gehäuse zeigt, in das eine beliebige der Halbleitervorrichtungen gemäß der ersten bis achten Ausführungsform und die Halbleitervorrichtung gemäß der neunten Ausführungsform eingebaut werden sollen.

[**Fig.** 32] **Fig.** 32 ist eine perspektivische Explosionsansicht des in **Fig.** 31 gezeigten Gehäuses.

[**Fig.** 33] **Fig.** 33 ist eine Querschnittsansicht entlang der in **Fig.** 31 gezeigten Linie XXXIII-XXXIII.

Beschreibung von Ausführungsformen

[0007] Nachfolgend werden Ausführungsformen unter Bezugnahme auf die beigefügten Zeichnungen ausführlich beschrieben. Bei den beigefügten Zeichnungen handelt es sich um schematische Ansichten ohne genaue Bebilderung, deren Maßstäbe und dergleichen nicht immer übereinstimmen. Darüber hinaus werden entsprechenden Strukturen in den beigefügten Zeichnungen identische Bezugszeichen zugewiesen, und doppelte Beschreibungen davon werden weggelassen oder vereinfacht. Für die Strukturen, deren Beschreibung weggelassen oder vereinfacht wurde, gilt die Beschreibung, die vor der Weglassung oder Vereinfachung angegeben wurde.

[0008] **Fig.** 1 ist eine Draufsicht einer Halbleitervorrichtung 1A gemäß einer ersten Ausführungsform. **Fig.** 2 ist eine Querschnittsansicht entlang der in **Fig.** 1 gezeigten Linie II-II. **Fig.** 3 ist eine vergrößerte Draufsicht, die einen Hauptteil eines inneren Abschnitts eines Chips 2 zeigt. **Fig.** 4 ist eine Querschnittsansicht entlang der in **Fig.** 3 gezeigten Linie IV-IV. **Fig.** 5 ist eine vergrößerte Querschnittsansicht, die einen Umfangskantenabschnitt des Chips 2 zeigt. **Fig.** 6 ist eine Draufsicht, die Layoutbeispiele für eine Gate-Elektrode 30 und eine Source-Elektrode 32 zeigt. **Fig.** 7 ist eine Draufsicht, die ein Layoutbeispiel für einen oberen Isolierfilm 38 zeigt.

[0009] Unter Bezugnahme auf **Fig.** 1 bis **Fig.** 7 schließt die Halbleitervorrichtung 1A in dieser Ausführungsform einen Chip 2 ein, der einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt und der in einer hexaedrischen Form (insbesondere in Form eines rechteckigen Parallelepipeds) ausgebildet ist. Das heißt, die Halbleitervorrichtung 1A ist eine „Halbleitervorrichtung mit breiter Bandlücke“. Der Chip 2 kann als „Halbleiterchip“ oder „Halbleiterchip mit breiter Bandlücke“ bezeichnet werden. Der Halbleiter mit breiter Bandlücke ist ein Halbleiter, der eine Bandlücke aufweist, die die Bandlücke eines Si (Siliziums) übersteigt. Beispiele für Halbleiter mit breiter Bandlücke sind GaN (Galliumnitrid), SiC (Siliziumkarbid) und C (Diamant).

[0010] Der Chip 2 ist ein „SiC-Chip“, der einen SiC-Einkristall aus einem hexagonalen Kristall als Beispiel für den Halbleiter mit breiter Bandlücke einschließt. Das heißt, die Halbleitervorrichtung 1A ist eine „SiC-Halbleitervorrichtung“. Der SiC-Einkristall des hexagonalen Kristalls weist mehrere Polytypen auf, darunter 2H (hexagonal)-SiC-Einkristall, 4H-SiC-Einkristall, 6H-SiC-Einkristall und dergleichen. In dieser Ausführungsform soll ein Beispiel gegeben werden, in dem der Chip 2 den 4H-SiC-Einkristall einschließt, was jedoch die Wahl anderer Polytypen nicht ausschließt.

[0011] Der Chip 2 weist eine erste Hauptoberfläche 3 auf einer Seite, eine zweite Hauptoberfläche 4 auf der anderen Seite und eine erste bis vierte Seitenoberfläche 5A bis 5D auf, die die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 verbinden. Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 sind in Draufsicht aus ihrer Normalenrichtung Z (im Folgenden einfach als „Draufsicht" bezeichnet) jeweils viereckig geformt. Die Normalenrichtung Z ist auch eine Dickenrichtung des Chips 2. Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 werden vorzugsweise jeweils durch eine c-Ebene des SiC-Einkristalls gebildet.

[0012] In diesem Fall wird die erste Hauptoberfläche 3 vorzugsweise durch eine Siliziumoberfläche des SiC-Einkristalls gebildet und die zweite Hauptoberfläche 4 wird vorzugsweise durch eine Kohlenstoffoberfläche des SiC-Einkristalls gebildet. Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 können jeweils einen Abweichungswinkel („off angle“) aufweisen, der in Bezug auf die c-Ebene um einen vorgegebenen Winkel in eine vorgegebene Abweichungsrichtung geneigt ist. Die Abweichungsrichtung ist vorzugsweise eine a-Achsenrichtung ([11-20]-Richtung) des SiC-Einkristalls. Der Abweichungswinkel kann größer als 0° und nicht größer als 10° sein. Der Abweichungswinkel ist vorzugsweise nicht größer als 5°. Die zweite Hauptoberfläche 4 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein oder kann aus einer glatten Oberfläche ohne Schleifspuren zusammengesetzt sein.

[0013] Die erste Seitenoberfläche 5A und die zweite Seitenoberfläche 5B erstrecken sich in einer ersten Richtung X entlang der ersten Hauptoberfläche 3 und liegen in einer zweiten Richtung Y, die die erste Richtung X schneidet (insbesondere orthogonal zu ihr ist), einander gegenüber. Die dritte Seitenoberfläche 5C und die vierte Seitenoberfläche 5D erstrecken sich in der zweiten Richtung Y und liegen in der ersten Richtung X einander gegenüber. Die erste Richtung X kann eine m-Achsenrichtung ([1-100]-Richtung) des SiC-Einkristalls sein, und die zweite Richtung Y kann die a-Achsenrichtung des SiC-Einkristalls sein. Selbstverständlich kann die erste Richtung X die a-Achsenrichtung des SiC-Einkristalls sein, und die zweite Richtung Y kann die m-Achsenrichtung des SiC-Einkristalls sein. Die erste bis vierte Seitenoberfläche 5A bis 5D können jeweils aus einer geschliffenen Oberfläche mit Schleifspuren aufgebaut bzw. zusammengesetzt sein oder können jeweils aus einer glatten Oberfläche ohne Schleifspuren zusammengesetzt sein.

[0014] Der Chip 2 weist eine Dicke von nicht weniger als 5 µm und nicht mehr als 250 µm in Bezug auf die Normalenrichtung Z auf. Die Dicke des Chips 2 kann nicht mehr als 100 µm betragen. Die Dicke des

Chips 2 beträgt vorzugsweise nicht mehr als 50 µm. Besonders bevorzugt beträgt die Dicke des Chips 2 nicht mehr als 40 µm. Die erste bis vierte Seitenoberfläche 5A bis 5D können in Draufsicht jeweils eine Länge von nicht weniger als 0,5 mm und nicht mehr als 10 mm aufweisen.

[0015] Die Längen der ersten bis vierten Seitenoberfläche 5A bis 5D betragen vorzugsweise nicht weniger als 1 mm. Die Längen der ersten bis vierten Seitenoberfläche 5A bis 5D betragen insbesondere vorzugsweise nicht weniger als 2 mm. Das heißt, der Chip 2 hat vorzugsweise eine planare Fläche von nicht weniger als 1 mm^2 (vorzugsweise nicht weniger als 2 mm^2) und hat vorzugsweise eine Dicke von nicht mehr als 100 µm (vorzugsweise nicht mehr als 50 µm). Die Längen der ersten bis vierten Seitenoberfläche 5A bis 5D sind in dieser Ausführungsform auf einen Bereich von nicht weniger als 4 mm und nicht mehr als 6 mm festgelegt.

[0016] Die Halbleitervorrichtung 1A schließt einen ersten Halbleiterbereich 6 vom n-Typ (erster Leitfähigkeitstyp) ein, der in einem Bereich (Oberflächenschichtabschnitt) auf der Seite der ersten Hauptoberfläche 3 innerhalb des Chips 2 ausgebildet ist. Der erste Halbleiterbereich 6 ist in einer geschichteten Form ausgebildet, die sich entlang der ersten Hauptoberfläche 3 erstreckt, und ist von der ersten Hauptoberfläche 3 und der ersten bis vierten Seitenoberfläche 5A bis 5D freiliegend. Der erste Halbleiterbereich 6 ist in dieser Ausführungsform aus einer Epitaxialschicht (insbesondere einer SiC-Epitaxialschicht) zusammengesetzt. Der erste Halbleiterbereich 6 kann eine Dicke von nicht weniger als 1 µm und nicht mehr als 50 µm in Bezug auf die Normalenrichtung Z aufweisen. Die Dicke des ersten Halbleiterbereichs 6 beträgt vorzugsweise nicht weniger als 3 µm und nicht mehr als 30 µm. Die Dicke des ersten Halbleiterbereichs 6 beträgt insbesondere vorzugsweise nicht weniger als 5 µm und nicht mehr als 25 µm.

[0017] Die Halbleitervorrichtung 1A schließt einen zweiten Halbleiterbereich 7 vom n-Typ ein, der in einem Bereich (Oberflächenschichtabschnitt) auf der Seite der zweiten Hauptoberfläche 4 innerhalb des Chips 2 ausgebildet ist. Der zweite Halbleiterbereich 7 ist in einer geschichteten Form ausgebildet, die sich entlang der zweiten Hauptoberfläche 4 erstreckt, und ist von der zweiten Hauptoberfläche 4 und der ersten bis vierten Seitenoberfläche 5A bis 5D freiliegend. Der zweite Halbleiterbereich 7 weist eine höhere n-Typ-Verunreinigungskonzentration als der erste Halbleiterbereich 6 auf und ist elektrisch mit dem ersten Halbleiterbereich 6 verbunden. Der zweite Halbleiterbereich 7 ist in dieser Ausführungsform aus einem Halbleitersubstrat (insbesondere einem SiC-Halbleitersubstrat) zusammengesetzt. Das heißt, der Chip 2 weist eine laminierte Struktur auf, die das Halbleitersubstrat und die Epitaxialschicht einschließt.

[0018] Der zweite Halbleiterbereich 7 kann eine Dicke von nicht weniger als 1 µm und nicht mehr als 200 µm in Bezug auf die Normalenrichtung Z aufweisen. Die Dicke des zweiten Halbleiterbereichs 7 beträgt vorzugsweise nicht weniger als 5 µm und nicht mehr als 50 µm. Die Dicke des zweiten Halbleiterbereichs 7 beträgt insbesondere vorzugsweise nicht weniger als 5 µm und nicht mehr als 20 µm. Im Hinblick auf einen möglichen Fehler, der im ersten Halbleiterbereich 6 auftritt, beträgt die Dicke des zweiten Halbleiterbereichs 7 vorzugsweise nicht weniger als 10 µm. Die Dicke des zweiten Halbleiterbereichs 7 ist am meisten bevorzugt geringer als die Dicke des ersten Halbleiterbereichs 6. Entsprechend der relativ geringen Dicke des zweiten Halbleiterbereichs 7 kann ein Widerstandswert (beispielsweise ein Einschaltwiderstand) aufgrund des zweiten Halbleiterbereichs 7 verringert werden. Selbstverständlich kann die Dicke des zweiten Halbleiterbereichs 7 die Dicke des ersten Halbleiterbereichs 6 überschreiten.

[0019] Die Halbleitervorrichtung 1A schließt eine aktive Oberfläche 8 (aktive Oberfläche), eine Außenoberfläche 9 (Außenoberfläche) und erste bis vierte Verbindungsoberflächen 10A bis 10D (Verbindungsoberfläche), die in der ersten Hauptoberfläche 3 ausgebildet sind, ein. Die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D definieren einen Mesa-Abschnitt 11 (Plateau) in der ersten Hauptoberfläche 3. Die aktive Oberfläche 8 kann als „erster Oberflächenabschnitt“ bezeichnet werden, die Außenoberfläche 9 kann als „zweiter Oberflächenabschnitt“ bezeichnet werden und die erste bis vierte Verbindungsoberfläche 10A bis 10D können als „Verbindungsoberflächenabschnitte“ bezeichnet werden. Die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D (das heißt, der Mesa-Abschnitt 11) können als Komponenten des Chips 2 (der ersten Hauptoberfläche 3) betrachtet werden.

[0020] Die aktive Oberfläche 8 ist in einem Abstand nach innen von einer Umfangskante der ersten Hauptoberfläche 3 (der ersten bis vierten Seitenoberfläche 5A bis 5D) ausgebildet. Die aktive Oberfläche 8 weist eine flache Oberfläche auf, die sich in die erste Richtung X und die zweite Richtung Y erstreckt. Die aktive Oberfläche 8 ist in dieser Ausführungsform in Draufsicht viereckig geformt, wobei die vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen.

[0021] Die Außenoberfläche 9 ist außerhalb der aktiven Oberfläche 8 positioniert und ist in Richtung der Dickenrichtung des Chips 2 (der Seite der zwei-

ten Hauptoberfläche 4) von der aktiven Oberfläche 8 vertieft. Insbesondere ist die Außenoberfläche 9 mit einer Tiefe vertieft, die geringer ist als die Dicke des ersten Halbleiterbereichs 6, um den ersten Halbleiterbereich 6 freizulegen. Die Außenoberfläche 9 erstreckt sich bandförmig entlang der aktiven Oberfläche 8 und ist in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Die Außenoberfläche 9 weist eine flache Oberfläche auf, die sich in der ersten Richtung X und der zweiten Richtung Y erstreckt und im Wesentlichen parallel zu der aktiven Oberfläche 8 ausgebildet ist. Die Außenoberfläche 9 ist mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend.

[0022] Die erste bis vierte Verbindungsoberfläche 10A bis 10D erstrecken sich in Normalenrichtung 2 und verbinden die aktive Oberfläche 8 und die Außenoberfläche 9. Die erste Verbindungsoberfläche 10A ist auf der Seite der ersten Seitenoberfläche 5A positioniert, die zweite Verbindungsoberfläche 10B ist auf der Seite der zweiten Seitenoberfläche 5B positioniert, die dritte Verbindungsoberfläche 10C ist auf der Seite der dritten Seitenoberfläche 5C positioniert und die vierte Verbindungsoberfläche 10D ist auf der Seite der vierten Seitenoberfläche 5D positioniert. Die erste Verbindungsoberfläche 10A und die zweite Verbindungsoberfläche 10B erstrecken sich in der ersten Richtung X und liegen in der zweiten Richtung Y einander gegenüber. Die dritte Verbindungsoberfläche 10C und die vierte Verbindungsoberfläche 10D erstrecken sich in der zweiten Richtung Y und liegen in der ersten Richtung X einander gegenüber.

[0023] Die erste bis vierte Verbindungsoberfläche 10A bis 10D können sich im Wesentlichen vertikal zwischen der aktiven Oberfläche 8 und der Außenoberfläche 9 erstrecken, sodass der Mesa-Abschnitt 11 in Form einer viereckigen Säule definiert wird. Die erste bis vierte Verbindungsoberfläche 10A bis 10D können von der aktiven Oberfläche 8 zu der Außenoberfläche 9 nach unten geneigt sein, sodass der Mesa-Abschnitt 11 in Form einer viereckigen Pyramide definiert wird. Somit schließt die Halbleitervorrichtung 1A den Mesa-Abschnitt 11 ein, der im ersten Halbleiterbereich 6 an der ersten Hauptoberfläche 3 ausgebildet ist. Der Mesa-Abschnitt 11 ist nur in dem ersten Halbleiterbereich 6 ausgebildet und ist nicht in dem zweiten Halbleiterbereich 7 ausgebildet.

[0024] Die Halbleitervorrichtung 1A schließt eine MISFET-Struktur (Metal-Insulator-Semiconductor-Field-Effect-Transistor-Struktur) 12 ein, die in der aktiven Oberfläche 8 (der ersten Hauptoberfläche 3) ausgebildet ist. In **Fig.** 2 ist die MISFET-Struktur 12 vereinfacht durch eine gestrichelte Linie dargestellt. Nachfolgend wird unter Bezugnahme auf **Fig.** 3 und **Fig.** 4 eine spezifische Struktur der MISFET-Struktur 12 beschrieben.

[0025] Die MISFET-Struktur 12 schließt einen Körperbereich 13 vom p-Typ (zweiter Leitfähigkeitstyp) ein, der in einem Oberflächenschichtabschnitt der aktiven Oberfläche 8 ausgebildet ist. Der Körperbereich 13 ist in einem Abstand zur Seite der aktiven Oberfläche 8 von einem Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Der Körperbereich 13 ist in einer geschichteten Form ausgebildet, die sich entlang der aktiven Oberfläche 8 erstreckt. Der Körperbereich 13 kann von Teilen der ersten bis vierten Verbindungsoberfläche 10A bis 10D freiliegen.

[0026] Die MISFET-Struktur 12 schließt einen Source-Bereich 14 vom n-Typ ein, der in einem Oberflächenschichtabschnitt des Körperbereichs 13 ausgebildet ist. Der Source-Bereich 14 weist eine höhere n-Typ-Verunreinigungskonzentration auf als die erste Halbleiterregion 6. Der Source-Bereich 14 ist in einem Abstand zur Seite der aktiven Oberfläche 8 von einem Bodenabschnitt des Körperbereichs 13 ausgebildet. Der Source-Bereich 14 ist in einer geschichteten Form ausgebildet, die sich entlang der aktiven Oberfläche 8 erstreckt. Der Source-Bereich 14 kann von einem gesamten Bereich der aktiven Oberfläche 8 freiliegen. Der Source-Bereich 14 kann von Teilen der ersten bis vierten Verbindungsoberflächen 10A bis 10D freiliegen. Der Source-Bereich 14 bildet einen Kanal innerhalb des Körperbereichs 13 zwischen dem ersten Halbleiterbereich 6 und dem Source-Bereich 14.

[0027] Die MISFET-Struktur 12 schließt eine Vielzahl von Gate-Strukturen 15 ein, die in der aktiven Oberfläche 8 ausgebildet sind. Die Vielzahl von Gate-Strukturen 15 sind in Abständen in der ersten Richtung X angeordnet und jeweils in einer Bandform ausgebildet, die sich in Draufsicht in der zweiten Richtung Y erstreckt. Die Vielzahl von Gate-Strukturen 15 durchdringen den Körperbereich 13 und den Source-Bereich 14 so, dass sie den ersten Halbleiterbereich 6 erreichen. Die Vielzahl von Gate-Strukturen 15 steuern eine Umkehrung und eine Nichtumkehrung des Kanals im Körperbereich 13.

[0028] Jede der Gate-Strukturen 15 schließt in dieser Ausführungsform einen Gate-Graben 15a, einen Gate-Isolierfilm 15b und eine eingebettete Gate-Elektrode 15c ein. Der Gate-Graben 15a ist in der aktiven Oberfläche 8 ausgebildet und definiert eine Wandoberfläche der Gatestruktur 15. Der Gate-Isolierfilm 15b bedeckt die Wandoberfläche des Gate-Grabens 15a. Die eingebettete Gate-Elektrode 15c ist in den Gate-Graben 15a eingebettet, wobei der Gate-Isolierfilm 15b dazwischen angeordnet ist, und ist dem Kanal über den Gate-Isolierfilm 15b hinweg zugewandt.

[0029] Die MISFET-Struktur 12 schließt eine Vielzahl von Source-Strukturen 16 ein, die in der aktiven Oberfläche 8 ausgebildet sind. Die Vielzahl von Source-Strukturen 16 sind jeweils in einem Bereich zwischen einem Paar benachbarter Gate-Strukturen 15 in der aktiven Oberfläche 8 angeordnet. Die Vielzahl von Source-Strukturen 16 sind jeweils in einer Bandform ausgebildet, die sich in Draufsicht in der zweiten Richtung Y erstreckt. Die Vielzahl von Source-Strukturen 16 durchdringen den Körperbereich 13 und den Source-Bereich 14 so, dass sie den ersten Halbleiterbereich 6 erreichen. Die Vielzahl von Source-Strukturen 16 weisen Tiefen auf, die die Tiefen der Gate-Strukturen 15 überschreiten. Insbesondere weisen die Vielzahl von Source-Strukturen 16 Tiefen auf, die im Wesentlichen der Tiefe der Außenoberfläche 9 entsprechen.

[0030] Jede der Source-Strukturen 16 schließt einen Source-Graben 16a, einen Source-Isolierfilm 16b und eine eingebettete Source-Elektrode 16c ein. Der Source-Graben 16a ist in der aktiven Oberfläche 8 ausgebildet und definiert eine Wandoberfläche der Source-Struktur 16. Der Source-Isolierfilm 16b bedeckt die Wandoberfläche des Source-Grabens 16a. Die eingebettete Source-Elektrode 16c ist in den Source-Graben 16a eingebettet, wobei der Source-Isolierfilm 16b dazwischen angeordnet ist.

[0031] Die MISFET-Struktur 12 schließt eine Vielzahl von Kontaktbereichen 17 vom p-Typ ein, die jeweils in einem Bereich entlang der Source-Struktur 16 innerhalb des Chips 2 ausgebildet sind. Die Vielzahl von Kontaktbereichen 17 weisen eine höhere p-Typ-Verunreinigungskonzentration auf als der Körperbereich 13. Jeder der Kontaktbereiche 17 bedeckt die Seitenwand und die Bodenwand jeder der Source-Strukturen und ist elektrisch mit dem Körperbereich 13 verbunden.

[0032] Die MISFET-Struktur 12 schließt eine Vielzahl von Wannenbereichen 18 vom p-Typ ein, die jeweils in einem Bereich entlang der Source-Struktur 16 innerhalb des Chips 2 ausgebildet sind. Jeder der Wannenbereiche 18 kann eine p-Typ-Verunreinigungskonzentration aufweisen, die höher ist als die des Körperbereichs 13 und niedriger als die der Kontaktbereiche 17. Jeder der Wannenbereiche 18 bedeckt die entsprechende Source-Struktur 16 mit dem dazwischen angeordneten entsprechenden Kontaktbereich 17. Jeder der Wannenbereiche 18 bedeckt die Seitenwand und die Bodenwand der entsprechenden Source-Struktur 16 und ist elektrisch mit dem Körperbereich 13 und den Kontaktbereichen 17 verbunden.

[0033] Unter Bezugnahme auf **Fig.** 5 schließt die Halbleitervorrichtung 1A einen äußeren Kontaktbereich 19 vom p-Typ ein, der in einem Oberflächenschichtabschnitt der Außenoberfläche 9 ausgebildet ist. Der äußere Kontaktbereich 19 weist eine höhere p-Typ-Verunreinigungskonzentration auf als der Körperbereich 13. Der äußere Kontaktbereich 19 ist in Abständen von einer Umfangskante der aktiven Oberfläche 8 und einer Umfangskante der Außenoberfläche 9 ausgebildet und weist eine Bandform auf, die sich in Draufsicht entlang der aktiven Oberfläche 8 erstreckt.

[0034] Der äußere Kontaktbereich 19 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Der äußere Kontaktbereich 19 ist in einem Abstand zur Seite der Außenoberfläche 9 vom Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Der äußere Kontaktbereich 19 ist in Bezug auf die Bodenwände der Vielzahl von Gate-Strukturen 15 (der Vielzahl von Source-Strukturen 16) auf der Seite des Bodenabschnitts des ersten Halbleiterbereichs 6 positioniert.

[0035] Die Halbleitervorrichtung 1A schließt einen äußeren Wannenbereich 20 vom p-Typ ein, der im Oberflächenschichtabschnitt der Außenoberfläche 9 ausgebildet ist. Der äußere Wannenbereich 20 weist eine geringere p-Typ-Verunreinigungskonzentration auf als der äußere Kontaktbereich 19. Die p-Typ-Verunreinigungskonzentration des äußeren Wannenbereichs 20 ist vorzugsweise im Wesentlichen gleich der p-Typ-Verunreinigungskonzentration der Wannenbereiche 18. Der äußere Wannenbereich 20 ist in einem Bereich zwischen der Umfangskante der aktiven Oberfläche 8 und dem äußeren Kontaktbereich 19 ausgebildet und weist eine Bandform auf, die sich in Draufsicht entlang der aktiven Oberfläche 8 erstreckt.

[0036] Der äußere Wannenbereich 20 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Der äußere Wannenbereich 20 ist in einem Abstand zur Seite der Außenoberfläche 9 vom Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Der äußere Wannenbereich 20 kann tiefer ausgebildet sein als der äußere Kontaktbereich 19. Der äußere Wannenbereich 20 ist in Bezug auf die Vielzahl von Gate-Strukturen 15 (die Vielzahl von Source-Strukturen 16) auf der Seite des Bodenabschnitts des ersten Halbleiterbereichs 6 positioniert.

[0037] Der äußere Wannenbereich 20 ist elektrisch mit dem äußeren Kontaktbereich 19 verbunden. Der äußere Wannenbereich 20 erstreckt sich in dieser Ausführungsform von der Seite des äußeren Kontaktbereichs 19 in Richtung der Seite der ersten bis vierten Verbindungsoberfläche 10A bis 10D und bedeckt die erste bis vierte Verbindungsoberfläche 10A bis 10D. Der äußere Wannenbereich 20 ist im

Oberflächenschichtabschnitt der aktiven Oberfläche 8 elektrisch mit dem Körperbereich 13 verbunden.

[0038] Die Halbleitervorrichtung 1A schließt mindestens einen (vorzugsweise nicht weniger als 2 und nicht mehr als 20) Feldbereich 21 vom p-Typ ein, der in einem Bereich zwischen der Umfangskante der Außenoberfläche 9 und dem äußeren Kontaktbereich 19 im Oberflächenschichtabschnitt der Außenoberfläche 9 ausgebildet ist. Die Halbleitervorrichtung 1A schließt in dieser Ausführungsform fünf Feldbereiche 21 ein. Die Vielzahl von Feldbereichen 21 entspannt ein elektrisches Feld im Inneren des Chips 2 an der Außenoberfläche 9. Anzahl, Breite, Tiefe, p-Typ-Verunreinigungskonzentration usw. des Feldbereichs 21 sind beliebig, und es können je nach dem zu entspannenden elektrischen Feld verschiedene Werte angenommen werden.

[0039] Die Vielzahl von Feldbereichen 21 sind in Abständen von der Seite des äußeren Kontaktbereichs 19 zur Seite der Umfangskante der Außenoberfläche 9 angeordnet. Die Vielzahl von Feldbereichen 21 sind jeweils in einer Bandform ausgebildet, die sich in Draufsicht entlang der aktiven Oberfläche 8 erstreckt. Die Vielzahl von Feldbereichen 21 sind in dieser Ausführungsform in Draufsicht jeweils ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Somit sind die Vielzahl von Feldbereichen 21 jeweils als FLR-Bereich (Field-Limiting-RingBereich) ausgebildet.

[0040] Die Vielzahl von Feldbereichen 21 sind in Abständen zur Seite der Außenoberfläche 9 vom Bodenabschnitt des ersten Halbleiterbereichs 6 ausgebildet. Die Vielzahl von Feldbereichen 21 sind in Bezug auf die Bodenwände der Vielzahl von Gate-Strukturen 15 (der Vielzahl von Source-Strukturen 16) auf der Seite des Bodenabschnitts des ersten Halbleiterbereichs 6 positioniert. Die Vielzahl von Feldbereichen 21 können tiefer ausgebildet sein als der äußere Kontaktbereich 19. Der innerste Feldbereich 21 kann mit dem äußeren Kontaktbereich 19 verbunden sein.

[0041] Die Halbleitervorrichtung 1A schließt einen Hauptoberflächen-Isolierfilm 25 ein, der die erste Hauptoberfläche 3 bedeckt. Der Hauptoberflächen-Isolierfilm 25 kann mindestens eines von einem Siliziumoxidfilm, einem Siliziumnitridfilm und einem Siliziumoxinitridfilm einschließen. Der Hauptoberflächen-Isolierfilm 25 weist in dieser Ausführungsform eine einschichtige Struktur auf, die aus dem Siliziumoxidfilm zusammengesetzt ist. Der Hauptoberflächen-Isolierfilm 25 schließt insbesondere vorzugsweise den Siliziumoxidfilm ein, die aus einem Oxid des Chips 2 zusammengesetzt ist.

[0042] Der Hauptoberflächen-Isolierfilm 25 bedeckt die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D. Der Hauptoberflächen-Isolierfilm 25 bedeckt die aktive Oberfläche 8 derart, dass er mit dem Gate-Isolierfilm 15b und dem Source-Isolierfilm 16b durchgehend ist und die eingebettete Gate-Elektrode 15c und die eingebettete Source-Elektrode 16c freilegt. Der Hauptoberflächen-Isolierfilm 25 bedeckt die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D derart, dass er den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20 und die Vielzahl von Feldbereichen 21 bedeckt.

[0043] Der Hauptoberflächen-Isolierfilm 25 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend sein. In diesem Fall kann eine Außenwand des Hauptoberflächen-Isolierfilms 25 aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Außenwand des Hauptoberflächen-Isolierfilms 25 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche bilden. Selbstverständlich kann die Außenwand des Hauptoberflächen-Isolierfilms 25 in einem Abstand nach innen von der Umfangskante der Außenoberfläche 9 ausgebildet sein und kann den ersten Halbleiterbereich 6 von einem Umfangskantenabschnitt der Außenoberfläche 9 freilegen.

[0044] Die Halbleitervorrichtung 1A schließt eine Seitenwandstruktur 26 ein, die auf dem Hauptoberflächen-Isolierfilm 25 derart ausgebildet ist, dass sie mindestens eine der ersten bis vierten Verbindungsoberfläche 10A bis 10D an der Außenoberfläche 9 bedeckt. Die Seitenwandstruktur 26 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die aktive Oberfläche 8 herum ausgebildet. Die Seitenwandstruktur 26 kann einen Abschnitt aufweisen, der sich mit der aktiven Oberfläche 8 überlappt. Die Seitenwandstruktur 26 kann einen anorganischen Isolator oder ein Polysilizium einschließen. Die Seitenwandstruktur 26 kann eine Seitenwandverdrahtung sein, die elektrisch mit der Vielzahl von Source-Strukturen 16 verbunden ist.

[0045] Die Halbleitervorrichtung 1A schließt einen Zwischenschicht-Isolierfilm 27 ein, der auf dem Hauptoberflächen-Isolierfilm 25 ausgebildet ist. Der Zwischenschicht-Isolierfilm 27 kann mindestens eines von einem Siliziumoxidfilm, einem Siliziumnitridfilm und einem Siliziumoxinitridfilm einschließen. Der Zwischenschicht-Isolierfilm 27 weist in dieser Ausführungsform eine einschichtige Struktur auf, die aus dem Siliziumoxidfilm zusammengesetzt ist.

[0046] Der Zwischenschicht-Isolierfilm 27 bedeckt die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D, wobei der Hauptoberflächen-Isolierfilm 25 dazwischen angeordnet ist. Insbesondere bedeckt der Zwischenschicht-Isolierfilm 27 die aktive Oberflä-

che 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D über die Seitenwandstruktur 26 hinweg. Der Zwischenschicht-Isolierfilm 27 bedeckt die MISFET-Struktur 12 auf der Seite der aktiven Oberfläche 8 und bedeckt den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20 und die Vielzahl von Feldbereichen 21 auf der Seite der äußeren Oberfläche 9.

[0047] Der Zwischenschicht-Isolierfilm 27 ist in dieser Ausführungsform mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend. Eine Außenwand des Zwischenschicht-Isolierfilms 27 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Außenwand des Zwischenschicht-Isolierfilms 27 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche bilden. Selbstverständlich kann die Außenwand des Zwischenschicht-Isolierfilms 27 in einem Abstand nach innen von der Umfangskante der Außenoberfläche 9 ausgebildet sein und kann den ersten Halbleiterbereich 6 von dem Umfangskantenabschnitt der Außenoberfläche 9 freilegen.

[0048] Die Halbleitervorrichtung 1A schließt eine Gate-Elektrode 30 ein, die auf der ersten Hauptoberfläche 3 (dem Zwischenschicht-Isolierfilm 27) angeordnet ist. Die Gate-Elektrode 30 kann als „Gate-Hauptoberflächenelektrode“ bezeichnet werden. Die Gate-Elektrode 30 ist an einem inneren Abschnitt der ersten Hauptoberfläche 3 in einem Abstand von der Umfangskante der ersten Hauptoberfläche 3 angeordnet. Die Gate-Elektrode 30 ist in dieser Ausführungsform auf der aktiven Oberfläche 8 angeordnet. Insbesondere ist die Gate-Elektrode 30 in einem Bereich benachbart zu einem zentralen Abschnitt der dritten Verbindungsoberfläche 10C (der dritten Seitenoberfläche 5C) am Umfangskantenabschnitt der aktiven Oberfläche 8 angeordnet. Die Gate-Elektrode 30 ist in dieser Ausführungsform in Draufsicht viereckig geformt. Selbstverständlich kann die Gate-Elektrode 30 in Draufsicht auch als eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0049] Die Gate-Elektrode 30 weist vorzugsweise eine planare Fläche von nicht mehr als 25 % der ersten Hauptoberfläche 3 auf. Die planare Fläche der Gate-Elektrode 30 kann nicht mehr als 10 % der ersten Hauptoberfläche 3 betragen. Die Gate-Elektrode 30 kann eine Dicke von nicht weniger als 0,5 µm und nicht mehr als 15 µm aufweisen. Die Gate-Elektrode 30 kann mindestens eines von einem Ti-Film, einem TiN-Film, einem W-Film, einem Al-Film, einem Cu-Film, einem Al-Legierungsfilm, einem Cu-Legierungsfilm und einem leitfähigen Polysiliziumfilm einschließen.

[0050] Die Gate-Elektrode 30 kann mindestens eines von einem reinen Cu-Film (einem Cu-Film mit einer Reinheit von nicht weniger als 99 %), einem reinen Al-Film (einem Al-Film mit einer Reinheit von nicht weniger als 99 %), einem AlCu-Legierungsfilm, einem AlSi-Legierungsfilm und einem AlSiCu-Legierungsfilm einschließen. Die Gate-Elektrode 30 weist in dieser Ausführungsform eine laminierte Struktur auf, die den Ti-Film und den Al-Legierungsfilm (in dieser Ausführungsform AlSiCu-Legierungsfilm) einschließt, die in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind.

[0051] Die Halbleitervorrichtung 1A schließt eine Source-Elektrode 32 ein, die auf der ersten Hauptoberfläche 3 (dem Zwischenschicht-Isolierfilm 27) in einem Abstand von der Gate-Elektrode 30 angeordnet ist. Die Source-Elektrode 32 kann als „Source-Hauptoberflächenelektrode“ bezeichnet werden. Die Source-Elektrode 32 ist an einem inneren Abschnitt der ersten Hauptoberfläche 3 in einem Abstand von der Umfangskante der ersten Hauptoberfläche 3 angeordnet. Die Source-Elektrode 32 ist in dieser Ausführungsform auf der aktiven Oberfläche 8 angeordnet. Die Source-Elektrode 32 weist in dieser Ausführungsform einen Körperelektrodenabschnitt 33 und mindestens einen (in dieser Ausführungsform eine Vielzahl von) Drawer-Elektrodenabschnitt(en) 34A, 34B auf.

[0052] Der Körperelektrodenabschnitt 33 ist in einem Bereich auf der Seite der vierten Seitenoberfläche 5D (der vierten Verbindungsoberfläche 10D) in einem Abstand von der Gate-Elektrode 30 angeordnet und ist in Draufsicht in der ersten Richtung X der Gate-Elektrode 30 zugewandt. Der Körperelektrodenabschnitt 33 ist in dieser Ausführungsform in Draufsicht in einer polygonalen Form (insbesondere viereckigen Form) ausgebildet, bei der in Draufsicht vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen.

[0053] Die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B schließen einen ersten Drawer-Elektrodenabschnitt 34A auf einer Seite (der Seite der ersten Seitenoberfläche 5A) und einen zweiten Drawer-Elektrodenabschnitt 34B auf der anderen Seite (der Seite der zweiten Seitenoberfläche 5B) ein. Der erste Drawer-Elektrodenabschnitt 34A ist aus dem Körperelektrodenabschnitt 33 auf einen Bereich herausgeführt, der sich auf einer Seite (der Seite der ersten Seitenoberfläche 5A) der zweiten Richtung Y in Bezug auf die Gate-Elektrode 30 befindet, und ist in Draufsicht in der zweiten Richtung Y der Gate-Elektrode 30 zugewandt.

[0054] Der zweite Drawer-Elektrodenabschnitt 34B ist aus dem Körperelektrodenabschnitt 33 auf einen Bereich herausgeführt, der sich auf der anderen Seite (der Seite der zweiten Seitenoberfläche 5B)

der zweiten Richtung Y in Bezug auf die Gate-Elektrode 30 befindet, und ist in Draufsicht in der zweiten Richtung Y der Gate-Elektrode 30 zugewandt. Das heißt, die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B schließen die Gate-Elektrode 30 in Draufsicht von beiden Seiten der zweiten Richtung Y her ein.

[0055] Die Source-Elektrode 32 (der Körperelektrodenabschnitt 33 und die Drawer-Elektrodenabschnitte 34A, 34B) durchdringt den Zwischenschicht-Isolierfilm 27 und den Hauptoberflächen-Isolierfilm 25 und ist elektrisch mit der Vielzahl von Source-Strukturen 16, dem Source-Bereich 14 und der Vielzahl von Wannenbereichen 18 verbunden. Selbstverständlich muss die Source-Elektrode 32 nicht die Drawer-Elektrodenabschnitte 34A, 34B aufweisen und kann nur aus dem Körperelektrodenabschnitt 33 zusammengesetzt sein.

[0056] Die Source-Elektrode 32 weist eine planare Fläche auf, die die planare Fläche der Gate-Elektrode 30 übersteigt. Die planare Fläche der Source-Elektrode 32 beträgt vorzugsweise nicht weniger als 50 % der ersten Hauptoberfläche 3. Besonders bevorzugt beträgt die planare Fläche der Source-Elektrode 32 nicht weniger als 75 % der ersten Hauptoberfläche 3. Die Source-Elektrode 32 kann eine Dicke von nicht weniger als 0,5 µm und nicht mehr als 15 µm aufweisen. Die Source-Elektrode 32 kann mindestens eines von einem Ti-Film, einem TiN-Film, einem W-Film, einem Al-Film, einem Cu-Film, einem Al-Legierungsfilm, einem Cu-Legierungsfilm und einem leitfähigen Polysiliziumfilm einschließen.

[0057] Die Source-Elektrode 32 kann mindestens eines von einem reinen Cu-Film (einem Cu-Film mit einer Reinheit von nicht weniger als 99 %), einem reinen Al-Film (einem Al-Film mit einer Reinheit von nicht weniger als 99 %), einem AlCu-Legierungsfilm, einem AlSi-Legierungsfilm und einem AlSiCu-Legierungsfilm einschließen. Die Source-Elektrode 32 weist in dieser Ausführungsform eine laminierte Struktur auf, die den Ti-Film und den Al-Legierungsfilm (in dieser Ausführungsform AlSiCu-Legierungsfilm) einschließt, die in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind. Die Source-Elektrode 32 weist vorzugsweise das gleiche leitfähige Material wie die Gate-Elektrode 30 auf.

[0058] Die Halbleitervorrichtung 1A schließt mindestens eine (in dieser Ausführungsform eine Vielzahl von) Gate-Verdrahtung(en) 36A, 36B ein, die von der Gate-Elektrode 30 auf die erste Hauptoberfläche 3 (den Zwischenschicht-Isolierfilm 27) herausgeführt sind. Die Vielzahl von Gate-Verdrahtungen 36A, 36B schließen vorzugsweise dasselbe leitfähige Material wie die Gate-Elektrode 30 ein. Die Vielzahl von Gate-Verdrahtungen 36A, 36B bedecken in dieser Ausführungsform die aktive Oberfläche 8 und bedecken nicht die Außenoberfläche 9. Die Vielzahl von Gate-Verdrahtungen 36A, 36B sind in einen Bereich zwischen der Umfangskante der aktiven Oberfläche 8 und der Source-Elektrode 32 herausgeführt und erstrecken sich in Draufsicht jeweils bandförmig entlang der Source-Elektrode 32.

[0059] Insbesondere schließen die Vielzahl von Gate-Verdrahtungen 36A, 36B eine erste Gate-Verdrahtung 36A und eine zweite Gate-Verdrahtung 36B ein. Die erste Gate-Verdrahtung 36A ist in Draufsicht von der Gate-Elektrode 30 in einen Bereich auf der Seite der ersten Seitenoberfläche 5A herausgeführt. Die erste Gate-Verdrahtung 36A schließt einen Abschnitt ein, der sich bandförmig in der zweiten Richtung Y entlang der dritten Seitenoberfläche 5C erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der ersten Seitenoberfläche 5A erstreckt. Die zweite Gate-Verdrahtung 36B ist in Draufsicht von der Gate-Elektrode 30 in einen Bereich auf der Seite der zweiten Seitenoberfläche 5B herausgeführt. Die zweite Gate-Verdrahtung 36B schließt einen Abschnitt ein, der sich bandförmig in der zweiten Richtung Y entlang der dritten Seitenoberfläche 5C erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der zweiten Seitenoberfläche 5B erstreckt.

[0060] Die Vielzahl von Gate-Verdrahtungen 36A, 36B schneiden (insbesondere schneiden senkrecht) beide Endabschnitte der Vielzahl von Gate-Strukturen 15 am Umfangskantenabschnitt der aktiven Oberfläche 8 (der ersten Hauptoberfläche 3). Die Vielzahl von Gate-Verdrahtungen 36A, 36B durchdringen den Zwischenschicht-Isolierfilm 27 und sind elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden. Die Vielzahl von Gate-Verdrahtungen 36A, 36B können direkt mit der Vielzahl von Gate-Strukturen 15 verbunden sein oder kann über einen Leiterfilm elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden sein.

[0061] Die Halbleitervorrichtung 1A schließt eine Source-Verdrahtung 37 ein, die von der Source-Elektrode 32 auf die erste Hauptoberfläche 3 (den Zwischenschicht-Isolierfilm 27) herausgeführt ist. Die Source-Verdrahtung 37 schließt vorzugsweise dasselbe leitfähige Material wie die Source-Elektrode 32 ein. Die Source-Verdrahtung 37 ist bandförmig ausgebildet und erstreckt sich entlang der Umfangskante der aktiven Oberfläche 8 in einem Bereich, der weiter auf der Seite der Außenoberfläche 9 liegt als die Vielzahl von Gate-Verdrahtungen 36A, 36B. Die Source-Verdrahtung 37 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die Gate-Elektrode 30, die Source-Elektrode 32 und die Vielzahl von Gate-Verdrahtungen 36A, 36B herum ausgebildet.

[0062] Die Source-Verdrahtung 37 bedeckt die Seitenwandstruktur 26, wobei der Zwischenschicht-Isolierfilm 27 dazwischen angeordnet ist, und ist von der Seite der aktiven Oberfläche 8 zu der Seite der Außenoberfläche 9 herausgeführt. Die Source-Verdrahtung 37 bedeckt vorzugsweise einen gesamten Bereich der Seitenwandstruktur 26 über einen gesamten Umfang. Die Source-Verdrahtung 37 durchdringt den Zwischenschicht-Isolierfilm 27 und den Hauptoberflächen-Isolierfilm 25 auf der Seite der Außenoberfläche 9 und weist einen Abschnitt auf, der mit der Außenoberfläche 9 (insbesondere dem äußeren Kontaktbereich 19) verbunden ist. Die Source-Verdrahtung 37 kann den Zwischenschicht-Isolierfilm 27 durchdringen und kann elektrisch mit der Seitenwandstruktur 26 verbunden sein.

[0063] Die Halbleitervorrichtung 1A schließt einen oberen Isolierfilm 38 ein, der selektiv die Gate-Elektrode 30, die Source-Elektrode 32, die Vielzahl von Gate-Verdrahtungen 36A, 36B und die Source-Verdrahtung 37 bedeckt. Der obere Isolierfilm 38 weist eine Gate-Öffnung 39 auf, die einen inneren Abschnitt der Gate-Elektrode 30 freilegt, und bedeckt einen Umfangskantenabschnitt der Gate-Elektrode 30 über einen gesamten Umfang. Die Gate-Öffnung 39 ist in dieser Ausführungsform in Draufsicht viereckig ausgebildet.

[0064] Der obere Isolierfilm 38 weist eine Source-Öffnung 40 auf, die einen inneren Abschnitt der Source-Elektrode 32 freigibt, und bedeckt einen Umfangskantenabschnitt der Source-Elektrode 32 über den gesamten Umfang. Die Source-Öffnung 40 ist in dieser Ausführungsform in Draufsicht polygonal entlang der Source-Elektrode 32 ausgebildet. Der obere Isolierfilm 38 bedeckt ganze Bereiche der Vielzahl von Gate-Verdrahtungen 36A, 36B und einen ganzen Bereich der Source-Verdrahtung 37.

[0065] Der obere Isolierfilm 38 bedeckt die Seitenwandstruktur 26, wobei der Zwischenschicht-Isolierfilm 27 dazwischen angeordnet ist, und ist von der Seite der aktiven Oberfläche 8 zur Seite der Außenoberfläche 9 herausgeführt. Der obere Isolierfilm 38 ist in einem Abstand nach innen von der Umfangskante der Außenoberfläche 9 (der ersten bis vierten Seitenoberfläche 5A bis 5D) ausgebildet und bedeckt den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20 und die Vielzahl von Feldbereichen 21. Der obere Isolierfilm 38 definiert mit der Umfangskante der Außenoberfläche 9 eine Zerteil- bzw. Trennstraße 41.

[0066] Die Zerteilstraße 41 ist in einer Bandform ausgebildet, die sich in Draufsicht entlang der Umfangskante der Außenoberfläche 9 (der ersten bis vierten Seitenoberfläche 5A bis 5D) erstreckt. Die Zerteilstraße 41 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um den inneren Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) herum ausgebildet. In dieser Ausführungsform legt die Zerteilstraße 41 den Zwischenschicht-Isolierfilm 27 frei.

[0067] Selbstverständlich kann in einem Fall, in dem der Hauptoberflächen-Isolierfilm 25 und der Zwischenschicht-Isolierfilm 27 die Außenoberfläche 9 freilegen, die Zerteilstraße 41 die Außenoberfläche 9 freilegen. Die zweite Zerteilstraße 41 kann eine Dicke von nicht weniger als 1 µm und nicht mehr als 200 µm aufweisen. Die Breite der Zerteilstraße 41 ist eine Breite in einer Richtung orthogonal zu einer Erstreckungsrichtung der Zerteilstraße 41. Die Breite der Zerteilstraße 41 beträgt vorzugsweise nicht weniger als 5 µm und nicht mehr als 50 µm.

[0068] Der obere Isolierfilm 38 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 und die Dicke der Source-Elektrode 32 übersteigt. Die Dicke des oberen Isolierfilms 38 ist vorzugsweise geringer als die Dicke des Chips 2. Die Dicke des oberen Isolierfilms 38 kann nicht weniger als 3 µm und nicht mehr als 35 µm betragen. Die Dicke des oberen Isolierfilms 38 beträgt vorzugsweise nicht mehr als 25 µm.

[0069] Der obere Isolierfilm 38 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen anorganischen Isolierfilm 42 und einen organischen Isolierfilm 43 einschließt, die in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind. Der obere Isolierfilm 38 kann mindestens eines von dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 einschließen und muss nicht notwendigerweise gleichzeitig den anorganischen Isolierfilm 42 und den organischen Isolierfilm 43 einschließen. Der anorganische Isolierfilm 42 bedeckt selektiv die Gate-Elektrode 30, die Source-Elektrode 32, die Vielzahl von Gate-Verdrahtungen 36A, 36B und die Source-Verdrahtung 37 und definiert einen Teil der Gate-Öffnung 39, einen Teil der Source-Öffnung 40 und einen Teil der Zerteilstraße 41.

[0070] Der anorganische Isolierfilm 42 kann mindestens eines von einem Siliziumoxidfilm, einem Siliziumnitridfilm und einem Siliziumoxinitridfilm einschließen. Vorzugsweise schließt der anorganische Isolierfilm 42 ein Isoliermaterial ein, das sich von dem des Zwischenschicht-Isolierfilms 27 unterscheidet. Der anorganische Isolierfilm 42 schließt vorzugsweise den Siliziumnitridfilm ein. Vorzugsweise weist der anorganische Isolierfilm 42 eine Dicke auf, die geringer ist als die Dicke des Zwischenschicht-Isolierfilms 27. Die Dicke des anorganischen Isolierfilms 42 kann nicht weniger als 0,1 µm und nicht mehr als 5 µm betragen.

[0071] Der organische Isolierfilm 43 bedeckt selektiv den anorganischen Isolierfilm 42 und definiert einen Teil der Gate-Öffnung 39, einen Teil der Source-Öffnung 40 und einen Teil der Zerteilstraße 41. Insbesondere legt der organische Isolierfilm 43 den anorganischen Isolierfilm 42 in einer Wandoberfläche der Gate-Öffnung 39 teilweise frei. Außerdem legt der organische Isolierfilm 43 den anorganischen Isolierfilm 42 in einer Wandoberfläche der Source-Öffnung 40 teilweise frei. Außerdem legt der organische Isolierfilm 43 den anorganischen Isolierfilm 42 in einer Wandoberfläche der Zerteilstraße 41 teilweise frei.

[0072] Selbstverständlich kann der organische Isolierfilm 43 den anorganischen Isolierfilm 42 so bedecken, dass der anorganische Isolierfilm 42 nicht von der Wandoberfläche der Gate-Öffnung 39 freiliegt. Der organische Isolierfilm 43 kann den anorganischen Isolierfilm 42 so bedecken, dass der anorganische Isolierfilm 42 nicht von der Wandoberfläche der Source-Öffnung 40 freiliegt. Der organische Isolierfilm 43 kann den anorganischen Isolierfilm 42 so bedecken, dass der anorganische Isolierfilm 42 nicht von der Wandoberfläche der Zerteilstraße 41 freiliegt. In diesen Fällen kann der organische Isolierfilm 43 einen gesamten Bereich des anorganischen Isolierfilms 42 bedecken.

[0073] Der organische Isolierfilm 43 ist vorzugsweise aus einem anderen Harzfilm als einem duroplastischen Harz zusammengesetzt. Der organische Isolierfilm 43 kann aus einem transluzentem oder einem transparenten Harz zusammengesetzt sein. Der organische Isolierfilm 43 kann aus einem lichtempfindlichen Harzfilm vom Negativtyp oder einem lichtempfindlichen Harzfilm vom Positivtyp zusammengesetzt sein. Der organische Isolierfilm 43 ist vorzugsweise aus einem Polyimidfilm, einem Polyamidfilm oder einem Polybenzoxazolfilm zusammengesetzt. Der organische Isolierfilm 43 schließt in dieser Ausführungsform den Polybenzoxazolfilm ein.

[0074] Der organische Isolierfilm 43 weist vorzugsweise eine Dicke auf, die die Dicke des anorganischen Isolierfilms 42 übersteigt. Die Dicke des organischen Isolierfilms 43 übersteigt vorzugsweise die Dicke des Zwischenschicht-Isolierfilms 27. Besonders bevorzugt übersteigt die Dicke des organischen Isolierfilms 43 die Dicke der Gate-Elektrode 30 und die Dicke der Source-Elektrode 32. Die Dicke des organischen Isolierfilms 43 kann nicht weniger als 3 µm und nicht mehr als 30 µm betragen. Die Dicke des organischen Isolierfilms 43 beträgt vorzugsweise nicht mehr als 20 µm.

[0075] Die Halbleitervorrichtung 1A schließt eine Gate-Anschlusselektrode 50 ein, die auf der Gate-Elektrode 30 angeordnet ist. Die Gate-Anschlusselektrode 50 ist säulenförmig auf einem Abschnitt der Gate-Elektrode 30 errichtet, der von der Gate-Öffnung 39 freiliegt. Die Gate-Anschlusselektrode 50 weist in Draufsicht eine kleinere Fläche als die Fläche der Gate-Elektrode 30 auf und ist am inneren Abschnitt der Gate-Elektrode 30 in einem Abstand von der Umfangskante der Gate-Elektrode 30 angeordnet.

[0076] Die Gate-Anschlusselektrode 50 weist eine Gate-Anschlussoberfläche 51 und eine Gate-Anschlussseitenwand 52 auf. Die Gate-Anschlussoberfläche 51 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die Gate-Anschlussoberfläche 51 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Gate-Anschlussseitenwand 52 befindet sich in dieser Ausführungsform auf dem oberen Isolierfilm 38 (insbesondere dem organischen Isolierfilm 43).

[0077] Das heißt, die Gate-Anschlusselektrode 50 weist einen Abschnitt auf, der mit dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 in Kontakt steht. Die Gate-Anschlussseitenwand 52 erstreckt sich im Wesentlichen vertikal zu der Normalenrichtung Z. Hierbei schließt „im Wesentlichen vertikal“ einen Modus ein, der sich in Laminatrichtung erstreckt und gleichzeitig gekrümmt (mäandernd) ist. Die Gate-Anschlussseitenwand 52 schließt einen Abschnitt ein, der der Gate-Elektrode 30 zugewandt ist, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Die Gate-Anschlussseitenwand 52 ist vorzugsweise aus einer glatten Oberfläche ohne Schleifspur zusammengesetzt.

[0078] Die Gate-Anschlusselektrode 50 weist einen ersten Vorsprungsabschnitt 53 auf, der an einem unteren Endabschnitt der Gate-Anschlussseitenwand 52 nach außen hervorsteht. Der erste Vorsprungsabschnitt 53 ist in einem Bereich auf der Seite des oberen Isolierfilms 38 (des organischen Isolierfilms 43) ausgebildet, als ein Zwischenabschnitt der Gate-Anschlussseitenwand 52. Der erste Vorsprungsabschnitt 53 erstreckt sich entlang einer Außenoberfläche des oberen Isolierfilms 38 und ist in einer sich verjüngenden Form ausgebildet, bei der eine Dicke in Querschnittsansicht von der Gate-Anschlussseitenwand 52 in Richtung des Spitzenabschnitts allmählich abnimmt. Der erste Vorsprungsabschnitt 53 weist daher einen scharfkantigen Spitzenabschnitt mit einem spitzen Winkel auf. Selbstverständlich kann die Gate-Anschlusselektrode 50 auch ohne den ersten Vorsprungsabschnitt 53 ausgebildet sein.

[0079] Die Gate-Anschlusselektrode 50 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 übersteigt. Die Dicke der Gate-Anschlusselektrode 50 wird durch einen Abstand zwischen der Gate-Elektrode 30 und der Gate-Anschlussoberfläche 51 definiert. Besonders bevorzugt übersteigt die Dicke der Gate-Anschlusselekt-

rode 50 die Dicke des oberen Isolierfilms 38. Die Dicke der Gate-Anschlusselektrode 50 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke der Gate-Anschlusselektrode 50 geringer sein als die Dicke des Chips 2. Die Dicke der Gate-Anschlusselektrode 50 kann nicht weniger als 10 µm und nicht mehr als 300 µm betragen. Die Dicke der Gate-Anschlusselektrode 50 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke der Gate-Anschlusselektrode 50 nicht weniger als 80 µm und nicht mehr als 200 µm.

[0080] Eine planare Fläche der Gate-Anschlusselektrode 50 ist entsprechend der planaren Fläche der ersten Hauptoberfläche 3 einzustellen. Die planare Fläche der Gate-Anschlusselektrode 50 wird durch eine planare Fläche der Gate-Anschlussoberfläche 51 definiert. Die planare Fläche der Gate-Anschlusselektrode 50 beträgt vorzugsweise nicht mehr als 25 % der ersten Hauptoberfläche 3. Die planare Fläche der Gate-Anschlusselektrode 50 kann nicht mehr als 10 % der ersten Hauptoberfläche 3 betragen.

[0081] Wenn die erste Hauptoberfläche 3 die planare Fläche von nicht weniger als 1 mm^2 aufweist, kann die planare Fläche der Gate-Anschlusselektrode 50 nicht weniger als 0,4 mm^2 betragen. Die Gate-Anschlusselektrode 50 kann in einer polygonalen Form (beispielsweise rechteckigen Form) ausgebildet sein, die eine planare Fläche von nicht weniger als 0,4 mm × 0,7 mm aufweist. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform als polygonale Form (viereckige Form mit vier in einer rechteckigen Form ausgeschnittenen Ecken) ausgebildet, bei der in Draufsicht vier Seiten parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann die Gate-Anschlusselektrode 50 in Draufsicht als eine viereckige Form, eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0082] Die Gate-Anschlusselektrode 50 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen ersten Gate-Leiterfilm 55 und einen zweiten Gate-Leiterfilm 56 einschließt, die in dieser Reihenfolge von der Seite der Gate-Elektrode 30 aus laminiert sind. Der erste Gate-Leiterfilm 55 kann einen Metallfilm auf Ti-Basis einschließen. Der erste Gate-Leiterfilm 55 kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist. Der erste Gate-Leiterfilm 55 kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film einschließt, die in beliebiger Reihenfolge laminiert sind.

[0083] Der erste Gate-Leiterfilm 55 weist eine Dicke auf, die geringer ist als die Dicke der Gate-Elektrode 30. Der erste Gate-Leiterfilm 55 bedeckt die Gate-Elektrode 30 in Form eines Films innerhalb der Gate-Öffnung 39 und ist in Form eines Films auf den oberen Isolierfilm 38 hinausgeführt. Der erste Gate-Leiterfilm 55 bildet einen Teil des ersten Vorsprungsabschnitts 53. Der erste Gate-Leiterfilm 55 muss nicht notwendigerweise ausgebildet sein und kann weggelassen sein.

[0084] Der zweite Gate-Leiterfilm 56 bildet einen Körper der Gate-Anschlusselektrode 50. Der zweite Gate-Leiterfilm 56 kann einen Metallfilm auf Cu-Basis einschließen. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der zweite Gate-Leiterfilm 56 schließt in dieser Ausführungsform einen reinen Cu-Beschichtungsfilm ein. Der zweite Gate-Leiterfilm 56 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 übersteigt. Besonders bevorzugt übersteigt die Dicke des zweiten Gate-Leiterfilms 56 die Dicke des oberen Isolierfilms 38. Die Dicke des zweiten Gate-Leiterfilms 56 übersteigt in dieser Ausführungsform die Dicke des Chips 2.

[0085] Der zweite Gate-Leiterfilm 56 bedeckt die Gate-Elektrode 30, wobei der erste Gate-Leiterfilm 55 dazwischen angeordnet ist, innerhalb der Gate-Öffnung 39 und ist auf den oberen Isolierfilm 38 herausgeführt, wobei der erste Gate-Leiterfilm 55 dazwischen angeordnet ist. Der zweite Gate-Leiterfilm 56 bildet einen Teil des ersten Vorsprungsabschnitts 53. Das heißt, der erste Vorsprungsabschnitt 53 weist eine laminierte Struktur auf, die den ersten Gate-Leiterfilm 55 und den zweiten Gate-Leiterfilm 56 einschließt. Der zweite Gate-Leiterfilm 56 weist eine Dicke auf, die die Dicke des ersten Gate-Leiterfilms 55 im ersten Vorsprungsabschnitt 53 übersteigt.

[0086] Die Halbleitervorrichtung 1A schließt eine Source-Anschlusselektrode 60 ein, die auf der Source-Elektrode 32 angeordnet ist. Die Source-Anschlusselektrode 60 ist säulenförmig auf einem Abschnitt der Source-Elektrode 32 errichtet, der von der Source-Öffnung 40 freiliegt. Die Source-Anschlusselektrode 60 kann in Draufsicht eine kleinere Fläche als die Fläche der Source-Elektrode 32 aufweisen und kann an einem inneren Abschnitt der Source-Elektrode 32 in einem Abstand von der Umfangskante der Source-Elektrode 32 angeordnet sein. Die Source-Anschlusselektrode 60 ist in dieser Ausführungsform auf dem Körperelektrodenabschnitt 33 der Source-Elektrode 32 angeordnet und ist nicht auf den Drawer-Elektrodenabschnitten 34A, 34B der Source-Elektrode 32 angeordnet. Dadurch wird eine gegenüberliegende Fläche zwischen der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 verringert.

[0087] Die Source-Anschlusselektrode 60 weist eine Source-Anschlussoberfläche 61 und eine Source-Anschlussseitenwand 62 auf. Die Source-Anschlussoberfläche 61 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die Source-Anschlussfläche 61 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Source-Anschlussseitenwand 62 befindet sich in dieser Ausführungsform auf dem oberen Isolierfilm 38 (insbesondere dem organischen Isolierfilm 43).

[0088] Das heißt, die Source-Anschlusselektrode 60 weist einen Abschnitt auf, der mit dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 in Kontakt steht. Die Source-Anschlussseitenwand 62 erstreckt sich im Wesentlichen vertikal zur Normalenrichtung Z. Hierbei schließt „im Wesentlichen vertikal“ einen Modus ein, der sich in Laminatrichtung erstreckt und gleichzeitig gekrümmt (mäandernd) ist. Die Source-Anschlussseitenwand 62 schließt einen Abschnitt ein, der der Source-Elektrode 32 zugewandt ist, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Die Source-Anschlussseitenwand 62 ist vorzugsweise aus einer glatten Oberfläche ohne Schleifspur zusammengesetzt.

[0089] Die Source-Anschlusselektrode 60 weist einen zweiten Vorsprungsabschnitt 63 auf, der an einem unteren Endabschnitt der Source-Anschlussseitenwand 62 nach außen hervorsteht. Der zweite Vorsprungsabschnitt 63 ist in einem Bereich auf der Seite des oberen Isolierfilms 38 (des organischen Isolierfilms 43) ausgebildet, als ein Zwischenabschnitt der Source-Anschlussseitenwand 62. Der zweite Vorsprungsabschnitt 63 erstreckt sich entlang der Außenoberfläche des oberen Isolierfilms 38 und ist in einer sich verjüngenden Form ausgebildet, bei der eine Dicke in Querschnittsansicht von der Source-Anschlussseitenwand 62 in Richtung des Spitzenabschnitts allmählich abnimmt. Der zweite Vorsprungsabschnitt 63 weist daher einen scharfkantigen Spitzenabschnitt mit einem spitzen Winkel auf. Selbstverständlich kann die Source-Anschlusselektrode 60 auch ohne den zweiten Vorsprungsabschnitt 63 ausgebildet sein.

[0090] Die Source-Anschlusselektrode 60 weist vorzugsweise eine Dicke auf, die die Dicke der Source-Elektrode 32 übersteigt. Die Dicke der Source-Anschlusselektrode 60 wird durch einen Abstand zwischen der Source-Elektrode 32 und der Source-Anschlussoberfläche 61 definiert. Besonders bevorzugt übersteigt die Dicke der Source-Anschlusselektrode 60 die Dicke des oberen Isolierfilms 38. Die Dicke der Source-Anschlusselektrode 60 übersteigt in dieser Ausführungsform die Dicke des Chips 2.

[0091] Selbstverständlich kann die Dicke der Source-Anschlusselektrode 60 geringer sein als die Dicke des Chips 2. Die Dicke der Source-Anschlusselektrode 60 kann nicht weniger als 10 µm und nicht mehr als 300 um betragen. Die Dicke der Source-Anschlusselektrode 60 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke der Source-Anschlusselektrode 60 nicht weniger als 80 µm und nicht mehr als 200 µm. Die Dicke der Source-Anschlusselektrode 60 ist im Wesentlichen gleich der Dicke der Gate-Anschlusselektrode 50.

[0092] Eine planare Fläche der Source-Anschlusselektrode 60 ist entsprechend der planaren Fläche der ersten Hauptoberfläche 3 einzustellen. Die planare Fläche der Source-Anschlusselektrode 60 wird durch eine planare Fläche der Source-Anschlussoberfläche 61 definiert. Vorzugsweise übersteigt die planare Fläche der Source-Anschlusselektrode 60 die planare Fläche der Source-Anschlussoberfläche 50. Die planare Fläche der Source-Anschlusselektrode 60 beträgt vorzugsweise nicht weniger als 50 % der ersten Hauptoberfläche 3. Besonders bevorzugt beträgt die planare Fläche der Source-Anschlusselektrode 60 nicht weniger als 75 % der ersten Hauptoberfläche 3.

[0093] In einem Fall, in dem die erste Hauptoberfläche 3 eine planare Fläche von nicht weniger als 1 mm^2 aufweist, beträgt die planare Fläche der Source-Anschlusselektrode 60 vorzugsweise nicht weniger als 0,8 mm^2. In diesem Fall beträgt die planare Fläche jeder Source-Anschlusselektrode 60 besonders bevorzugt nicht weniger als 1 mm^2. Die Source-Anschlusselektrode 60 kann in einer polygonalen Form ausgebildet sein, die eine planare Fläche von nicht weniger als 1 mm × 1,4 mm aufweist. Die Source-Anschlusselektrode 60 ist in dieser Ausführungsform viereckig geformt, wobei die vier Seiten in Draufsicht parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann die Source-Anschlusselektrode 60 in Draufsicht auch als eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0094] Die Source-Anschlusselektrode 60 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen ersten Source-Leiterfilm 67 und einen zweiten Source-Leiterfilm 68 einschließt, die in dieser Reihenfolge von der Seite der Source-Elektrode 32 aus laminiert sind. Der erste Source-Leiterfilm 67 kann einen Metallfilm auf Ti-Basis einschließen. Der erste Source-Leiterfilm 67 kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist. Der erste Source-Leiterfilm 67 kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film in beliebiger Reihenfolge einschließt. Der erste

Source-Leiterfilm 67 ist vorzugsweise aus dem gleichen leitfähigen Material wie der erste Gate-Leiterfilm 55 zusammengesetzt.

[0095] Der erste Source-Leiterfilm 67 weist eine Dicke auf, die geringer ist als die Dicke der Source-Elektrode 32. Der erste Source-Leiterfilm 67 bedeckt die Source-Elektrode 32 in Form eines Films innerhalb der Source-Öffnung 40 und ist in Form eines Films auf den oberen Isolierfilm 38 hinausgeführt. Der erste Source-Leiterfilm 67 bildet einen Teil des zweiten Vorsprungsabschnitts 63. Die Dicke des ersten Source-Leiterfilms 67 ist im Wesentlichen gleich der Dicke des ersten Gate-Leiterfilms 55. Der erste Source-Leiterfilm 67 muss nicht notwendigerweise ausgebildet sein und kann weggelassen sein.

[0096] Der zweite Source-Leiterfilm 68 bildet einen Körper der Source-Anschlusselektrode 60. Der zweite Source-Leiterfilm 68 kann einen Metallfilm auf Cu-Basis einschließen. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der zweite Source-Leiterfilm 68 schließt in dieser Ausführungsform einen reinen Cu-Beschichtungsfilm ein. Der zweite Source-Leiterfilm 68 ist vorzugsweise aus dem gleichen leitfähigen Material wie der zweite Gate-Leiterfilm 56 zusammengesetzt.

[0097] Der zweite Source-Leiterfilm 68 weist vorzugsweise eine Dicke auf, die die Dicke der Source-Elektrode 32 übersteigt. Besonders bevorzugt übersteigt die Dicke des zweiten Source-Leiterfilms 68 die Dicke des oberen Isolierfilms 38. Die Dicke des zweiten Source-Leiterfilms 68 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Die Dicke des zweiten Source-Leiterfilms 68 ist im Wesentlichen gleich der Dicke des zweiten Gate-Leiterfilms 56.

[0098] Der zweite Source-Leiterfilm 68 bedeckt die Source-Elektrode 32, wobei der erste Source-Leiterfilm 67 dazwischen angeordnet ist, innerhalb der Source-Öffnung 40 und ist auf den oberen Isolierfilm 38 herausgeführt, wobei der erste Source-Leiterfilm 67 dazwischen angeordnet ist. Der zweite Source-Leiterfilm 68 bildet einen Teil des zweiten Vorsprungsabschnitts 63. Das heißt, der zweite Vorsprungsabschnitt 63 weist eine laminierte Struktur auf, die den ersten Source-Leiterfilm 67 und den zweiten Source-Leiterfilm 68 einschließt. Der zweite Source-Leiterfilm 68 weist vorzugsweise eine Dicke auf, die die Dicke des ersten Source-Leiterfilms 67 in dem zweiten Vorsprungsabschnitt 63 übersteigt.

[0099] Die Halbleitervorrichtung 1A schließt einen Dichtungsisolator 71 ein, der die erste Hauptoberfläche 3 bedeckt. Der Dichtungsisolator 71 bedeckt einen Umfang der Gate-Anschlusselektrode 50 und einen Umfang der Source-Anschlusselektrode 60 so, dass ein Teil der Gate-Anschlusselektrode 50 und ein Teil der Source-Anschlusselektrode 60 auf der ersten Hauptoberfläche 3 freiliegen. Insbesondere bedeckt der Dichtungsisolator 71 die aktive Oberfläche 8, die Außenoberfläche 9 und die erste bis vierte Verbindungsoberfläche 10A bis 10D so, dass die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 freiliegen.

[0100] Der Dichtungsisolator 71 legt die Gate-Anschlussoberfläche 51 und die Source-Anschlussoberfläche 61 frei und bedeckt die Gate-Anschlussseitenwand 52 und die Source-Anschlussseitenwand 62. In dieser Ausführungsform bedeckt der Dichtungsisolator 71 den ersten Vorsprungsabschnitt 53 der Gate-Anschlusselektrode 50 und ist dem oberen Isolierfilm 38 zugewandt, wobei der erste Vorsprungsabschnitt 53 dazwischen angeordnet ist. Der Dichtungsisolator 71 unterbindet einen Abfall bzw. Ausfall („dropout“) der Gate-Anschlusselektrode 50. Außerdem bedeckt in dieser Ausführungsform der Dichtungsisolator 71 den zweiten Vorsprungsabschnitt 63 der Source-Anschlusselektrode 60 und ist dem oberen Isolierfilm 38 zugewandt, wobei der zweite Vorsprungsabschnitt 63 dazwischen angeordnet ist. Der Dichtungsisolator 71 unterbindet einen Abfall der Source-Anschlusselektrode 60.

[0101] Der Dichtungsisolator 71 bedeckt die Zerteilstraße 41 am Umfangskantenabschnitt der Außenoberfläche 9. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform den Zwischenschicht-Isolierfilm 27 an der Zerteilstraße 41 direkt. Selbstverständlich kann der Dichtungsisolator 71, wenn der Chip 2 (die Außenoberfläche 9) oder der Hauptoberflächen-Isolierfilm 25 von der Zerteilstraße 41 freiliegt, den Chip 2 oder den Hauptoberflächen-Isolierfilm 25 an der Zerteilstraße 41 direkt bedecken.

[0102] Der Dichtungsisolator 71 weist eine isolierende Hauptoberfläche 72 und eine isolierende Seitenwand 73 auf. Die isolierende Hauptoberfläche 72 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die isolierende Hauptoberfläche 72 bildet mit der Gate-Anschlussoberfläche 51 und der Source-Anschlussoberfläche 61 eine einzige flache Oberfläche. Die isolierende Hauptoberfläche 72 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. In diesem Fall bildet die isolierende Hauptoberfläche 72 vorzugsweise eine einzige geschliffene Oberfläche mit der Gate-Anschlussoberfläche 51 und der Source-Anschlussoberfläche 61.

[0103] Die isolierende Seitenwand 73 erstreckt sich von einer Umfangskante der isolierenden Hauptoberfläche 72 in Richtung des Chips 2 und bildet mit der ersten bis vierten Seitenoberfläche 5A bis

5D eine einzige flache Oberfläche. Die isolierende Seitenwand 73 ist im Wesentlichen senkrecht zu der isolierenden Hauptoberfläche 72 ausgebildet. Der Winkel, den die isolierende Seitenwand 73 mit der isolierenden Hauptoberfläche 72 bildet, kann nicht weniger als 88° und nicht mehr als 92° betragen. Die isolierende Seitenwand 73 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die isolierende Seitenwand 73 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche bilden.

[0104] Der Dichtungsisolator 71 weist vorzugsweise eine Dicke auf, die die Dicke der Gate-Elektrode 30 und die Dicke der Source-Elektrode 32 übersteigt. Besonders bevorzugt übersteigt die Dicke des Dichtungsisolators 71 die Dicke des oberen Isolierfilms 38. Die Dicke des Dichtungsisolators 71 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke des Dichtungsisolators 71 geringer sein als die Dicke des Chips 2. Die Dicke des Dichtungsisolators 71 kann nicht weniger als 10 µm und nicht mehr als 300 µm betragen. Die Dicke des Dichtungsisolators 71 beträgt vorzugsweise nicht weniger als 30 µm. Besonders bevorzugt beträgt die Dicke des Dichtungsisolators 71 nicht weniger als 80 µm und nicht mehr als 200 µm. Die Dicke des Dichtungsisolators 71 ist im Wesentlichen gleich der Dicke der Gate-Anschlusselektrode 50 und der Dicke der Source-Anschlusselektrode 60.

[0105] Der Dichtungsisolator 71 schließt ein Matrixharz, eine Vielzahl von Füllstoffen und eine Vielzahl von flexiblen Partikeln (flexibles Mittel) ein. Der Dichtungsisolator 71 ist so konfiguriert, dass eine mechanische Festigkeit durch das Matrixharz, die Vielzahl von Füllstoffen und die Vielzahl von flexiblen Partikeln eingestellt wird. Der Dichtungsisolator 71 kann mindestens das Matrixharz einschließen, und das Vorhandensein oder Fehlen der Füllstoffe und der flexiblen Partikel ist optional.

[0106] Der Dichtungsisolator 71 kann ein färbendes Material wie etwa Ruß einschließen, welches das Matrixharz färbt. Das Matrixharz ist vorzugsweise aus einem duroplastischen Harz zusammengesetzt. Das Matrixharz kann als Beispiel für das duroplastische Harz mindestens eines von einem ein Epoxidharz, einem Phenolharz und einem Polyimidharz einschließen. Das Matrixharz schließt in dieser Ausführungsform das Epoxidharz ein.

[0107] Die Vielzahl von Füllstoffen werden dem Matrixharz hinzugefügt und sind aus einem oder beiden von kugelförmigen Objekten, die jeweils aus einem Isolator zusammengesetzt sind, und unbestimmten Objekten, die jeweils aus einem Isolator zusammengesetzt sind, aufgebaut. Das unbestimmte Objekt weist eine zufällige Form auf, die keine Kugelform ist, beispielsweise eine Kornform, eine Stückform oder eine Fragmentform. Das unbestimmte Objekt kann eine Kante haben. Gemäß einem Gesichtspunkt des Unterbindens einer Beschädigung durch einen Füllstoffangriff sind in dieser Ausführungsform die Vielzahl von Füllstoffen jeweils aus dem kugelförmigen Objekt aufgebaut.

[0108] Die Vielzahl von Füllstoffen können mindestens eines von Keramik, Oxiden und Nitriden einschließen. Die Vielzahl von Füllstoffen sind in dieser Ausführungsform jeweils aus Siliziumoxidpartikeln (Siliziumpartikeln) zusammengesetzt. Die Vielzahl von Füllstoffen können jeweils eine Partikelgröße von nicht weniger als 1 nm und nicht mehr als 100 µm aufweisen. Die Partikelgrößen der Vielzahl von Füllstoffen betragen vorzugsweise nicht mehr als 50 µm.

[0109] Der Dichtungsisolator 71 schließt vorzugsweise die Vielzahl von Füllstoffen mit unterschiedlichen Partikelgrößen ein. Die Vielzahl von Füllstoffen kann eine Vielzahl von Füllstoffen kleiner Größe, eine Vielzahl von Füllstoffen mittlerer Größe und eine Vielzahl von Füllstoffen großer Größe einschließen. Die Vielzahl von Füllstoffen werden dem Matrixharz vorzugsweise in einer Menge (Dichte) zugesetzt, die in dieser Reihenfolge der Füllstoffe kleiner Größe, der Füllstoffe mittlerer Größe und der Füllstoffe großer Größe ist.

[0110] Die Füllstoffe kleiner Größe können eine Dicke aufweisen, die geringer ist als die Dicke der Source-Elektrode 32 (der Gate-Elektrode 30). Die Partikelgrößen der Füllstoffe kleiner Größe können nicht weniger als 1 nm und nicht mehr als 1 µm betragen. Die Füllstoffe mittlerer Größe können eine Dicke aufweisen, die die Dicke der Source-Elektrode 32 übersteigt und nicht größer als die Dicke des oberen Isolierfilms 38 ist. Die Partikelgrößen der Füllstoffe mittlerer Größe können nicht weniger als 1 µm und nicht mehr als 20 µm betragen.

[0111] Die Füllstoffe großer Größe können eine Dicke aufweisen, die die Dicke des oberen Isolierfilms 38 übersteigt. Die Vielzahl von Füllstoffen können mindestens einen Füllstoff großer Größe einschließen, der eine beliebige von der Dicke des ersten Halbleiterbereichs 6 (der Epitaxialschicht), der Dicke des zweiten Halbleiterbereichs 7 (des Substrats) und der Dicke des Chips 2 übersteigt. Die Partikelgrößen der Füllstoffe großer Größe können nicht weniger als 20 µm und nicht mehr als 100 µm betragen. Die Partikelgrößen der Füllstoffe großer Größe betragen vorzugsweise nicht mehr als 50 µm.

[0112] Eine durchschnittliche Partikelgröße der Vielzahl von Füllstoffen kann nicht weniger als 1 µm und nicht mehr als 10 µm betragen. Die durchschnittliche Partikelgröße der Vielzahl von Füllstoffen beträgt vorzugsweise nicht weniger als 4 µm und nicht

mehr als 8 µm. Selbstverständlich müssen die Vielzahl von Füllstoffen nicht notwendigerweise alle von den Füllstoffen kleiner Größe, den Füllstoffen mittlerer Größe und den Füllstoffen großer Größe gleichzeitig einschließen und können auch aus einem oder beiden von den Füllstoffen kleiner Größe und den Füllstoffen mittlerer Größe zusammengesetzt sein. Beispielsweise kann in diesem Fall eine maximale Partikelgröße der Vielzahl von Füllstoffen (der Füllstoffe mittlerer Größe) nicht mehr als 10 µm betragen.

[0113] Der Dichtungsisolator 71 kann eine Vielzahl von Füllstofffragmenten jeweils mit gebrochener Partikelform in einem Oberflächenschichtabschnitt der isolierenden Hauptoberfläche 72 und in einem Oberflächenschichtabschnitt der isolierenden Seitenwand 73 einschließen. Die Vielzahl von Füllstofffragmenten können jeweils aus einem beliebigen von einem Teil der Füllstoffe kleiner Größe, einem Teil der Füllstoffe mittlerer Größe oder einem Teil der Füllstoffe großer Größe ausgebildet sein.

[0114] Die Vielzahl von Füllstofffragmenten, die auf der Seite der isolierenden Hauptoberfläche 72 positioniert sind, weisen jeweils einen gebrochenen Abschnitt auf, der entlang der isolierenden Hauptoberfläche 72 so ausgebildet ist, dass er zur isolierenden Hauptoberfläche 72 hin ausgerichtet ist. Die Vielzahl von Füllstofffragmenten, die auf der Seite der isolierenden Seitenwand 73 positioniert sind, weisen jeweils einen gebrochenen Abschnitt auf, der entlang der isolierenden Seitenwand 73 so ausgebildet ist, dass er zur isolierenden Seitenwand 73 hin ausgerichtet ist. Die gebrochenen Abschnitte der Vielzahl von Füllstofffragmenten können von der isolierenden Hauptoberfläche 72 und der isolierenden Seitenwand 73 freiliegen oder können teilweise oder vollständig mit dem Matrixharz bedeckt sein. Die Vielzahl von Füllstofffragmenten beeinflussen die Strukturen auf der Seite des Chips 2 nicht, da sich die Vielzahl von Füllstofffragmenten in den Oberflächenschichtabschnitten der isolierenden Hauptoberfläche 72 und der isolierenden Seitenwand 73 befinden.

[0115] Die Vielzahl von flexiblen Partikeln werden dem Matrixharz hinzugefügt. Die Vielzahl von flexiblen Partikeln können mindestens eines von flexiblen Partikeln auf Silikonbasis, flexiblen Partikeln auf Acrylbasis und flexiblen Partikeln auf Butadienbasis einschließen. Der Dichtungsisolator 71 schließt vorzugsweise die flexiblen Partikel auf Silikonbasis ein. Die Vielzahl von flexiblen Partikeln weist vorzugsweise eine durchschnittliche Partikelgröße auf, die geringer ist als die durchschnittliche Partikelgröße der Vielzahl von Füllstoffen. Die durchschnittliche Partikelgröße der Vielzahl von flexiblen Partikeln beträgt vorzugsweise nicht weniger als 1 nm und nicht mehr als 1 µm. Eine maximale Partikelgröße der Vielzahl von flexiblen Partikeln beträgt vorzugsweise nicht mehr als 1 µm.

[0116] Die Vielzahl von flexiblen Partikeln werden dem Matrixharz so hinzugefügt, dass ein Verhältnis einer gesamten Querschnittsfläche zu einer Einheitsquerschnittsfläche nicht weniger als 0,1 % und nicht mehr als 10 % beträgt. Mit anderen Worten werden die Vielzahl von flexiblen Partikeln dem Matrixharz in einem Gehalt im Bereich von nicht weniger als 0,1 Gewichtsprozent und nicht mehr als 10 Gewichtsprozent hinzugefügt. Die durchschnittliche Partikelgröße und der Gehalt der Vielzahl von flexiblen Partikeln sind entsprechend einem Elastizitätsmodul einzustellen, der dem Dichtungsisolator 71 zum Zeitpunkt der Herstellung und/oder nach der Herstellung verliehen werden soll. Beispielsweise ist es dadurch, dass die Vielzahl von flexiblen Partikeln eine durchschnittliche Partikelgröße im Submikrometerbereich (= nicht mehr als 1 µm) aufweist, möglich, zu einem niedrigen Elastizitätsmodul und einer geringen Aushärtungsschrumpfung des Dichtungsisolators 71 beizutragen.

[0117] Die Halbleitervorrichtung 1A schließt einen Gate-Anschlussfilm 74 ein, der die Gate-Anschlusselektrode 50 in einem Abstand von der Source-Anschlusselektrode 60 auf dem Dichtungsisolator 71 bedeckt. Der Gate-Anschlussfilm 74 ist elektrisch mit der Gate-Anschlusselektrode 50 verbunden. Der Gate-Anschlussfilm 74 ist in Draufsicht an einem inneren Abschnitt der isolierenden Hauptoberfläche 72 in einem Abstand von der Umfangskante (der isolierenden Seitenwand 73) der isolierenden Hauptoberfläche 72 angeordnet.

[0118] Der Gate-Anschlussfilm 74 ist auf einer von der Gate-Elektrode 30 und der Source-Elektrode 32 verschiedenen Schicht angeordnet und wird daher kaum durch eine Konstruktionsregel eingeschränkt, die sich aus dem Layout der Gate-Elektrode 30 und dem Layout der Source-Elektrode 32 ergibt. Dementsprechend kann der Gate-Anschlussfilm 74 eine beliebige planare Form aufweisen und kann gleichzeitig an einer beliebigen Stelle angeordnet werden, solange er elektrisch mit der Gate-Anschlusselektrode 50 verbunden ist.

[0119] Der Gate-Anschlussfilm 74 ist in dieser Ausführungsform in einen Bereich angeordnet, der in Draufsicht an einen zentralen Abschnitt der dritten Seitenoberfläche 5C angrenzt. Der Gate-Anschlussfilm 74 ist so angeordnet, dass er in Draufsicht mindestens die aktive Oberfläche 8 überlappt. Der Gate-Anschlussfilm 74 kann so angeordnet sein, dass er in Draufsicht die aktive Oberfläche 8 und die Außenoberfläche 9 überlappt. Der Gate-Anschlussfilm 74 kann einen Abschnitt aufweisen, der in Draufsicht den oberen Isolierfilm 38 überlappt.

[0120] Der Gate-Anschlussfilm 74 weist einen Abschnitt auf, der die Gate-Anschlussoberfläche 51 der Gate-Anschlusselektrode 50 direkt bedeckt. Der Gate-Anschlussfilm 74 weist in dieser Ausführungsform einen überlappenden Abschnitt auf, der von der Gate-Anschlussoberfläche 51 auf die isolierende Hauptoberfläche 72 herausgeführt ist. Der überlappende Abschnitt des Gate-Anschlussfilms 74 kann einen Kantenabschnitt an einer Position aufweisen, die von der Gate-Anschlussseitenwand 52 der Gate-Anschlusselektrode 50 beabstandet ist. Der überlappende Abschnitt des Gate-Anschlussfilms 74 kann bogenförmig vom oberen Ende der Gate-Anschlussseitenwand 52 überhängen.

[0121] Der Gate-Anschlussfilm 74 weist eine geringere Dicke auf als die Dicke der Gate-Anschlusselektrode 50. Die Dicke des Gate-Anschlussfilms 74 beträgt vorzugsweise nicht mehr als ein Viertel der Dicke der Gate-Anschlusselektrode 50. Besonders bevorzugt beträgt die Dicke des Gate-Anschlussfilms 74 nicht mehr als ein Zehntel der Dicke der Gate-Anschlusselektrode 50. Die Dicke des Gate-Anschlussfilms 74 ist vorzugsweise geringer als die Dicke des oberen Isolierfilms 38. Die Dicke des Gate-Anschlussfilms 74 kann geringer sein als die Dicke der Gate-Elektrode 30. Die Dicke des Gate-Anschlussfilms 74 weist je nach Filmtyp unterschiedliche Werte auf. Die Dicke des Gate-Anschlussfilms 74 kann nicht weniger als 10 nm und nicht mehr als 15 µm betragen.

[0122] Der Gate-Anschlussfilm 74 weist eine planare Fläche auf, die die planare Fläche der Gate-Anschlusselektrode 50 übersteigt. Vorzugsweise übersteigt die planare Fläche des Gate-Anschlussfilms 74 die planare Fläche der Gate-Elektrode 30. In einem Fall, in dem die erste Hauptoberfläche 3 eine planare Fläche von nicht weniger als 1 mm^2 aufweist, kann die planare Fläche des Gate-Anschlussfilms 74 nicht weniger als 0,4 mm^2 betragen. Der Gate-Anschlussfilm 74 kann in einer polygonalen Form (beispielsweise rechteckigen Form) ausgebildet sein, die eine planare Fläche von nicht weniger als 0,4 mm × 0,7 mm aufweist. Der Gate-Anschlussfilm 74 ist in dieser Ausführungsform vierseitig geformt, wobei die vier Seiten in Draufsicht parallel mit der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann der Gate-Anschlussfilm 74 in Draufsicht auch als eine andere polygonale Form als die vierseitige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0123] Die Halbleitervorrichtung 1A schließt einen Source-Anschlussfilm 75 ein, der die Source-Anschlusselektrode 60 in einem Abstand von der Gate-Anschlusselektrode 50 (dem Gate-Anschlussfilm 74) auf dem Dichtungsisolator 71 bedeckt. Der Source-Anschlussfilm 75 ist elektrisch mit der Source-Anschlusselektrode 60 verbunden. Der Source-Anschlussfilm 75 ist in Draufsicht an einem inneren Abschnitt der isolierenden Hauptoberfläche 72 in einem Abstand von der Umfangskante (der isolierenden Seitenwand 73) der isolierenden Hauptoberfläche 72 angeordnet.

[0124] Der Source-Anschlussfilm 75 ist auf einer von der Gate-Elektrode 30 und der Source-Elektrode 32 verschiedenen Schicht angeordnet und wird daher kaum durch eine Konstruktionsregel eingeschränkt, die sich aus dem Layout der Gate-Elektrode 30 und dem Layout der Source-Elektrode 32 ergibt. Dementsprechend kann der Source-Anschlussfilm 75 eine beliebige planare Form aufweisen und kann gleichzeitig an einer beliebigen Stelle angeordnet werden, solange er elektrisch mit der Source-Anschlusselektrode 60 verbunden ist.

[0125] Der Source-Anschlussfilm 75 ist so angeordnet, dass er in Draufsicht mindestens die aktive Oberfläche 8 überlappt. Der Source-Anschlussfilm 75 kann so angeordnet sein, dass er in Draufsicht die aktive Oberfläche 8 und die Außenoberfläche 9 überlappt. Der Source-Anschlussfilm 75 kann einen Abschnitt aufweisen, der in Draufsicht den oberen Isolierfilm 38 überlappt. Der Source-Anschlussfilm 75 ist in dieser Ausführungsform an einer Position angeordnet, die den Körperelektrodenabschnitt 33 der Source-Elektrode 32 überlappt, sodass er in Draufsicht nicht die Drawer-Elektrodenabschnitte 34A, 34B der Source-Elektrode 32 überlappt.

[0126] Demzufolge wird die gegenüberliegende Fläche zwischen dem Gate-Anschlussfilm 74 und dem Source-Anschlussfilm 75 verringert. Eine derartige Struktur verringert wirksam das Risiko eines Kurzschlusses zwischen dem Gate-Anschlussfilm 74 und dem Source-Anschlussfilm 75, wenn ein leitfähiger Klebstoff wie Lötmittel oder Metallpaste an dem Gate-Anschlussfilm 74 und dem Source-Anschlussfilm 75 haftet. Selbstverständlich kann ein leitfähiges Bondingbauteil, wie eine Leiterplatte oder ein leitender Draht (z. B. ein Bondingdraht), mit dem Gate-Anschlussfilm 74 und dem Source-Anschlussfilm 75 verbunden werden. In diesem Fall kann das Risiko eines Kurzschlusses zwischen dem leitfähigen Bondingbauteil auf der Seite des Gate-Anschlussfilms 74 und dem leitfähigen Bondingbauteil auf der Seite des Source-Anschlussfilms 75 verringert werden.

[0127] Der Source-Anschlussfilm 75 weist einen Abschnitt auf, der die Source-Anschlussoberfläche 61 der Source-Anschlusselektrode 60 direkt bedeckt. Der Source-Anschlussfilm 75 weist in dieser Ausführungsform einen überlappenden Abschnitt auf, der von der Source-Anschlussoberfläche 61 auf die isolierende Hauptoberfläche 72 herausgeführt ist. Der überlappende Abschnitt des Source-Anschlussfilms 75 kann einen Kantenabschnitt an einer Position auf-

weisen, die von der Source-Anschlussseitenwand 62 der Source-Anschlusselektrode 60 beabstandet ist. Der überlappende Abschnitt des Source-Anschlussfilms 75 kann auch bogenförmig vom oberen Ende der Source-Anschlussseitenwand 62 überhängen.

[0128] Der Source-Anschlussfilm 75 weist eine geringere Dicke auf als die Dicke der Source-Anschlusselektrode 60. Die Dicke des Source-Anschlussfilms 75 beträgt vorzugsweise nicht mehr als ein Viertel der Dicke der Source-Anschlusselektrode 60. Besonders bevorzugt beträgt die Dicke des Source-Anschlussfilms 75 nicht mehr als ein Zehntel der Dicke der Source-Anschlusselektrode 60. Die Dicke des Source-Anschlussfilms 75 ist vorzugsweise geringer als die Dicke des oberen Isolierfilms 38. Die Dicke des Source-Anschlussfilms 75 kann geringer sein als die Dicke der Source-Elektrode 32. Die Dicke des Source-Anschlussfilms 75 weist je nach Filmtyp unterschiedliche Werte auf. Die Dicke des Source-Anschlussfilms 75 kann nicht weniger als 10 nm und nicht mehr als 15 µm betragen. Die Dicke des Source-Anschlussfilms 75 ist im Wesentlichen gleich der Dicke des Gate-Anschlussfilms 74.

[0129] Die planare Fläche des Source-Anschlussfilms 75 übersteigt die planare Fläche des Gate-Anschlussfilms 74. Der Source-Anschlussfilm 75 weist eine planare Fläche auf, die die planare Fläche der Source-Anschlusselektrode 60 übersteigt. Der Source-Anschlussfilm 75 weist vorzugsweise eine planare Fläche auf, die die planare Fläche der Source-Elektrode 32 übersteigt. In einem Fall, in dem die erste Hauptoberfläche 3 eine planare Fläche von nicht weniger als 1 mm^2 aufweist, kann die planare Fläche des Source-Anschlussfilms 75 nicht weniger als 0,8 mm^2 betragen. In diesem Fall ist es besonders bevorzugt, dass die planare Fläche des Source-Anschlussfilms 75 nicht kleiner als 1 mm^2 ist.

[0130] Der Source-Anschlussfilm 75 kann in einer polygonalen Form ausgebildet sein, die eine planare Fläche von nicht weniger als 1 mm × 1,4 mm aufweist. Der Source-Anschlussfilm 75 ist in dieser Ausführungsform vierseitig geformt, wobei die vier Seiten in Draufsicht parallel mit der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann der Source-Anschlussfilm 75 in Draufsicht auch als eine andere polygonale Form als die vierseitige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0131] Der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 können jeweils eine einschichtige Struktur oder eine laminierte Struktur aufweisen, die mindestens eines von einem Metallfilm auf Basis von Ag (Silber), einem Metallfilm auf Basis von Al (Aluminium), einem Metallfilm auf Basis von Cu (Kupfer), einem Metallfilm auf Basis von Ni (Nickel), einem Metallfilm auf Basis von Pd (Palladium) und einem Metallfilm auf Basis von Au (Gold) einschließt.

[0132] Der Metallfilm auf Ag-Basis kann ein reiner Ag-Film (ein Ag-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Ag-Legierungsfilm sein. Der Metallfilm auf Al-Basis kann ein reiner Al-Film (ein Al-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Al-Legierungsfilm sein. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (ein Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der Metallfilm auf Ni-Basis kann ein reiner Ni-Film (ein Ni-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Ni-Legierungsfilm sein. Der Metallfilm auf Pd-Basis kann ein reiner Pd-Film (ein Pd-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Pd-Legierungsfilm sein. Der Metallfilm auf Au-Basis kann ein reiner Au-Film (ein Au-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Au-Legierungsfilm sein.

[0133] Der Metallfilm auf Ag-Basis, der Metallfilm auf Al-Basis, der Metallfilm auf Cu-Basis und der Metallfilm auf Ni-Basis können jeweils eine Dicke von nicht weniger als 0,1 µm und nicht mehr als 15 µm aufweisen. Der Metallfilm auf Ag-Basis, der Metallfilm auf Al-Basis, der Metallfilm auf Cu-Basis und der Metallfilm auf Ni-Basis weisen jeweils vorzugsweise eine Dicke von nicht mehr als 10 µm auf. Der Metallfilm auf Pd-Basis und der Metallfilm auf Au-Basis können jeweils eine Dicke von nicht weniger als 1 nm und nicht mehr als 1 µm aufweisen. Der Metallfilm auf Pd-Basis und der Metallfilm auf Au-Basis weisen jeweils vorzugsweise eine Dicke von nicht mehr als 0,5 µm auf. Besonders bevorzugt ist, dass der Metallfilm auf Au-Basis eine Dicke von nicht mehr als 0,1 µm aufweist.

[0134] Im Folgenden werden unter Bezugnahme auf die **Fig.** 8A bis 8G Konfigurationsbeispiele (Filmtypbeispiele) für den Gate-Anschlussfilm 74 und den Source-Anschlussfilm 75 gezeigt. **Fig.** 8A bis 8G sind Querschnittsteilansichten, die den Gate-Anschlussfilm 74 und den Source-Anschlussfilm 75 gemäß dem ersten bis siebten Konfigurationsbeispiel zeigen. Der Gate-Anschlussfilm 74 weist die gleiche Konfiguration wie der Source-Anschlussfilm 75 auf und wird daher im Folgenden als der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) bezeichnet, und es wird die Konfiguration des Source-Anschlussfilms 75 beschrieben.

[0135] Unter Bezugnahme auf **Fig.** 8A weist der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem ersten Konfigurationsbeispiel eine einschichtige Struktur auf, die aus einem Metallfilm auf Ag-Basis zusammengesetzt ist. Der Metallfilm auf Ag-Basis kann einen überlappenden Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche

72 in Kontakt steht. Selbstverständlich kann der Metallfilm auf Ag-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt.

[0136] Unter Bezugnahme auf **Fig.** 8B weist der Source-Anschlussfilm 75 gemäß dem zweiten Konfigurationsbeispiel eine einschichtige Struktur auf, die aus einem Metallfilm auf Al-Basis zusammengesetzt ist. Der Metallfilm auf Al-Basis kann einen überlappenden Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht. Selbstverständlich kann der Metallfilm auf Al-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt.

[0137] Unter Bezugnahme auf **Fig.** 8C weist der Source-Anschlussfilm 75 gemäß dem dritten Konfigurationsbeispiel eine einschichtige Struktur auf, die aus einem Metallfilm auf Cu-Basis zusammengesetzt ist. Der Metallfilm auf Cu-Basis kann einen überlappenden Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht. Selbstverständlich kann der Metallfilm auf Cu-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt.

[0138] Unter Bezugnahme auf **Fig.** 8D weist der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem vierten Konfigurationsbeispiel eine laminierte Struktur auf, die einen Metallfilm auf Al-Basis, einen Metallfilm auf Ni-Basis, einen Metallfilm auf Pd-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) aus laminiert sind. Der Metallfilm auf Al-Basis bedeckt die Source-Anschlusselektrode 60 (die Gate-Anschlusselektrode 50) in Form eines Films. Der Metallfilm auf Ni-Basis bedeckt den Metallfilm auf Al-Basis in Form eines Films. Der Metallfilm auf Pd-Basis bedeckt den Metallfilm auf Ni-Basis in Form eines Films. Der Metallfilm auf Au-Basis bedeckt den Metallfilm auf Pd-Basis in Form eines Films.

[0139] Der Metallfilm auf Al-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann der Metallfilm auf Al-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt. Mindestens einer von dem Metallfilm auf Ni-Basis, dem Metallfilm auf Pd-Basis und dem Metallfilm auf Au-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann mindestens einer von dem Metallfilm auf Ni-Basis, dem Metallfilm Pd-Basis und dem Metallfilm Au-Basis nur auf dem Metallfilm auf Al-Basis ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt. Der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem vierten Konfigurationsbeispiel kann anstelle des Metallfilms auf Al-Basis einen Metallfilm auf Ag-Basis oder einen Metallfilm auf Cu-Basis einschließen.

[0140] Unter Bezugnahme auf **Fig.** 8E weist der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem fünften Konfigurationsbeispiel eine laminierte Struktur auf, die einen Metallfilm auf Al-Basis, einen Metallfilm auf Ni-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite des Dichtungsisolators 71 aus laminiert sind. Der Metallfilm auf Al-Basis bedeckt die Source-Anschlusselektrode 60 (die Gate-Anschlusselektrode 50) in Form eines Films. Der Metallfilm auf Ni-Basis bedeckt den Metallfilm auf Al-Basis in Form eines Films. Der Metallfilm auf Au-Basis bedeckt den Metallfilm auf Ni-Basis in Form eines Films.

[0141] Der Metallfilm auf Al-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann der Metallfilm auf Al-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt. Mindestens einer von dem Metallfilm auf Ni-Basis und dem Metallfilm auf Au-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann mindestens einer von dem Metallfilm auf Ni-Basis und dem Metallfilm Au-Basis nur auf dem Metallfilm auf Al-Basis ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt. Der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem fünften Konfigurationsbeispiel kann anstelle des Metallfilms auf Al-Basis einen Metallfilm auf Ag-Basis oder einen Metallfilm auf Cu-Basis einschließen.

[0142] Unter Bezugnahme auf **Fig.** 8F weist der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem sechsten Konfigurationsbeispiel eine laminierte Struktur auf, die einen Metallfilm auf Ni-Basis, einen Metallfilm auf Pd-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite des Dichtungsisolators 71 aus laminiert sind. Der Metallfilm auf Ni-Basis bedeckt die

Source-Anschlusselektrode 60 (die Gate-Anschlusselektrode 50) in Form eines Films. Der Metallfilm auf Pd-Basis bedeckt den Metallfilm auf Ni-Basis in Form eines Films. Der Metallfilm auf Au-Basis bedeckt den Metallfilm auf Pd-Basis in Form eines Films.

[0143] Der Metallfilm auf Ni-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann der Metallfilm auf Ni-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt. Mindestens einer von dem Metallfilm auf Pd-Basis und dem Metallfilm auf Au-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann mindestens einer von dem Metallfilm auf Pd-Basis und dem Metallfilm Au-Basis nur auf dem Metallfilm auf Ni-Basis ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt.

[0144] Unter Bezugnahme auf **Fig.** 8G weist der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) gemäß dem siebten Konfigurationsbeispiel eine laminierte Struktur auf, die einen Metallfilm auf Ni-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite des Dichtungsisolators 71 aus laminiert sind. Der Metallfilm auf Ni-Basis bedeckt die Source-Anschlusselektrode 60 (die Gate-Anschlusselektrode 50) in Form eines Films. Der Metallfilm auf Au-Basis bedeckt den Metallfilm auf Ni-Basis in Form eines Films.

[0145] Der Metallfilm auf Ni-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann der Metallfilm auf Ni-Basis nur auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt. Der Metallfilm auf Au-Basis kann einen Abschnitt aufweisen, der mit der isolierenden Hauptoberfläche 72 in Kontakt steht und einen Teil des überlappenden Abschnitts bildet. Selbstverständlich kann der Metallfilm auf Au-Basis auch nur auf dem Metallfilm auf Ni-Basis ausgebildet sein, sodass er nicht mit der isolierenden Hauptoberfläche 72 in Kontakt kommt.

[0146] Die in den **Fig.** 8A bis 8G gezeigte Konfiguration des Source-Anschlussfilms 75 (des Gate-Anschlussfilms 74) ist lediglich ein Beispiel, und die Konfiguration des Source-Anschlussfilms 75 (des Gate-Anschlussfilms 74) ist nicht auf die in den **Fig.** 8A bis 8G gezeigte Konfiguration beschränkt. Der Filmtyp des Source-Anschlussfilms 75 (des Gate-Anschlussfilms 74) wird entsprechend einem Material wie Lötmittel, Metallpaste oder Bondingdraht, das mit der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) verbunden werden soll, eingestellt.

[0147] Wenn beispielsweise eine Ag-Sinterpaste an den Source-Anschlussfilm 75 (dem Gate-Anschlussfilm 74) gebondet wird, schließt der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) vorzugsweise einen Metallfilm auf Ag-Basis (siehe **Fig.** 8A) ein, der eine hohe Affinität mindestens zu der Ag-Sinterpaste aufweist. Die Ag-Sinterpaste ist beispielsweise aus einer Paste, bei der Ag-Partikel in Nano- oder Mikrogröße einem organischen Lösungsmittel zugegeben sind, zusammengesetzt.

[0148] Beispielsweise weist in einem Fall, in dem ein leitender Draht, wie ein Bondingdraht, an den Source-Anschlussfilm 75 (den Gate-Anschlussfilm 74) gebondet ist, der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) vorzugsweise eine einschichtige Struktur oder eine laminierte Struktur auf, die mindestens eines von einem Metallfilm auf Al-Basis, einem Metallfilm auf Cu-Basis, einen Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis einschließt (siehe **Fig.** 8B bis 8G).

[0149] Beispielsweise schließt in einem Fall, in dem der Bondingdraht aus einem Al-Draht zusammengesetzt ist, der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) vorzugsweise mindestens einen Metallfilm auf Al-Basis ein. Alternativ dazu schließt in einem Fall, in dem der Bondingdraht aus einem Cu-Draht zusammengesetzt ist, der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) vorzugsweise mindestens einen Metallfilm auf Cu-Basis ein. Alternativ dazu schließt in einem Fall, in dem der Bondingdraht aus einem Au-Draht zusammengesetzt ist, der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) vorzugsweise mindestens einen Metallfilm auf Au-Basis ein.

[0150] Der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74), der eine laminierte Struktur aufweist, die einen Metallfilm auf Ni-Basis und einen Metallfilm auf Au-Basis schließt (siehe **Fig.** 8D bis 8G), kann auf Bondingdrähte aufgebracht werden, die aus verschiedenen Materialien aufgebaut sind. Außerdem kann der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74), der eine laminierte Struktur aufweist, die einen Metallfilm auf Ni-Basis und einen Metallfilm auf Au-Basis schließt (siehe **Fig.** 8D bis 8G), auf Lötmittel und Ag-Sinterpaste aufgebracht werden. Der Source-Anschlussfilm 75 (der Gate-Anschlussfilm 74) weist somit im Hinblick auf eine hohe Vielseitigkeit vorzugsweise eine laminierte Struktur auf, die einen Metallfilm auf Ni-Basis und

einen Metallfilm auf Au-Basis einschließt (siehe **Fig.** 8D bis 8G).

[0151] Erneut unter Bezugnahme auf **Fig.** 2 schließt die Halbleitervorrichtung 1A eine Drain-Elektrode 77 (zweite Hauptoberflächenelektrode) ein, die die zweite Hauptoberfläche 4 bedeckt. Die Drain-Elektrode 77 ist elektrisch mit der zweiten Hauptoberfläche 4 verbunden. Die Drain-Elektrode 77 bildet einen ohmschen Kontakt mit dem zweiten Halbleiterbereich 7, der von der zweiten Hauptoberfläche 4 freiliegt. Die Drain-Elektrode 77 kann einen gesamten Bereich der zweiten Hauptoberfläche 4 bedecken, sodass sie mit der Umfangskante des Chips 2 (der ersten bis vierten Seitenoberfläche 5A bis 5D) durchgehend ist.

[0152] Die Drain-Elektrode 77 kann die zweite Hauptoberfläche 4 in einem Abstand von der Umfangskante des Chips 2 bedecken. Die Drain-Elektrode 77 ist so konfiguriert, dass zwischen dem Source-Anschlussfilm 75 und der Drain-Elektrode 77 eine Drain-Source-Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist. Das heißt, der Chip 2 ist so ausgebildet, dass zwischen der ersten Hauptoberfläche 3 und der zweiten Hauptoberfläche 4 eine Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist.

[0153] Wie vorstehend beschrieben, schließt die Halbleitervorrichtung 1A den Chip 2, die Gate-Elektrode 30 (die Hauptoberflächenelektrode), die Gate-Anschlusselektrode 50, den Dichtungsisolator 71 und den Gate-Anschlussfilm 74 ein. Der Chip 2 weist die erste Hauptoberfläche 3 auf. Die Gate-Elektrode 30 ist auf der ersten Hauptoberfläche 3 angeordnet. Die Gate-Anschlusselektrode 50 ist auf der Gate-Elektrode 30 angeordnet. Der Dichtungsisolator 71 bedeckt einen Umfang der Gate-Anschlusselektrode 50 auf der ersten Hauptoberfläche 3 so, dass ein Teil der Gate-Anschlusselektrode 50 freiliegt. Der Gate-Anschlussfilm 74 bedeckt die Gate-Anschlusselektrode 50.

[0154] Gemäß einem anderen Gesichtspunkt schließt die Halbleitervorrichtung 1A den Chip 2, die Source-Elektrode 32 (die Hauptoberflächenelektrode), die Source-Anschlusselektrode 60, den Dichtungsisolator 71 und den Source-Anschlussfilm 75 ein. Der Chip 2 weist die erste Hauptoberfläche 3 auf. Die Source-Elektrode 32 ist auf der ersten Hauptoberfläche 3 angeordnet. Die Source-Anschlusselektrode 60 ist auf der Source-Elektrode 32 angeordnet. Der Dichtungsisolator 71 bedeckt einen Umfang der Source-Anschlusselektrode 60 auf der ersten Hauptoberfläche 3 so, dass ein Teil der Source-Anschlusselektrode 60 freiliegt. Der Source-Anschlussfilm 75 bedeckt die Source-Anschlusselektrode 60.

[0155] Gemäß den obigen Strukturen kann der Gate-Anschlussfilm 74 (der Source-Anschlussfilm 75) die Festigkeit der Verbindung von Lötmittel, Metallpaste, einem Bondingdraht oder dergleichen mit der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) erhöhen. Der Gate-Anschlussfilm 74 (der Source-Anschlussfilm 75) kann auch die Auswirkungen beim Verbinden von Lötmittel, Metallpaste, Bondingdraht oder dergleichen abmildern. Außerdem ermöglicht der Dichtungsisolator 71 gemäß den oben genannten Strukturen, das Dichtungsziel vor einer äußeren Kraft und/oder Feuchtigkeit (Nässe) zu schützen. Das heißt, es ist möglich, das Dichtungsziel vor Beschädigungen (einschließlich Ablösen) durch eine äußere Kraft und/oder vor Verschlechterungen (einschließlich Korrosion) durch Feuchtigkeit zu schützen. Dadurch können Formfehler und Abweichungen in den elektrischen Eigenschaften verringert werden. Daher ist es möglich, die Halbleitervorrichtung 1A mit verbesserter Zuverlässigkeit bereitzustellen.

[0156] Die Halbleitervorrichtung 1A schließt vorzugsweise den oberen Isolierfilm 38 ein, der die Gate-Elektrode 30 (die Source-Elektrode 32) teilweise bedeckt. Gemäß dieser Struktur kann ein abzudeckendes Objekt mit dem oberen Isolierfilm 38 vor äußeren Kräften und Feuchtigkeit geschützt werden. Das heißt, dass gemäß dieser Struktur das abzudichtende Objekt sowohl durch den oberen Isolierfilm 38 als auch durch den Dichtungsisolator 71 geschützt werden kann.

[0157] In einer derartigen Struktur weist der Dichtungsisolator 71 vorzugsweise den Abschnitt auf, der den oberen Isolierfilm 38 direkt bedeckt. Der Dichtungsisolator 71 weist vorzugsweise den Abschnitt auf, der die Gate-Elektrode 30 (die Source-Elektrode 32) über den dazwischen angeordneten oberen Isolierfilm 38 hinweg bedeckt. Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) weist vorzugsweise den Abschnitt auf, der den oberen Isolierfilm 38 direkt bedeckt. Der obere Isolierfilm 38 schließt vorzugsweise einen oder beide von dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 ein. Der organische Isolierfilm 43 ist vorzugsweise aus dem lichtempfindlichen Harzfilm zusammengesetzt.

[0158] Der obere Isolierfilm 38 ist vorzugsweise dicker als die Gate-Elektrode 30 (die Source-Elektrode 32). Der obere Isolierfilm 38 ist vorzugsweise dünner als der Chip 2. Der Dichtungsisolator 71 ist vorzugsweise dicker als die Gate-Elektrode 30 (die Source-Elektrode 32). Der Dichtungsisolator 71 ist vorzugsweise dicker als der obere Isolierfilm 38. Besonders bevorzugt ist der Dichtungsisolator 71 dicker als der Chip 2.

[0159] Der Dichtungsisolator 71 schließt vorzugsweise das duroplastische Harz (Matrixharz) ein. Der Dichtungsisolator 71 schließt vorzugsweise die Vielzahl von Füllstoffen ein, die dem duroplastischen Harz zugegeben sind. Gemäß dieser Struktur kann eine mechanische Festigkeit durch die Vielzahl von Füllstoffen eingestellt werden. Der Dichtungsisolator 71 schließt vorzugsweise die flexiblen Partikel (flexibles Mittel) ein, die dem duroplastischen Harz zugegeben sind. Gemäß dieser Struktur kann ein Elastizitätsmodul des Dichtungsisolators 71 durch die flexiblen Partikel eingestellt werden.

[0160] Der Dichtungsisolator 71 legt vorzugsweise die Gate-Anschlussoberfläche 51 (die Source-Anschlussoberfläche 61) der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) frei und bedeckt vorzugsweise die Gate-Anschlussseitenwand 52 (die Source-Anschlussseitenwand 62). Das heißt, der Dichtungsisolator 71 schützt vorzugsweise die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) vor der Gate-Anschlussseitenwand 52 (der Source-Anschlussseitenwand 62).

[0161] In diesem Fall weist der Dichtungsisolator 71 vorzugsweise die isolierende Hauptoberfläche 72 auf, die mit der Gate-Anschlussoberfläche 51 (der Source-Anschlussoberfläche 61) die einzige flache Oberfläche bildet. Der Dichtungsisolator 71 weist vorzugsweise die isolierende Seitenwand 73 auf, die mit der ersten bis vierten Seitenoberfläche 5A bis 5D (Seitenoberfläche) des Chips 2 die einzige flache Oberfläche bildet. Gemäß dieser Struktur kann das abzudichtende Objekt, das auf der Seite der ersten Hauptoberfläche 3 positioniert ist, mit dem Dichtungsisolator 71 angemessen geschützt werden.

[0162] Die oben genannten Strukturen sind wirksam, wenn die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) mit einer relativ großen planaren Fläche und/oder einer relativ großen Dicke auf den Chip 2 mit einer relativ großen planaren Fläche und/oder einer relativ geringen Dicke aufgebracht wird, der. Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) mit der relativ großen planaren Fläche und/oder der relativ großen Dicke ist auch wirksam beim Absorbieren einer auf der Seite des Chips 2 erzeugten Wärme und Ableiten der Wärme nach außen.

[0163] Beispielsweise ist die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) vorzugsweise dicker als die Gate-Elektrode 30 (die Source-Elektrode 32). Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) ist vorzugsweise dicker als der obere Isolierfilm 38. Besonders bevorzugt ist die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) dicker als der Chip 2.

[0164] Die Gate-Elektrode 30 kann eine planare Fläche mit einem Belegungsanteil von nicht mehr als 25 % in Bezug auf die planare Fläche der ersten Hauptoberfläche 3 aufweisen. Die Source-Elektrode 32 kann eine planare Fläche mit einem Belegungsanteil von nicht weniger als 50 % in Bezug auf die planare Fläche der ersten Hauptoberfläche 3 aufweisen. Die Gate-Anschlusselektrode 50 kann eine planare Fläche mit einem Belegungsanteil von nicht mehr als 25 % in Bezug auf die planare Fläche der ersten Hauptoberfläche 3 aufweisen. Die Source-Anschlusselektrode 60 kann eine planare Fläche mit einem Belegungsanteil von nicht weniger als 50 % in Bezug auf die planare Fläche der ersten Hauptoberfläche 3 aufweisen.

[0165] Der Gate-Anschlussfilm 74 kann eine planare Fläche mit einem Belegungsanteil von nicht mehr als 25 % in Bezug auf die planare Fläche der ersten Hauptoberfläche 3 aufweisen. Der Source-Anschlussfilm 75 kann eine planare Fläche mit einem Belegungsanteil von nicht weniger als 50 % in Bezug auf die planare Fläche der ersten Hauptoberfläche 3 aufweisen. Die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) ist vorzugsweise dünner als die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60). Beispielsweise weist der Gate-Anschlussfilm 74 (der Source-Anschlussfilm 75) vorzugsweise eine Dicke von nicht mehr als einem Viertel der Dicke der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) auf.

[0166] Beispielsweise kann der Chip 2 die erste Hauptoberfläche 3 aufweisen, die in Draufsicht eine Fläche von nicht weniger als 1 mm^2 aufweist. Der Chip 2 kann in Querschnittsansicht die Dicke von nicht mehr als 100 µm aufweisen. Der Chip 2 weist in Querschnittsansicht vorzugsweise die Dicke von nicht mehr als 50 µm auf. Der Chip 2 kann die laminierte Struktur aufweisen, die das Halbleitersubstrat und die Epitaxialschicht einschließt. In diesem Fall ist die Epitaxialschicht vorzugsweise dicker als das Halbleitersubstrat.

[0167] In den oben genannten Strukturen schließt der Chip 2 vorzugsweise den Einkristall des Halbleiters mit breiter Bandlücke ein. Der Einkristall des Halbleiters mit breiter Bandlücke verbessert wirksam die elektrischen Eigenschaften. Außerdem ist es gemäß dem Einkristall des Halbleiters mit breiter Bandlücke möglich, ein Ausdünnen des Chips 2 und ein Vergrößern der planaren Fläche des Chips 2 zu erreichen, während eine Verformung des Chips 2 mit einer relativ hohen Härte unterbunden wird. Das Ausdünnen des Chips 2 und das Vergrößern der planaren Fläche des Chips 2 tragen ebenfalls wirksam zum Verbessern der elektrischen Eigenschaften bei.

[0168] Die Struktur mit dem Dichtungsisolator 71 ist auch in einer Struktur wirksam, die die Drain-Elektrode 77 einschließt, die die zweite Hauptoberfläche 4 des Chips 2 bedeckt. Die Drain-Elektrode 77 bildet über den Chip 2 eine Potentialdifferenz (beispielsweise nicht weniger als 500 V und nicht mehr als 3000 V) mit der Source-Elektrode 32. Insbesondere in einem Fall, in dem der Chip 2 relativ dünn ist, erhöht sich das Risiko eines Entladungsphänomens zwischen der Umfangskante der ersten Hauptoberfläche 3 und der Source-Elektrode 32, da ein Abstand zwischen der Source-Elektrode 32 und der Drain-Elektrode 77 verkürzt wird. In diesem Punkt kann gemäß der Struktur mit dem Dichtungsisolator 71 eine Isoliereigenschaft zwischen der Umfangskante der ersten Hauptoberfläche 3 und der Source-Elektrode 32 verbessert werden, und somit kann das Entladungsphänomen unterbunden werden.

[0169] **Fig.** 9 ist eine Draufsicht, die eine Waferstruktur 80 zeigt, die bei der Herstellung der in **Fig.** 1 gezeigten Halbleitervorrichtung 1A verwendet werden soll. **Fig.** 10 ist eine Querschnittsansicht, die einen in **Fig.** 9 gezeigten Vorrichtungsbereich 86 zeigt. Unter Bezugnahme auf **Fig.** 9 und **Fig.** 10 schließt die Waferstruktur 80 einen Wafer 81 ein, der in Scheibenform ausgebildet ist. Der Wafer 81 soll eine Basis des Chips 2 bilden. Der Wafer 81 weist eine erste Waferhauptoberfläche 82 auf einer Seite, eine zweite Waferhauptoberfläche 83 auf der anderen Seite und eine Waferseitenoberfläche 84 auf, die die erste Waferhauptoberfläche 82 und die zweite Waferhauptoberfläche 83 verbindet.

[0170] Der Wafer 81 weist eine Markierung 85 auf, die eine Kristallausrichtung des SiC-Einkristalls auf der Waferseitenoberfläche 84 angibt. Die Markierung 85 schließt in dieser Ausführungsform eine Ausrichtungsabflachung ein, die in Draufsicht in einer geraden Linie ausgeschnitten ist. Die Ausrichtungsabflachung erstreckt sich in dieser Ausführungsform in der zweiten Richtung Y. Die Ausrichtungsabflachung muss sich nicht notwendigerweise in der zweiten Richtung Y erstrecken und kann sich in der ersten Richtung X erstrecken.

[0171] Selbstverständlich kann die Markierung 85 eine erste Ausrichtungsabflachung einschließen, die sich in der ersten Richtung X erstreckt, und eine zweite Ausrichtungsabflachung, die sich in der zweiten Richtung Y erstreckt. Außerdem kann die Markierung 85 anstelle der Ausrichtungsabflachung eine Ausrichtungskerbe aufweisen, die in Richtung eines zentralen Abschnitt des Wafers 81 ausgeschnitten ist. Die Ausrichtungskerbe kann ein gekerbter Abschnitt sein, der in Draufsicht in einer polygonalen Form, wie einer Dreiecksform und einer Viereckform, geschnitten ist.

[0172] Der Wafer 81 kann einen Durchmesser von nicht weniger als 50 mm und nicht mehr als 300 mm (das heißt, nicht weniger als 2 Zoll und nicht mehr als 12 Zoll) aufweisen. Der Durchmesser der Waferstruktur 80 wird durch eine Länge einer Sehne definiert, die durch eine Mitte der Waferstruktur 80 außerhalb der Markierung 85 verläuft. Die Waferstruktur 80 kann eine Dicke von nicht weniger als 100 µm und nicht mehr als 1100 µm aufweisen.

[0173] Die Waferstruktur 80 schließt den ersten Halbleiterbereich 6 ein, der in einem Bereich auf der Seite der ersten Waferhauptoberfläche 82 ausgebildet ist, und den zweiten Halbleiterbereich 7, der in einem Bereich auf der Seite der zweiten Waferhauptoberfläche 83 innerhalb des Wafers 81 ausgebildet ist. Der erste Halbleiterbereich 6 wird durch eine Epitaxialschicht gebildet und der zweite Halbleiterbereich 7 wird durch ein Halbleitersubstrat gebildet. Das heißt, der erste Halbleiterbereich 6 wird durch epitaktisches Wachstum eines Halbleitereinkristalls aus dem zweiten Halbleiterbereich 7 mittels eines Verfahrens für epitaktisches Wachstum gebildet. Der zweite Halbleiterbereich 7 weist vorzugsweise eine Dicke auf, die die Dicke des ersten Halbleiterbereichs 6 übersteigt.

[0174] Die Waferstruktur 80 schließt eine Vielzahl von Vorrichtungsbereichen 86 und eine Vielzahl von geplanten Schnittlinien 87, die in der ersten Waferhauptoberfläche 82 bereitgestellt sind, ein. Die Vielzahl von Vorrichtungsbereichen 86 sind Bereiche, die jeweils der Halbleitervorrichtung 1A entsprechen. Die Vielzahl von Vorrichtungsbereichen 86 sind in Draufsicht jeweils in einer viereckigen Form angeordnet. In dieser Ausführungsform sind die Vielzahl von Vorrichtungsbereichen 86 in Draufsicht in einer Matrixstruktur entlang der ersten Richtung X und der zweiten Richtung Y angeordnet.

[0175] Bei der Vielzahl von geplanten Schnittlinien 87 handelt es sich um Linien (bandförmig verlaufende Bereiche), die Positionen als erste bis vierte Seitenoberflächen 5A bis 5D des Chips 2 definieren. Die Vielzahl von geplanten Schnittlinien 87 sind in einer Gitterstruktur angeordnet, die sich entlang der ersten Richtung X und der zweiten Richtung Y erstreckt, um so die Vielzahl von Vorrichtungsbereichen 86 zu definieren. Beispielsweise kann die Vielzahl von geplanten Schnittlinien 87 durch Ausrichtungsmarkierungen und dergleichen abgegrenzt werden, die innerhalb und/oder außerhalb des Wafers 81 vorgesehen sind.

[0176] Die Waferstruktur 80 schließt in dieser Ausführungsform den Mesa-Abschnitt 11, die MISFET-Struktur 12, den äußeren Kontaktbereich 19, den äußeren Wannenbereich 20, die Feldbereiche 21, den Hauptoberflächen-Isolierfilm 25, die Seitenwandstruktur 26, den Zwischenschicht-Isolierfilm

27, die Gate-Elektrode 30, die Source-Elektrode 32, die Vielzahl von Gate-Verdrahtungen 36A, 36B, die Source-Verdrahtung 37 und den oberen Isolierfilm 38, die in jedem der Vorrichtungsbereiche 86 ausgebildet sind, ein.

[0177] Die Waferstruktur 80 schließt die Zerteilstraße 41 ein, die in Bereichen zwischen der Vielzahl von oberen Isolierfilmen 38 abgegrenzt ist. Das heißt, die Zerteilstraße 41 erstreckt sich über die Vielzahl von Vorrichtungsbereichen 86 hinweg über die Vielzahl von geplanten Schnittlinien 87, sodass sie die Vielzahl von geplanten Schnittlinien 87 freilegt. Die Zerteilstraße 41 ist in einer Gitterstruktur ausgebildet, das sich entlang der Vielzahl von geplanten Schnittlinien 87 erstreckt. In dieser Ausführungsform legt die Zerteilstraße 41 den Zwischenschicht-Isolierfilm 27 frei. Selbstverständlich kann in einem Fall, in dem der Zwischenschicht-Isolierfilm 27 die erste Waferhauptoberfläche 82 freilegt, die Zerteilstraße 41 die erste Waferhauptoberfläche 82 freilegen.

[0178] **Fig.** 11A bis **Fig.** 11J sind Querschnittsansichten, die ein beispielhaftes Herstellungsverfahren für die in **Fig.** 1 gezeigte Halbleitervorrichtung 1A zeigen. Beschreibungen der spezifischen Merkmale jeder Struktur, die in jedem in **Fig.** 11A bis **Fig.** 11J gezeigten Prozess gebildet werden, werden weggelassen oder vereinfacht, da diese wie oben beschrieben sind.

[0179] Unter Bezugnahme auf **Fig.** 11A wird die Waferstruktur 80 hergestellt (siehe **Fig.** 9 und **Fig.** 10). Als Nächstes wird auf der Waferstruktur 80 ein erster Basisleiterfilm 88 gebildet, der als Basis des ersten Gate-Leiterfilms 55 und des ersten Source-Leiterfilms 67 dienen soll. Der erste Basisleiterfilm 88 wird in Form eines Films entlang des Zwischenschicht-Isolierfilms 27, der Gate-Elektrode 30, der Source-Elektrode 32, der Vielzahl von Gate-Verdrahtungen 36A, 36B, der Source-Verdrahtung 37 und des oberen Isolierfilms 38 gebildet. Vorzugsweise schließt der erste Basisleiterfilm 88 einen Metallfilm auf Ti-Basis ein. Der erste Basisleiterfilm 88 kann durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden.

[0180] Als Nächstes wird auf dem ersten Basisleiterfilm 88 ein zweiter Basisleiterfilm 89 gebildet, der als Basis des zweiten Gate-Leiterfilms 56 und des zweiten Source-Leiterfilms 68 dienen soll. Der zweite Basisleiterfilm 89 bedeckt den Zwischenschicht-Isolierfilm 27, die Gate-Elektrode 30, die Source-Elektrode 32, die Vielzahl von Gate-Verdrahtungen 36A, 36B, die Source-Verdrahtung 37 und den oberen Isolierfilm 38 in Form eines Films, wobei der erste Basisleiterfilm 88 dazwischen angeordnet ist. Der zweite Basisleiterfilm 89 schließt einen Metallfilm auf Cu-Basis ein. Der zweite Basisleiterfilm 89 kann durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden.

[0181] Als Nächstes wird unter Bezugnahme auf **Fig.** 11B eine Resistmaske 90, die eine vorbestimmte Struktur aufweist, auf dem zweiten Basisleiterfilm 89 gebildet. Die Resistmaske 90 schließt eine erste Öffnung 91, die die Gate-Elektrode 30 freilegt, und eine zweite Öffnung 92, die die Source-Elektrode 32 freilegt, ein. Die erste Öffnung 91 legt einen Bereich frei, in dem die Gate-Anschlusselektrode 50 in einem Bereich auf der Gate-Elektrode 30 gebildet werden soll. Die zweite Öffnung 92 legt einen Bereich frei, in dem die Source-Anschlusselektrode 60 in einem Bereich auf der Source-Elektrode 32 gebildet werden soll.

[0182] Dieser Schritt schließt einen Schritt des Verringerns einer Haftung der Resistmaske 90 in Bezug auf den zweiten Basisleiterfilm 89 ein. Die Haftung der Resistmaske 90 muss durch Einstellen der Belichtungsbedingungen und/oder der Brennbedingungen (Brenntemperatur, -zeit usw.) nach der Belichtung für die Resistmaske 90 eingestellt werden. Durch diesen Schritt wird ein Wachstumsstartpunkt des ersten Vorsprungsabschnitts 53 an einem unteren Endabschnitt der ersten Öffnung 91 gebildet, und ein Wachstumsstartpunkt des zweiten Vorsprungsabschnitts 63 wird an einem unteren Endabschnitt der zweiten Öffnung 92 gebildet.

[0183] Als Nächstes wird unter Bezugnahme auf **Fig.** 11C auf dem zweiten Basisleiterfilm 89 ein dritter Basisleiterfilm 95 gebildet, der als Basis des zweiten Gate-Leiterfilms 56 und des zweiten Source-Leiterfilms 68 dienen soll. Der dritte Basisleiterfilm 95 wird in dieser Ausführungsform durch Abscheiden eines Leiters (in dieser Ausführungsform ein Metall auf Cu-Basis) in der ersten Öffnung 91 und der zweiten Öffnung 92 durch ein Beschichtungsverfahren (beispielsweise ein Galvanisierungsverfahren) gebildet. Der dritte Basisleiterfilm 95 wird mit dem zweiten Basisleiterfilm 89 innerhalb der ersten Öffnung 91 und der zweiten Öffnung 92 integriert. Durch diesen Schritt wird die Gate-Anschlusselektrode 50 gebildet, die die Gate-Elektrode 30 bedeckt. Außerdem wird die Source-Anschlusselektrode 60 gebildet, die die Source-Elektrode 32 bedeckt.

[0184] Dieser Schritt schließt einen Schritt des Einbringens einer Beschichtungslösung zwischen den zweiten Basisleiterfilm 89 und die Resistmaske 90 am unteren Endabschnitt der ersten Öffnung 91 ein. Dieser Schritt schließt auch einen Schritt des Einbringens der Beschichtungslösung zwischen den zweiten Basisleiterfilm 89 und die Resistmaske 90 am unteren Endabschnitt der zweiten Öffnung 92 ein. Durch diesen Schritt wird ein Teil des dritten Basisleiterfilms 95 (die Gate-Anschlusselektrode 50) am unteren Endabschnitt der ersten Öffnung 91 zu

einer Vorsprungsform herangezogen, und dadurch wird der erste Vorsprungsabschnitt 53 gebildet. Außerdem wird ein Teil des dritten Basisleiterfilms 95 (die Source-Anschlusselektrode 60) am unteren Endabschnitt der zweiten Öffnung 92 zu einer Vorsprungsform herangezogen, und dadurch wird der zweite Vorsprungsabschnitt 63 gebildet.

[0185] Als Nächstes wird unter Bezugnahme auf **Fig.** 11D die Resistmaske 90 entfernt. Durch diesen Schritt werden die Gate-Anschlusselektrode 50, die Source-Anschlusselektrode 60 und die Dummy-Anschlusselektrode 97 nach außen freigelegt.

[0186] Als Nächstes wird unter Bezugnahme auf **Fig.** 11E ein Abschnitt des zweiten Basisleiterfilms 89 entfernt, der von der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 freiliegt. Ein unnötiger Abschnitt des zweiten Basisleiterfilms 89 kann durch ein Ätzverfahren entfernt werden. Das Ätzverfahren kann ein Nassätzverfahren und/oder ein Trockenätzverfahren sein. Als Nächstes wird ein Abschnitt des ersten Basisleiterfilms 88 entfernt, der von der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 freiliegt. Ein unnötiger Abschnitt des ersten Basisleiterfilms 88 kann durch ein Ätzverfahren entfernt werden. Das Ätzverfahren kann ein Nassätzverfahren und/oder ein Trockenätzverfahren sein.

[0187] Als Nächstes wird, unter Bezugnahme auf **Fig.** 11F, ein Dichtungsmittel 93 auf die erste Waferhauptoberfläche 82 aufgebracht, um die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 zu bedecken. Das Dichtungsmittel 93 soll eine Basis des Dichtungsisolators 71 bilden. Das Dichtungsmittel 93 bedeckt einen Umfang der Gate-Anschlusselektrode 50 und einen Umfang der Source-Anschlusselektrode 60 und bedeckt einen gesamten Bereich der Gate-Anschlusselektrode 50 und einen gesamten Bereich der Source-Anschlusselektrode 60. Das Dichtungsmittel 93 schließt in dieser Ausführungsform das duroplastische Harz, die Vielzahl von Füllstoffen und die Vielzahl von flexiblen Partikeln (flexibles Mittel) ein und wird durch Erhitzen ausgehärtet. Durch diesen Schritt wird der Dichtungsisolator 71 gebildet. Der Dichtungsisolator 71 weist die isolierende Hauptoberfläche 72 auf, die den gesamten Bereich der Gate-Anschlusselektrode 50 und den gesamten Bereich der Source-Anschlusselektrode 60 bedeckt.

[0188] Als Nächstes wird unter Bezugnahme auf **Fig.** 11G der Dichtungsisolator 71 teilweise entfernt. Der Dichtungsisolator 71 wird in dieser Ausführungsform von der Seite der isolierenden Hauptoberfläche 72 aus durch ein Schleifverfahren geschliffen. Das Schleifverfahren kann ein mechanisches Polierverfahren und/oder ein chemisch-mechanisches Polierverfahren sein. Die isolierende Hauptoberfläche 72 wird geschliffen, bis die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 freiliegen. Dieser Schritt schließt einen Schritt des Schleifens der Gate-Anschlusselektrode 50 und der Source-Anschlusselektrode 60 ein. Durch diesen Schritt wird die isolierende Hauptoberfläche 72 gebildet, die mit der Gate-Anschlusselektrode 50 (der Gate-Anschlussoberfläche 51) und der Source-Anschlusselektrode 60 (der Source-Anschlussoberfläche 61) die einzelne Schleifoberfläche bildet.

[0189] Der Dichtungsisolator 71 kann in einem halb ausgehärteten Zustand (unvollständig ausgehärtetem Zustand) gebildet werden, indem die Erhitzungsbedingungen im oben genannten Schritt von **Fig.** 11F eingestellt werden. In diesem Fall wird der Dichtungsisolator 71 im Schritt von **Fig.** 11G geschliffen und dann erneut erhitzt, um einen voll ausgehärteten Zustand (vollständig ausgehärteten Zustand) zu erreichen. In diesem Fall ist es möglich, den Dichtungsisolator 71 leicht zu entfernen.

[0190] Als Nächstes wird unter Bezugnahme auf **Fig.** 11H der Gate-Anschlussfilm 74, der die Gate-Anschlusselektrode 50 bedeckt, auf dem Dichtungsisolator 71 (der isolierenden Hauptoberfläche 72) gebildet, und der Source-Anschlussfilm 75, der die Source-Anschlusselektrode 60 bedeckt, wird auf dem Dichtungsisolator 71 (der isolierenden Hauptoberfläche 72) gebildet. Der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 werden durch Abscheiden von mindestens einem von einem Metallfilm auf Ag-Basis, einem Metallfilm auf Al-Basis, einem Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis auf dem Dichtungsisolator 71 (der isolierenden Hauptoberfläche 72) mit mindestens einem von einem Sputterverfahren, einem Dampfabscheidungsverfahren und einem Beschichtungsverfahren gebildet, wie nachfolgend beschrieben wird.

[0191] Als Nächstes wird, unter Bezugnahme auf **Fig.** 11I, der Wafer 81 teilweise von der Seite der zweiten Waferhauptoberfläche 83 entfernt, und der Wafer 81 wird ausgedünnt, bis die gewünschte Dicke erreicht ist. Der Schritt des Ausdünnens des Wafers 81 erfolgt durch ein Ätzverfahren und/oder ein Schleifverfahren. Das Ätzverfahren kann ein Nassätzverfahren und/oder ein Trockenätzverfahren sein. Das Schleifverfahren kann ein mechanisches Polierverfahren und/oder ein chemisch-mechanisches Polierverfahren sein.

[0192] Dieser Schritt schließt einen Schritt des Ausdünnens des Wafers 81 unter Verwendung des Dichtungsisolators 71 als Stützbauteil, das den Wafer 81 stützt, ein. Dies ermöglicht eine geeignete Handhabung des Wafers 81. Außerdem ist es möglich, eine Verformung (Verbiegung aufgrund von Ausdünnung)

des Wafers 81 mit dem Dichtungsisolator 71 zu unterbinden, und daher kann der Wafer 81 geeignet ausgedünnt werden.

[0193] Wenn beispielsweise die Dicke des Wafers 81 geringer ist als die Dicke des Dichtungsisolators 71, wird der Wafer 81 weiter ausgedünnt. Als anderes Beispiel wird in einem Fall, in dem die Dicke des Wafers 81 nicht geringer ist als die Dicke des Dichtungsisolators 71, der Wafer 81 ausgedünnt, bis die Dicke des Wafers 81 geringer wird als die Dicke des Dichtungsisolators 71. In diesen Fällen wird der Wafer 81 vorzugsweise ausgedünnt, bis eine Dicke des zweiten Halbleiterbereichs 7 (des Halbleitersubstrats) geringer wird als eine Dicke des ersten Halbleiterbereichs 6 (der Epitaxialschicht).

[0194] Selbstverständlich kann die Dicke des zweiten Halbleiterbereichs 7 (des Halbleitersubstrats) nicht geringer sein als die Dicke des ersten Halbleiterbereichs 6 (der Epitaxialschicht). Außerdem kann der Wafer 81 ausgedünnt werden, bis der erste Halbleiterbereich 6 von der zweiten Waferhauptoberfläche 83 freiliegt. Das heißt, dass der gesamte zweite Halbleiterbereich 7 entfernt werden kann.

[0195] Als Nächstes wird unter Bezugnahme auf **Fig.** 11J die Drain-Elektrode 77 gebildet, die die zweite Wafer-Hauptoberfläche 83 bedeckt. Die Drain-Elektrode 77 kann durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden. Anschließend werden die Waferstruktur 80 und der Dichtungsisolator 71 entlang der vorgesehenen Schnittlinien 87 geschnitten. Die Waferstruktur 80 und der Dichtungsisolator 71 können mit einer Zerteilklinge (nicht gezeigt) geschnitten werden. Durch die oben genannten Schritte werden die Vielzahl von Halbleitervorrichtungen 1A aus der einzelnen Waferstruktur 80 hergestellt.

[0196] Nachfolgend werden beispielhafte Herstellungsverfahren für den Gate-Anschlussfilm 74 und den Source-Anschlussfilm 75 gemäß **Fig.** 11H gezeigt. **Fig.** 12A bis 12C sind Querschnittsteilansichten, die ein erstes beispielhaftes Herstellungsverfahren für den Gate-Anschlussfilm 74 und den Source-Anschlussfilm 75 zeigen. Das erste beispielhafte Herstellungsverfahren zeigt ein Beispiel, bei dem der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gemäß dem zweiten Konfigurationsbeispiel (siehe **Fig.** 8B) durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden.

[0197] Zunächst wird, unter Bezugnahme auf **Fig.** 12A, durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren ein Metallfilm auf Al-Basis gebildet, der den gesamten Bereich der isolierenden Hauptoberfläche 72 des Dichtungsisolators 71 bedeckt. Der Metallfilm auf Al-Basis bedeckt die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 gemeinsam.

[0198] Als Nächstes wird unter Bezugnahme auf **Fig.** 12B eine Resistmaske 96 mit einer vorgegebenen Struktur auf dem Metallfilm auf Al-Basis gebildet. Die Resistmaske 96 deckt Bereiche des Metallfilms auf Al-Basis ab, in denen der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gebildet werden sollen, und legt den anderen Bereich frei.

[0199] Als Nächstes wird unter Bezugnahme auf **Fig.** 12C ein nicht benötigter Teil des Metallfilms auf Al-Basis mit einem Ätzverfahren über die Resistmaske 96 entfernt. Das Ätzverfahren kann ein Nassätzverfahren und/oder ein Trockenätzverfahren sein. Durch diesen Schritt werden der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gebildet.

[0200] Ein Metallfilm auf Ag-Basis, ein Metallfilm auf Cu-Basis, ein Metallfilm auf Ni-Basis, ein Metallfilm auf Pd-Basis und ein Metallfilm auf Au-Basis können alle durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden. Dementsprechend können die Gate-Anschlussfilme 74 und die Source-Anschlussfilme 75 gemäß dem ersten bis siebten Konfigurationsbeispiel (**Fig.** 8A bis 8G) unter Verwendung der in den **Fig.** 12A bis 12C gezeigten Schritte gebildet werden. Das heißt, die Source-Anschlussfilme 75 gemäß dem ersten bis siebten Konfigurationsbeispiel (**Fig.** 8A bis 8G) werden jeweils durch Abscheiden eines beliebigen von einem Metallfilm auf Al-Basis, einem Metallfilm auf Ag-Basis, eine Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis auf einem Bedeckungsziel mittels eines Sputterverfahrens und/oder eines Dampfabscheidungsverfahrens gebildet.

[0201] **Fig.** 13A bis 13C sind Querschnittsteilansichten, die ein zweites beispielhaftes Herstellungsverfahren für den Gate-Anschlussfilm 74 und den Source-Anschlussfilm 75 zeigen. Das zweite beispielhafte Herstellungsverfahren zeigt ein Beispiel, bei dem der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gemäß dem ersten Konfigurationsbeispiel (siehe **Fig.** 8B) durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren auf Basis eines Abhebeverfahrens gebildet werden.

[0202] Zunächst wird, unter Bezugnahme auf **Fig.** 13A, eine Resistmaske 97 mit einer vorgegebenen Struktur auf der isolierenden Hauptoberfläche 72 gebildet. Die Resistmaske 97 legt Bereiche der isolierenden Hauptoberfläche 72 frei, in denen der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gebildet werden sollen, und bedeckt den anderen Bereich.

[0203] Als Nächstes wird unter Bezugnahme auf **Fig.** 13B ein Metallfilm auf Al-Basis, der die isolierende Hauptoberfläche 72 und die Resistmaske 97 bedeckt, durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet. Der Metallfilm auf Al-Basis bedeckt die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 gemeinsam. Als Nächstes wird unter Bezugnahme auf **Fig.** 13C die Resistmaske 97 entfernt. In diesem Schritt wird gleichzeitig auch der Abschnitt des Metallfilms auf Al-Basis entfernt, der die Resistmaske 97 bedeckt. Durch diesen Schritt werden der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gebildet.

[0204] Ein Metallfilm auf Ag-Basis, ein Metallfilm auf Cu-Basis, ein Metallfilm auf Ni-Basis, ein Metallfilm auf Pd-Basis und ein Metallfilm auf Au-Basis können alle durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden. Dementsprechend können die Gate-Anschlussfilme 74 und die Source-Anschlussfilme 75 gemäß dem ersten bis siebten Konfigurationsbeispiel (**Fig.** 8A bis 8G) unter Verwendung der in den **Fig.** 13A bis 13C gezeigten Schritte gebildet werden. Das heißt, die Gate-Anschlussfilme 74 und die Source-Anschlussfilme 75 gemäß dem ersten bis siebten Konfigurationsbeispiel (**Fig.** 8A bis 8G) werden jeweils durch Abscheiden eines beliebigen von einem Metallfilm auf Al-Basis, einem Metallfilm auf Ag-Basis, eine Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis auf einem Bedeckungsziel mittels eines Sputterverfahrens und/oder eines Dampfabscheidungsverfahrens gebildet.

[0205] **Fig.** 14A bis 14C sind Querschnittsteilansichten, die ein drittes beispielhaftes Herstellungsverfahren für den Gate-Anschlussfilm 74 und den Source-Anschlussfilm 75 zeigen. Das dritte beispielhafte Herstellungsverfahren zeigt ein Beispiel, bei dem der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gemäß dem sechsten Konfigurationsbeispiel (siehe **Fig.** 8F) durch ein Beschichtungsverfahren gebildet werden. Zunächst wird, unter Bezugnahme auf **Fig.** 14A, ein Metallfilm auf Ni-Basis durch ein Beschichtungsverfahren in Form eines Films auf der Source-Anschlusselektrode 60 (der Gate-Anschlusselektrode 50) gebildet. Bei diesem Schritt ist das Beschichtungsverfahren ein stromloses Beschichtungsverfahren.

[0206] Als Nächstes wird unter Bezugnahme auf **Fig.** 14B ein Metallfilm auf Pd-Basis durch ein Beschichtungsverfahren in Form eines Films auf dem Metallfilm auf Ni-Basis gebildet. Bei diesem Schritt ist das Beschichtungsverfahren ein stromloses Beschichtungsverfahren. Als Nächstes wird unter Bezugnahme auf **Fig.** 14C ein Metallfilm auf Au-Basis durch ein Beschichtungsverfahren in Form eines Films auf dem Metallfilm auf Pd-Basis gebildet. Bei diesem Schritt ist das Beschichtungsverfahren ein stromloses Beschichtungsverfahren.

[0207] Durch diesen Schritt werden der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gebildet. Der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 gemäß dem fünften Konfigurationsbeispiel (siehe **Fig.** 8G) werden gebildet, indem der Schritt des Bildens eines Metallfilms auf Pd-Basis in dem in **Fig.** 14B gezeigten Schritt ausgelassen wird.

[0208] Ein Metallfilm auf Ag-Basis, ein Metallfilm auf Al-Basis, ein Metallfilm auf Cu-Basis, ein Metallfilm auf Ni-Basis, ein Metallfilm auf Pd-Basis und ein Metallfilm auf Au-Basis können alle durch ein Beschichtungsverfahren gebildet werden. Dementsprechend können die Gate-Anschlussfilme 74 und die Source-Anschlussfilme 75 gemäß dem ersten bis siebten Konfigurationsbeispiel (**Fig.** 8A bis 8G) unter Verwendung der in den **Fig.** 14A bis 14C gezeigten Schritte gebildet werden.

[0209] Das heißt, die Gate-Anschlussfilme 74 und die Source-Anschlussfilme 75 gemäß dem ersten bis siebten Konfigurationsbeispiel (**Fig.** 8A bis 8G) werden jeweils durch Abscheiden eines beliebigen von einem Metallfilm auf Ag-Basis, einem Metallfilm auf Al-Basis, eine Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis auf einem Bedeckungsziel mittels eines Beschichtungsverfahrens gebildet. Beim Schritt des Bildens einer dieser verschiedenen Typen von Metallfilmen wird je nach Art des Laminierungsziels ein Galvanisierungsverfahren oder ein stromloses Beschichtungsverfahren ausgewählt.

[0210] Selbstverständlich können in einem Fall, in dem der Gate-Anschlussfilm 74 und der Source-Anschlussfilm 75 jeweils eine laminierte Struktur aufweisen, die eine Vielzahl von Metallfilmen einschließt, die Vielzahl von Metallfilmen durch mindestens eines von einem Sputterverfahren, einem Dampfabscheidungsverfahren und einem Beschichtungsverfahren gebildet werden. Beispielsweise kann der Metallfilm der ersten Schicht durch ein Sputterverfahren und/oder ein Dampfabscheidungsverfahren gebildet werden (siehe erstes oder zweites beispielhaftes Herstellungsverfahren), und die Metallfilme der zweiten und nachfolgenden Schichten können durch ein Beschichtungsverfahren gebildet werden (siehe drittes beispielhaftes Herstellungsverfahren).

[0211] Wie vorstehend beschrieben, schließt das Herstellungsverfahren für die Halbleitervorrichtung 1A den Schritt des Vorbereitens der Waferstruktur 80, des Bildens der Gate-Anschlusselektrode 50,

den Schritt des Bildens des Dichtungsisolators 71 und den Schritt des Bildens des Gate-Anschlussfilms 74 ein. Beim Schritt des Vorbereitens der Waferstruktur 80 wird die Waferstruktur 80 vorbereitet, die den Wafer 81 einschließt, der die erste Waferhauptoberfläche 82 aufweist und bei dem die Gate-Elektrode 30 (die Hauptoberflächenelektrode) auf der ersten Waferhauptoberfläche 82 angeordnet ist. Beim Schritt des Bildens der Gate-Anschlusselektrode 50 wird die Gate-Anschlusselektrode 50 in einem Abstand auf der Gate-Elektrode 30 gebildet. Beim Schritt des Bildens des Dichtungsisolators 71 wird der Dichtungsisolator 71 gebildet, der einen Umfang der Gate-Anschlusselektrode 50 so bedeckt, dass ein Teil der Gate-Anschlusselektrode 50 freiliegt. Beim Schritt des Bildens des Gate-Anschlussfilms 74 wird der Gate-Anschlussfilm 74 gebildet, der die Gate-Anschlusselektrode 50 bedeckt.

[0212] Gemäß einem anderen Gesichtspunkt schließt das Herstellungsverfahren für die Halbleitervorrichtung 1A den Schritt des Vorbereitens der Waferstruktur 80, den Schritt des Bildens der Source-Anschlusselektrode 60, den Schritt des Bildens des Dichtungsisolators 71 und den Schritt des Bildens des Source-Anschlussfilms 75 ein. Beim Schritt des Vorbereitens der Waferstruktur 80 wird die Waferstruktur 80 vorbereitet, die den Wafer 81 einschließt, der die erste Waferhauptoberfläche 82 aufweist und bei dem die Source-Elektrode 32 (die Hauptoberflächenelektrode) auf der ersten Waferhauptoberfläche 82 angeordnet ist. Beim Schritt des Bildens der Source-Anschlusselektrode 60 wird die Source-Anschlusselektrode 60 auf der Source-Elektrode 32 gebildet. Beim Schritt des Bildens des Dichtungsisolators 71 wird der Dichtungsisolator 71 gebildet, der einen Umfang der Source-Anschlusselektrode 60 so bedeckt, dass ein Teil der Source-Anschlusselektrode 60 freiliegt. Beim Schritt des Bildens des Source-Anschlussfilms 75 wird der Source-Anschlussfilm 75 gebildet, der die Source-Anschlusselektrode 60 bedeckt.

[0213] Gemäß den obigen Herstellungsverfahren erhöht der Gate-Anschlussfilm 74 (der Source-Anschlussfilm 75) die Festigkeit der Verbindung von Lötmittel, Metallpaste, einem Bondingdraht oder dergleichen mit der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60). Der Gate-Anschlussfilm 74 (der Source-Anschlussfilm 75) kann auch die Auswirkungen beim Verbinden von Lötmittel, Metallpaste, Bondingdraht oder dergleichen abmildern. Außerdem ermöglicht der Dichtungsisolator 71 gemäß den oben beschriebenen Herstellungsverfahren, das Dichtungsziel vor äußeren Kräften und/oder Feuchtigkeit zu schützen. Das heißt, es ist möglich, das Dichtungsziel vor einer Beschädigung durch äußere Kräfte und/oder einer Verschlechterung durch Feuchtigkeit zu schützen. Dadurch können Formfehler und Abweichungen in den elektrischen Eigenschaften verringert werden. Daher ist es möglich, die Halbleitervorrichtung 1A mit verbesserter Zuverlässigkeit bereitzustellen.

[0214] Das Herstellungsverfahren für die Halbleitervorrichtung 1A schließt vorzugsweise ferner den Schritt des Ausdünnens des Wafers 81 nach dem Schritt des Bildens des Dichtungsisolators 71 ein. Der Schritt des Ausdünnens des Wafers 81 schließt vorzugsweise den Schritt des Ausdünnens des Wafers 81, bis der Wafer 81 eine geringere Dicke aufweist als die Dicke der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60), ein.

[0215] Der Schritt des Vorbereitens der Waferstruktur 80 schließt vorzugsweise den Schritt des Vorbereitens der Waferstruktur 80 ein, die den Wafer 81 mit der laminierten Struktur einschließt, die das Substrat und die Epitaxialschicht einschließt. In diesem Fall schließt der Schritt des Ausdünnens des Wafers 81 vorzugsweise den Schritt des Ausdünnens des Substrats, bis das Substrat eine geringere Dicke als die Dicke der Epitaxialschicht aufweist, ein. Der Schritt des Vorbereitens der Waferstruktur 80 schließt vorzugsweise den Schritt des Vorbereitens der Waferstruktur 80 ein, die den Wafer 81 einschließt, der den Einkristall des Halbleiters mit breiter Bandlücke einschließt.

[0216] Der Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) schließt vorzugsweise den Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) ein, die dicker ist als die Gate-Elektrode 30 (die Source-Elektrode 32). Der Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) schließt vorzugsweise den Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) in einer in Querschnittsansicht säulenförmigen Form ein.

[0217] Der Schritt des Bildens des Gate-Anschlussfilms 74 (des Source-Anschlussfilms 75) schließt vorzugsweise den Schritt des Bildens des Gate-Anschlussfilms 74 (des Source-Anschlussfilms 75) ein, der dünner ist als die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60). Der Schritt des Bildens des Gate-Anschlussfilms 74 (des Source-Anschlussfilms 75) schließt vorzugsweise den Schritt des Bildens des Gate-Anschlussfilms 74 (des Source-Anschlussfilms 75) ein, der eine Dicke von nicht mehr als einem Viertel der Dicke der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) aufweist. Der Schritt des Bildens des Dichtungsisolators 71 schließt vorzugsweise den Schritt des Bildens des Dichtungsisolators 71 ein, der dicker ist als die Gate-Elektrode 30 (die Source-Elektrode 32).

[0218] Der Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) schließt vorzugsweise den Schritt des Bildens des zweiten Basisleiterfilms 89, der den Gate-Anschluss 30 (den Source-Anschluss 32) bedeckt, den Schritt des Bildens der Resistmaske 90 auf dem zweiten Basisleiterfilm 89, die die erste Öffnung 91 (die zweite Öffnung 92) aufweist, durch die der Abschnitt des zweiten Basisleiterfilms 89, der den Gate-Anschluss 30 (den Source-Anschluss 32) bedeckt, freiliegt, und den Schritt des Abscheidens des dritten Basisleiterfilms 95 (Leiters) auf dem Abschnitt des zweiten Basisleiterfilms 89, der durch die erste Öffnung 91 (die zweite Öffnung 92) freiliegt, ein.

[0219] Das Herstellungsverfahren für die Halbleitervorrichtung 1A schließt vorzugsweise ferner den Schritt des Entfernens der Resistmaske 90 nach dem Schritt des Abscheidens des dritten Basisleiterfilms 95 ein. In diesem Fall wird der Schritt des Bildens des Dichtungsisolators 71 vorzugsweise nach dem Schritt des Entfernens der Resistmaske 90 durchgeführt.

[0220] Der Schritt des Bildens des Dichtungsisolators 71 schließt den Schritt des Bildens des Dichtungsisolators 71, der den gesamten Bereich der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) bedeckt, und den Schritt des teilweisen Entfernens des Dichtungsisolators 71, bis die Gate-Anschlusselektrode 50 (die Source-Anschlusselektrode 60) freiliegt, ein. In diesem Fall kann der Schritt des Entfernens des Dichtungsisolators 71 den Schritt des teilweisen Entfernens des Dichtungsisolators 71 durch das Schleifverfahren einschließen.

[0221] Das Herstellungsverfahren für die Halbleitervorrichtung 1A schließt vorzugsweise den Schritt des Vorbereitens der Waferstruktur 80 ein, die den Wafer 81, der die erste Waferhauptoberfläche 82 aufweist, in der der Vorrichtungsbereich 86 und die geplante Schnittlinie 87, die den Vorrichtungsbereich 86 definiert, festgelegt sind, und die Source-Elektrode 32, die auf der ersten Waferhauptoberfläche 82 im Vorrichtungsbereich 86 angeordnet ist, einschließt. In diesem Fall schließt das Herstellungsverfahren für die Halbleitervorrichtung 1A vorzugsweise den Schritt des Schneidens des Wafers 81 und des Dichtungsisolators 71 entlang der geplanten Schnittlinie 87 nach dem Schritt des Bildens des Dichtungsisolators 71 ein.

[0222] Der Schritt des Bildens der Gate-Anschlusselektrode 50 schließt vorzugsweise den Schritt des Bildens der Gate-Anschlusselektrode 50 ein, die eine planare Fläche mit einem Belegungsanteil von nicht mehr als 25 % in Bezug auf die planare Fläche des Vorrichtungsbereichs 86 aufweist. Der Schritt des Bildens des Gate-Anschlussfilms 74 schließt vorzugsweise den Schritt des Bildens des Gate-Anschlussfilms 74 ein, der eine planare Fläche mit einem Belegungsanteil von nicht mehr als 25 % in Bezug auf die planare Fläche des Vorrichtungsbereichs 86 aufweist.

[0223] Der Schritt des Bildens der Source-Anschlusselektrode 60 schließt vorzugsweise den Schritt des Bildens der Source-Anschlusselektrode 60 ein, die eine planare Fläche mit einem Belegungsanteil von nicht weniger als 50% in Bezug auf die planare Fläche des Vorrichtungsbereichs 86 aufweist. Der Schritt des Bildens des Source-Anschlussfilms 75 schließt vorzugsweise den Schritt des Bildens des Source-Anschlussfilms 75 ein, der eine planare Fläche mit einem Belegungsanteil von nicht weniger als 50 % in Bezug auf die planare Fläche des Vorrichtungsbereichs 86 aufweist.

[0224] Das Herstellungsverfahren für die Halbleitervorrichtung 1A schließt vorzugsweise den Schritt des Bildens des oberen Isolierfilms 38, der die Gate-Elektrode 30 (die Source-Elektrode 32) teilweise bedeckt, vor dem Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) ein. In diesem Fall schließt der Schritt des Bildens des Dichtungsisolators 71 vorzugsweise den Schritt des Bildens des Dichtungsisolators 71 ein, der den Abschnitt aufweist, der die Gate-Elektrode 30 (die Source-Elektrode 32) bedeckt, wobei der obere Isolierfilm 38 dazwischen angeordnet ist.

[0225] Der Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) schließt vorzugsweise den Schritt des Bildens der Gate-Anschlusselektrode 50 (der Source-Anschlusselektrode 60) ein, die den Abschnitt aufweist, der den oberen Isolierfilm 38 direkt bedeckt. Der Schritt des Bildens des oberen Isolierfilms 38 schließt vorzugsweise den Schritt des Bildens des oberen Isolierfilms 38 ein, der entweder einen oder beide von dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 einschließt.

[0226] **Fig.** 15 ist eine Draufsicht, die eine Halbleitervorrichtung 1B gemäß einer zweiten Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 15 weist die Halbleitervorrichtung 1B einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere schließt die Halbleitervorrichtung 1B die Source-Anschlusselektrode 60 ein, die mindestens einen (in dieser Ausführungsform eine Vielzahl von) Drawer-Anschlussabschnitt(en) 100 aufweist. Insbesondere sind die Vielzahl von Drawer-Anschlussabschnitten 100 jeweils so auf die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B der Source-Elektrode 32 herausgeführt, dass sie der Gate-Anschlusselektrode 50 in der zweiten Richtung Y gegenüberliegen. Das heißt, die Vielzahl von Drawer-Anschlussabschnitten 100 schließen die Gate-Anschlusselekt-

rode 50 in Draufsicht von beiden Seiten der zweiten Richtung Y her ein.

[0227] Der zuvor erwähnte Source-Anschlussfilm 75 weist in dieser Ausführungsform mindestens einen (in dieser Ausführungsform eine Vielzahl von) Drawer-Anschlussfilm(en) 101 auf. Insbesondere werden die Vielzahl von Drawer-Anschlussfilmen 101 jeweils so auf die Vielzahl von Drawer-Anschlussabschnitten 100 herausgeführt, dass sie in Draufsicht dem Gate-Anschlussfilm 74 in der zweiten Richtung Y zugewandt sind. Das heißt, die Vielzahl von Drawer-Anschlussfilmen 101 schließen den Gate-Anschlussfilm 74 in Draufsicht von beiden Seiten der zweiten Richtung Y her ein.

[0228] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1B die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Außerdem wird die Halbleitervorrichtung 1B mit einem ähnlichen Herstellungsverfahren hergestellt wie die Halbleitervorrichtung 1A. Daher werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1B die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A.

[0229] **Fig.** 16 ist eine Draufsicht, die eine Halbleitervorrichtung 1C gemäß einer dritten Ausführungsform zeigt. **Fig.** 17 ist eine Querschnittsansicht entlang der in **Fig.** 16 gezeigten Linie XVII-XVII. **Fig.** 18 ist ein Schaltbild, das eine elektrische Konfiguration der in **Fig.** 16 gezeigten Halbleitervorrichtung 1C zeigt. Unter Bezugnahme auf **Fig.** 16 bis **Fig.** 18 weist die Halbleitervorrichtung 1C einen modifizierten Modus der Halbleitervorrichtung 1A auf.

[0230] Insbesondere schließt die Halbleitervorrichtung 1C die Vielzahl von Source-Anschlusselektroden 60 ein, die in Abständen voneinander auf der Source-Elektrode 32 angeordnet sind. Die Halbleitervorrichtung 1E schließt in dieser Ausführungsform mindestens eine (in dieser Ausführungsform eine) Source-Anschlusselektrode 60, die auf dem Körperelektrodenabschnitt 33 der Source-Elektrode 32 angeordnet ist, und mindestens eine (in dieser Ausführungsform eine Vielzahl von) Source-Anschlusselektrode(n) 60 ein, die auf der Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B der Source-Elektrode 32 angeordnet ist.

[0231] Die Source-Anschlusselektrode 60 auf der Seite des Körperelektrodenabschnitts 33 ist in dieser Ausführungsform als Hauptanschlusselektrode 102 ausgebildet, die einen Drain-Source-Strom IDS leitet. Die Vielzahl von Source-Anschlusselektroden 60 auf den Seiten der Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B sind in dieser Ausführungsform jeweils als eine Erfassungsanschlusselektrode 103 ausgebildet, die einen Überwachungsstrom IM leitet, der den Drain-Source-Strom IDS überwacht. Jede der Erfassungsanschlusselektroden 103 weist in Draufsicht eine kleinere Fläche auf als die Fläche der Hauptanschlusselektrode 102.

[0232] Eine Erfassungsanschlusselektrode 103 ist auf dem ersten Drawer-Elektrodenabschnitt 34A angeordnet und ist in Draufsicht in der zweiten Richtung Y der Gate-Anschlusselektrode 50 zugewandt. Die andere Erfassungsanschlusselektrode 103 ist auf dem zweiten Drawer-Elektrodenabschnitt 34B angeordnet und ist in Draufsicht in der zweiten Richtung Y der Gate-Anschlusselektrode 50 zugewandt. Die Vielzahl von Erfassungsanschlusselektroden 103 schließt daher in Draufsicht die Gate-Anschlusselektrode 50 von beiden Seiten der zweiten Richtung Y her ein.

[0233] Die Halbleitervorrichtung 1C schließt in dieser Ausführungsform eine Vielzahl von Source-Anschlussfilmen 75 ein, die jeweils die Vielzahl von Source-Anschlusselektroden 60 bedecken. Das heißt, die Vielzahl von Source-Anschlussfilmen 75 schließen einen Hauptanschlussfilm 104, der die Hauptanschlusselektrode 102 bedeckt, und eine Vielzahl von Erfassungsanschlussfilmen 105 ein, die die Vielzahl von Erfassungsanschlusselektroden 103 bedecken. Die Vielzahl von Erfassungsanschlussfilmen 105 schließen den Gate-Anschlussfilm 74 in Draufsicht von beiden Seiten der zweiten Richtung Y her ein.

[0234] Unter Bezugnahme auf **Fig.** 18 ist in der Halbleitervorrichtung 1C eine Gate-Ansteuerschaltung 106 elektrisch mit dem Gate-Anschlussfilm 74 zu verbinden, mindestens ein erster Widerstand R1 ist elektrisch mit dem Hauptanschlussfilm 104 zu verbinden und mindestens ein zweiter Widerstand R2 ist elektrisch mit der Vielzahl von Erfassungsanschlussfilmen 105 zu verbinden. Der erste Widerstand R1 ist so konfiguriert, dass er den Drain-Source-Strom IDS leitet, der in der Halbleitervorrichtung 1C erzeugt wird. Der zweite Widerstand R2 ist so konfiguriert, dass er den Überwachungsstrom IM leitet, dessen Wert kleiner ist als der des Drain-Source-Stroms IDS.

[0235] Der erste Widerstand R1 kann ein Widerstand oder ein leitfähiges Bondingbauteil mit einem ersten Widerstandswert sein. Der zweite Widerstand R2 kann ein Widerstand oder ein leitfähiges Bondingbauteil mit einem zweiten Widerstandswert sein, der größer als der erste Widerstandswert ist. Das leitfähige Bondingbauteil kann eine Leiterplatte oder ein leitender Draht (beispielsweise ein Bondingdraht) sein. Das heißt, dass mindestens ein erster Bondingdraht mit dem ersten Widerstandswert mit der Hauptanschlussfilm 104 verbunden sein kann.

[0236] Außerdem kann mindestens ein zweiter Bondingdraht mit einem zweiten Widerstandswert, der größer als der erste Widerstandswert ist, mit mindestens einem der Erfassungsanschlussfilme 105 verbunden sein. Der zweite Bondingdraht kann eine geringere Leitungsdicke aufweisen als die Leitungsdicke des ersten Bondingdrahtes. In diesem Fall kann eine Bondingfläche des zweiten Bondingdrahtes in Bezug auf den Erfassungsanschlussfilm 105 kleiner sein als eine Bondingfläche des ersten Bondingdrahtes in Bezug auf den Hauptanschlussfilm 104.

[0237] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1C die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Die Halbleitervorrichtung 1C kann durch Ändern des Layouts der Source-Anschlusselektrode 60 und des Layouts des Source-Anschlussfilms 75 hergestellt werden. Daher werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1C die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A.

[0238] In dieser Ausführungsform wird ein Beispiel gezeigt, bei dem die Erfassungsanschlusselektroden 103 (Erfassungsanschlussfilme 105) auf den Drawer-Elektrodenabschnitten 34A, 34B ausgebildet sind, die Anordnungsorte der Erfassungsanschlusselektroden 103 (Erfassungsanschlussfilme 105) jedoch beliebig sind. Daher kann die Erfassungsanschlusselektrode 103 auf dem Körperelektrodenabschnitt 33 angeordnet sein. In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem die Erfassungsanschlusselektrode 103 (Erfassungsanschlussfilm 105) auf die Halbleitervorrichtung 1A aufgebracht ist. Selbstverständlich kann die Erfassungsanschlusselektrode 103 (Erfassungsanschlussfilm 105) auch bei der zweiten Ausführungsform angewendet werden.

[0239] **Fig.** 19 ist eine Draufsicht, die eine Halbleitervorrichtung 1D gemäß einer vierten Ausführungsform zeigt. **Fig.** 20 ist eine Querschnittsansicht entlang der in **Fig.** 19 gezeigten Linie XX-XX. Unter Bezugnahme auf **Fig.** 19 und **Fig.** 20 weist die Halbleitervorrichtung 1D einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere schließt die Halbleitervorrichtung 1D einen Spaltabschnitt 107 ein, der in der Source-Elektrode 32 ausgebildet ist.

[0240] Der Spaltabschnitt 107 ist im Körperelektrodenabschnitt 33 der Source-Elektrode 32 ausgebildet. Der Spaltabschnitt 107 durchdringt die Source-Elektrode 32 so, dass in Querschnittsansicht ein Teil des Zwischenschicht-Isolierfilms 27 freigelegt wird. In dieser Ausführungsform erstreckt sich der Spaltabschnitt 107 bandförmig von einem Abschnitt eines Wandabschnitts der Source-Elektrode 32, der der Gate-Elektrode 30 in der ersten Richtung X gegenüberliegt, in Richtung eines inneren Abschnitts der Source-Elektrode 32.

[0241] Der Spaltabschnitt 107 ist in dieser Ausführungsform bandförmig ausgebildet und erstreckt sich in die erste Richtung X. In dieser Ausführungsform kreuzt der Spaltabschnitt 107 in Draufsicht einen zentralen Abschnitt der Source-Elektrode 32 in der ersten Richtung X. Der Spaltabschnitt 107 weist in Draufsicht an einer Position auf der Seite der vierten Seitenoberfläche 5D einen Endabschnitt in einem Abstand nach innen (zur Seite der Gate-Elektrode 30 hin) von einem Wandabschnitt der Source-Elektrode 32 auf. Selbstverständlich kann der Spaltabschnitt 107 die Source-Elektrode 32 in der zweiten Richtung Y unterteilen.

[0242] Die Halbleitervorrichtung 1D schließt eine Gate-Zwischenverdrahtung 109 ein, die von der Gate-Elektrode 30 in den Spaltabschnitt 107 herausgeführt ist. Die Gate-Zwischenverdrahtung 109 weist eine laminierte Struktur auf, die wie die Gate-Elektrode 30 (die Vielzahl von Gate-Verdrahtungen 36A, 36B) den ersten Gate-Leiterfilm 55 und den zweiten Gate-Leiterfilm 56 einschließt. Die Gate-Zwischenverdrahtung 109 ist in einem Abstand von der Source-Elektrode 32 ausgebildet und erstreckt sich in Draufsicht bandförmig entlang des Spaltabschnitts 107.

[0243] Die Gate-Zwischenverdrahtung 109 durchdringt den Zwischenschicht-Isolierfilm 27 an einem inneren Abschnitt der aktiven Oberfläche 8 (der ersten Hauptoberfläche 3) und ist elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden. Die Gate-Zwischenverdrahtung 109 kann direkt mit der Vielzahl von Gate-Strukturen 15 verbunden sein oder kann über einen Leiterfilm elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden sein.

[0244] Der vorstehend erwähnte obere Isolierfilm 38 schließt in dieser Ausführungsform den Spaltabdeckungsabschnitt 110 ein, der den Spaltabschnitt 107 der Source-Elektrode 32 bedeckt. Der Spaltabdeckungsabschnitt 110 bedeckt einen gesamten Bereich der Gate-Zwischenverdrahtung 109 innerhalb des Spaltabschnitts 107. Der Spaltabdeckungsabschnitt 110 kann von innerhalb des Spaltabschnitts 107 derart auf die Source-Elektrode 32 herausgeführt sein, dass er den Umfangskantenabschnitt der Source-Elektrode 32 bedeckt.

[0245] Die Halbleitervorrichtung 1D schließt in dieser Ausführungsform die Vielzahl von Source-Anschlusselektroden 60 ein, die in einem Abstand voneinander auf der Source-Elektrode 32 angeordnet sind. Die Vielzahl von Source-Anschlusselektroden 60 sind jeweils in einem Abstand vom Spaltabschnitt 107 auf der Source-Elektrode 32 angeordnet

und sind in Draufsicht in der zweiten Richtung Y einander zugewandt. Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform so angeordnet, dass der Spaltabdeckungsabschnitt 110 freiliegt.

[0246] Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform in Draufsicht jeweils in einer viereckigen Form ausgebildet (genauer gesagt einer rechteckigen Form, die sich in der ersten Richtung X erstreckt). Die planaren Formen der Vielzahl von Source-Anschlusselektroden 60 sind beliebig und können in Draufsicht jeweils als eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein. Die Vielzahl von Source-Anschlusselektroden 60 können jeweils den zweiten Vorsprungsabschnitt 63 einschließen, der auf dem Spaltabdeckungsabschnitt 110 des oberen Isolierfilms 38 ausgebildet ist.

[0247] Der zuvor erwähnte Dichtungsisolator 71 bedeckt in dieser Ausführungsform den Spaltabschnitt 107 in einem Bereich zwischen der Vielzahl von Source-Anschlusselektroden 60. Der Dichtungsisolator 71 bedeckt den Spaltabdeckungsabschnitt 110 des oberen Isolierfilms 38 in einem Bereich zwischen der Vielzahl von Source-Anschlusselektroden 60. Das heißt, der Dichtungsisolator 71 bedeckt die Gate-Zwischenverdrahtung 109 mit dem dazwischen angeordneten oberen Isolierfilm 38.

[0248] Die Halbleitervorrichtung 1D schließt in dieser Ausführungsform eine Vielzahl von Source-Anschlussfilmen 75 ein, die jeweils die Vielzahl von Source-Anschlusselektroden 60 bedecken. Die Vielzahl von Source-Anschlussfilmen 75 sind in dieser Ausführungsform in Draufsicht jeweils in einem Abstand von dem Spaltabschnitt 107, der Gate-Zwischenverdrahtung 109 und dem Spaltabdeckungsabschnitt 110 ausgebildet. Selbstverständlich kann einer oder können beide von der Vielzahl von Source-Anschlussfilmen 75 einen Abschnitt aufweisen, der in Draufsicht den Spaltabschnitt 107, die Gate-Zwischenverdrahtung 109 und den Spaltabdeckungsabschnitt 110 überlappt.

[0249] Diese Ausführungsform veranschaulicht ein Beispiel, in dem die Vielzahl von Source-Anschlussfilmen 75 ausgebildet sind. Die Halbleitervorrichtung 1D kann jedoch einen einzigen Source-Anschlussfilm 75 einschließen, der die Vielzahl von Source-Anschlussfilmen 75 gemeinsam bedeckt. Diese Ausführungsform veranschaulicht auch ein Beispiel, bei dem der obere Isolierfilm 38 den Spaltabdeckungsabschnitt 110 aufweist. Der Spaltabdeckungsabschnitt 110 kann jedoch bereitgestellt sein oder nicht, und der obere Isolierfilm 38 kann so ausgebildet sein, dass er keinen Spaltabdeckungsabschnitt 110 aufweist.

[0250] In diesem Fall ist die Source-Anschlusselektrode 60 so auf der Source-Elektrode 32 ausgebildet, dass die Gate-Zwischenverdrahtung 109 freiliegt. Der Dichtungsisolator 71 bedeckt die Gate-Zwischenverdrahtung 109 direkt und isoliert die Gate-Zwischenverdrahtung 109 elektrisch von der Source-Elektrode 32. Der Dichtungsisolator 71 bedeckt direkt einen Teil des Zwischenschicht-Isolierfilms 27, der in einem Bereich zwischen der Source-Elektrode 32 und der Gate-Zwischenverdrahtung 109 innerhalb des Spaltabschnitts 107 freiliegt.

[0251] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1D die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Bei dem Herstellungsverfahren für die Halbleitervorrichtung 1D wird die Waferstruktur 80 vorbereitet, in der in jedem Vorrichtungsbereich 86 Strukturen gebildet werden, die der Halbleitervorrichtung 1D entsprechen, und es werden ähnliche Schritte wie bei dem Herstellungsverfahren für die Halbleitervorrichtung 1A ausgeführt. Daher werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1D die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A.

[0252] In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem der Spaltabschnitt 107, die Gate-Zwischenverdrahtung 109, der Spaltabdeckungsabschnitt 110 usw. auf die Halbleitervorrichtung 1A angewendet werden. Selbstverständlich können der Spaltabschnitt 107, die Gate-Zwischenverdrahtung 109, der Spaltabdeckungsabschnitt 110 usw. auch bei der zweiten bis dritten Ausführungsform angewendet werden.

[0253] **Fig.** 21 ist eine Draufsicht, die eine Halbleitervorrichtung 1E gemäß einer fünften Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 21 weist die Halbleitervorrichtung 1E einen Modus auf, in dem die Merkmale (Strukturen mit der Gate-Zwischenverdrahtung 109) der Halbleitervorrichtung 1D gemäß der vierten Ausführungsform mit den Merkmalen (Strukturen mit der Erfassungsanschlusselektrode 103) der Halbleitervorrichtung 1C gemäß der dritten Ausführungsform kombiniert sind. Mit der Halbleitervorrichtung 1G in einem solchen Modus werden die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt.

[0254] **Fig.** 22 ist eine Draufsicht, die eine Halbleitervorrichtung 1F gemäß einer sechsten Ausführungsform zeigt. Die Halbleitervorrichtung 1F weist einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere schließt die Halbleitervorrichtung 1F den Gate-Anschlussfilm 74 ein, der in einer Position angeordnet ist, die in Draufsicht die Gate-Elektrode 30 und die Source-Elektrode 32 überlappt.

[0255] In dieser Ausführungsform ist der Gate-Anschlussfilm 74 von einer Position, die die Gate-Elektrode 30 überlappt, zu Positionen herausgeführt, die die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B der Source-Elektrode 32 überlappen. Der Gate-Anschlussfilm 74 muss in Draufsicht nicht notwendigerweise beide von der Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B überlappen. Der Gate-Anschlussfilm 74 kann so angeordnet sein, dass er in Draufsicht nur einen von der Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B überlappt. Selbstverständlich kann der Gate-Anschlussfilm 74 so angeordnet werden, dass er in Draufsicht den Körperelektrodenabschnitt 33 der Source-Elektrode 32 überlappt.

[0256] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1F die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Die Halbleitervorrichtung 1F wird hergestellt, indem das Layout des Gate-Anschlussfilms 74 in dem Herstellungsverfahren für die Halbleitervorrichtung 1A geändert wird. Dementsprechend werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1D die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A. Die Struktur, bei der der Gate-Anschlussfilm 74 so angeordnet ist, dass er in Draufsicht einen Teil der Source-Elektrode 32 überlappt, kann auf die zweite bis fünfte Ausführungsform angewendet werden.

[0257] **Fig.** 23 ist eine Draufsicht, die eine Halbleitervorrichtung 1G gemäß einer siebten Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 23 weist die Halbleitervorrichtung 1G einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere ist bei der Halbleitervorrichtung 1G die Gate-Elektrode 30 in einem Bereich entlang eines beliebigen Eckabschnitts des Chips 2 angeordnet.

[0258] Das heißt, wenn eine erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und eine zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist die Gate-Elektrode 30 an einer Position angeordnet, die sowohl von der ersten geraden Linie L1 als auch von der zweiten geraden Linie L2 versetzt ist. Die Gate-Elektrode 30 ist in dieser Ausführungsform in einem Bereich entlang eines Eckabschnitts angeordnet, der in Draufsicht die zweite Seitenoberfläche 5B und die dritte Seitenoberfläche 5C verbindet.

[0259] Die Vielzahl von Drawer-Elektrodenabschnitten 34A, 34B der zuvor erwähnten Source-Elektrode 32 schließen die Gate-Elektrode 30 in Draufsicht von beiden Seiten der zweiten Richtung Y ein, wie im Fall der ersten Ausführungsform. Der erste Drawer-Elektrodenabschnitt 34A ist mit einer ersten planaren Fläche aus dem Körperelektrodenabschnitt 33 herausgeführt. Der zweite Drawer-Elektrodenabschnitt 34B ist mit einer zweiten planaren Fläche, die kleiner ist als die erste planare Fläche, aus dem Körperelektrodenabschnitt 33 herausgeführt. Selbstverständlich muss die Source-Elektrode 32 nicht den zweiten Drawer-Elektrodenabschnitt 34B aufweisen und kann nur den Körperelektrodenabschnitt 33 und den ersten Drawer-Elektrodenabschnitt 34A einschließen.

[0260] Die zuvor erwähnte Gate-Anschlusselektrode 50 ist wie im Fall der ersten Ausführungsform auf der Gate-Elektrode 30 angeordnet. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform in einem Bereich entlang eines beliebigen Eckabschnitts des Chips 2 angeordnet. Das heißt, die Gate-Anschlusselektrode 50 ist in Draufsicht an einer Position angeordnet, die sowohl von der ersten geraden Linie L1 als auch von der zweiten geraden Linie L2 versetzt ist. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform in dem Bereich entlang des Eckabschnitts angeordnet, der in Draufsicht die zweite Seitenoberfläche 5B und die dritte Seitenoberfläche 5C verbindet.

[0261] Die zuvor erwähnte Source-Anschlusselektrode 60 weist in dieser Ausführungsform den Drawer-Anschlussabschnitt 100 auf, der auf den ersten Drawer-Elektrodenabschnitt 34A herausgeführt ist. Die Source-Anschlusselektrode 60 weist in dieser Ausführungsform nicht den Drawer-Anschlussabschnitt 100 auf, der auf den zweiten Drawer-Elektrodenabschnitt 34B herausgeführt ist. Der Drawer-Anschlussabschnitt 100 ist dadurch der Gate-Anschlusselektrode 50 von einer Seite der zweiten Richtung Y her zugewandt. Die Sourceanschlusselektrode 60 weist Abschnitte auf, die der Gate-Anschlusselektrode 50 von zwei Richtungen her, einschließlich der ersten Richtung X und der zweiten Richtung Y, zugewandt sind, indem sie den Drawer-Anschlussabschnitt 100 aufweisen.

[0262] Der zuvor erwähnte Gate-Anschlussfilm 74 bedeckt die Gate-Anschlusselektrode 50 wie im Fall der ersten Ausführungsform. Der Gate-Anschlussfilm 74 ist in dieser Ausführungsform in einem Bereich entlang eines beliebigen Eckabschnitts des Chips 2 angeordnet. Das heißt, der Gate-Anschlussfilm 74 ist in Draufsicht an einer Position angeordnet, die sowohl von der ersten geraden Linie L1 als auch von der zweiten geraden Linie L2 versetzt ist. Der Gate-Anschlussfilm 74 ist in dieser Ausführungsform in einem Bereich entlang des Eckabschnitts angeordnet, der in Draufsicht die zweite Seitenoberfläche 5B und die dritte Seitenoberfläche 5C verbindet.

[0263] Der zuvor erwähnte Source-Anschlussfilm 75 weist den Drawer-Anschlussfilm 101 auf, der in die-

ser Ausführungsform so auf den Drawer-Anschlussabschnitt 100 (den ersten Drawer-Elektrodenabschnitt 34A) herausgeführt ist, dass er in Draufsicht in der zweiten Richtung Y dem Gate-Anschlussfilm 74 zugewandt ist. Die Source-Anschlusselektrode 60 ist in dieser Ausführungsform in Draufsicht nicht auf den zweiten Drawer-Elektrodenabschnitt 34B herausgeführt. Der Drawer-Anschlussfilm 101 ist daher dem Gate-Anschlussfilm 74 von einer Seite der zweiten Richtung Y her zugewandt. Die Sourceanschlusselektrode 60 weist Abschnitte auf, die dem Gate-Anschlussfilm 74 von zwei Richtungen her, einschließlich der ersten Richtung X und der zweiten Richtung Y, zugewandt sind, indem sie den Drawer-Anschlussfilm 101 aufweist.

[0264] Wie vorstehend beschrieben, werden mit der Halbleitervorrichtung 1G die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Bei dem Herstellungsverfahren für die Halbleitervorrichtung 1G wird die Waferstruktur 80 vorbereitet, in der in jedem Vorrichtungsbereich 86 Strukturen gebildet werden, die der Halbleitervorrichtung 1G entsprechen, und es werden ähnliche Schritte wie bei dem Herstellungsverfahren für die Halbleitervorrichtung 1A ausgeführt. Daher werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1G die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A. Die Struktur, bei der die Gate-Elektrode 30 und die Gate-Anschlusselektrode 50 am Eckabschnitt des Chips 2 angeordnet sind, kann auf die zweite bis sechste Ausführungsform angewendet werden.

[0265] **Fig.** 24 ist eine Draufsicht, die eine Halbleitervorrichtung 1H gemäß einer achten Ausführungsform zeigt. Unter Bezugnahme auf **Fig.** 24 weist die Halbleitervorrichtung 1H einen modifizierten Modus der Halbleitervorrichtung 1A auf. Insbesondere ist bei der Halbleitervorrichtung 1H die Gate-Elektrode 30 in Draufsicht im zentralen Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) angeordnet.

[0266] Das heißt, wenn eine erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und eine zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist die Gate-Elektrode 30 so angeordnet, dass sie einen Schnittabschnitt Cr der ersten geraden Linie L1 und der zweiten geraden Linie L2 überlappt. Die zuvor erwähnte Source-Elektrode 32 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um die Gate-Elektrode 30 herum ausgebildet.

[0267] Die Halbleitervorrichtung 1H schließt eine Vielzahl von Spaltabschnitten 107A, 107B ein, die in der Source-Elektrode 32 ausgebildet sind. Die Vielzahl von Spaltabschnitten 107A, 107B schließen einen ersten Spaltabschnitt 107A und einen zweiten Spaltabschnitt 107B ein. Der erste Spaltabschnitt 107A kreuzt einen Abschnitt der Source-Elektrode 32, der sich in der ersten Richtung X in einem Bereich auf einer Seite (der Seite der ersten Seitenoberfläche 5A) der Source-Elektrode 32 in der zweiten Richtung Y erstreckt. Der erste Spaltabschnitt 107A ist in Draufsicht der Gate-Elektrode 30 in der zweiten Richtung Y zugewandt.

[0268] Der zweite Spaltabschnitt 107B kreuzt einen Abschnitt der Source-Elektrode 32, der sich in der ersten Richtung X in einem Bereich auf der anderen Seite (der Seite der zweiten Seitenoberfläche 5B) der Source-Elektrode 32 in der zweiten Richtung Y erstreckt. Der zweite Spaltabschnitt 107B ist in Draufsicht in der zweiten Richtung Y der Gate-Elektrode 30 zugewandt. In dieser Ausführungsform ist der zweite Spaltabschnitt 107B dem ersten Spaltabschnitt 107A in Draufsicht zugewandt, wobei die Gate-Elektrode 30 dazwischen angeordnet ist.

[0269] Die zuvor erwähnte erste Gate-Verdrahtung 36A ist von der Gate-Elektrode 30 heraus in den ersten Spaltabschnitt 107A hineingeführt. Insbesondere weist die erste Gate-Verdrahtung 36A einen Abschnitt auf, der sich bandförmig in der zweiten Richtung Y innerhalb des ersten Spaltabschnitts 107A erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der ersten Seitenoberfläche 5A (der ersten Verbindungsoberfläche 10A) erstreckt. Die zuvor erwähnte zweite Gate-Verdrahtung 36B ist von der Gate-Elektrode 30 heraus in den zweiten Spaltabschnitt 107B hineingeführt. Insbesondere weist die zweite Gate-Verdrahtung 36B einen Abschnitt auf, der sich bandförmig in der zweiten Richtung Y innerhalb des zweiten Spaltabschnitts 107B erstreckt, und einen Abschnitt, der sich bandförmig in der ersten Richtung X entlang der zweiten Seitenoberfläche 5B (der zweiten Verbindungsoberfläche 10B) erstreckt.

[0270] Die Vielzahl von Gate-Verdrahtungen 36A, 36B kreuzen (genauer gesagt, kreuzen senkrecht) die beiden Endabschnitte der Vielzahl von Gate-Strukturen 15 wie im Fall der ersten Ausführungsform. Die Vielzahl von Gate-Verdrahtungen 36A, 36B durchdringen den Zwischenschicht-Isolierfilm 27 und sind elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden. Die Vielzahl von Gate-Verdrahtungen 36A, 36B können direkt mit der Vielzahl von Gate-Strukturen 15 verbunden sein oder können über einen Leiterfilm elektrisch mit der Vielzahl von Gate-Strukturen 15 verbunden sein.

[0271] Die zuvor erwähnte Source-Verdrahtung 37 ist aus einer Vielzahl von Abschnitten der Source-Elektrode 32 herausgeführt und umgibt die Gate-Elektrode 30, die Source-Elektrode 32 und die Gate-Verdrahtungen 36A, 36B. Selbstverständlich kann die Source-Verdrahtung 37 wie im Fall der ersten Ausführungsform aus einem einzigen Abschnitt der Source-Elektrode 32 herausgeführt sein.

[0272] Der zuvor erwähnte obere Isolierfilm 38 schließt eine Vielzahl von Spaltabdeckungsabschnitten 110A, 110B ein, die in dieser Ausführungsform jeweils die Vielzahl von Spaltabschnitten 107A, 107B bedecken. Die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B schließen einen ersten Spaltabdeckungsabschnitt 110A und einen zweiten Spaltabdeckungsabschnitt 110B ein. Der erste Spaltabdeckungsabschnitt 110A bedeckt einen gesamten Bereich der ersten Gate-Verdrahtung 36A im ersten Lückenabschnitt 107A. Der zweite Spaltabdeckungsabschnitt 110B bedeckt einen gesamten Bereich der zweiten Gate-Verdrahtung 36B im zweiten Spaltabschnitt 107B. Die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B sind jeweils von innerhalb der Vielzahl von Spaltabschnitten 107A, 107B auf die Source-Elektrode 32 herausgeführt, um den Umfangskantenabschnitt der Source-Elektrode 32 zu bedecken.

[0273] Die zuvor erwähnte Gate-Anschlusselektrode 50 ist wie im Fall der ersten Ausführungsform auf der Gate-Elektrode 30 angeordnet. Die Gate-Anschlusselektrode 50 ist in dieser Ausführungsform im zentralen Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) angeordnet. Das heißt, wenn die erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und die zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist die Gate-Anschlusselektrode 50 so angeordnet, dass sie den Schnittabschnitt Cr der ersten geraden Linie L1 und der zweiten geraden Linie L2 überlappt.

[0274] Die Halbleitervorrichtung 1H schließt in dieser Ausführungsform eine Vielzahl von Source-Anschlusselektroden 60 ein, die auf der Source-Elektrode 32 angeordnet sind. Die Vielzahl von Source-Anschlusselektroden 60 sind jeweils auf der Source-Elektrode 32 in Abständen von der Vielzahl von Spaltabschnitten 107A, 107B angeordnet und sind in Draufsicht in der ersten Richtung X einander zugewandt. Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform so angeordnet, dass die Vielzahl von Spaltabschnitten 107A, 107B freiliegen.

[0275] Die Vielzahl von Source-Anschlusselektroden 60 sind in dieser Ausführungsform in Draufsicht jeweils bandförmig ausgebildet (genauer gesagt in Form des Buchstabens C entlang der Gate-Anschlusselektrode 50 gekrümmt). Die planaren Formen der Vielzahl von Source-Anschlusselektroden 60 sind beliebig und können jeweils als eine viereckige Form, eine andere polygonale Form als die viereckige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein. Die Vielzahl von Source-Anschlusselektroden 60 können jeweils den zweiten Vorsprungsabschnitt 63 einschließen, der auf dem Spaltabdeckungsabschnitt 110 des oberen Isolierfilms 38 angeordnet ist.

[0276] Der zuvor erwähnte Gate-Anschlussfilm 74 bedeckt die Gate-Anschlusselektrode 50 wie im Fall der ersten Ausführungsform. Der Gate-Anschlussfilm 74 ist in dieser Ausführungsform in einem zentralen Abschnitt der ersten Hauptoberfläche 3 (der aktiven Oberfläche 8) angeordnet. Das heißt, wenn eine erste gerade Linie L1 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der ersten Richtung X kreuzt, und eine zweite gerade Linie L2 (siehe Abschnitt mit Zweipunkt-Strich-Linie), die den zentralen Abschnitt der ersten Hauptoberfläche 3 in der zweiten Richtung Y kreuzt, festgelegt sind, ist der Gate-Anschlussfilm 74 so angeordnet, dass er einen Schnittabschnitt Cr der ersten geraden Linie L1 und der zweiten geraden Linie L2 bedeckt.

[0277] Die Halbleitervorrichtung 1H schließt in dieser Ausführungsform eine Vielzahl von Source-Anschlussfilmen 75 ein, die jeweils die Vielzahl von Source-Anschlusselektroden 60 bedecken. Die Vielzahl von Source-Anschlussfilmen 75 sind jeweils auf der Vielzahl von Source-Anschlusselektroden 60 in Abständen von der Vielzahl von Spaltabschnitten 107A, 107B ausgebildet und sind in dieser Ausführungsform in Draufsicht in der ersten Richtung X einander zugewandt. Selbstverständlich kann einer oder können beide von der Vielzahl von Source-Anschlussfilmen 75 einen Abschnitt aufweisen, der in Draufsicht die Vielzahl von Spaltabschnitten 107A, 107B, die Vielzahl von Gate-Verdrahtungen 36A, 36B und die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B überlappt.

[0278] Die Vielzahl von Source-Anschlussfilmen 75 sind in dieser Ausführungsform in Draufsicht jeweils in einer Bandform (genauer gesagt in Form des Buchstabens C entlang der Gate-Anschlusselektrode 50 gekrümmt) ausgebildet, die sich entlang der Vielzahl von Source-Anschlussfilmen 75 erstreckt. Die planaren Formen der Vielzahl von Source-Anschlussfilmen 75 sind beliebig und können als eine andere polygonale Form als eine vierseitige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0279] Diese Ausführungsform zeigt ein Beispiel, in dem die Vielzahl von Source-Anschlussfilmen 75 ausgebildet sind. Die Halbleitervorrichtung 1H kann jedoch einen einzigen Source-Anschlussfilm 75 einschließen, der die Vielzahl von Source-Anschlussfilmen 75 gemeinsam bedeckt. In diesem Fall kann der Source-Anschlussfilm 75 in Draufsicht ringförmig um den Gate-Anschlussfilm 74 herum ausgebildet sein.

[0280] Selbstverständlich kann der Source-Anschlussfilm 75 in Draufsicht auch in einer Bandform mit Enden ausgebildet sein, sodass er die Vielzahl von Source-Anschlussfilmen 75 gemeinsam bedeckt. Der Source-Anschlussfilm 75 kann in Draufsicht auch die Vielzahl von Gate-Verdrahtungen 36A, 36B, die Vielzahl von Spaltabschnitten 107A, 107B und die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B überlappen.

[0281] In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem der obere Isolierfilm 38 den Spaltabdeckungsabschnitt 110A, 110B aufweist. Das Vorhandensein oder Fehlen der Vielzahl von Spaltabdeckungsabschnitten 110A, 110B ist jedoch beliebig und der obere Isolierfilm 38 kann ohne die Vielzahl von Spaltabdeckungsabschnitten 110A, 110B ausgebildet sein. In diesem Fall ist die Source-Anschlusselektrode 60 so auf der Source-Elektrode 32 ausgebildet, dass die Gate-Verdrahtungen 36A, 36B freiliegen.

[0282] Der Dichtungsisolator 71 bedeckt die Gate-Verdrahtungen 36A, 36B direkt und isoliert die Gate-Verdrahtungen 36A, 36B elektrisch von der Source-Elektrode 32. Der Dichtungsisolator 71 bedeckt direkt einen Teil des Zwischenschicht-Isolierfilms 27, der von einem Bereich zwischen der Source-Elektrode 32 und den Gate-Verdrahtungen 36A, 36B innerhalb der Vielzahl von Spaltabschnitten 107A, 107B freiliegt.

[0283] Wie vorstehend beschrieben, werden mit dem Halbleitervorrichtung 1H die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Bei dem Herstellungsverfahren für die Halbleitervorrichtung 1H wird die Waferstruktur 80 vorbereitet, in der in jedem Vorrichtungsbereich 86 Strukturen gebildet werden, die der Halbleitervorrichtung 1H entsprechen, und es werden ähnliche Schritte wie bei dem Herstellungsverfahren für die Halbleitervorrichtung 1A ausgeführt. Daher werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1H die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A. Die Struktur, bei der die Gate-Elektrode 30 und die Gate-Anschlusselektrode 50 am zentralen Abschnitt des Chips 2 angeordnet sind, kann auf die zweite bis siebte Ausführungsform angewendet werden.

[0284] **Fig.** 25 ist eine Draufsicht, die eine Halbleitervorrichtung 1I gemäß einer neunten Ausführungsform zeigt. **Fig.** 26 ist eine Querschnittsansicht entlang der in **Fig.** 25 gezeigten Linie XXVI-XXVI. Die Halbleitervorrichtung 1I schließt den zuvor genannten Chip 2 ein. Der Chip 2 ist in dieser Ausführungsform frei von dem Mesa-Abschnitt 11 und weist die flache erste Hauptoberfläche 3 auf. Die Halbleitervorrichtung 1I weist eine SBD-Struktur (Schottky-Barrier-Diode-Struktur) 120 auf, die als Beispiel für eine Diode in dem Chip 2 ausgebildet ist.

[0285] Die Halbleitervorrichtung 1I schließt einen Diodenbereich 121 vom n-Typ ein, der in einem inneren Abschnitt der ersten Hauptoberfläche 3 ausgebildet ist. Der Diodenbereich 121 wird in dieser Ausführungsform durch Verwendung eines Teils des ersten Halbleiterbereichs 6 gebildet.

[0286] Die Halbleitervorrichtung 1I schließt einen Schutzbereich 122 vom p-Typ ein, der den Diodenbereich 121 von anderen Bereichen auf der ersten Hauptoberfläche 3 abgrenzt. Der Schutzbereich 122 ist in einem Oberflächenschichtabschnitt des ersten Halbleiterbereichs 6 in einem Abstand von einer Umfangskante der ersten Hauptoberfläche 3 ausgebildet. Der Schutzbereich 122 ist in dieser Ausführungsform in Draufsicht ringförmig (in dieser Ausführungsform viereckig ringförmig) um den Diodenbereich 121 herum ausgebildet. Der Schutzbereich 122 weist einen inneren Endabschnitt auf der Seite des Diodenbereichs 121 und einen äußeren Endabschnitt auf der Umfangskantenseite der ersten Hauptoberfläche 3 auf.

[0287] Die Halbleitervorrichtung 1I schließt den zuvor erwähnten Hauptoberflächen-Isolierfilm 25 ein, der die erste Hauptoberfläche 3 selektiv bedeckt. Der Hauptoberflächen-Isolierfilm 25 weist eine Diodenöffnung 123 auf, die den Diodenbereich 121 und den inneren Endabschnitt des Schutzbereichs 122 freilegt. Der Hauptoberflächen-Isolierfilm 25 ist in einem Abstand nach innen von der Umfangskante der ersten Hauptoberfläche 3 ausgebildet und legt die erste Hauptoberfläche 3 (den ersten Halbleiterbereich 6) von dem Umfangskantenabschnitt der ersten Hauptoberfläche 3 frei. Selbstverständlich kann der Hauptoberflächen-Isolierfilm 25 den Umfangskantenabschnitt der ersten Hauptoberfläche 3 bedecken. In diesem Fall kann der Umfangskantenabschnitt des Hauptoberflächen-Isolierfilms 25 mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend sein.

[0288] Die Halbleitervorrichtung 1I schließt eine erste polare Elektrode 124 (Hauptoberflächenelektrode) ein, die auf der ersten Hauptoberfläche 3 angeordnet ist. Die erste polare Elektrode 124 ist in dieser Ausführungsform eine „Anodenelektrode“. Die erste polare Elektrode 124 ist in einem Abstand nach innen

von der Umfangskante der ersten Hauptoberfläche 3 angeordnet. Die erste polare Elektrode 124 ist in dieser Ausführungsform in Draufsicht viereckig entlang der Umfangskante der ersten Hauptoberfläche 3 ausgebildet. Die erste polare Elektrode 124 tritt von dem Hauptoberflächen-Isolierfilm 25 aus in die Diodenöffnung 123 ein und ist elektrisch mit der ersten Hauptoberfläche 3 und dem inneren Endabschnitt des Schutzbereichs 122 verbunden.

[0289] Die erste polare Elektrode 124 bildet mit dem Diodenbereich 121 (dem ersten Halbleiterbereich 6) einen Schottky-Übergang. Dadurch wird die SBD-Struktur 120 gebildet. Eine planare Fläche der ersten polaren Elektrode 124 beträgt vorzugsweise nicht weniger als 50 % der ersten Hauptoberfläche 3. Besonders bevorzugt beträgt die planare Fläche der ersten polaren Elektrode 124 nicht weniger als 75 % der ersten Hauptoberfläche 3. Die erste polare Elektrode 124 kann eine Dicke von nicht weniger als 0,5 µm und nicht mehr als 15 um aufweisen.

[0290] Die erste polare Elektrode 124 kann eine laminierte Struktur aufweisen, die einen Metallfilm auf Ti-Basis und einen Metallfilm auf Al-Basis einschließt. Der Metallfilm auf Ti-Basis kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist. Der Metallfilm auf Ti-Basis kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film einschließt, die in beliebiger Reihenfolge laminiert sind. Der Metallfilm auf Al-Basis ist vorzugsweise dicker als der Metallfilm auf Ti-Basis. Der Metallfilm auf Al-Basis kann mindestens eines von einem reinen Al-Film (Al-Film mit einer Reinheit von nicht weniger als 99 %), einem AlCu-Legierungsfilm, einem AlSi-Legierungsfilm und einem AlSiCu-Legierungsfilm einschließen.

[0291] Die Halbleitervorrichtung 1I schließt den zuvor erwähnten oberen Isolierfilm 38 ein, der den Hauptoberflächen-Isolierfilm 25 und die erste polare Elektrode 124 selektiv bedeckt. Der obere Isolierfilm 38 weist die laminierte Struktur auf, die den anorganischen Isolierfilm 42 und den organischen Isolierfilm 43 einschließt, die wie im Fall der ersten Ausführungsform in dieser Reihenfolge von der Seite des Chips 2 aus laminiert sind. Der obere Isolierfilm 38 weist in dieser Ausführungsform eine Kontaktöffnung 125 auf, die einen inneren Abschnitt der ersten polaren Elektrode 124 freilegt, und bedeckt in Draufsicht einen Umfangskantenabschnitt der ersten polaren Elektrode 124 über einen gesamten Umfang hinweg. Die Kontaktöffnung 125 ist in dieser Ausführungsform in Draufsicht viereckig ausgebildet.

[0292] Der obere Isolierfilm 38 ist in einem Abstand nach innen von der Umfangskante der ersten Hauptoberfläche 3 (der ersten bis vierten Seitenoberfläche 5A bis 5D) ausgebildet und definiert die Zerteilstraße 41 mit der Umfangskante der ersten Hauptoberfläche 3. Die Zerteilstraße 41 ist in einer Bandform ausgebildet, die sich in Draufsicht entlang der Umfangskante der ersten Hauptoberfläche 3 erstreckt. Die Zerteilstraße 41 ist in dieser Ausführungsform in Draufsicht ringförmig (insbesondere viereckig ringförmig) um den inneren Abschnitt der ersten Hauptoberfläche 3 herum ausgebildet.

[0293] In dieser Ausführungsform legt die Zerteilstraße 41 die erste Hauptoberfläche 3 (den ersten Halbleiterbereich 6) frei. Selbstverständlich kann in einem Fall, in dem der Hauptoberflächen-Isolierfilm 25 den Umfangskantenabschnitt der ersten Hauptoberfläche 3 bedeckt, die Zerteilstraße 41 den Hauptoberflächen-Isolierfilm 25 freilegen. Der obere Isolierfilm 38 weist vorzugsweise eine Dicke auf, die die Dicke der ersten polaren Elektrode 124 übersteigt. Die Dicke des oberen Isolierfilms 38 kann geringer sein als die Dicke des Chips 2.

[0294] Die Halbleitervorrichtung 1I weist eine Anschlusselektrode 126 auf, die auf der ersten polaren Elektrode 124 angeordnet ist. Die Anschlusselektrode 126 ist säulenförmig auf einem Abschnitt der ersten polaren Elektrode 124 errichtet, der von der Kontaktöffnung 125 freiliegt. Die Anschlusselektrode 126 kann in Draufsicht eine kleinere Fläche als die Fläche der ersten polaren Elektrode 124 aufweisen und kann an einem inneren Abschnitt der ersten polaren Elektrode 124 in einem Abstand von der Umfangskante der ersten polaren Elektrode 124 angeordnet sein. Die Anschlusselektrode 126 ist in dieser Ausführungsform in einer polygonalen Form (in dieser Ausführungsform einer viereckigen Form) ausgebildet, wobei die vier Seiten in Draufsicht parallel zu der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen.

[0295] Die Anschlusselektrode 126 weist eine Anschlussoberfläche 127 und eine Anschlussseitenwand 128 auf. Die Anschlussoberfläche 127 erstreckt sich flach entlang der ersten Hauptoberfläche. Die Anschlussoberfläche 127 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die Anschlussseitenwand 128 befindet sich in dieser Ausführungsform auf dem oberen Isolierfilm 38 (insbesondere dem organischen Isolierfilm 43).

[0296] Das heißt, dass ein Abschnitt der Anschlusselektrode 126 mit dem anorganischen Isolierfilm 42 und dem organischen Isolierfilm 43 in Kontakt steht. Die Anschlussseitenwand 128 erstreckt sich im Wesentlichen senkrecht zur Normalenrichtung Z. Hierbei schließt „im Wesentlichen vertikal“ einen Modus ein, der sich in Laminatrichtung erstreckt und gleichzeitig gekrümmt (mäandernd) ist. Die Anschlussseitenwand 128 schließt einen Abschnitt ein, der der ersten polaren Elektrode 124 zugewandt

ist, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Die Anschlussseitenwand 128 ist vorzugsweise aus einer glatten Oberfläche ohne Schleifspur zusammengesetzt.

[0297] Die Anschlusselektrode 126 weist einen Vorsprungsabschnitt 129 auf, der an einem unteren Endabschnitt der Anschlussseitenwand 128 nach außen hervorsteht. Der Vorsprungsabschnitt 129 ist in einem Bereich auf der Seite des oberen Isolierfilms 38 (des organischen Isolierfilms 43) ausgebildet, als ein Zwischenabschnitt der Anschlussseitenwand 128. Der Vorsprungsabschnitt 129 erstreckt sich entlang der Außenoberfläche des oberen Isolierfilms 38 und ist in einer sich verjüngenden Form ausgebildet, bei der eine Dicke in Querschnittsansicht von der Anschlussseitenwand 128 in Richtung des Spitzenabschnitts allmählich abnimmt. Der Vorsprungsabschnitt 129 weist daher einen scharfkantigen Spitzenabschnitt mit einem spitzen Winkel auf. Selbstverständlich kann der Vorsprungsabschnitt 129 auch ohne den Vorsprungsabschnitt 129 ausgebildet sein.

[0298] Die Anschlusselektrode 126 weist vorzugsweise eine Dicke auf, die größer ist als die Dicke der ersten polaren Elektrode 124. Besonders bevorzugt übersteigt die Dicke der Anschlusselektrode 126 die Dicke des oberen Isolierfilms 38. Die Dicke der Anschlusselektrode 126 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke der Anschlusselektrode 126 geringer sein als die Dicke des Chips 2.

[0299] Die Dicke der Anschlusselektrode 126 kann nicht weniger als 10 µm und nicht mehr als 300 um betragen. Die Dicke der Anschlusselektrode 126 beträgt vorzugsweise nicht weniger als 30 um. Besonders bevorzugt beträgt die Dicke der Anschlusselektrode 126 nicht weniger als 80 um und nicht mehr als 200 um. Die Anschlusselektrode 126 weist vorzugsweise eine planare Fläche von nicht weniger als 50 % der ersten Hauptoberfläche 3 auf. Besonders bevorzugt weist die Anschlusselektrode 126 eine planare Fläche von mindestens 75 % der ersten Hauptoberfläche 3 auf.

[0300] Die Anschlusselektrode 126 weist eine laminierte Struktur auf, die in dieser Ausführungsform einen ersten Leiterfilm 133 und einen zweiten Leiterfilm 134 einschließt, die in dieser Reihenfolge von der Seite der ersten polaren Elektrode 124 aus laminiert sind. Der erste Leiterfilm 133 kann einen Metallfilm auf Ti-Basis einschließen. Der erste Leiterfilm 133 kann eine einschichtige Struktur aufweisen, die aus einem Ti-Film oder einem TiN-Film zusammengesetzt ist.

[0301] Der erste Leiterfilm 133 kann eine laminierte Struktur aufweisen, die den Ti-Film und den TiN-Film einschließt, die in beliebiger Reihenfolge laminiert sind. Der erste Leiterfilm 133 weist eine Dicke auf, die geringer ist als die Dicke der ersten polaren Elektrode 124. Der erste Leiterfilm 133 bedeckt die erste polare Elektrode 124 in Form eines Films innerhalb der Kontaktöffnung 125 und ist in Form eines Films auf den oberen Isolierfilm 38 hinausgeführt. Der erste Leiterfilm 133 bildet einen Teil des Vorsprungsabschnitts 129. Der erste Leiterfilm 133 muss nicht notwendigerweise ausgebildet sein und kann weggelassen sein.

[0302] Der zweite Leiterfilm 134 bildet einen Körper der Anschlusselektrode 126. Der zweite Leiterfilm 134 kann einen Metallfilm auf Cu-Basis einschließen. Der Metallfilm auf Cu-Basis kann ein reiner Cu-Film (Cu-Film mit einer Reinheit von nicht weniger als 99 %) oder ein Cu-Legierungsfilm sein. Der zweite Leiterfilm 134 schließt in dieser Ausführungsform einen reinen Cu-Beschichtungsfilm ein. Der zweite Leiterfilm 134 weist vorzugsweise eine Dicke auf, die die Dicke der ersten polaren Elektrode 124 übersteigt. Besonders bevorzugt übersteigt die Dicke des zweiten Leiterfilms 134 die Dicke des oberen Isolierfilms 38. Die Dicke des zweiten Leiterfilms 134 übersteigt in dieser Ausführungsform die Dicke des Chips 2.

[0303] Der zweite Leiterfilm 134 bedeckt die erste polare Elektrode 124 mit dem dazwischen angeordneten ersten Leiterfilm 133 innerhalb der Kontaktöffnung 125 und ist in Form eines Films auf den oberen Isolierfilm 38 herausgeführt, wobei der erste Leiterfilm 133 dazwischen angeordnet ist. Der zweite Leiterfilm 134 bildet einen Teil des Vorsprungsabschnitts 129. Das heißt, der Vorsprungsabschnitt 129 weist eine laminierte Struktur auf, die den ersten Leiterfilm 133 und den zweiten Leiterfilm 134 einschließt. Der zweite Leiterfilm 134 weist eine Dicke auf, die die Dicke des ersten Leiterfilms 133 in dem Vorsprungsabschnitt 129 übersteigt.

[0304] Die Halbleitervorrichtung 1I schließt den zuvor erwähnten Dichtungsisolator 71 ein, der die erste Hauptoberfläche 3 bedeckt. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform einen Umfang der Anschlusselektrode 126 derart, dass ein Teil der Anschlusselektrode 126 auf der ersten Hauptoberfläche 3 freiliegt. Insbesondere legt der Dichtungsisolator 71 die Anschlussoberfläche 127 frei und bedeckt die Anschlussseitenwand 128. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform den Vorsprungsabschnitt 129 und ist dem oberen Isolierfilm 38 zugewandt, wobei der Vorsprungsabschnitt 129 dazwischen angeordnet ist. Der Dichtungsisolator 71 unterbindet einen Abfall der Anschlusselektrode 126.

[0305] Der Dichtungsisolator 71 weist einen Abschnitt auf, der den oberen Isolierfilm 38 direkt bedeckt. Der Dichtungsisolator 71 bedeckt die erste

polare Elektrode 124, wobei der obere Isolierfilm 38 dazwischen angeordnet ist. Der Dichtungsisolator 71 bedeckt die Zerteilstraße 41, die durch den oberen Isolierfilm 38 am Umfangskantenabschnitt der ersten Hauptoberfläche 3 abgegrenzt ist. Der Dichtungsisolator 71 bedeckt in dieser Ausführungsform direkt die erste Hauptoberfläche 3 (den ersten Halbleiterbereich 6) an der Zerteilstraße 41. Selbstverständlich kann in einem Fall, in dem der Hauptoberflächen-Isolierfilm 25 von der Zerteilstraße 41 freiliegt, der Dichtungsisolator 71 den Hauptoberflächen-Isolierfilm 25 an der Zerteilstraße 41 direkt bedecken.

[0306] Der Dichtungsisolator 71 weist vorzugsweise eine Dicke auf, die die Dicke der ersten polaren Elektrode 124 übersteigt. Besonders bevorzugt übersteigt die Dicke des Dichtungsisolators 71 die Dicke des oberen Isolierfilms 38. Die Dicke des Dichtungsisolators 71 übersteigt in dieser Ausführungsform die Dicke des Chips 2. Selbstverständlich kann die Dicke des Dichtungsisolators 71 geringer sein als die Dicke des Chips 2. Die Dicke des Dichtungsisolators 71 kann nicht weniger als 10 um und nicht mehr als 300 µm betragen. Die Dicke des Dichtungsisolators 71 beträgt vorzugsweise nicht weniger als 30 um. Besonders bevorzugt beträgt die Dicke des Dichtungsisolators 71 nicht weniger als 80 um und nicht mehr als 200 µm. Die Dicke des Dichtungsisolators 71 ist im Wesentlichen gleich der Dicke der Anschlusselektrode 126.

[0307] Der Dichtungsisolator 71 weist die isolierende Hauptoberfläche 72 und die isolierende Seitenwand 73 auf. Die isolierende Hauptoberfläche 72 erstreckt sich flach entlang der ersten Hauptoberfläche 3. Die isolierende Hauptoberfläche 72 bildet mit der Anschlussoberfläche 127 eine einzige flache Oberfläche. Die isolierende Hauptoberfläche 72 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. In diesem Fall bildet die isolierende Hauptoberfläche 72 vorzugsweise mit der Anschlussoberfläche 127 eine einzige geschliffene Oberfläche.

[0308] Die isolierende Seitenwand 73 erstreckt sich von der Umfangskante der isolierenden Hauptoberfläche 72 in Richtung des Chips 2 und ist mit der ersten bis vierten Seitenoberfläche 5A bis 5D durchgehend. Die isolierende Seitenwand 73 ist im Wesentlichen senkrecht zu der isolierenden Hauptoberfläche 72 ausgebildet. Der Winkel, den die isolierende Seitenwand 73 mit der isolierenden Hauptoberfläche 72 bildet, kann nicht weniger als 88° und nicht mehr als 92° betragen. Die isolierende Seitenwand 73 kann aus einer geschliffenen Oberfläche mit Schleifspuren zusammengesetzt sein. Die isolierende Seitenwand 73 kann mit der ersten bis vierten Seitenoberfläche 5A bis 5D eine einzige geschliffene Oberfläche bilden.

[0309] Die Halbleitervorrichtung 1I schließt einen Anschlussfilm 135 ein, der die Anschlusselektrode 126 auf dem Dichtungsisolator 71 bedeckt. Der Anschlussfilm 135 ist elektrisch mit der Anschlusselektrode 126 verbunden. Der Anschlussfilm 135 ist in Draufsicht an einem inneren Abschnitt der isolierenden Hauptoberfläche 72 in einem Abstand von der Umfangskante (der isolierenden Seitenwand 73) der isolierenden Hauptoberfläche 72 angeordnet.

[0310] Der Anschlussfilm 135 ist auf einer von der ersten polaren Elektrode 124 verschiedenen Schicht angeordnet und wird daher kaum durch eine Konstruktionsregel eingeschränkt, die sich aus dem Layout der ersten polaren Elektrode 124 ergibt. Dementsprechend kann der Anschlussfilm 135 eine beliebige planare Form aufweisen und kann gleichzeitig an einer beliebigen Stelle angeordnet werden, solange er elektrisch mit der Anschlusselektrode 126 verbunden ist.

[0311] Der Anschlussfilm 135 weist eine geringere Dicke auf als die Dicke der Anschlusselektrode 126. Die Dicke des Anschlussfilms 135 beträgt vorzugsweise nicht mehr als ein Viertel der Dicke der Anschlusselektrode 126. Besonders bevorzugt beträgt die Dicke des Anschlussfilms 135 nicht mehr als ein Zehntel der Dicke der Anschlusselektrode 126. Die Dicke des Anschlussfilms 135 ist vorzugsweise geringer als die Dicke des oberen Isolierfilms 38. Die Dicke des Anschlussfilms 135 kann geringer sein als die Dicke der ersten polaren Elektrode 124. Die Dicke des Anschlussfilms 135 weist je nach Filmtyp unterschiedliche Werte auf. Die Dicke des Anschlussfilms 135 kann nicht weniger als 10 nm und nicht mehr als 15 µm betragen.

[0312] Der Anschlussfilm 135 weist eine planare Fläche auf, die die planare Fläche der Anschlusselektrode 126 übersteigt. Vorzugsweise übersteigt die planare Fläche des Anschlussfilms 135 die planare Fläche der ersten polaren Elektrode 124. In diesem Fall bedeckt der Anschlussfilm 135 in Draufsicht vorzugsweise den gesamten Bereich der ersten polaren Elektrode 124. Ferner überlappt in diesem Fall der Anschlussfilm 135 in Draufsicht vorzugsweise die erste polare Elektrode 124 und den oberen Isolierfilm 38.

[0313] In einem Fall, in dem die erste Hauptoberfläche 3 eine planare Fläche von nicht weniger als 1 mm^2 aufweist, kann die planare Fläche des Anschlussfilms 135 nicht weniger als 0,8 mm^2 betragen. In diesem Fall ist es besonders bevorzugt, dass die planare Fläche des Anschlussfilms 135 nicht kleiner als 1 mm^2 ist. Der Anschlussfilm 135 kann in einer polygonalen Form ausgebildet sein, die eine planare Fläche von nicht weniger als 1 mm × 1,4 mm aufweist. Die Anschlusselektrode 135 ist in dieser Ausführungsform vierseitig geformt, wobei die

vier Seiten in Draufsicht parallel mit der ersten bis vierten Seitenoberfläche 5A bis 5D verlaufen. Selbstverständlich kann der Anschlussfilm 135 in Draufsicht auch als eine andere polygonale Form als die vierseitige Form, eine kreisförmige Form oder eine elliptische Form ausgebildet sein.

[0314] Der Anschlussfilm 135 kann eine einschichtige Struktur oder eine laminierte Struktur aufweisen, die mindestens eines von einem Metallfilm auf Ag-Basis, einem Metallfilm auf Al-Basis, einem Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis einschließt. Der Anschlussfilm 135 kann eine der Konfigurationen gemäß den in **Fig.** 8A bis 8G gezeigten ersten bis siebten Konfigurationsbeispielen aufweisen.

[0315] Die Halbleitervorrichtung 1I schließt eine zweite polare Elektrode 136 (zweite Hauptoberflächenelektrode) ein, die die zweite Hauptoberfläche 4 bedeckt. Die zweite polare Elektrode 136 ist in dieser Ausführungsform eine „Kathodenelektrode“. Die zweite polare Elektrode 136 ist elektrisch mit der zweiten Hauptoberfläche 4 verbunden. Die zweite polare Elektrode 136 bildet einen ohmschen Kontakt mit dem zweiten Halbleiterbereich 7, der von der zweiten Hauptoberfläche 4 freiliegt. Die zweite polare Elektrode 136 kann einen gesamten Bereich der zweiten Hauptoberfläche 4 bedecken, sodass sie mit der Umfangskante des Chips 2 (der ersten bis vierten Seitenoberfläche 5A bis 5D) durchgehend ist.

[0316] Die zweite polare Elektrode 136 kann die zweite Hauptoberfläche 4 in einem Abstand von der Umfangskante des Chips 2 bedecken. Die zweite polare Elektrode 136 ist so konfiguriert, dass zwischen dem Anschlussfilm 135 und der zweiten polaren Elektrode 136 eine Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist. Das heißt, der Chip 2 ist so ausgebildet, dass zwischen der ersten Hauptoberfläche 3 und der zweiten Hauptoberfläche 4 eine Spannung von nicht weniger als 500 V und nicht mehr als 3000 V anzulegen ist.

[0317] Wie vorstehend beschrieben, schließt die Halbleitervorrichtung 1I den Chip 2, die erste polare Elektrode 124 (die Hauptoberflächenelektrode), die Anschlusselektrode 126, den Dichtungsisolator 71 und den mindestens einen (in dieser Ausführungsform einen) Anschlussfilm 135 ein. Der Chip 2 weist die erste Hauptoberfläche 3 auf. Die erste polare Elektrode 124 ist auf der ersten Hauptoberfläche 3 angeordnet. Die Anschlusselektrode 126 ist auf der ersten polaren Elektrode 124 angeordnet. Der Dichtungsisolator 71 bedeckt einen Umfang der Anschlusselektrode 126 derart, dass ein Teil der Anschlusselektrode 126 freiliegt. Der Anschlussfilm 135 bedeckt die Anschlusselektrode 126.

[0318] Gemäß der obigen Struktur kann der Anschlussfilm 135 die Festigkeit der Verbindung von Lötmittel, Metallpaste, einem Bondingdraht oder dergleichen mit der Anschlusselektrode 126 erhöhen. Der Anschlussfilm 135 kann auch die Auswirkungen beim Verbinden von Lötmittel, Metallpaste, Bondingdraht oder dergleichen abmildern. Außerdem ermöglicht der Dichtungsisolator 71 gemäß der oben genannten Struktur, das Dichtungsziel vor einer äußeren Kraft und/oder Feuchtigkeit zu schützen. Das heißt, es ist möglich, das Dichtungsziel vor einer Beschädigung durch äußere Kräfte und/oder einer Verschlechterung durch Feuchtigkeit zu schützen. Dadurch können Formfehler und Abweichungen in den elektrischen Eigenschaften verringert werden. Daher ist es möglich, die Halbleitervorrichtung 1I mit verbesserter Zuverlässigkeit bereitzustellen.

[0319] Somit werden mit dem Halbleitervorrichtung 1I die gleichen Effekte wie mit der Halbleitervorrichtung 1A erzielt. Bei dem Herstellungsverfahren für die Halbleitervorrichtung 1I wird die Waferstruktur 80 vorbereitet, in der in jedem Vorrichtungsbereich 86 Strukturen gebildet werden, die der Halbleitervorrichtung 1I entsprechen, und es werden ähnliche Schritte wie bei dem Herstellungsverfahren für die Halbleitervorrichtung 1A ausgeführt. Daher werden mit dem Herstellungsverfahren für die Halbleitervorrichtung 1I die gleichen Wirkungen erzielt wie mit dem Herstellungsverfahren für die Halbleitervorrichtung 1A.

[0320] Nachstehend werden modifizierte Beispiele gezeigt, die auf jede Ausführungsform angewendet werden können. **Fig.** 27 ist eine Querschnittsansicht, die ein modifiziertes Beispiel des Chips 2 zeigt, das auf die einzelnen Ausführungsformen angewendet werden soll. In **Fig.** 27 wird ein Modus, in dem das modifizierte Beispiel des Chips 2 auf die Halbleitervorrichtung 1A angewendet wird, als Beispiel gezeigt. Allerdings kann das modifizierte Beispiel des Chips 2 auf eine beliebige der zweiten bis neunten Ausführungsform angewendet werden.

[0321] Unter Bezugnahme auf **Fig.** 27 weist die Halbleitervorrichtung 1A nicht den zweiten Halbleiterbereich 7 innerhalb des Chips 2 auf und kann nur den ersten Halbleiterbereich 6 innerhalb des Chips 2 aufweisen. In diesem Fall liegt der erste Halbleiterbereich 6 von der ersten Hauptoberfläche 3, der zweiten Hauptoberfläche 4 und der ersten bis fünften Seitenoberfläche 5A bis 5D des Chips 2 frei. Das heißt, der Chip 2 weist in dieser Ausführungsform eine einschichtige Struktur auf, die das Halbleitersubstrat nicht aufweist und die aus der Epitaxialschicht zusammengesetzt ist. Der Chip 2 mit einer solchen Struktur wird durch vollständiges Entfernen des zweiten Halbleiterbereichs 7 (des Halbleitersubst-

rats) in dem in der zuvor genannten **Fig.** 11I gezeigten Schritt gebildet.

[0322] **Fig.** 28 ist eine Querschnittsansicht, die ein modifiziertes Beispiel des Dichtungsisolators 71 zeigt, das auf die einzelnen Ausführungsformen angewendet werden soll. In **Fig.** 28 wird ein Modus, in dem das modifizierte Beispiel des Dichtungsisolators 71 auf die Halbleitervorrichtung 1A angewendet wird, als Beispiel gezeigt. Allerdings kann das modifizierte Beispiel des Dichtungsisolators 71 auf eine beliebige der zweiten bis neunten Ausführungsform angewendet werden. Unter Bezugnahme auf **Fig.** 28, kann die Halbleitervorrichtung 1A den Dichtungsisolator 71 einschließen, der einen gesamten Bereich des oberen Isolierfilms 38 bedeckt.

[0323] In diesem Fall werden in der ersten bis achten Ausführungsform die Gate-Anschlusselektrode 50 und die Source-Anschlusselektrode 60 gebildet, die nicht in Kontakt mit dem oberen Isolierfilm 38 stehen. In diesem Fall kann der Dichtungsisolator 71 einen Abschnitt aufweisen, der die Gate-Elektrode 30 und die Source-Elektrode 32 direkt bedeckt. Andererseits wird in der neunten Ausführungsform die Anschlusselektrode 126 gebildet, die nicht in Kontakt mit dem oberen Isolierfilm 38 steht. In diesem Fall kann der Dichtungsisolator 71 einen Abschnitt aufweisen, der die erste polare Elektrode 30 direkt bedeckt.

[0324] Nachstehend werden Konfigurationsbeispiele für Gehäuse gezeigt, in die eine beliebige oder mehrere beliebige der Halbleitervorrichtungen 1A bis 1I gemäß der ersten bis neunten Ausführungsform eingebaut werden sollen. **Fig.** 29 ist eine Draufsicht, die ein Gehäuse 201A zeigt, in das eine beliebige der Halbleitervorrichtungen 1A bis 1H gemäß der ersten bis achten Ausführungsform eingebaut werden soll. Das Gehäuse 201A kann als „Halbleitergehäuse“ oder als „Halbleitermodul“ bezeichnet werden.

[0325] Unter Bezugnahme auf **Fig.** 29 schließt das Gehäuse 201A einen Gehäusekörper 202 mit rechteckiger Parallelepipedform ein. Der Gehäusekörper 202 ist aus einem Gießharz zusammengesetzt und schließt ein Matrixharz (zum Beispiel Epoxidharz), eine Vielzahl von Füllstoffen und eine Vielzahl von flexiblen Partikeln (flexibles Mittel) ein, wie bei dem Dichtungsisolator 71. Der Gehäusekörper 202 weist eine erste Oberfläche 203 auf einer Seite, die zweite Oberfläche 204 auf der anderen Seite und eine erste bis vierte Seitenwand 205A bis 5D auf, die die erste Oberfläche 203 und die zweite Oberfläche 204 verbinden.

[0326] Die erste Oberfläche 203 und die zweite Oberfläche 204 sind in Draufsicht aus ihrer Normalenrichtung Z jeweils viereckig geformt. Die erste Seitenwand 205A und die zweite Seitenwand 205B erstrecken sich in der ersten Richtung X und liegen in der zweiten Richtung Y orthogonal zu der ersten Richtung X einander gegenüber. Die dritte Seitenwand 5C und die vierte Seitenwand 5D erstrecken sich in der zweiten Richtung Y und liegen in der ersten Richtung X einander gegenüber.

[0327] Das Gehäuse 201A schließt eine Metallplatte 206 (Leiterplatte) ein, die innerhalb des Gehäusekörpers 202 angeordnet ist. Die Metallplatte 206 kann als „Die-Pad“ bezeichnet werden. Die Metallplatte 206 ist in Draufsicht viereckig (insbesondere rechteckig) ausgebildet. Die Metallplatte 206 schließt ein Drawer-Plattenteil 207 ein, das von der ersten Seitenwand 205A zu einer Außenseite des Gehäusekörpers 202 herausgeführt ist. Das Drawer-Plattenteil 207 weist ein Durchgangsloch mit kreisförmiger Form auf. Die Metallplatte 206 kann von der zweiten Oberfläche 204 freiliegend sein.

[0328] Das Gehäuse 201A schließt eine Vielzahl von (in dieser Ausführungsform drei) Leitungsanschlüsse(n) 209 ein, die von einer Innenseite des Gehäusekörpers 202 zu der Außenseite des Gehäusekörpers 202 herausgeführt sind. Die Vielzahl von Leitungsanschlüssen 209 sind auf der Seite der zweiten Seitenwand 205BG angeordnet. Die Vielzahl von Leitungsanschlüssen 209 sind jeweils in einer Bandform ausgebildet, die sich in orthogonaler Richtung zu der zweiten Seitenwand 205B (das heißt der zweiten Richtung Y) erstreckt. Die Leitungsanschlüsse 209 auf beiden Seiten der Vielzahl von Leitungsanschlüssen 209 sind in Abständen von der Metallplatte 206 angeordnet, und die Leitungsanschlüsse 209 in einer Mitte sind einstückig mit der Metallplatte 206 ausgebildet. Eine Position des Leitungsanschlusses 209, der mit der Metallplatte 206 verbunden werden soll, ist beliebig.

[0329] Das Gehäuse 201A schließt eine Halbleitervorrichtung 210 ein, die auf der Metallplatte 206 innerhalb des Gehäusekörpers 202 angeordnet ist. Die Halbleitervorrichtung 210 ist aus einer beliebigen der Halbleitervorrichtungen 1A bis 1H gemäß der ersten bis achten Ausführungsform zusammengesetzt. Die Halbleitervorrichtung 210 ist auf der Metallplatte 206 in einer Stellung angeordnet, in der die Drain-Elektrode 77 der Metallplatte 206 gegenüberliegt, und ist elektrisch mit der Metallplatte 206 verbunden.

[0330] Das Gehäuse 201A schließt einen leitfähigen Klebstoff 211 ein, der zwischen der Drain-Elektrode 77 und der Metallplatte 206 angeordnet ist und der die Halbleitervorrichtung 210 mit der Metallplatte 206 verbindet. Der leitfähige Klebstoff 5 kann ein Lötmittel oder eine Metallpaste einschließen. Das Lötmittel kann ein bleifreies Lötmittel sein. Die Metallpaste kann mindestens eines von Au, Ag und Cu

einschließen. Die Ag-Paste kann aus einer Ag-Sinterpase zusammengesetzt sein.

[0331] Das Gehäuse 201A schließt mindestens einen (in dieser Ausführungsform eine Vielzahl von) leitenden Drähten 212 (leitfähiges Verbindungsbauteil) ein, die elektrisch mit den Leitungsanschlüssen 209 und der Halbleitervorrichtung 210 innerhalb des Gehäusekörpers 202 verbunden sind. Die leitenden Drähte 212 sind in dieser Ausführungsform jeweils aus einem Metalldraht (das heißt Bondingdraht) zusammengesetzt. Die leitenden Drähte 212 können mindestens eines von einem Au-Draht, einem Cu-Draht und einem Al-Draht einschließen. Selbstverständlich können die leitenden Drähte 212 statt aus dem Metalldraht jeweils aus einer Metallplatte zusammengesetzt sein, wie einer Metallklammer.

[0332] Mindestens ein (in dieser Ausführungsform ein) leitender Draht 212 ist elektrisch mit dem Gate-Anschlussfilm 74 und dem Leitungsanschluss 209 verbunden. Mindestens ein (in dieser Ausführungsform vier) leitenden Drähte 212 sind elektrisch mit dem Source-Anschlussfilm 75 und dem Leitungsanschluss 209 verbunden. In einem Fall, in dem der Source-Anschlussfilm 75 den Erfassungsanschlussfilm 105 einschließt (siehe **Fig.** 16), können der Leitungsanschluss 209, der dem Erfassungsanschlussfilm 105 entspricht, und der leitende Draht 212, der dem Erfassungsanschlussfilm 105 und den Leitungsanschlüssen 209 entspricht, bereitgestellt werden.

[0333] **Fig.** 30 ist eine Draufsicht, die ein Gehäuse 201B zeigt, in das die Halbleitervorrichtung 1I gemäß der neunten Ausführungsform eingebaut werden soll. Das Gehäuse 201B kann als „Halbleitergehäuse“ oder als „Halbleitermodul“ bezeichnet werden. Unter Bezugnahme auf **Fig.** 30 schließt das Gehäuse 201B den Gehäusekörper 202, die Metallplatte 206, die Vielzahl von (in dieser Ausführungsform zwei) Leitungsanschlüssen 209, eine Halbleitervorrichtung 213, den leitfähigen Klebstoff 211 und die Vielzahl von leitenden Drähten 212 ein. Nachstehend werden Punkte beschrieben, die sich von denen des Gehäuses 201A unterscheiden.

[0334] Ein Leitungsanschluss 209 der Vielzahl von Leitungsanschlüssen 209 ist in einem Abstand von der Metallplatte 206 angeordnet, und die anderen Leitungsanschlüsse 209 sind einstückig mit der Metallplatte 206 ausgebildet. Die Halbleitervorrichtung 213 ist auf der Metallplatte 206 innerhalb des Gehäusekörpers 202 angeordnet. Die Halbleitervorrichtung 213 ist aus der Halbleitervorrichtung 1I gemäß der neunten Ausführungsform zusammengesetzt. Die Halbleitervorrichtung 213 ist auf der Metallplatte 206 in einer Stellung angeordnet, bei der die zweite polare Elektrode 136 der Metallplatte 206 gegenüberliegt, und ist elektrisch mit der Metallplatte 206 verbunden.

[0335] Der leitfähige Klebstoff 211 ist zwischen der zweiten polaren Elektrode 136 und der Metallplatte 206 angeordnet und verbindet die Halbleitervorrichtung 213 mit der Metallplatte 206. Mindestens ein (in dieser Ausführungsform vier) leitende Drähte 212 sind elektrisch mit dem Anschlussfilm 135 und dem Leitungsanschluss 209 verbunden.

[0336] **Fig.** 31 ist eine perspektivische Ansicht, die ein Gehäuse 201C zeigt, in das eine beliebige der Halbleitervorrichtungen 1A bis 1H gemäß der ersten bis achten Ausführungsform und die Halbleitervorrichtung 1I gemäß der neunten Ausführungsform eingebaut werden sollen. **Fig.** 32 ist eine perspektivische Explosionsansicht des in **Fig.** 31 gezeigten Gehäuses 201C. **Fig.** 33 ist eine Querschnittsansicht entlang der in **Fig.** 31 gezeigten Linie XXXIII-XXXIII. Das Gehäuse 201C kann als „Halbleitergehäuse“ oder als „Halbleitermodul“ bezeichnet werden.

[0337] Unter Bezugnahme auf **Fig.** 31 bis **Fig.** 32 schließt das Gehäuse 201C einen Gehäusekörper 222 mit rechteckiger Parallelepipedform ein. Der Gehäusekörper 222 ist aus einem Gießharz zusammengesetzt und schließt ein Matrixharz (zum Beispiel Epoxidharz), eine Vielzahl von Füllstoffen und eine Vielzahl von flexiblen Partikeln (flexibles Mittel) ein, wie bei dem Dichtungsisolator 71. Der Gehäusekörper 222 weist eine erste Oberfläche 223 auf einer Seite, die zweite Oberfläche 224 auf der anderen Seite und eine erste bis vierte Seitenwand 225A bis 225D auf, die die erste Oberfläche 223 und die zweite Oberfläche 224 verbinden.

[0338] Die erste Oberfläche 223 und die zweite Oberfläche 224 sind in Draufsicht aus ihrer Normalenrichtung Z jeweils viereckig (in dieser Ausführungsform rechteckig) geformt. Die erste Seitenwand 225A und die zweite Seitenwand 225B erstrecken sich in der ersten Richtung X entlang der ersten Oberfläche 223 und liegen in der zweiten Richtung Y einander gegenüber. Die erste Seitenwand 225A und die zweite Seitenwand 225B bilden jeweils eine lange Seite des Gehäusekörpers 222. Die dritte Seitenwand 225C und die vierte Seitenwand 225D erstrecken sich in der zweiten Richtung Y und liegen in der ersten Richtung X einander gegenüber. Die dritte Seitenwand 225C und die vierte Seitenwand 225D bilden jeweils eine kurze Seite des Gehäusekörpers 222.

[0339] Das Gehäuse 201C schließt eine erste Metallplatte 226 ein, die innerhalb und außerhalb des Gehäusekörpers 222 angeordnet ist. Die erste Metallplatte 226 ist auf der Seite der ersten Oberfläche 223 der ersten Oberfläche 223 angeordnet und schließt einen ersten Pad-Abschnitt 227 und einen ersten Leitungsanschluss 228 ein. Der erste Pad-Abschnitt 227 ist rechteckig ausgebildet, erstreckt

sich in der ersten Richtung X innerhalb des Gehäusekörpers 222 und legt die erste Oberfläche 223 frei.

[0340] Der erste Leitungsanschluss 228 ist in einer Bandform, die sich in der zweiten Richtung Y erstreckt, aus dem ersten Pad-Abschnitt 227 in Richtung der ersten Seitenwand 225A herausgeführt und durchdringt die erste Seitenwand 225A so, dass er vom Gehäusekörper 222 freigelegt ist. Der erste Leitungsanschluss 228 ist in Draufsicht auf der Seite der vierten Seitenwand 225D angeordnet. Der erste Leitungsanschluss 228 liegt an einer Stelle in Abständen von der ersten Oberfläche 223 und der zweiten Oberfläche 224 von der ersten Seitenwand 225A frei.

[0341] Das Gehäuse 201C schließt eine zweite Metallplatte 230 ein, die innerhalb und außerhalb des Gehäusekörpers 222 angeordnet ist. Die zweite Metallplatte 230 ist auf der Seite der zweiten Oberfläche 224 des Gehäusekörpers 222 in einem Abstand von der ersten Metallplatte 226 in der Normalenrichtung Z angeordnet und schließt einen zweiten Pad-Abschnitt 231 und einen zweiten Leitungsanschluss 232 ein. Der zweite Pad-Abschnitt 231 ist rechteckig ausgebildet, erstreckt sich in der ersten Richtung X innerhalb des Gehäusekörpers 222 und liegt von der zweiten Oberfläche 224 frei.

[0342] Der zweite Leitungsanschluss 232 ist in einer Bandform, die sich in der zweiten Richtung Y erstreckt, aus dem zweiten Pad-Abschnitt 231 zu der ersten Seitenwand 225A hin herausgeführt und durchdringt die erste Seitenwand 225A so, dass er vom Gehäusekörper 222 freigelegt ist. Der zweite Leitungsanschluss 232 ist in Draufsicht auf der Seite der dritten Seitenwand 225C angeordnet. Der zweite Leitungsanschluss 232 liegt an einer Stelle in Abständen von der ersten Oberfläche 223 und der zweiten Oberfläche 224 von der ersten Seitenwand 225A frei.

[0343] Der zweite Leitungsanschluss 232 ist in Bezug auf die Normalenrichtung Z an einer Dickenposition, die sich von einer Dickenposition des ersten Leitungsanschlusses 228 unterscheidet, herausgeführt. Der zweite Leitungsanschluss 232 ist in einem Abstand von dem ersten Leitungsanschluss 228 zur Seite der zweiten Oberfläche 224 ausgebildet und liegt in dieser Ausführungsform dem ersten Leitungsanschluss 228 in der ersten Richtung X nicht gegenüber. Der zweite Leitungsanschluss 232 weist in Bezug auf die zweite Richtung Y eine Länge auf, die sich von einer Länge des ersten Leitungsanschlusses 228 unterscheidet.

[0344] Das Gehäuse 201C schließt eine Vielzahl von (in dieser Ausführungsform fünf) dritten Leitungsanschlüsse(n) 234 ein, die von der Innenseite des Gehäusekörpers 222 zur Außenseite des Gehäusekörpers 222 herausgeführt sind. Die Vielzahl von dritten Leitungsanschlüssen 234 sind in dieser Ausführungsform in einem Dickenbereich zwischen dem ersten Pad-Abschnitt 227 und dem zweiten Pad-Abschnitt 231 angeordnet. Die Vielzahl von dritten Leitungsanschlüssen 234 sind jeweils in einer Bandform, die sich in der zweiten Richtung Y erstreckt, aus dem Inneren des Gehäusekörpers 222 in Richtung der zweiten Seitenwand 225B herausgeführt und durchdringen die zweite Seitenwand 225B so, dass sie von dem Gehäusekörper 222 freiliegen.

[0345] Eine Anordnung der Vielzahl von dritten Leitungsanschlüssen 234 ist beliebig. Die Vielzahl von dritten Leitungsanschlüssen 234 sind auf der Seite der dritten Seitenwand 225C so angeordnet, dass sie in dieser Ausführungsform in Draufsicht mit dem zweiten Leitungsanschluss 232 auf derselben geraden Linie liegen. Die Vielzahl von dritten Leitungsanschlüssen 234 können jeweils einen gekrümmten Abschnitt aufweisen, der in einem außerhalb des Gehäusekörpers 222 befindlichen Abschnitt zur ersten Oberfläche 223 und/oder zur zweiten Oberfläche 224 hin gebogen ist.

[0346] Das Gehäuse 201C schließt eine erste Halbleitervorrichtung 235 ein, die innerhalb des Gehäusekörpers 222 angeordnet ist. Die erste Halbleitervorrichtung 235 ist aus einer beliebigen der Halbleitervorrichtungen 1A bis 1H gemäß der ersten bis achten Ausführungsform zusammengesetzt. Das erste Halbleitervorrichtung 235 ist zwischen dem ersten Pad-Abschnitt 227 und dem zweiten Pad-Abschnitt 231 angeordnet. Das erste Halbleitervorrichtung 235 ist in Draufsicht auf der Seite der dritten Seitenwand 225C angeordnet. Die erste Halbleitervorrichtung 235 ist auf der zweiten Metallplatte 230 in einer Stellung angeordnet, bei der die Drain-Elektrode 77 der zweiten Metallplatte 230 (dem zweiten Pad-Abschnitt 231) gegenüberliegt, und ist elektrisch mit der zweiten Metallplatte 230 verbunden.

[0347] Das Gehäuse 201C schließt eine zweite Halbleitervorrichtung 236 ein, die innerhalb des Gehäusekörpers 222 in einem Abstand von der ersten Halbleitervorrichtung 235 angeordnet ist. Die zweite Halbleitervorrichtung 236 ist aus der Halbleitervorrichtung 1I gemäß der neunten Ausführungsform zusammengesetzt. Die zweite Halbleitervorrichtung 236 ist zwischen dem ersten Pad-Abschnitt 227 und dem zweiten Pad-Abschnitt 231 angeordnet. Die zweite Halbleitervorrichtung 236 ist in Draufsicht auf der Seite der vierten Seitenwand 225D angeordnet. Die zweite Halbleitervorrichtung 236 ist auf der zweiten Metallplatte 230 in einer Stellung angeordnet, bei der die zweite polare Elektrode 136 der zweiten Metallplatte 230 (dem zweiten Pad-Abschnitt 231) gegenüberliegt, und ist elektrisch mit der zweiten Metallplatte 230 verbunden.

[0348] Das Gehäuse 201C schließt einen ersten Leiterabstandshalter 237 (erstes leitfähiges Verbindungsbauteil) und einen zweiten Leiterabstandshalter 238 (zweites leitfähiges Verbindungsbauteil) ein, die jeweils innerhalb des Gehäusekörpers 222 angeordnet sind. Der erste Leiterabstandshalter 237 ist zwischen der ersten Halbleitervorrichtung 235 und dem ersten Pad-Abschnitt 227 angeordnet und ist elektrisch mit der ersten Halbleitervorrichtung 235 und dem ersten Pad-Abschnitt 227 verbunden. Der zweite Leiterabstandshalter 238 ist zwischen der zweiten Halbleitervorrichtung 236 und dem ersten Pad-Abschnitt 227 angeordnet und ist elektrisch mit der zweiten Halbleitervorrichtung 236 und dem ersten Pad-Abschnitt 227 verbunden.

[0349] Der erste Leiterabstandshalter 237 und der zweite Leiterabstandshalter 238 können jeweils eine Metallplatte (beispielsweise eine Metallplatte auf Cu-Basis) einschließen. Der zweite Leiterabstandshalter 238 ist in dieser Ausführungsform aus einem von dem ersten Leiterabstandshalter 237 getrennten Bauteil zusammengesetzt, allerdings kann der zweite Leiterabstandshalter 238 auch einstückig mit dem ersten Leiterabstandshalter 237 ausgebildet sein.

[0350] Das Gehäuse 201C schließt den ersten bis sechsten leitfähigen Klebstoff 239A bis 239F ein. Der erste bis sechste leitfähige Klebstoff 239A bis 239F kann jeweils ein Lötmittel oder eine Metallpaste einschließen. Das Lötmittel kann ein bleifreies Lötmittel sein. Die Metallpaste kann mindestens eines von Au, Ag und Cu einschließen. Die Ag-Paste kann aus einer Ag-Sinterpase zusammengesetzt sein.

[0351] Der erste leitfähige Klebstoff 239A ist zwischen der Drain-Elektrode 77 und dem zweiten Pad-Abschnitt 231 angeordnet und verbindet die erste Halbleitervorrichtung 235 mit dem zweiten Pad-Abschnitt 231. Der zweite leitfähige Klebstoff 239B ist zwischen der zweiten polaren Elektrode 136 und dem zweiten Pad-Abschnitt 231 angeordnet und verbindet die zweite Halbleitervorrichtung 236 mit dem zweiten Pad-Abschnitt 231.

[0352] Der dritte leitfähige Klebstoff 239C ist zwischen dem Source-Anschlussfilm 75 und dem ersten Leiterabstandshalter 237 angeordnet und verbindet den ersten Leiterabstandshalter 237 mit dem Source-Anschlussfilm 75. Der vierte leitfähige Klebstoff 239D ist zwischen der Anschlussfilm 135 und dem zweiten Leiterabstandshalter 238 angeordnet und verbindet den zweiten Leiterabstandshalter 238 mit dem Anschlussfilm 135.

[0353] Der fünfte leitfähige Klebstoff 239E ist zwischen dem ersten Pad-Abschnitt 227 und dem ersten Leiterabstandshalter 237 angeordnet und verbindet den ersten Leiterabstandshalter 237 mit dem ersten Pad-Abschnitt 227. Der sechste leitfähige Klebstoff 239F ist zwischen dem ersten Pad-Abschnitt 227 und dem zweiten Leiterabstandshalter 238 angeordnet und verbindet den zweiten Leiterabstandshalter 238 mit dem ersten Pad-Abschnitt 227.

[0354] Das Gehäuse 201C schließt mindestens einen (in dieser Ausführungsform eine Vielzahl von) leitenden Drähten 240 (leitfähiges Verbindungsbauteil) ein, die elektrisch mit dem Gate-Anschlussfilm 74 der ersten Halbleitervorrichtung 235 verbunden sind, und mindestens einen (in dieser Ausführungsform eine Vielzahl von) dritten Leitungsanschlüssen 234 innerhalb des Gehäusekörpers 222. Die leitenden Drähte 240 sind in dieser Ausführungsform jeweils aus einem Metalldraht (das heißt einem Bondingdraht) zusammengesetzt.

[0355] Die leitenden Drähte 240 schließen mindestens eines von einem Golddraht, einem Kupferdraht und einem Aluminiumdraht ein. Selbstverständlich können die leitenden Drähte 240 statt aus dem Metalldraht jeweils aus einer Metallplatte zusammengesetzt, wie einer Metallklammer. In einem Fall, in dem der Source-Anschlussfilm 75 den Erfassungsanschlussfilm 105 einschließt (siehe **Fig.** 16), kann ferner ein leitender Draht 240 bereitgestellt werden, der mit dem Erfassungsanschlussfilm 105 und dem dritten Leitungsanschluss 234 verbunden werden soll.

[0356] In dieser Ausführungsform wurde ein Beispiel gezeigt, bei dem der Source-Anschlussfilm 75 über die ersten Leiterabstandshalter 237 mit dem ersten Pad-Abschnitt 227 verbunden ist. Der Source-Anschlussfilm 75 kann jedoch auch ohne den ersten Leiterabstandshalter 237 durch den dritten leitfähigen Klebstoff 239C mit dem ersten Pad-Abschnitt 227 verbunden sein. Außerdem wurde in dieser Ausführungsform ein Beispiel gezeigt, bei dem der Anschlussfilm 135 über die zweiten Leiterabstandshalter 238 mit dem ersten Pad-Abschnitt 227 verbunden ist. Der Anschlussfilm 135 kann jedoch auch ohne die zweiten Leiterabstandshalter 238 durch den vierten leitfähigen Klebstoff 239D mit dem ersten Pad-Abschnitt 227 verbunden sein.

[0357] Jede der vorstehenden Ausführungsformen kann in noch anderen Ausführungsformen implementiert werden. Beispielsweise können die in der vorstehenden ersten bis zwölften Ausführungsform offenbarten Merkmale geeignet untereinander kombiniert werden. Daher kann eine Konfiguration angenommen werden, die mindestens zwei Merkmale der in der vorstehenden ersten bis neunten Ausführungsform offenbarten Merkmale zur gleichen Zeit einschließt.

[0358] In jeder der obigen Ausführungsformen wurde der Chip 2 mit dem Mesa-Abschnitt 11 gezeigt. Es kann jedoch auch der Chip 2 verwendet werden, der keinen Mesa-Abschnitt 11 aufweist und dessen erste Hauptoberfläche 3 sich flach erstreckt. In diesem Fall kann die Seitenwandstruktur 26 weggelassen werden.

[0359] In jeder der obigen Ausführungsformen wurden die Konfigurationen mit der Source-Verdrahtung 37 gezeigt. Es können jedoch auch Konfigurationen ohne die Source-Verdrahtung 37 verwendet werden. In jeder der obigen Ausführungsformen wurde die Gate-Struktur 15 vom Graben-Gate-Typ gezeigt, die den Kanal innerhalb des Chips 2 steuert. Es kann jedoch auch die Gate-Struktur 15 vom planaren Gate-Typ verwendet werden, die den Kanal von der ersten Hauptoberfläche 3 aus steuert.

[0360] In jeder der obigen Ausführungsformen wurden die Konfigurationen gezeigt, in denen die MISFET-Struktur 12 und die SBD-Struktur 120 in den verschiedenen Chips 2 ausgebildet sind. Die MISFET-Struktur 12 und die SBD-Struktur 120 können jedoch in unterschiedlichen Bereichen der ersten Hauptoberfläche 3 im selben Chip 2 ausgebildet sein. In diesem Fall kann die SBD-Struktur 120 als Rückflussdiode der MISFET-Struktur 12 ausgebildet sein.

[0361] In jeder der Ausführungsformen wurde die Konfiguration gezeigt, in der der „erste Leitfähigkeitstyp“ der „n-Typ“ und der „zweite Leitfähigkeitstyp“ der „p-Typ“ ist. Es kann jedoch in jeder der Ausführungsformen eine Konfiguration verwendet werden, in der der „erste Leitfähigkeitstyp“ der „p-Typ“ und der „zweite Leitfähigkeitstyp“ der „n-Typ“ ist. Die spezifische Konfiguration kann in diesem Fall erhalten werden, indem in den obigen Beschreibungen und den beigefügten Zeichnungen der „n-Typ“ durch den „p-Typ“ ersetzt wird und gleichzeitig der „p-Typ“ durch den „n-Typ“ ersetzt wird.

[0362] In jeder der Ausführungsformen wurde der zweite Halbleiterbereich 7 vom „n-Typ“ gezeigt. Der zweite Halbleiterbereich 7 kann jedoch vom „p-Typ“ sein. In diesem Fall wird anstelle der MISFET-Struktur 12 eine IGBT-Struktur (Insulated-Gate-Bipolar-Transistor-Struktur) gebildet. In diesem Fall wird in den obigen Beschreibungen die „Source“ der MISFET-Struktur 12 durch einen „Emitter“ der IGBT-Struktur ersetzt und der „Drain“ der MISFET-Struktur 12 wird durch einen „Kollektor“ der IGBT-Struktur ersetzt. Selbstverständlich können in einem Fall, in dem der Chip 2 eine einschichtige Struktur aufweist, die aus der Epitaxialschicht zusammengesetzt ist, bei dem zweiten Halbleiterbereich 7 vom „p-Typ“ p-Typ-Verunreinigungen in einen Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 des Chips 2 (der Epitaxialschicht) durch ein Ionenimplantationsverfahren eingebracht werden.

[0363] In jeder der Ausführungsformen werden die erste Richtung X und die zweite Richtung Y durch die Erstreckungsrichtungen der ersten bis vierten Seitenoberfläche 5A bis 5D definiert. Allerdings können die erste Richtung X und die zweite Richtung Y beliebige Richtungen sein, solange die erste Richtung X und die zweite Richtung Y eine Beziehung beibehalten, in der die erste Richtung X und die zweite Richtung Y einander schneiden (insbesondere senkrecht schneiden). Beispielsweise kann die erste Richtung X eine Richtung sein, die die erste bis vierte Seitenoberfläche 5A bis 5D schneidet, und die zweite Richtung Y kann eine Richtung sein, die die erste bis vierte Seitenoberfläche 5A bis 5D schneidet.

[0364] Nachstehend werden Beispiele für Merkmale aufgeführt, die den vorliegenden Beschreibungen und den beigefügten Zeichnungen entnommen sind. Nachstehend stellen die alphanumerischen Zeichen in Klammern die entsprechenden Komponenten in den vorstehend genannten Ausführungsformen dar, sollen den Schutzumfang der einzelnen Absätze jedoch nicht auf die Ausführungsformen beschränken. Die „Halbleitervorrichtung“ in den nachstehenden Absätzen kann je nach Bedarf durch eine „Halbleitervorrichtung mit breiter Bandlücke“, eine „SiC-Halbleitervorrichtung“, eine „Halbleiterschaltvorrichtung“ oder eine „Halbleitergleichrichtervorrichtung“ ersetzt werden.

[0365] [A1] Ein Halbleitervorrichtung (1A bis 1I), umfassend: einen Chip (2), der eine Hauptoberfläche (3) aufweist; eine Hauptoberflächenelektrode (30, 32, 124), die auf der Hauptoberfläche (3) angeordnet ist; eine Anschlusselektrode (50, 60, 126), die auf der Hauptoberflächenelektrode (30, 32, 124) angeordnet ist; einen Dichtungs- bzw. Versiegelungsisolator (71), der einen Umfang bzw. eine Umgebung der Anschlusselektrode (50, 60, 126) auf der Hauptoberfläche (3) so bedeckt, dass ein Teil der Anschlusselektrode (50, 60, 126) freiliegt; und einen Anschlussfilm (74, 75, 135), der die Anschlusselektrode (50, 60, 126) bedeckt.

[0366] [A2] Die Halbleitervorrichtung (1A bis 1I) gemäß A1, wobei der Anschlussfilm (74, 75, 135) dünner ist als die Anschlusselektrode (50, 60, 126).

[0367] [A3] Die Halbleitervorrichtung (1A bis 1I) gemäß A1 oder A2, wobei die Anschlusselektrode (50, 60, 126) dicker ist als die Hauptoberflächenelektrode (30, 32, 124) und wobei der Dichtungsisolator (71) dicker ist als die Hauptoberflächenelektrode (30, 32, 124).

[0368] [A4] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A3, wobei die Anschlusselektrode (50, 60, 126) dicker ist als der Chip (2) und wobei der Dichtungsisolator (71) dicker ist als der Chip (2).

[0369] [A5] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A4, wobei der Dichtungsisolator (71) ein duroplastisches bzw. wäremaushärtendes Harz einschließt.

[0370] [A6] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A5, wobei der Anschlussfilm (74, 75, 135) mindestens einen von einem Metallfilm auf Ag-Basis, einem Metallfilm auf Al-Basis, einem Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis einschließt.

[0371] [A7] Die Halbleitervorrichtung (1A bis 1I) gemäß A6, wobei der Anschlussfilm (74, 75, 135) eine laminierte Struktur aufweist, die einen Metallfilm auf Ni-Basis, einen Metallfilm auf Pd-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge ausgehend von der Seite der Anschlusselektrode (50, 60, 126) aus laminiert bzw. geschichtet sind.

[0372] [A8] Die Halbleitervorrichtung (1A bis 1I) gemäß A6, wobei der Anschlussfilm (74, 75, 135) eine laminierte Struktur aufweist, die einen Metallfilm auf Ni-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite der Anschlusselektrode (50, 60, 126) aus laminiert sind.

[0373] [A9] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A8, wobei die Anschlusselektrode (50, 60, 126) in Querschnittsansicht säulenförmig ausgebildet ist.

[0374] [A10] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A9, wobei die Anschlusselektrode (50, 60, 126) ein Metall auf Cu-Basis einschließt.

[0375] [A11] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A10, wobei die Anschlusselektrode (50, 60, 126) eine Anschlussoberfläche (51, 61, 127) und eine Anschlussseitenwand (52, 62, 128) aufweist, wobei der Dichtungsisolator (71) die Anschlussoberfläche (51, 61, 127) freilegt und die Anschlussseitenwand (52, 62, 128) bedeckt und wobei der Anschlussfilm (74, 75, 135) die Anschlussoberfläche (51, 61, 127) bedeckt.

[0376] [A12] Die Halbleitervorrichtung (1A bis 1I) gemäß A11, wobei der Dichtungsisolator (71) eine isolierende Hauptoberfläche (72) aufweist, die mit der Anschlussoberfläche (51, 61, 127) eine einzige flache Oberfläche bildet, und wobei der Anschlussfilm (74, 75, 135) einen Abschnitt aufweist, der die isolierende Hauptoberfläche (72) bedeckt.

[0377] [A13] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A12, wobei der Chip (2) eine Seitenoberfläche (5A bis 5D) aufweist und wobei der Dichtungsisolator (71) eine isolierende Seitenwand (73) aufweist, die mit der Seitenoberfläche (5A bis 5D) eine einzige flache Oberfläche bildet.

[0378] [A14] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A13, ferner umfassend: einen Isolierfilm (38), der die Hauptoberflächenelektrode (30, 32, 124) teilweise bedeckt; wobei der Dichtungsisolator (71) einen Abschnitt aufweist, der die Hauptoberflächenelektrode (30, 32, 124) mit dem dazwischen angeordneten Isolierfilm (38) bedeckt.

[0379] [A15] Die Halbleitervorrichtung (1A bis 1I) gemäß A14, wobei die Anschlusselektrode (50, 60, 126) einen Abschnitt aufweist, der den Isolierfilm (38) direkt bedeckt.

[0380] [A16] Die Halbleitervorrichtung (1A bis 1I) gemäß A14 oder A15, wobei der Isolierfilm (38) einen von einem anorganischen Isolierfilm (42) und einem organischen Isolierfilm (43) oder beide einschließt bzw. aufweist.

[0381] [A17] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A16, wobei der Chip (2) eine laminierte Struktur aufweist, die ein Substrat (7) und eine Epitaxialschicht (6) einschließt, und die Hauptoberfläche (3) einschließt, die durch die Epitaxialschicht (6) gebildet wird.

[0382] [A18] Die Halbleitervorrichtung (1A bis 1I) gemäß A17, wobei die Epitaxialschicht (6) dicker ist als das Substrat (7).

[0383] [A19] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A16, wobei der Chip (2) eine einschichtige Struktur aufweist, die aus einer Epitaxialschicht (6) zusammengesetzt ist.

[0384] [A20] Die Halbleitervorrichtung (1A bis 1I) gemäß einem von A1 bis A19, wobei der Chip (2) einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt.

[0385] [B1] Ein Herstellungsverfahren für eine Halbleitervorrichtung (1A bis 1I), umfassend: einen Schritt des Vorbereitens einer Waferstruktur (80), die einen Wafer (81) mit einer Hauptoberfläche (82) und einer auf der Hauptoberfläche (82) angeordneten Hauptoberflächenelektrode (30, 32, 124) einschließt; einen Schritt des Bildens einer Anschlusselektrode (50, 60, 126) auf der Hauptoberflächenelektrode (30, 32, 124); einen Schritt des Bildens eines Dichtungsisolators (71), der einen Umfang bzw. eine

Umgebung der Anschlusselektrode (50, 60, 126) auf der Hauptoberfläche (82) so bedeckt, dass ein Teil der Anschlusselektrode (50, 60, 126) freiliegt; und einen Schritt des Bildens eines Anschlussfilms (74, 75, 135), der die Anschlusselektrode (50, 60, 126) bedeckt.

[0386] [B2] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B1, wobei der Schritt des Bildens des Anschlussfilms (74, 75, 135) den Schritt des Bildens des Anschlussfilms (74, 75, 135) einschließt, der dünner ist als die Anschlusselektrode (50, 60, 126).

[0387] [B3] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B1 oder B2, wobei der Schritt des Bildens der Anschlusselektrode (50, 60, 126) den Schritt des Bildens der Anschlusselektrode (50, 60, 126) einschließt, die dicker ist als die Hauptoberflächenelektrode (30, 32, 124), und wobei der Schritt des Bildens des Dichtungsisolators (71) den Schritt des Bildens des Dichtungsisolators (71) einschließt, der dicker ist als die Hauptoberflächenelektrode (30, 32, 124).

[0388] [B4] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B3, ferner umfassend: einen Schritt des Ausdünnens bzw. Dünnermachens des Wafers (81) nach dem Schritt des Bildens eines Dichtungsisolators (71) .

[0389] [B5] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B4, wobei der Schritt des Ausdünnens des Wafers (81) den Schritt des Ausdünnens des Wafers (81), bis der Wafer (81) eine geringere Dicke als die Dicke der Anschlusselektrode (50, 60, 126) aufweist, einschließt.

[0390] [B6] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B5, wobei der Schritt des Bildens des Dichtungsisolators (71) den Schritt des Bildens des Dichtungsisolators (71) einschließt, der ein duroplastisches Harz einschließt.

[0391] [B7] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B6, wobei der Schritt des Bildens des Anschlussfilms (74, 75, 135) einen Schritt des Bildens von mindestens einen von einem Metallfilm auf Ag-Basis, einem Metallfilm auf Al-Basis, einem Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis auf der Anschlusselektrode (50, 60, 126) einschließt.

[0392] [B8] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B7, wobei der Schritt des Bildens des Anschlussfilms (74, 75, 135) einen Schritt des Bildens eines Metallfilms auf Ni-Basis, eines Metallfilms auf Pd-Basis und eines Metallfilms auf Au-Basis in dieser Reihenfolge von der Seite der Anschlusselektrode (50, 60, 126) aus einschließt.

[0393] [B9] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B7, wobei der Schritt des Bildens des Anschlussfilms (74, 75, 135) einen Schritt des Bildens eines Metallfilms auf Ni-Basis und eines Metallfilms auf Au-Basis in dieser Reihenfolge von der Seite der Anschlusselektrode (50, 60, 126) aus einschließt.

[0394] [B10] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B9, wobei der Schritt des Bildens der Anschlusselektrode (50, 60, 126) den Schritt des Bildens der Anschlusselektrode (50, 60, 126) in einer in Querschnittsansicht säulenförmigen Form einschließt.

[0395] [B11] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B10, wobei der Schritt des Bildens der Anschlusselektrode (50, 60, 126) einschließt: einen Schritt des Bildens eines Leiterfilms (89), der die Hauptoberflächenelektrode (30, 32, 124) bedeckt; einen Schritt des Bildens einer Maske (90) auf dem Leiterfilm (89), die einen Abschnitt des Leiterfilms (89) freilegt, der die Hauptoberflächenelektrode (30, 32, 124) bedeckt; und einen Schritt des Abscheidens eines Leiters (95) auf dem Abschnitt des Leiterfilms (89), der von der Maske (90) freiliegt.

[0396] [B12] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B11, wobei der Schritt des Bildens des Dichtungsisolators (71) einschließt: einen Schritt des Bildens des Dichtungsisolators (71), der einen gesamten Bereich der Anschlusselektrode (50, 60, 126) bedeckt; und einen Schritt des teilweisen Entfernens des Dichtungsisolators (71), bis die Anschlusselektrode (50, 60, 126) freiliegt.

[0397] [B13] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B12, wobei der Schritt des teilweisen Entfernens des Dichtungsisolators (71) einen Schritt des teilweisen Entfernens des Dichtungsisolators (71) durch ein Schleifverfahren einschließt.

[0398] [B14] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B13, ferner umfassend: einen Schritt des Vorbereitens der Waferstruktur (80), die den Wafer (81) mit der Hauptoberfläche (82) einschließt, in der ein Vorrichtungsbereich (86) und eine geplante Schnittlinie (87), die den Vorrichtungsbereich (86) definiert, festgelegt sind, und die Hauptoberflächenelektrode (30, 32, 124), die auf der Hauptoberfläche (82) im Vorrichtungsbereich (86) angeordnet ist; und einen

Schritt des Schneidens btw. Trennens des Wafers (81) und des Dichtungsisolators (71) entlang der vorgesehenen Schnittlinie (87) nach dem Schritt des Bildens des Dichtungsisolators (71).

[0399] [B15] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B14, wobei der Schritt des Bildens der Anschlusselektrode (50, 60, 126) den Schritt des Bildens der Anschlusselektrode (50, 60, 126) einschließt, die eine planare Fläche bzw. einen planaren Flächeninhalt mit einem Belegungsanteil von nicht weniger als 50 % in Bezug auf die planare Fläche bzw. den planaren Flächeninhalt des Vorrichtungsbereichs (86) aufweist, und wobei der Schritt des Bildens des Anschlussfilms (74, 75, 135) den Schritt des Bildens des Anschlussfilms (74, 75, 135) einschließt, der eine planare Fläche bzw. einen planaren Flächeninhalt mit einem Belegungsanteil von nicht weniger als 50 % in Bezug auf die planare Fläche bzw. den planaren Flächeninhalt des Vorrichtungsbereichs (86) aufweist.

[0400] [B16] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B15, wobei die Waferstruktur (80) einen Isolierfilm (38) einschließt, der die Hauptoberflächenelektrode (30, 32, 124) teilweise bedeckt, und wobei der Schritt des Bildens des Dichtungsisolators (71) den Schritt des Bildens des Dichtungsisolators (71) einschließt, der einen Abschnitt aufweist, der die Hauptoberflächenelektrode (30, 32, 124) bedeckt, wobei der Isolierfilm (38) dazwischen angeordnet ist.

[0401] [B17] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B16, wobei der Schritt des Bildens der Anschlusselektrode (50, 60, 126) den Schritt des Bildens der Anschlusselektrode (50, 60, 126) einschließt, die den Isolierfilm (38) direkt bedeckt.

[0402] [B18] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß B16 oder B17, wobei der Isolierfilm (38) einen von einem anorganischen Isolierfilm (42) und einem organischen Isolierfilm (43) oder beide einschließt.

[0403] [B19] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B17, wobei der Wafer (81) eine laminierte Struktur aufweist, die ein Substrat (7) und eine Epitaxialschicht (6) einschließt, und die Hauptoberfläche (82) aufweist, die durch die Epitaxialschicht (6) gebildet wird.

[0404] [B20] Das Herstellungsverfahren für die Halbleitervorrichtung (1A bis 1I) gemäß einem von B1 bis B19, wobei der Wafer (81) einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt.

[0405] Während Ausführungsformen der vorliegenden Erfindung vorstehend ausführlich beschrieben wurden, handelt es sich dabei lediglich um spezifische Beispiele zur Verdeutlichung des technischen Inhalts, und die vorliegende Erfindung sollte nicht so ausgelegt werden, als sei sie nur auf diese spezifischen Beispiele beschränkt, und Geist und Schutzumfang der Erfindung sind nur durch die beigefügten Ansprüche begrenzt.

LISTE DER BEZUGSZEICHEN

1A	Halbleitervorrichtung
1B	Halbleitervorrichtung
1C	Halbleitervorrichtung
1D	Halbleitervorrichtung
1E	Halbleitervorrichtung
1F	Halbleitervorrichtung
1G	Halbleitervorrichtung
1H	Halbleitervorrichtung
1I	Halbleitervorrichtung
2	Chip
3	Erste Hauptoberfläche
5A	Erste Seitenoberfläche
5B	Zweite Seitenoberfläche
5C	Dritte Seitenoberfläche
5D	Vierte Seitenoberfläche
6	Erster Halbleiterbereich (Epitaxialschicht)
7	Zweiter Halbleiterbereich (Substrat)
30	Gate-Elektrode (Hauptoberflächenelektrode)
32	Source-Elektrode (Hauptoberflächenelektrode)
38	Oberer Isolierfilm
42	Anorganischer Isolierfilm
43	Organischer Isolierfilm
50	Gate-Anschlusselektrode
51	Gate-Anschlussoberfläche
52	Gate-Anschlussseitenwand
60	Source-Anschlusselektrode
61	Source-Anschlussoberfläche
62	Source-Anschlussseitenwand
71	Dichtungsisolator
72	Isolierende Hauptoberfläche

73	Isolierende Seitenwand
74	Gate-Anschlussfilm
75	Source-Anschlussfilm
80	Waferstruktur
81	Wafer
82	Erste Waferhauptoberfläche
86	Vorrichtungsbereich
87	Geplante Schnittlinie
89	Zweiter Basisleiterfilm
90	Resistmaske
92	Zweite Öffnung
95	Dritter Basisleiterfilm (Leiter)
124	Erste polare Elektrode bzw. einen ersten Pol bildende Elektrode (Hauptoberflächenelektrode)
126	Anschlusselektrode
127	Anschlussoberfläche
128	Anschlussseitenwand
135	Anschlussfilm

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2021181318 [0001]

Patentansprüche

1. Halbleitervorrichtung, umfassend:
einen Chip, der eine Hauptoberfläche aufweist;
eine Hauptoberflächenelektrode, die auf der Hauptoberfläche angeordnet ist;
eine Anschlusselektrode, die auf der Hauptoberflächenelektrode angeordnet ist;
einen Dichtungsisolator, der einen Umfang der Anschlusselektrode auf der Hauptoberfläche so bedeckt, dass ein Teil der Anschlusselektrode freiliegt; und
einen Anschlussfilm, der die Anschlusselektrode bedeckt.

2. Halbleitervorrichtung nach Anspruch 1, wobei der Anschlussfilm dünner ist als die Anschlusselektrode.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei die Anschlusselektrode dicker ist als die Hauptoberflächenelektrode und
wobei der Dichtungsisolator dicker ist als die Hauptoberflächenelektrode.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, wobei die Anschlusselektrode dicker ist als der Chip und wobei der Dichtungsisolator dicker ist als der Chip.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, wobei der Dichtungsisolator ein duroplastisches Harz einschließt.

6. Halbleitervorrichtung nach einem der Ansprüche 1 bis 5, wobei der Anschlussfilm mindestens eines von einem Metallfilm auf Ag-Basis, einem Metallfilm auf Al-Basis, einem Metallfilm auf Cu-Basis, einem Metallfilm auf Ni-Basis, einem Metallfilm auf Pd-Basis und einem Metallfilm auf Au-Basis einschließt.

7. Halbleitervorrichtung nach Anspruch 6, wobei der Anschlussfilm eine laminierte Struktur aufweist, die einen Metallfilm auf Ni-Basis, einen Metallfilm auf Pd-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite der Anschlusselektrode aus laminiert sind.

8. Halbleitervorrichtung nach Anspruch 6, wobei der Anschlussfilm eine laminierte Struktur aufweist, die einen Metallfilm auf Ni-Basis und einen Metallfilm auf Au-Basis einschließt, die in dieser Reihenfolge von der Seite der Anschlusselektrode aus laminiert sind.

9. Halbleitervorrichtung nach einem der Ansprüche 1 bis 8, wobei die Anschlusselektrode in Querschnittsansicht säulenförmig aufgebaut ist.

10. Halbleitervorrichtung nach einem der Ansprüche 1 bis 9, wobei die Anschlusselektrode ein Metall auf Cu-Basis einschließt.

11. Halbleitervorrichtung nach einem der Ansprüche 1 bis 10,
wobei die Anschlusselektrode eine Anschlussoberfläche und eine Anschlussseitenwand aufweist,
wobei der Dichtungsisolator die Anschlussoberfläche freilegt und die Anschlussseitenwand bedeckt und
wobei der Anschlussfilm die Anschlussoberfläche bedeckt.

12. Halbleitervorrichtung nach Anspruch 11,
wobei der Dichtungsisolator eine isolierende Hauptoberfläche aufweist, die mit der Anschlussoberfläche eine einzige flache Oberfläche bildet, und
wobei der Anschlussfilm einen Abschnitt aufweist, der die isolierende Hauptoberfläche bedeckt.

13. Halbleitervorrichtung nach einem der Ansprüche 1 bis 12,
wobei der Chip eine Seitenoberfläche aufweist und
wobei der Dichtungsisolator eine isolierende Seitenwand aufweist, die mit der Seitenoberfläche eine einzige flache Oberfläche bildet.

14. Halbleitervorrichtung nach einem der Ansprüche 1 bis 13, ferner umfassend:
einen Isolierfilm, der die Hauptoberflächenelektrode teilweise bedeckt;
wobei der Dichtungsisolator einen Abschnitt aufweist, der die Hauptoberflächenelektrode mit dem dazwischen angeordneten Isolierfilm bedeckt.

15. Halbleitervorrichtung nach Anspruch 14, wobei die Anschlusselektrode einen Abschnitt aufweist, der den Isolierfilm direkt bedeckt.

16. Halbleitervorrichtung nach Anspruch 14 oder 15, wobei der Isolierfilm eines von einem anorganischen Isolierfilm und einem organischen Isolierfilm oder beides einschließt.

17. Halbleitervorrichtung nach einem der Ansprüche 1 bis 16, wobei der Chip eine laminierte Struktur aufweist, die ein Substrat und eine Epitaxialschicht einschließt, und die Hauptoberfläche einschließt, die durch die Epitaxialschicht gebildet wird.

18. Halbleitervorrichtung nach Anspruch 17, wobei die Epitaxialschicht dicker ist als das Substrat.

19. Halbleitervorrichtung nach einem der Ansprüche 1 bis 16, wobei der Chip eine einschichtige Struktur aufweist, die aus einer Epitaxialschicht zusammengesetzt ist.

20. Halbleitervorrichtung nach einem der Ansprüche 1 bis 19, wobei der Chip einen Einkristall aus einem Halbleiter mit breiter Bandlücke einschließt.

Es folgen 44 Seiten Zeichnungen

Anhängende Zeichnungen

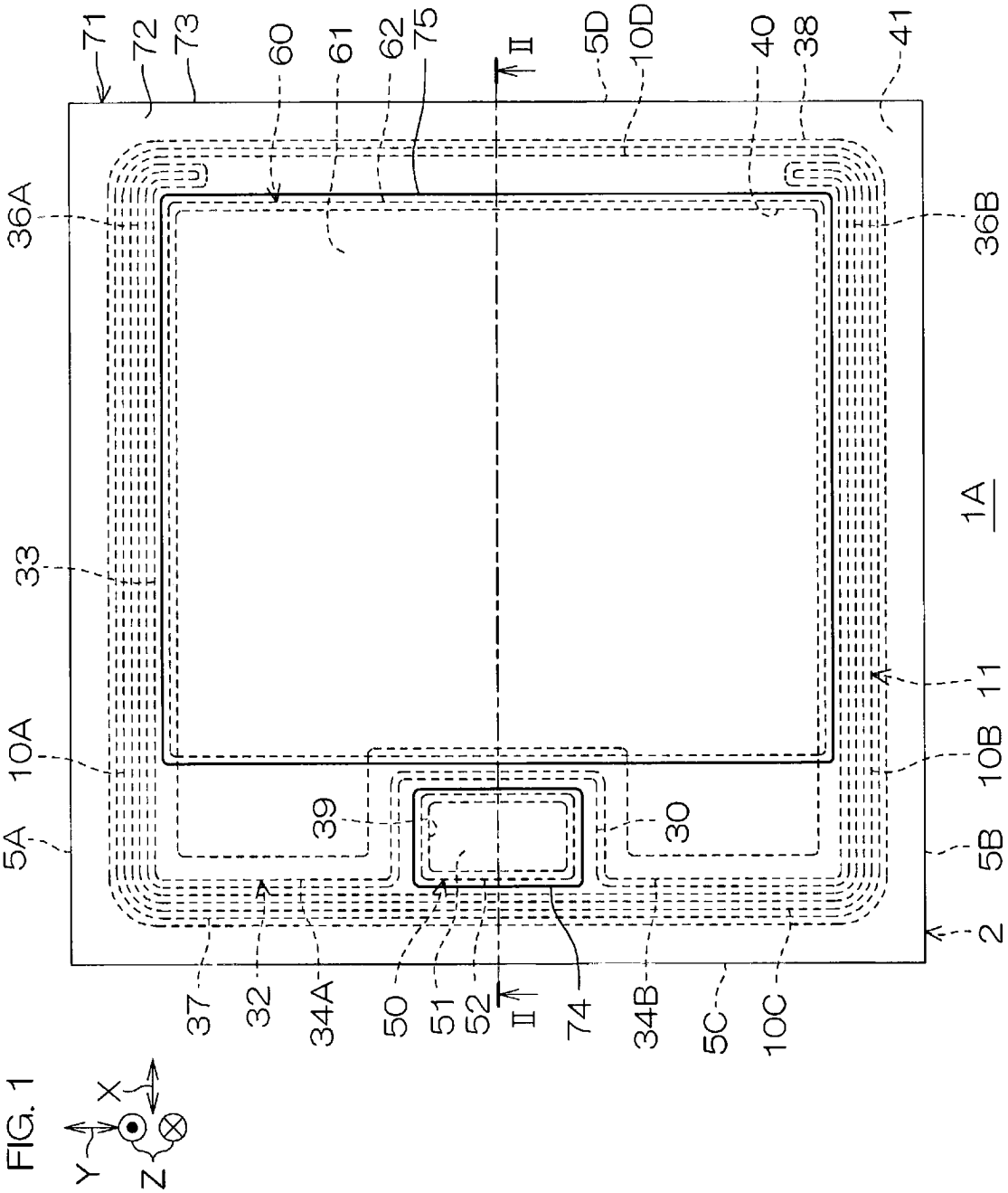
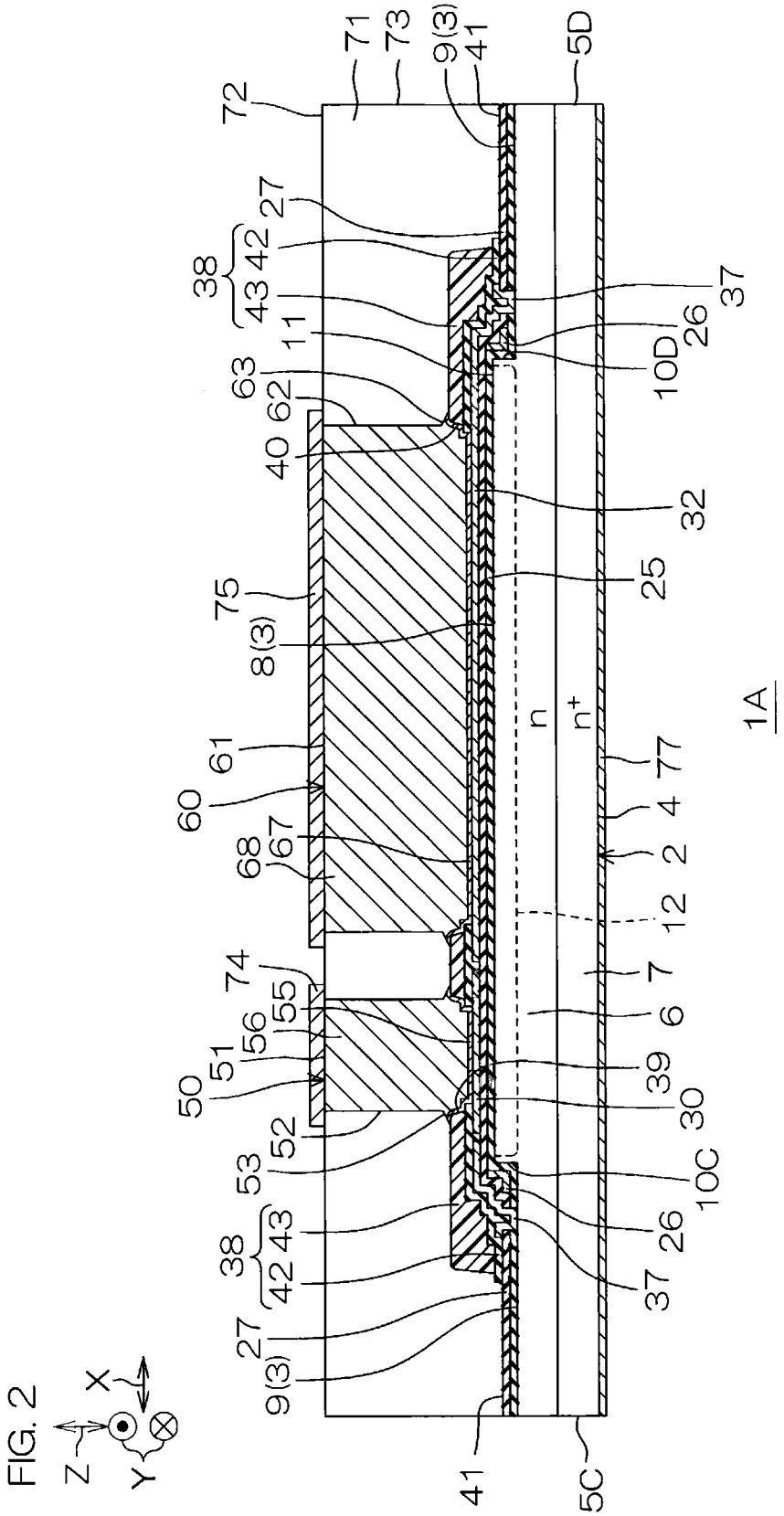


FIG. 1


71
73
9(3)
41
5D
72
27
38
42
43
11
63
62
40
37
26
10D
32
75
8(3)
25
61
60
68
67
n
n+
77
4
2
12
7
74
55
56
6
51
50
39
30
52
53
10C
26
37
27
9(3)
41
5C
1A
FIG. 2
X
Z
Y

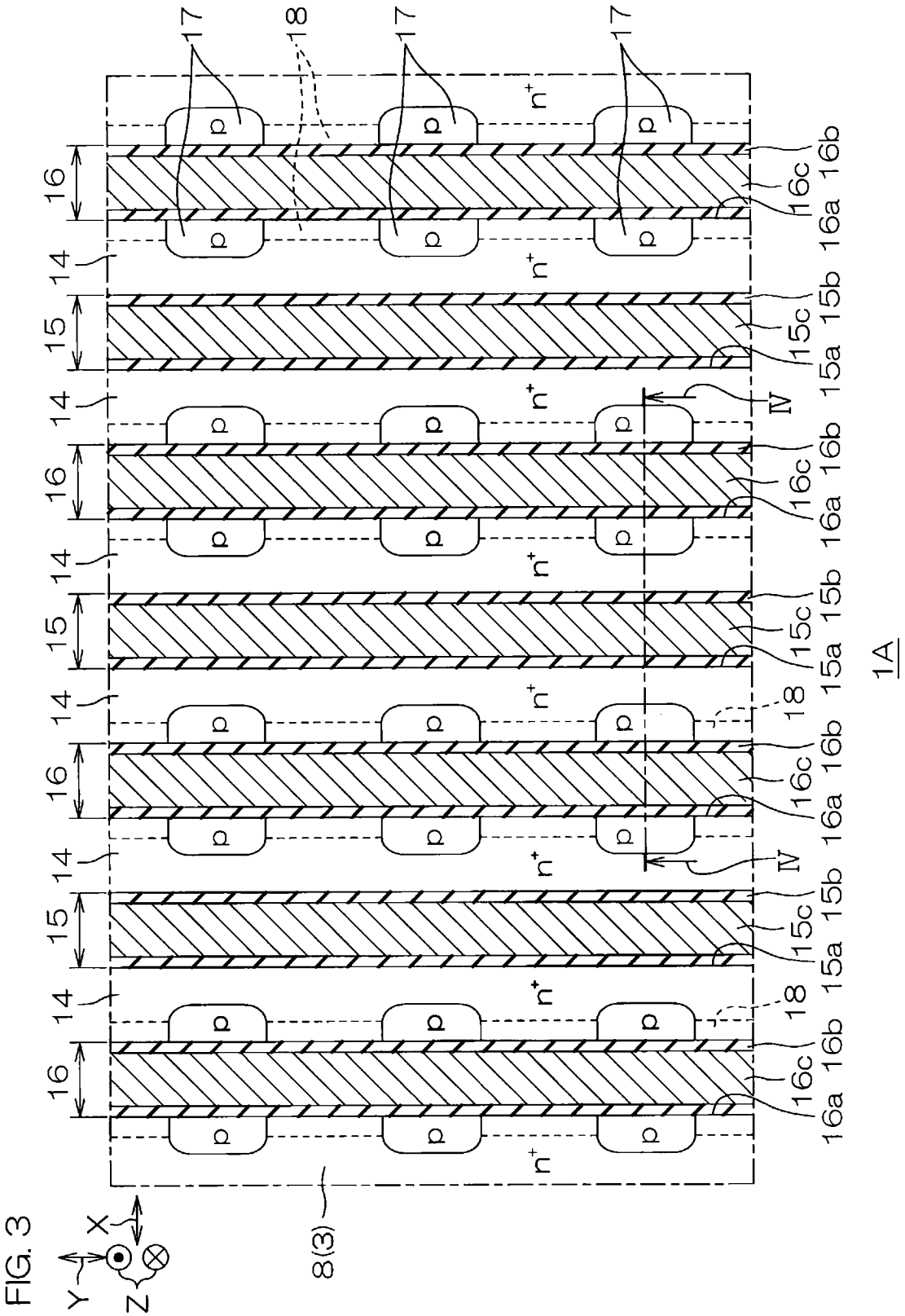
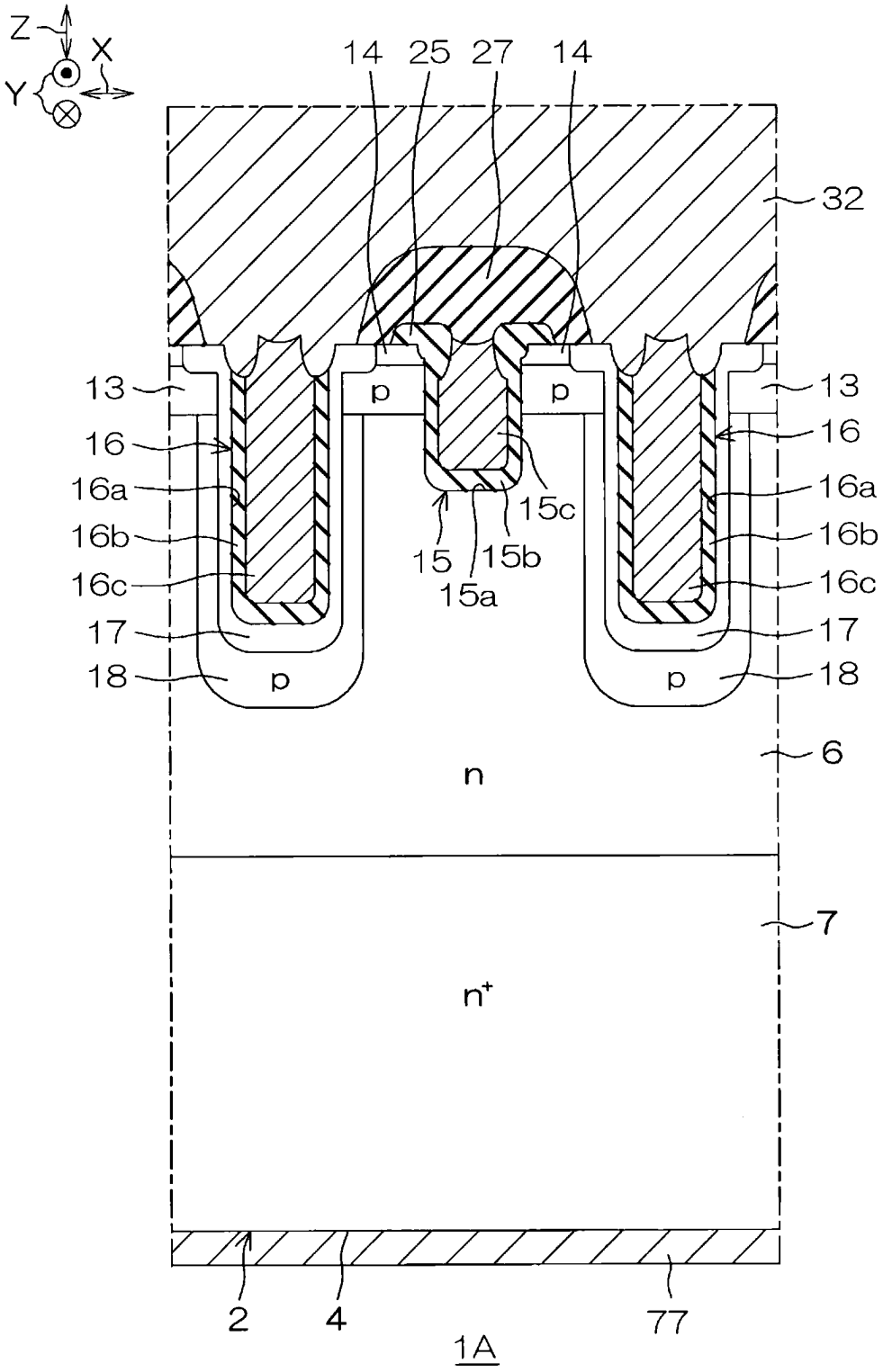


FIG. 3

FIG. 4


Z
X
Y
14
25
27
14
32
13
13
16
16
16a
16a
16b
16b
16c
16c
17
17
18
18
p
p
p
p
15c
15
15b
15a
n
6
7
n+
2
4
77
1A

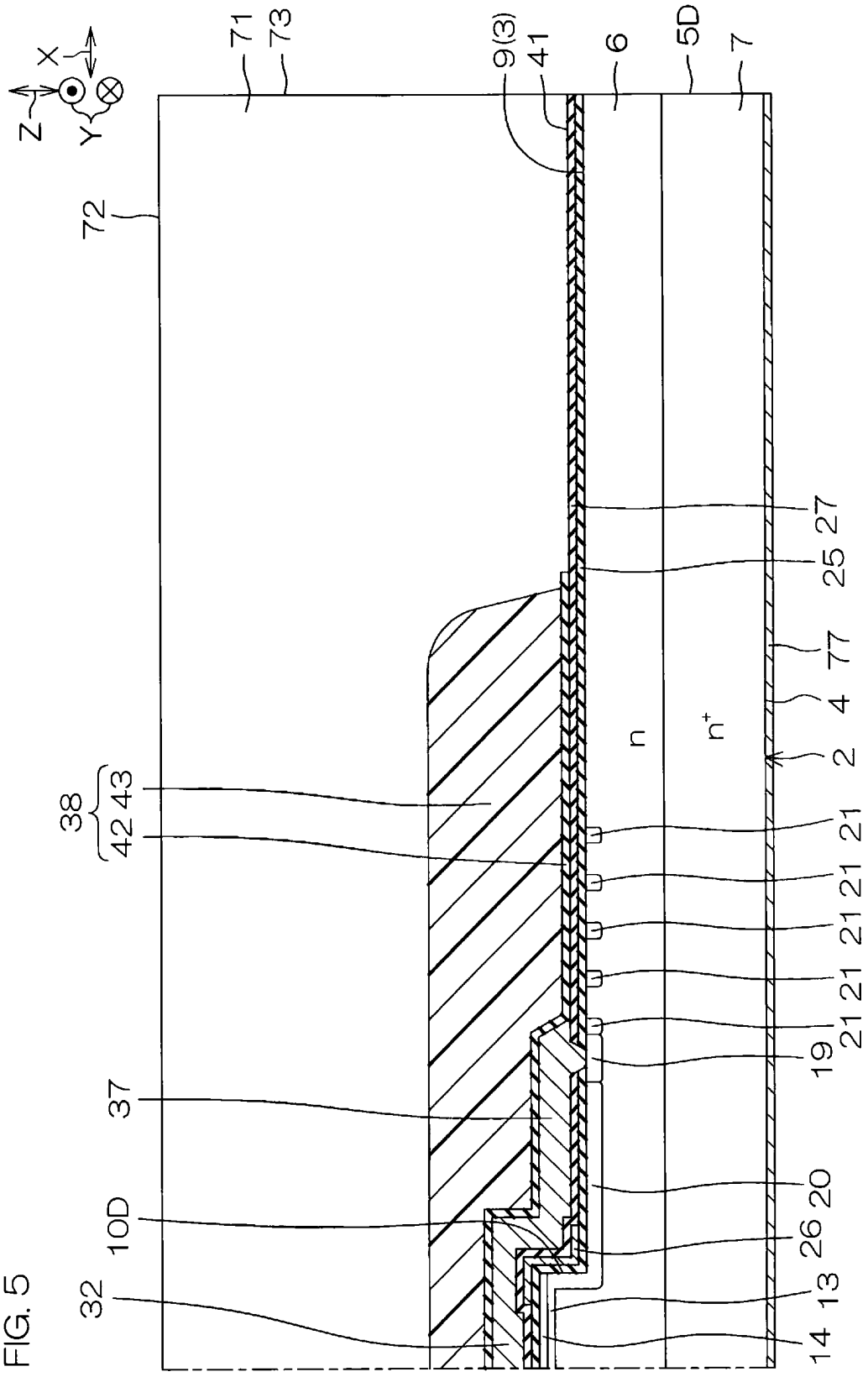

X
Z
Y
71
73
9(3)
41
6
5D
7
72
27
25
77
4
2
n
n+
38
42 43
21
21
21
21
21
21
19
37
20
10D
26
32
13
14

FIG. 5

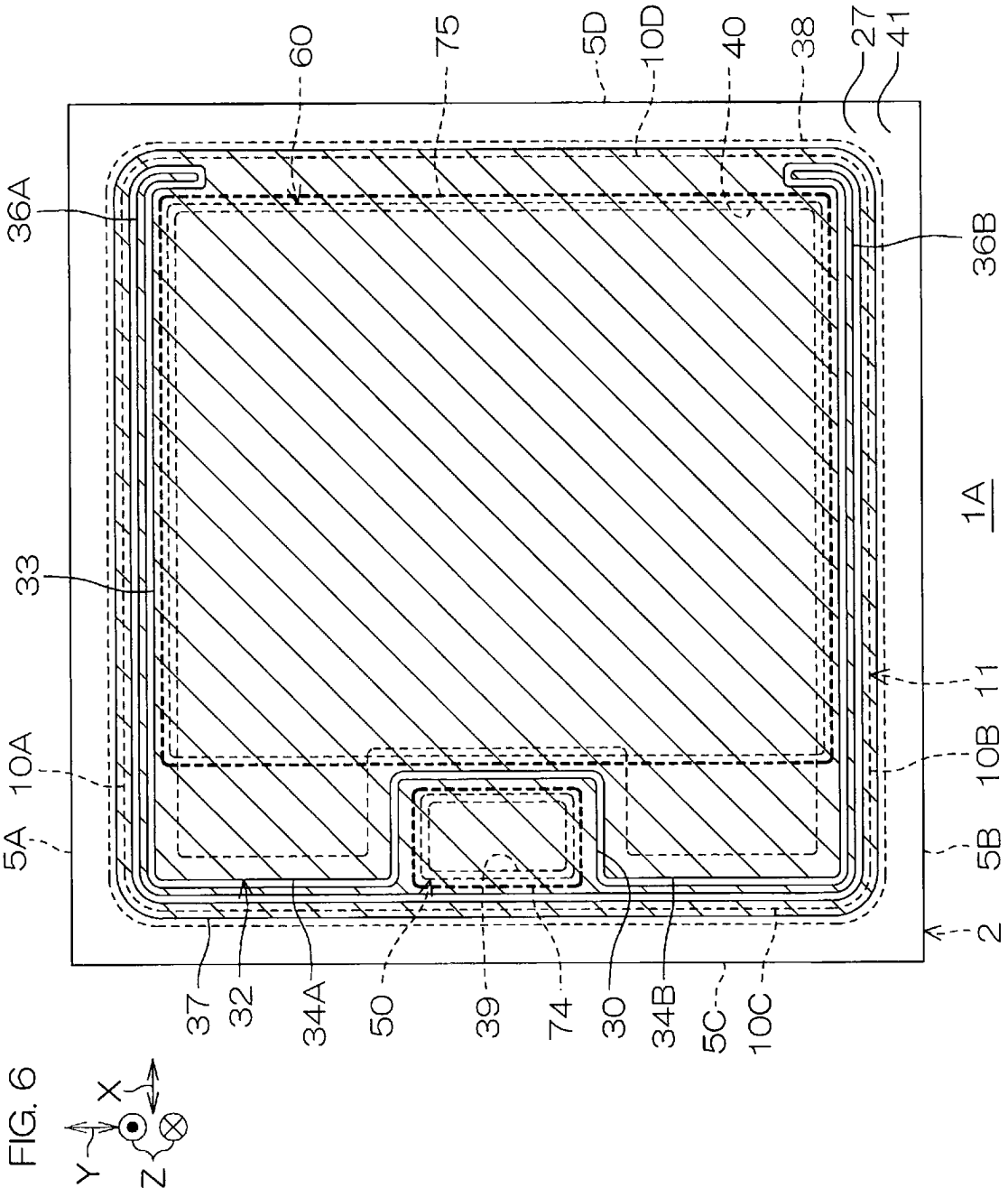

60
75
5D
10D
40
38
27
41
36A
36B
33
1A
11
10A
10B
5A
5B
2
37
32
34A
50
39
74
30
34B
5C
10C
X
Y
Z

FIG. 6

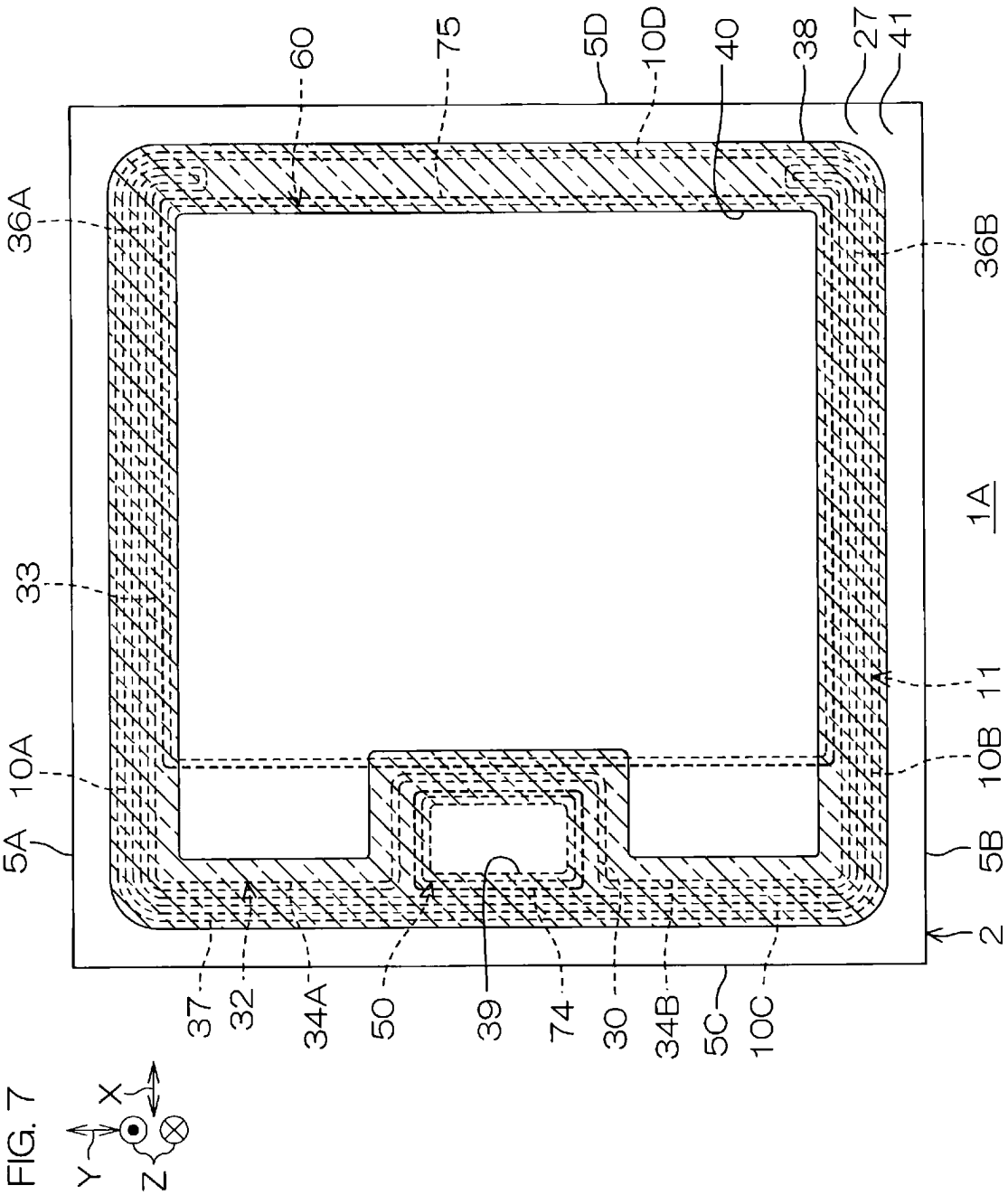

60
75
5D
10D
40
38
27
41
36A
36B
33
1A
11
10A
10B
5A
5B
2
37
32
34A
50
39
74
30
34B
5C
10C
Y
X
Z

FIG. 7

FIG. 8A

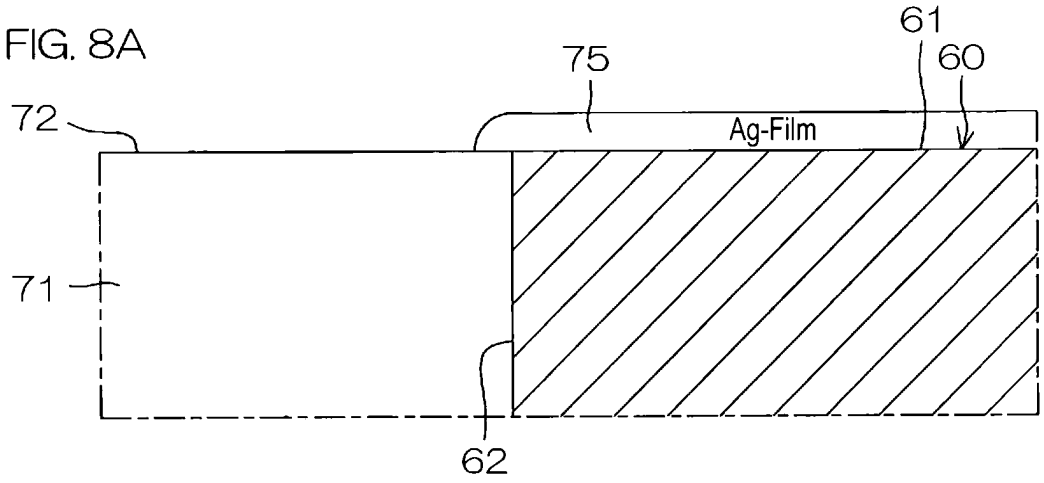


FIG. 8B

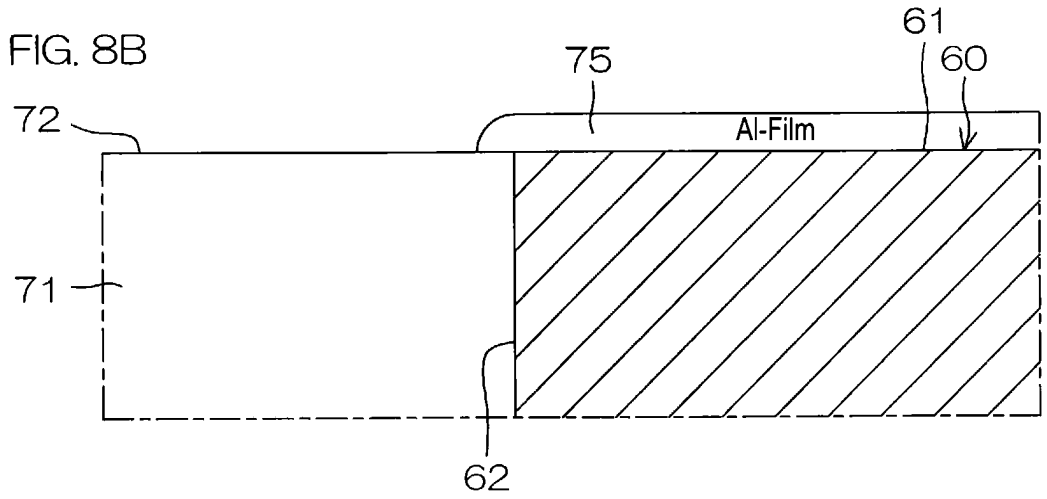


FIG. 8C

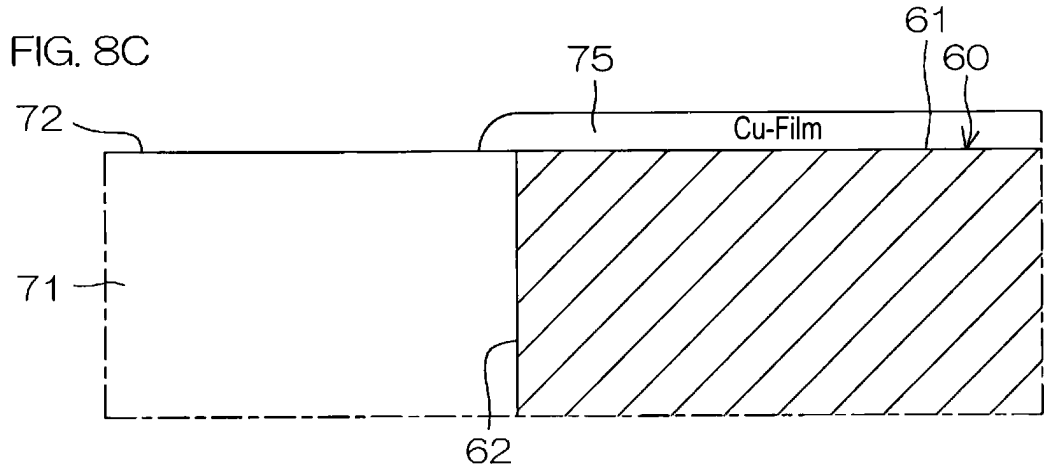


FIG. 8D

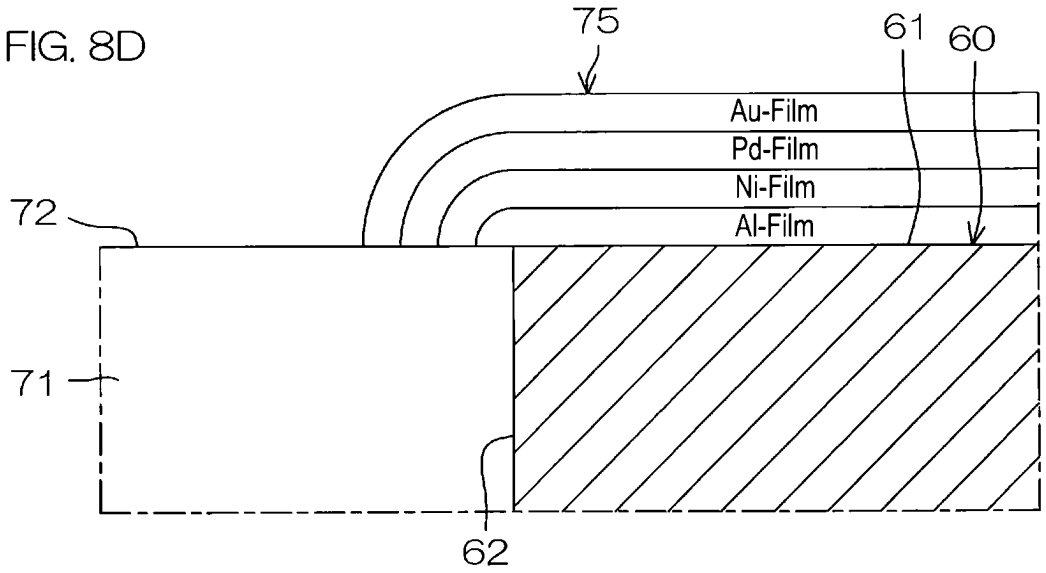


FIG. 8E

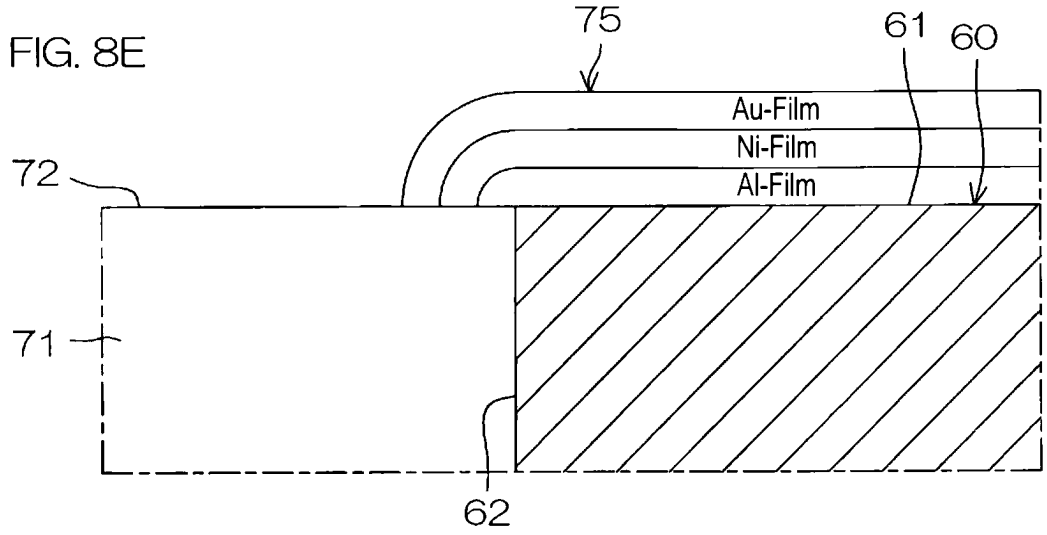


FIG. 8F

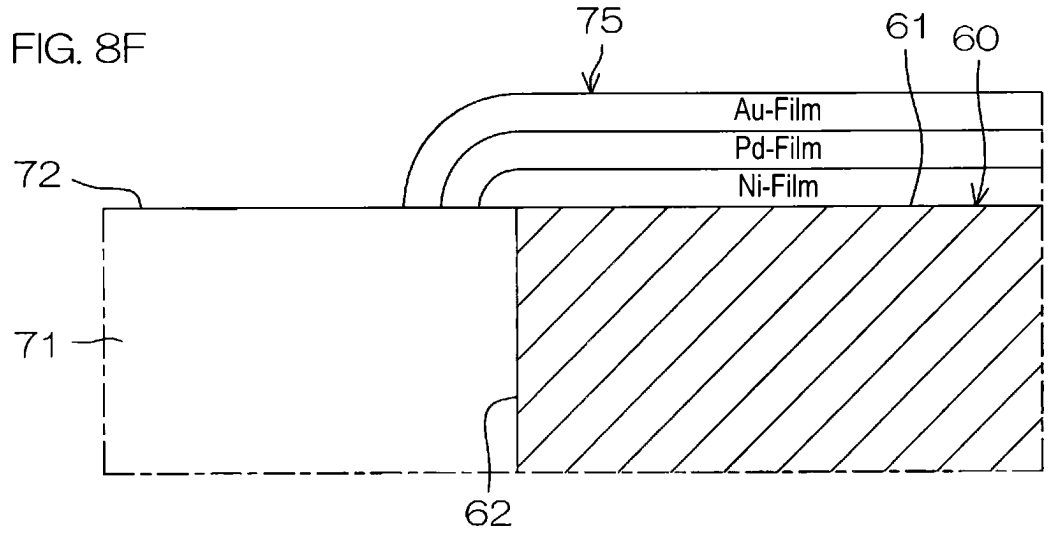


FIG. 8G

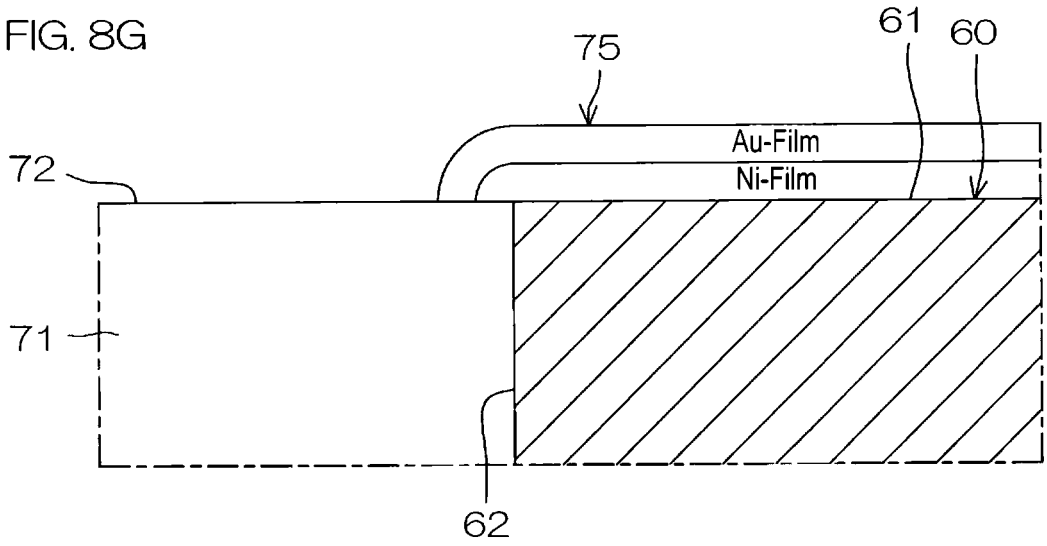


FIG. 9

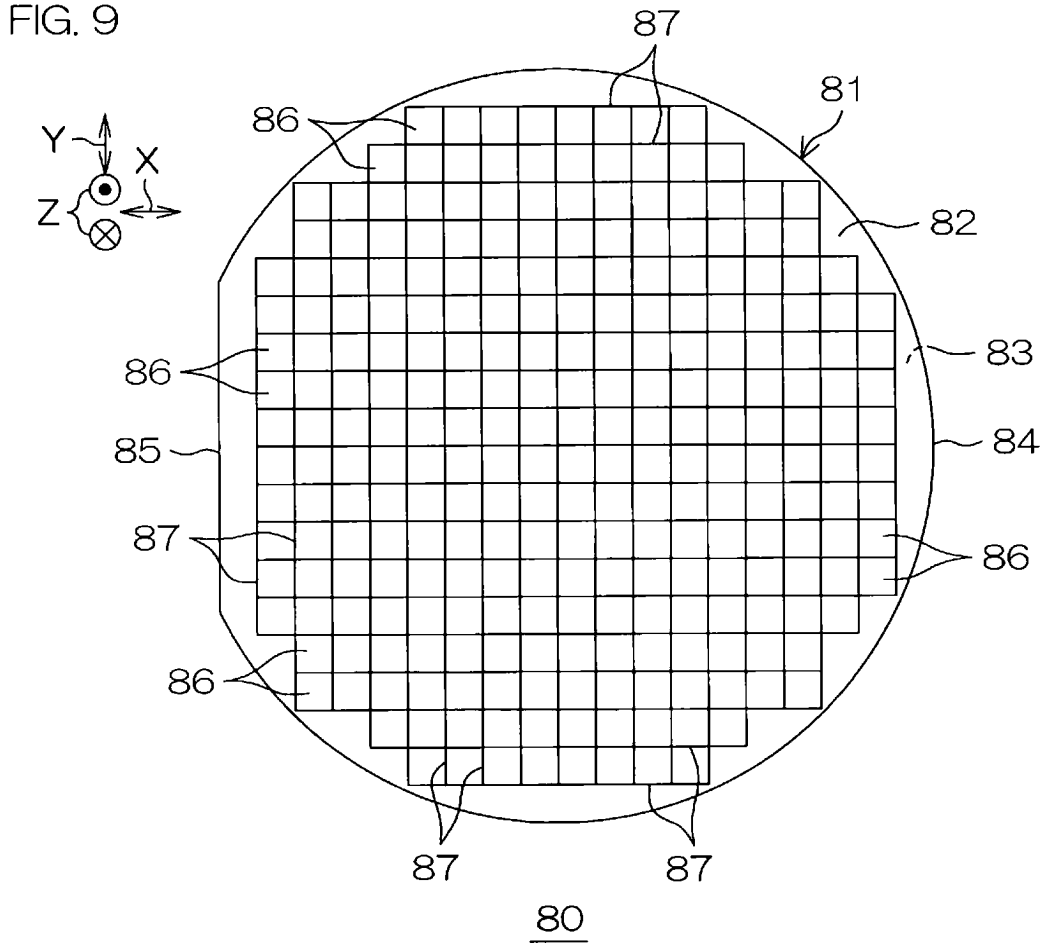
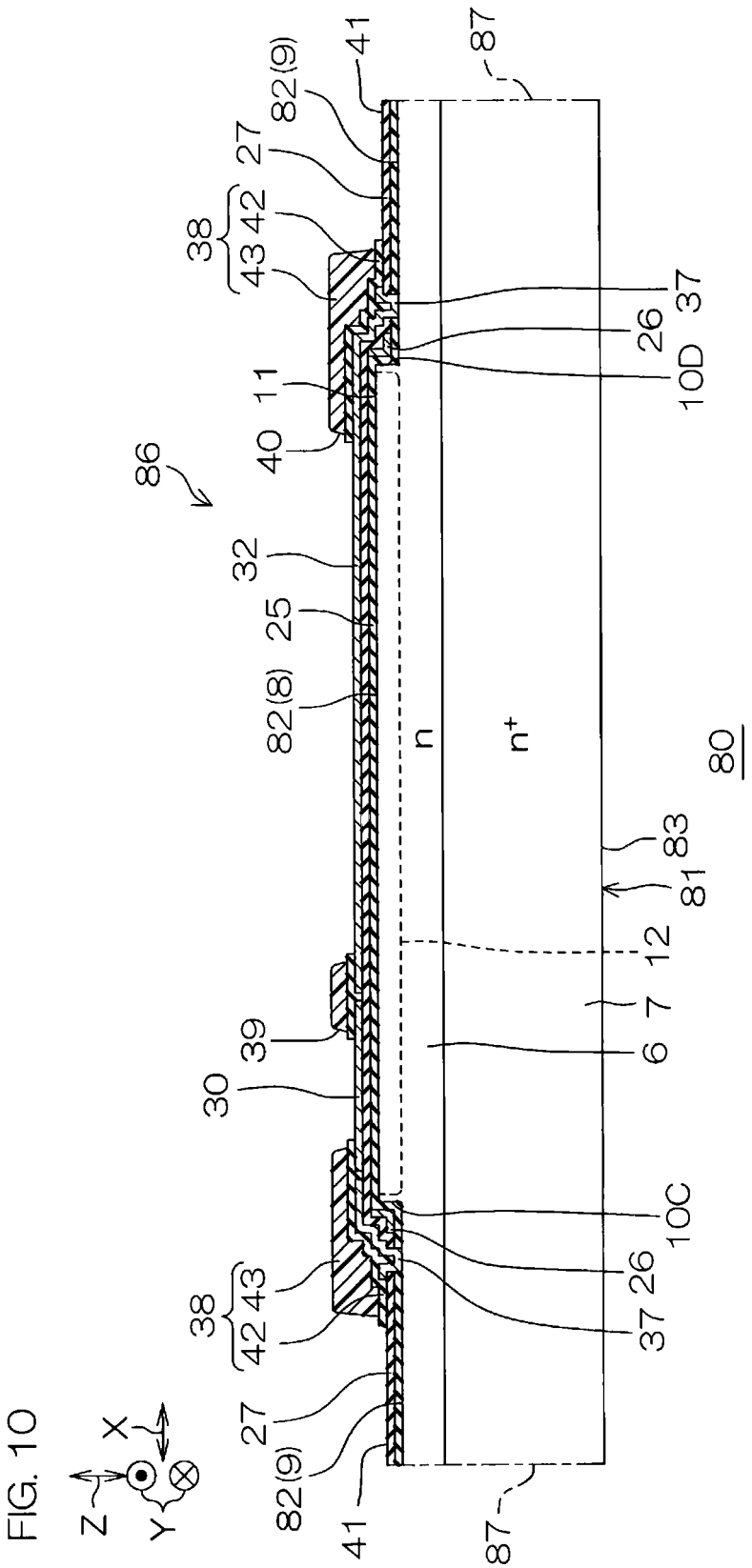


FIG. 10


86
87
41
82(9)
27
38
42
43
26
37
10D
11
40
32
25
82(8)
n
n+
80
83
81
12
7
6
39
30
10C
Z
X
Y

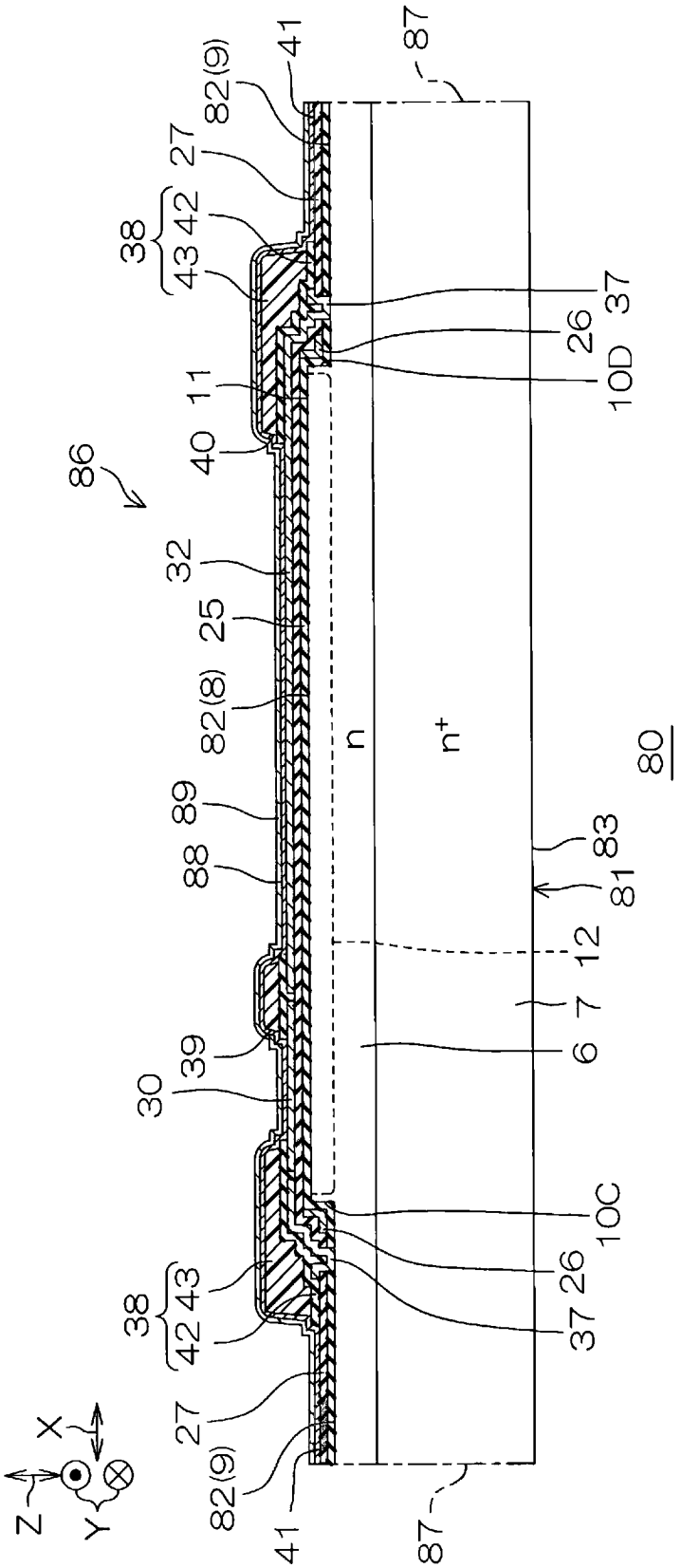

86
87
41
82(9)
27
38
42
43
26
37
10D
11
40
32
25
82(8)
89
88
n
n+
80
83
81
12
7
6
39
30
10C
26
37
38
42
43
27
82(9)
41
87
X
Z
Y

FIG. 11A

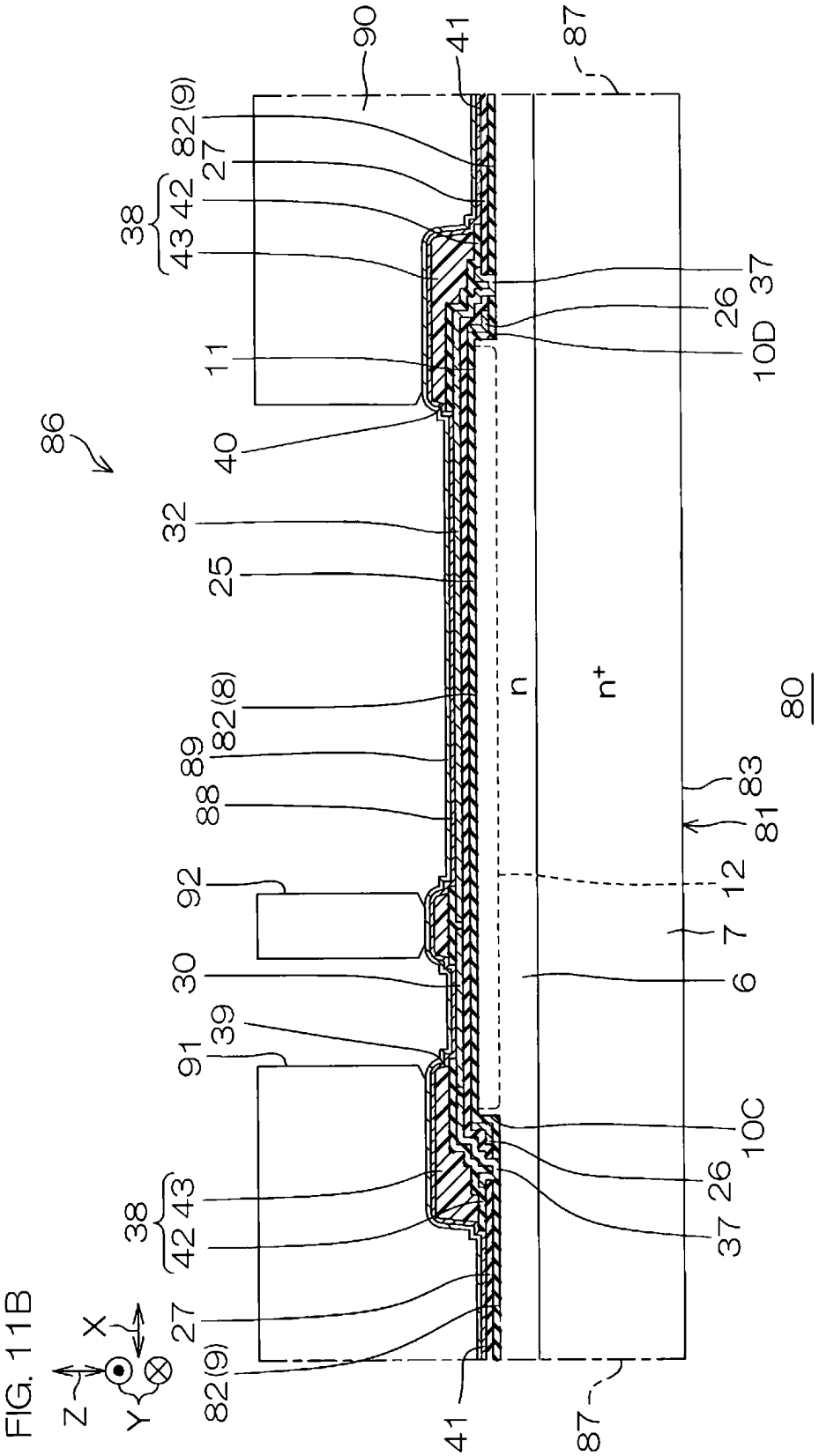

90
41
87
82(9)
27
38
42
43
11
40
86
32
25
82(8)
89
88
92
30
91
39
38
42
43
27
82(9)
41
87
26
37
10D
n
n+
80
83
81
12
7
6
10C
26
37
Z
X
Y

FIG. 11B

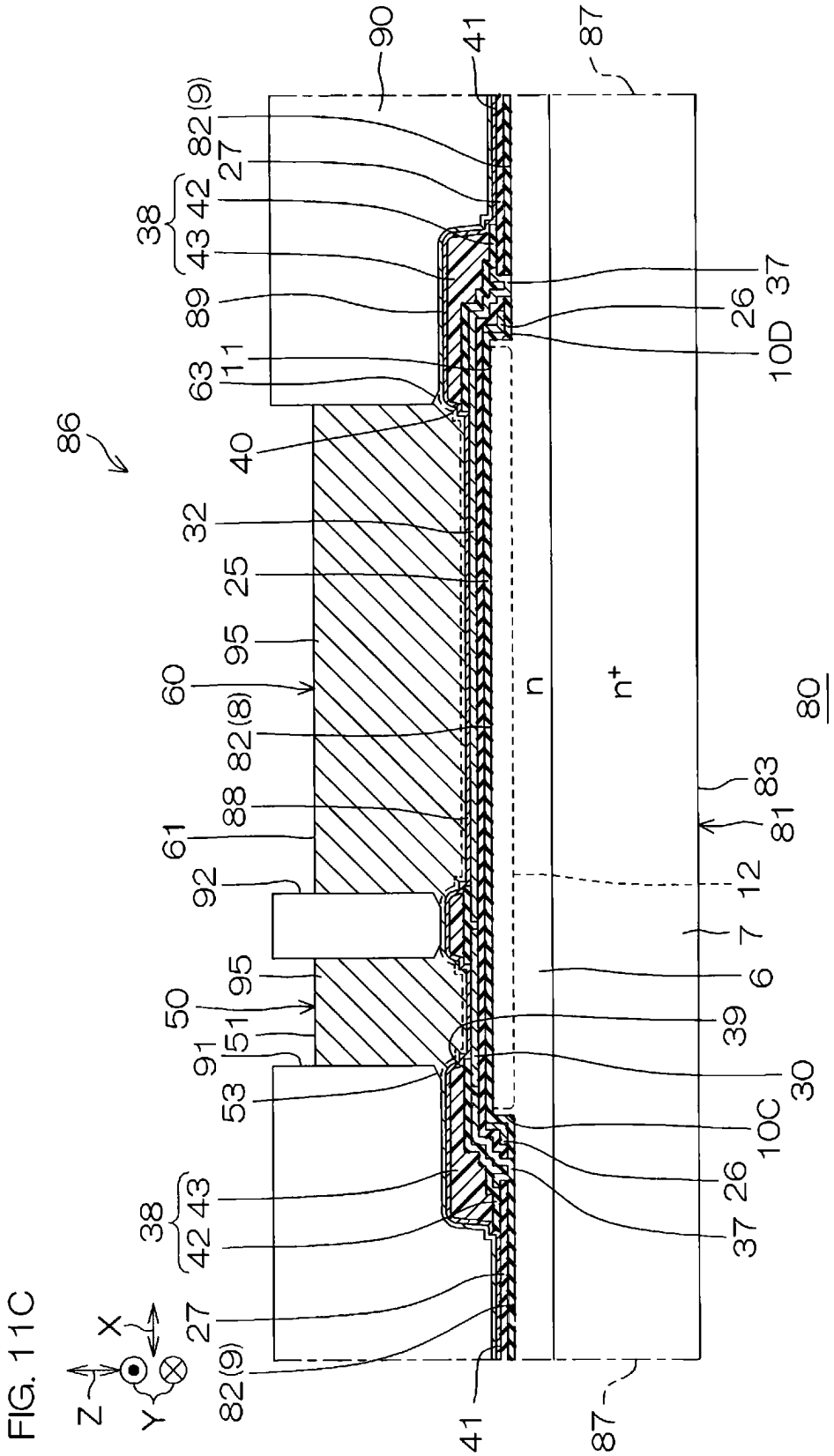

90
41
87
82(9)
27
38
42
43
89
63
11
86
40
32
25
95
60
82(8)
88
61
92
95
50
51
91
53
38
43
42
27
82(9)
41
87
26
37
10D
n
n+
80
83
81
12
7
6
39
30
10C
26
37
X
Y
Z

FIG. 11C

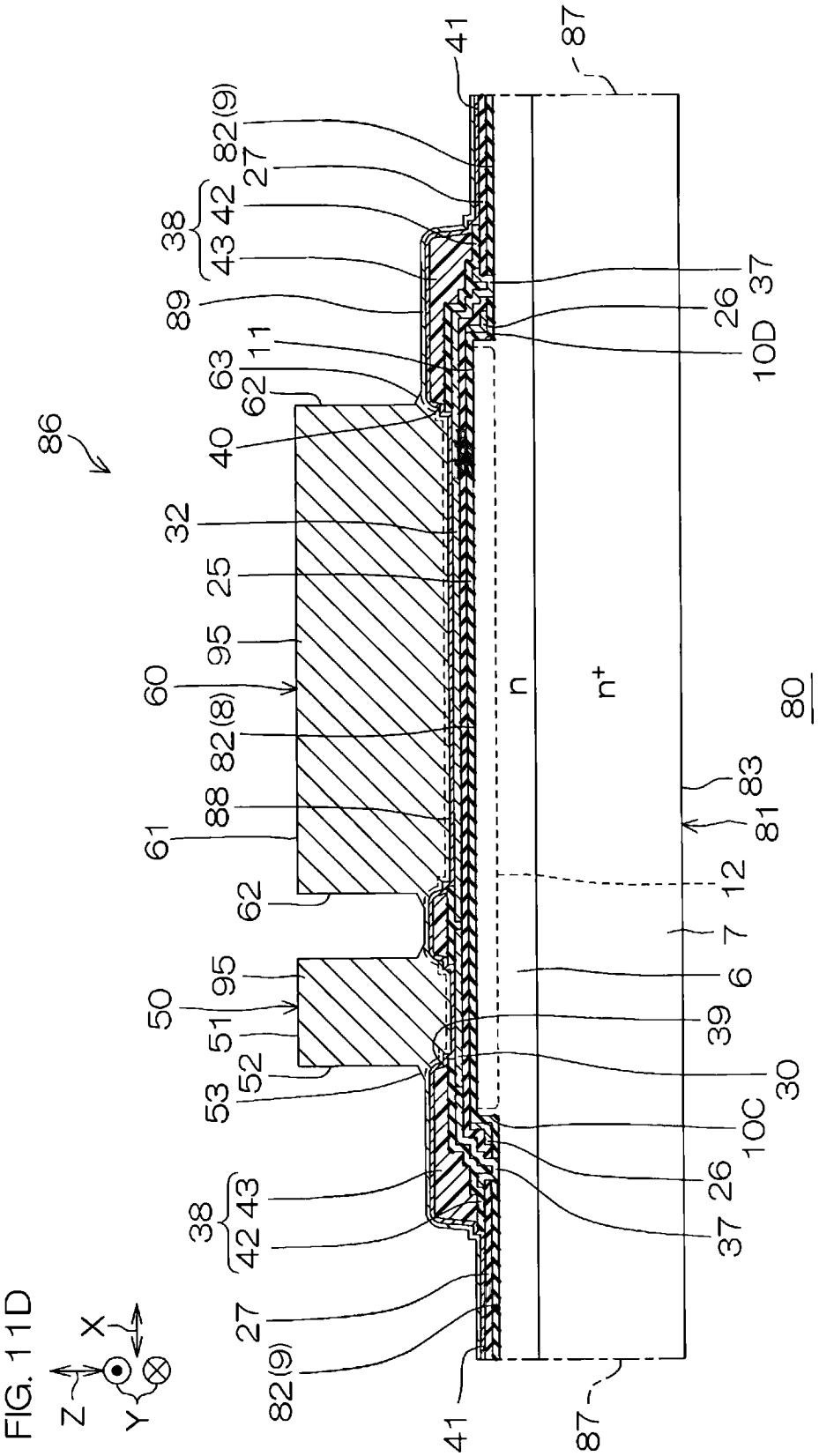

86
41
87
82(9)
27
38
42
43
89
11
63
62
40
32
25
95
60
82(8)
88
61
62
50
95
51
52
53
38
43
42
27
82(9)
41
87
n
n+
80
83
81
12
7
6
39
30
10C
26
37
10D
37
26

FIG. 11D

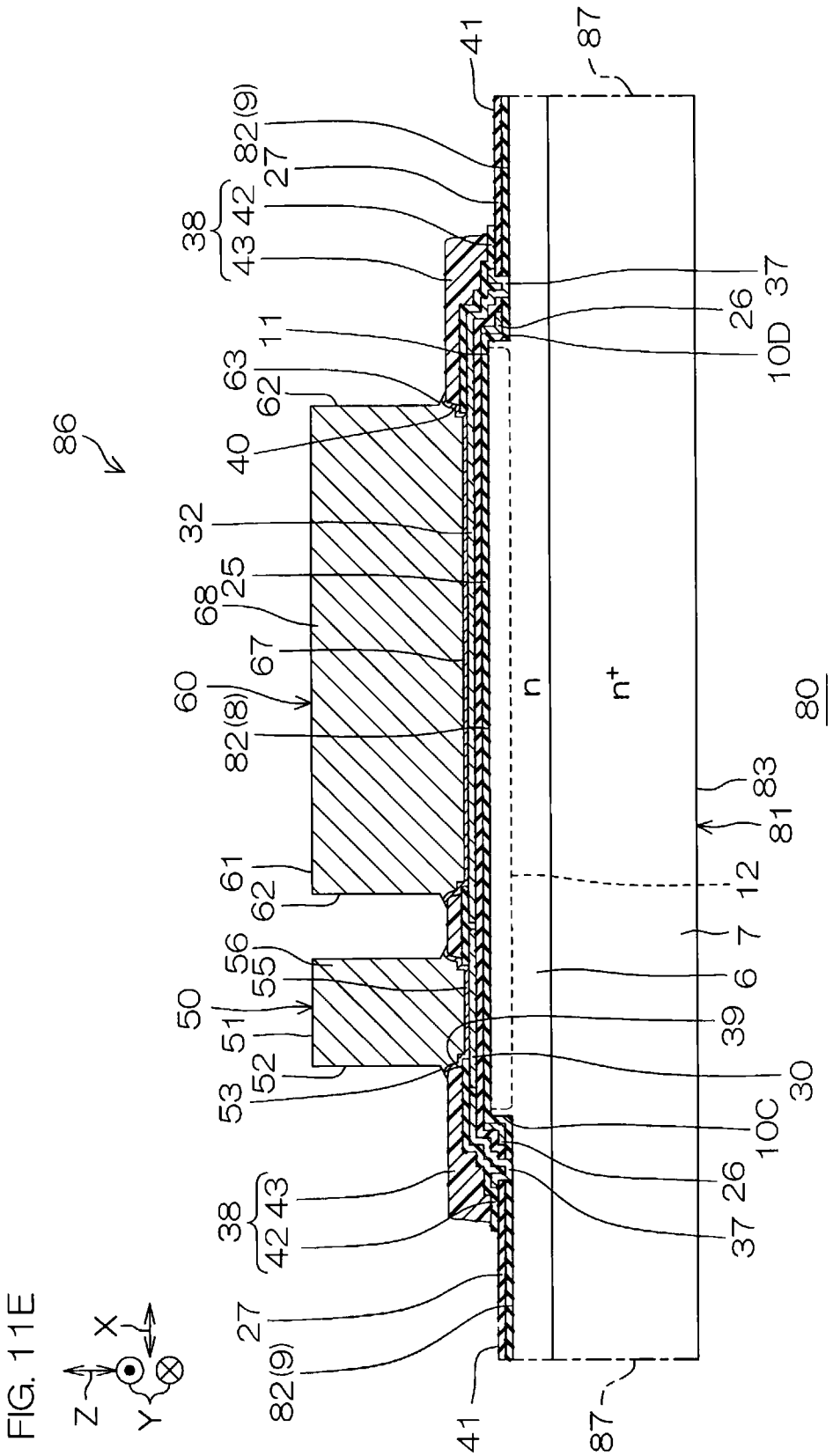

86
41
87
82(9)
27
38
42
43
11
63
62
40
32
68
25
67
60
82(8)
61
62
56
55
50
51
52
53
38
42
43
27
82(9)
41
87
26
37
10D
n
n+
80
83
81
12
7
6
39
30
10C
26
37
X
Z
Y

FIG. 11E

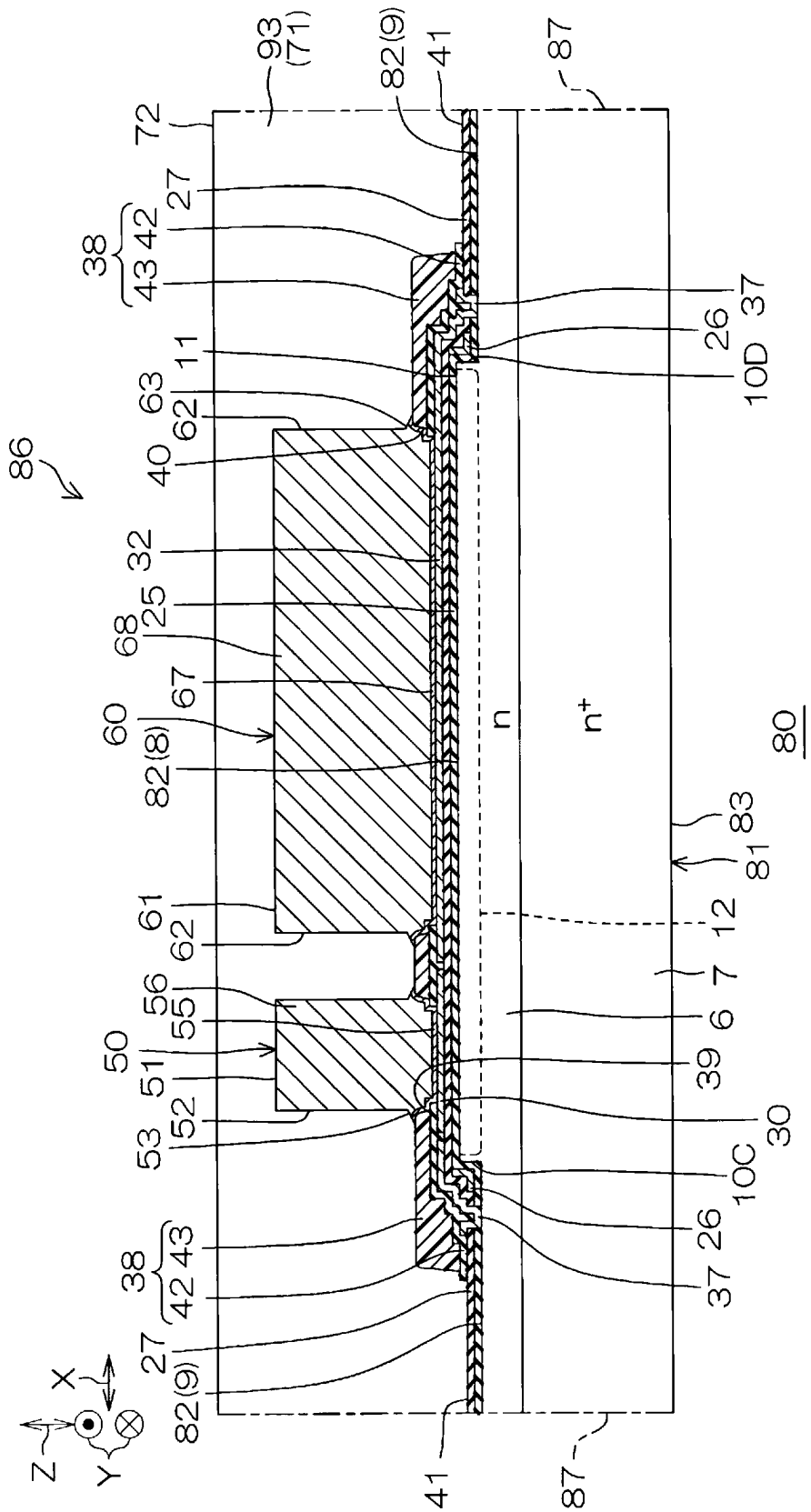

93
(71)
82(9)
41
87
72
27
38
42
43
26
37
10D
11
63
62
40
86
32
25
68
67
60
82(8)
n
n+
80
83
81
61
62
12
7
56
55
6
50
51
39
52
53
30
10C
26
37
38
43
42
27
82(9)
41
87
X
Z
Y

FIG. 11F

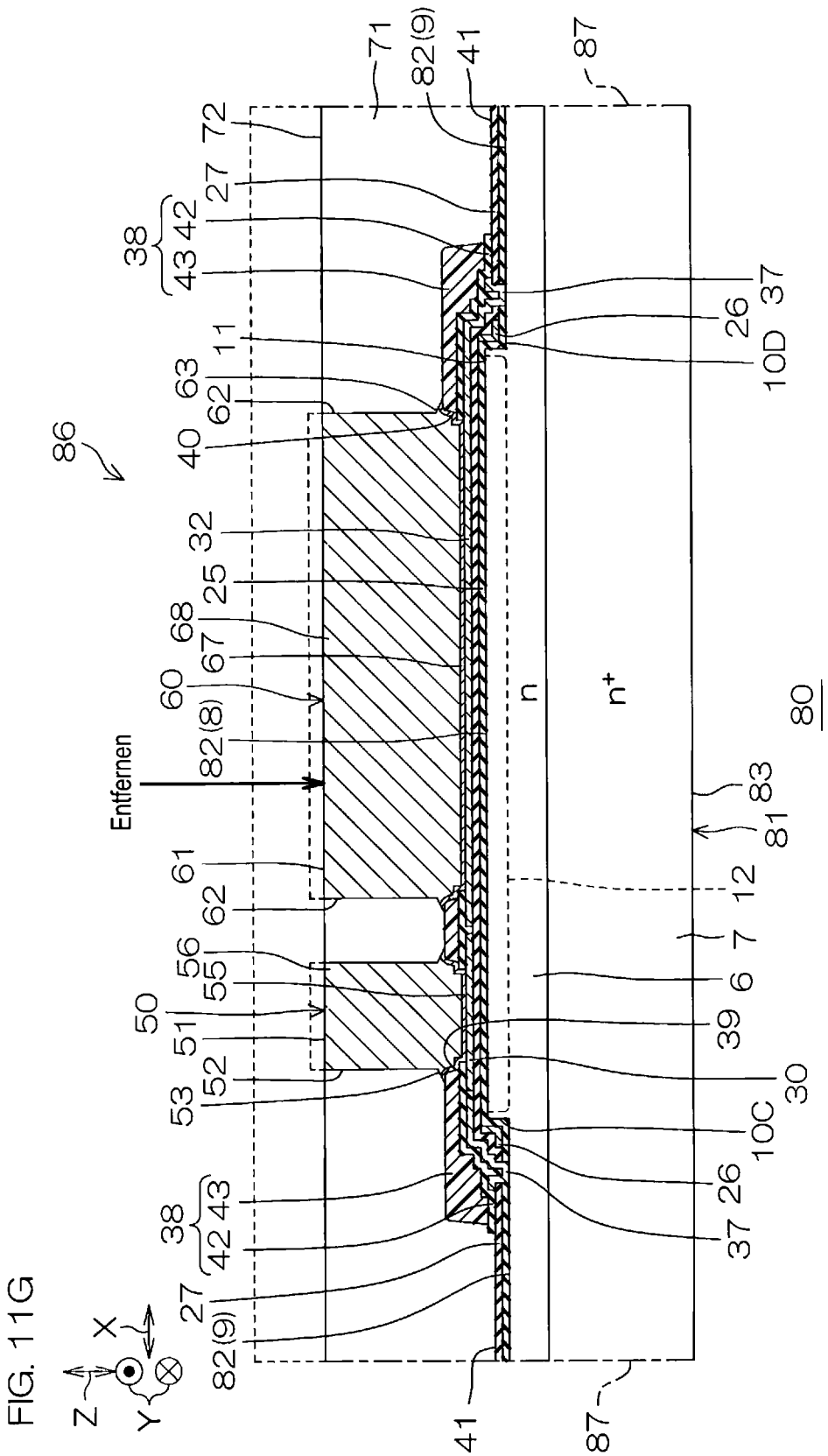

71
82(9)
41
87
72
27
38
42
43
11
63
62
40
86
32
25
68
67
60
82(8)
Entfernen
61
62
56
55
50
51
52
53
38
43
42
27
82(9)
41
87
n
n+
80
83
81
12
7
6
39
30
10C
26
37
26
37
10D

FIG. 11G

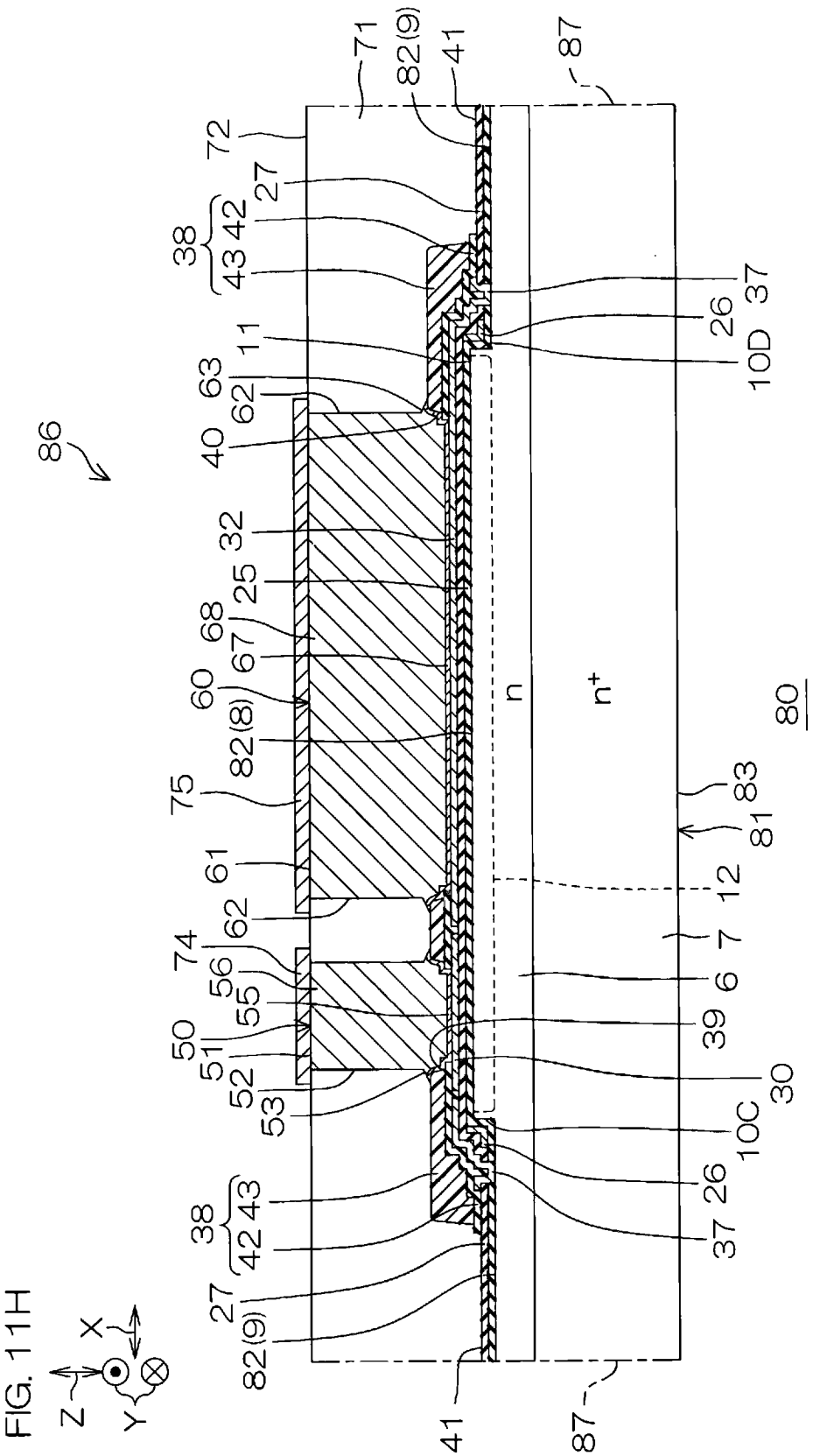

86
71
82(9)
41
87
72
27
38
42
43
11
63
62
40
32
25
68
67
60
82(8)
75
61
62
74
56
55
50
51
52
53
38
43
42
27
82(9)
41
87
26
37
10D
26
37
10C
30
39
6
7
12
81
83
80
n
n+
Z
X
Y

FIG. 11H

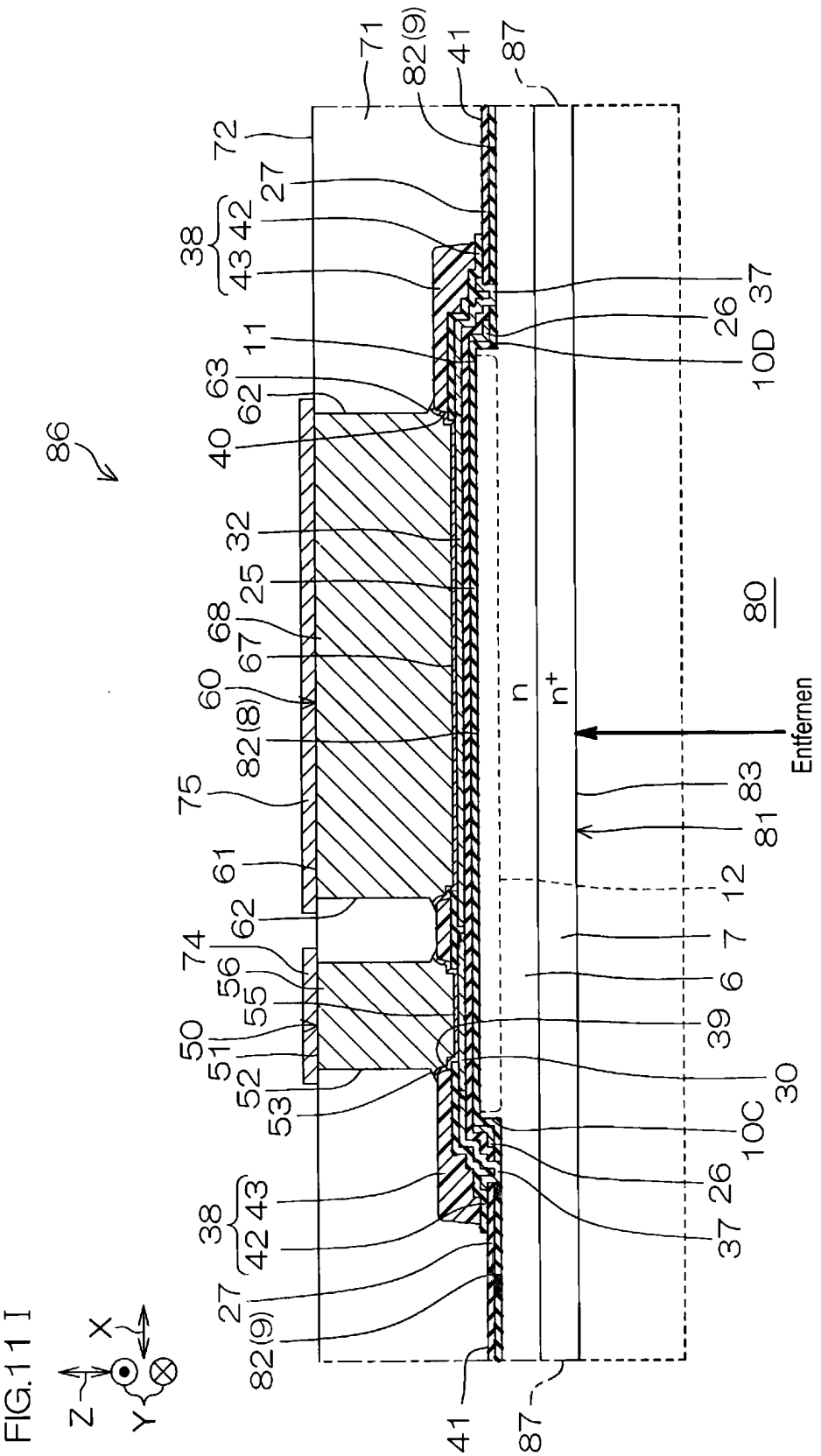

86
71
82(9)
41
87
72
27
38
42
43
11
63
62
40
32
25
68
67
60
82(8)
75
61
62
74
56
55
50
51
52
53
38
42
43
27
82(9)
41
87
26
37
10D
80
n
n+
Entfernen
83
81
12
7
6
39
30
10C
26
37
X
Z
Y

FIG.11I

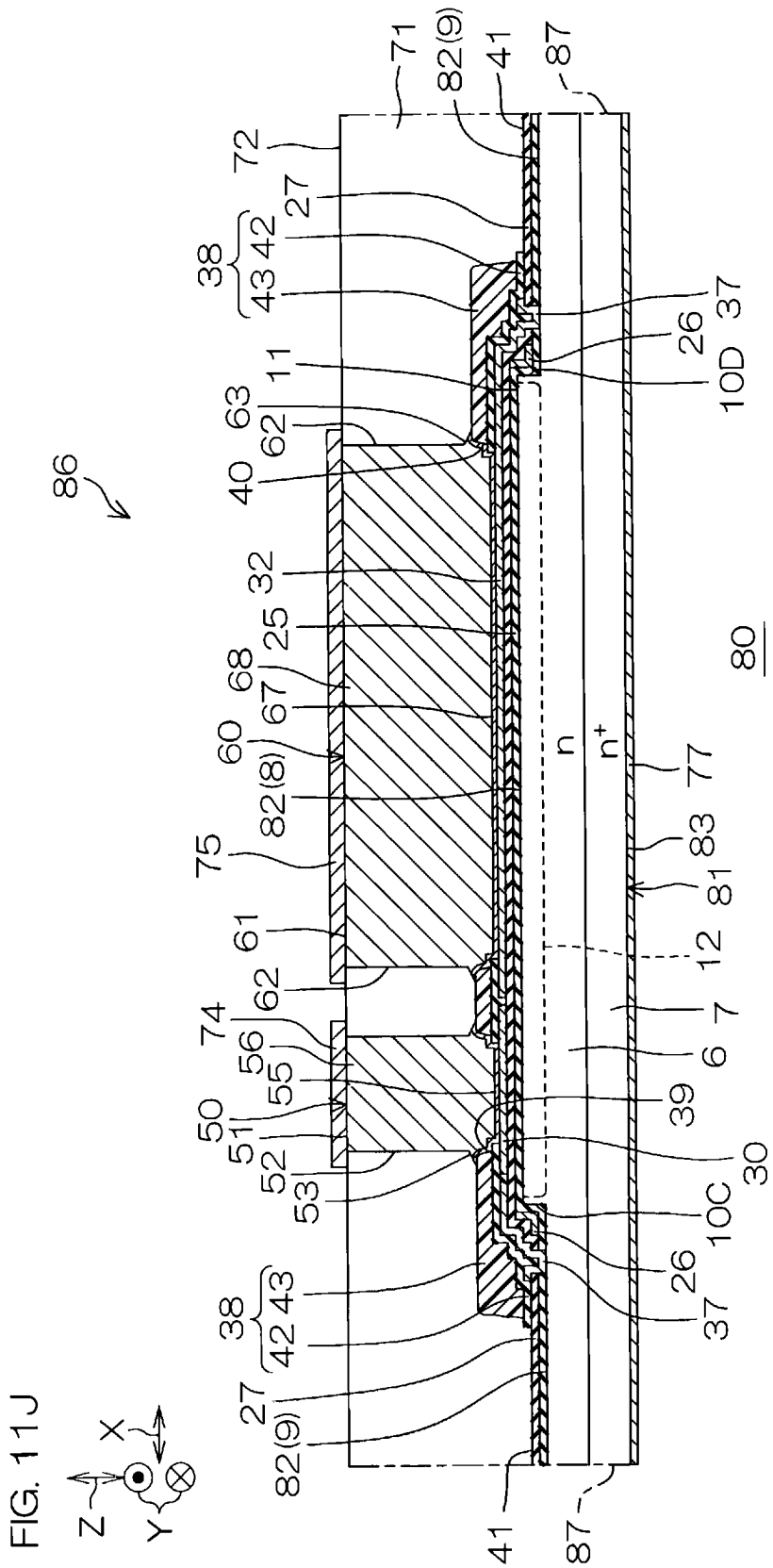

86
71
82(9)
41
87
72
27
38
42
43
11
63
62
40
32
25
68
67
60
82(8)
75
61
62
74
56
55
50
51
52
53
38
43
42
27
82(9)
41
87
26
37
10D
80
n
n+
77
83
81
12
7
6
39
30
10C
26
37
FIG. 11J
X
Z
Y

FIG. 12A

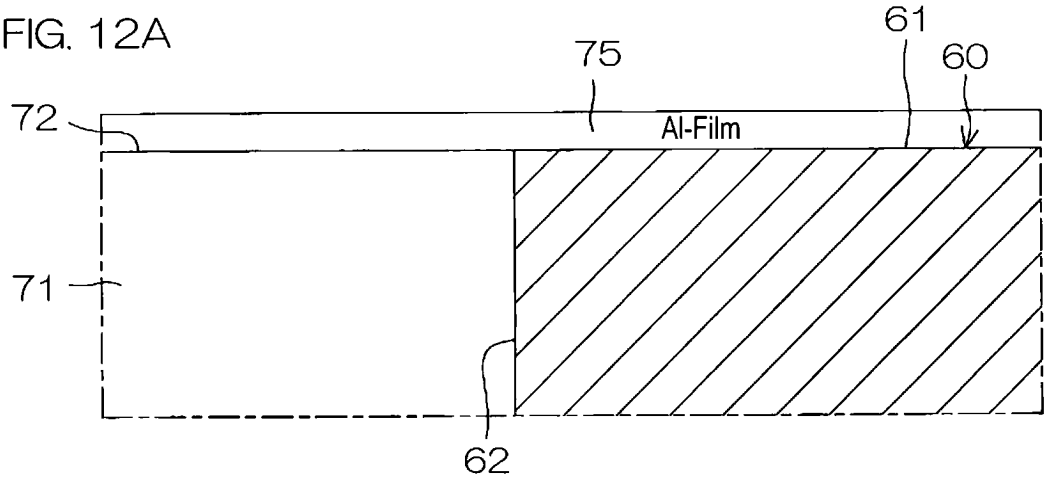


FIG. 12B

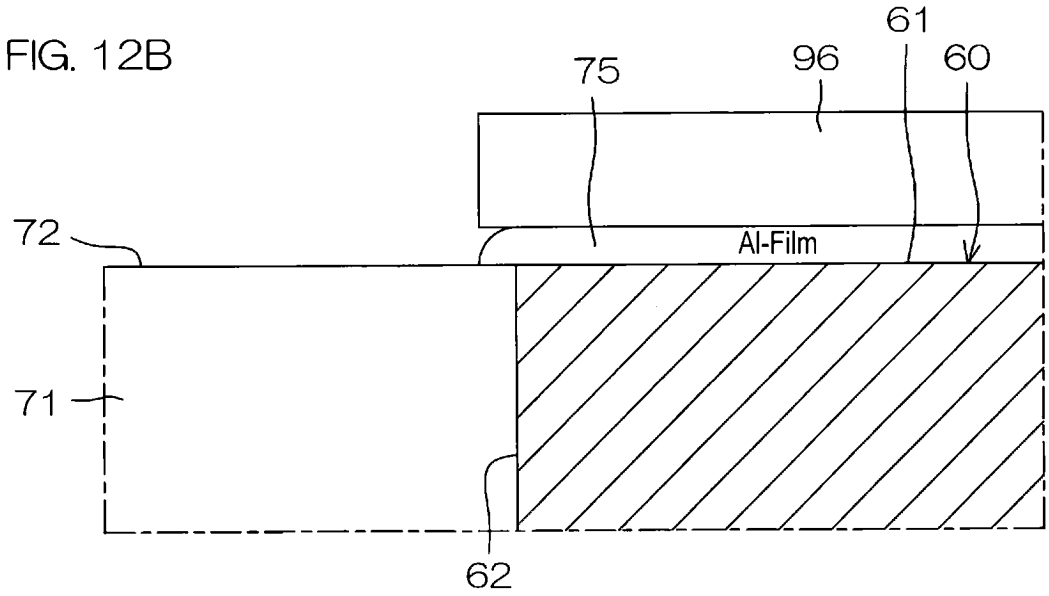


FIG. 12C

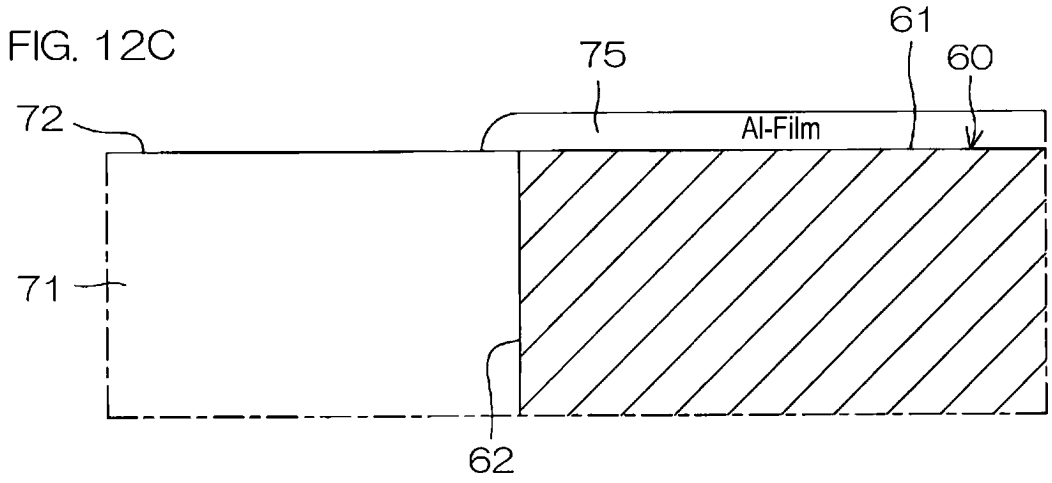


FIG. 13A

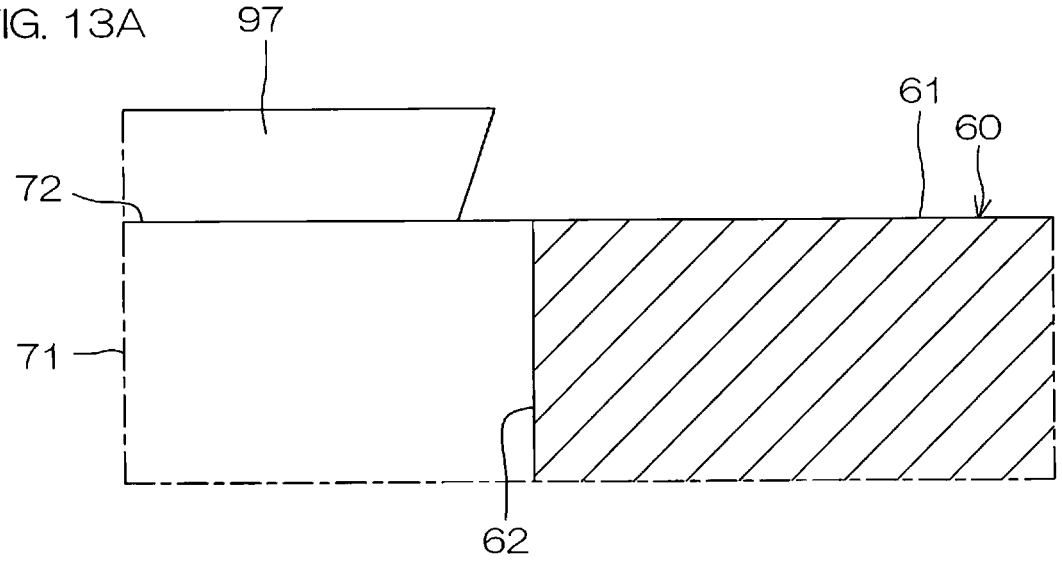


FIG. 13B

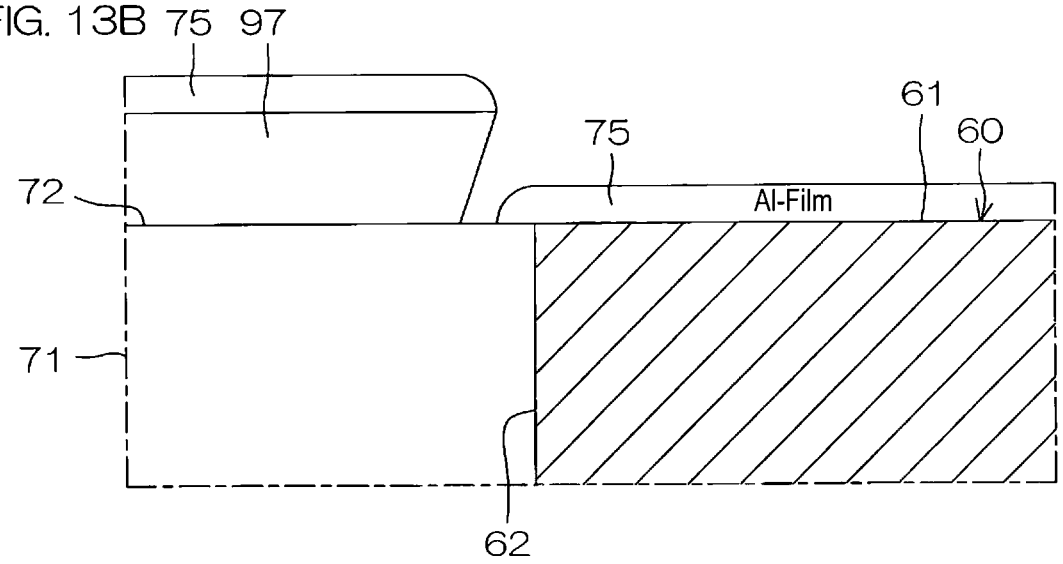


FIG. 13C

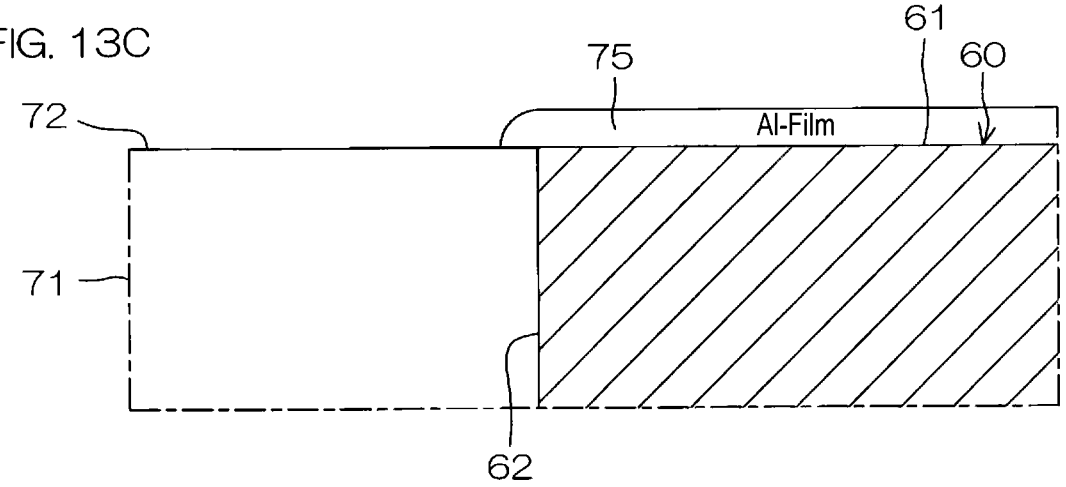


FIG. 14A

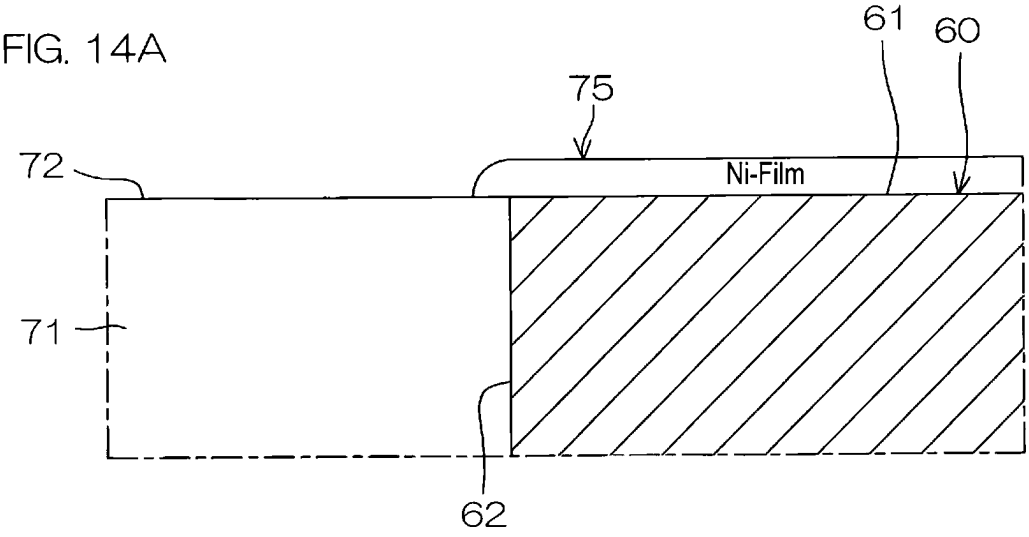


FIG. 14B

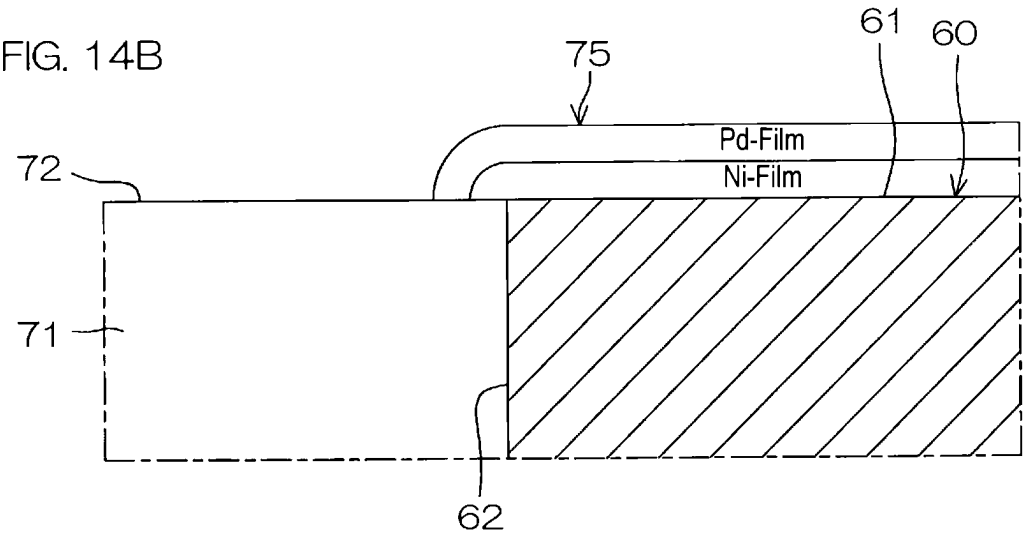
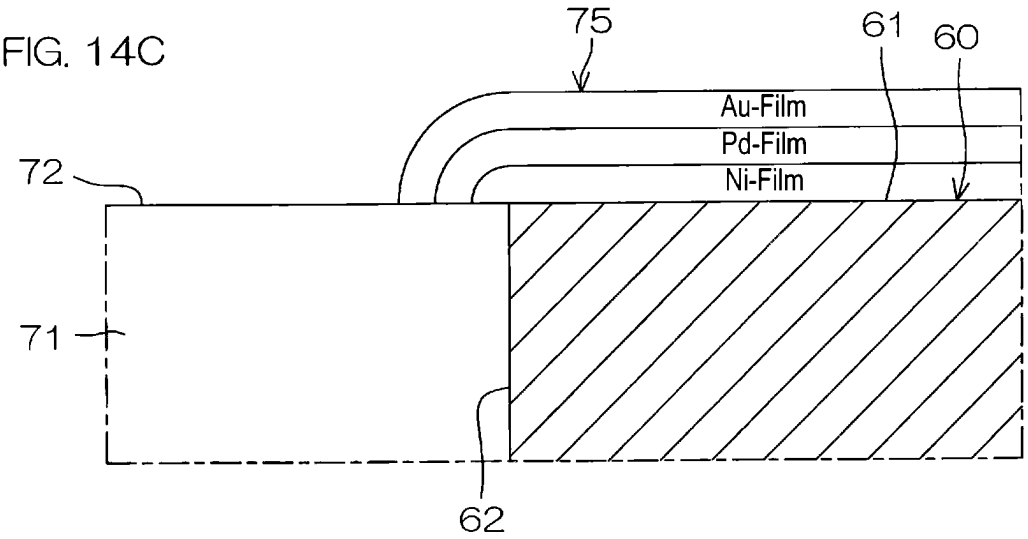


FIG. 14C



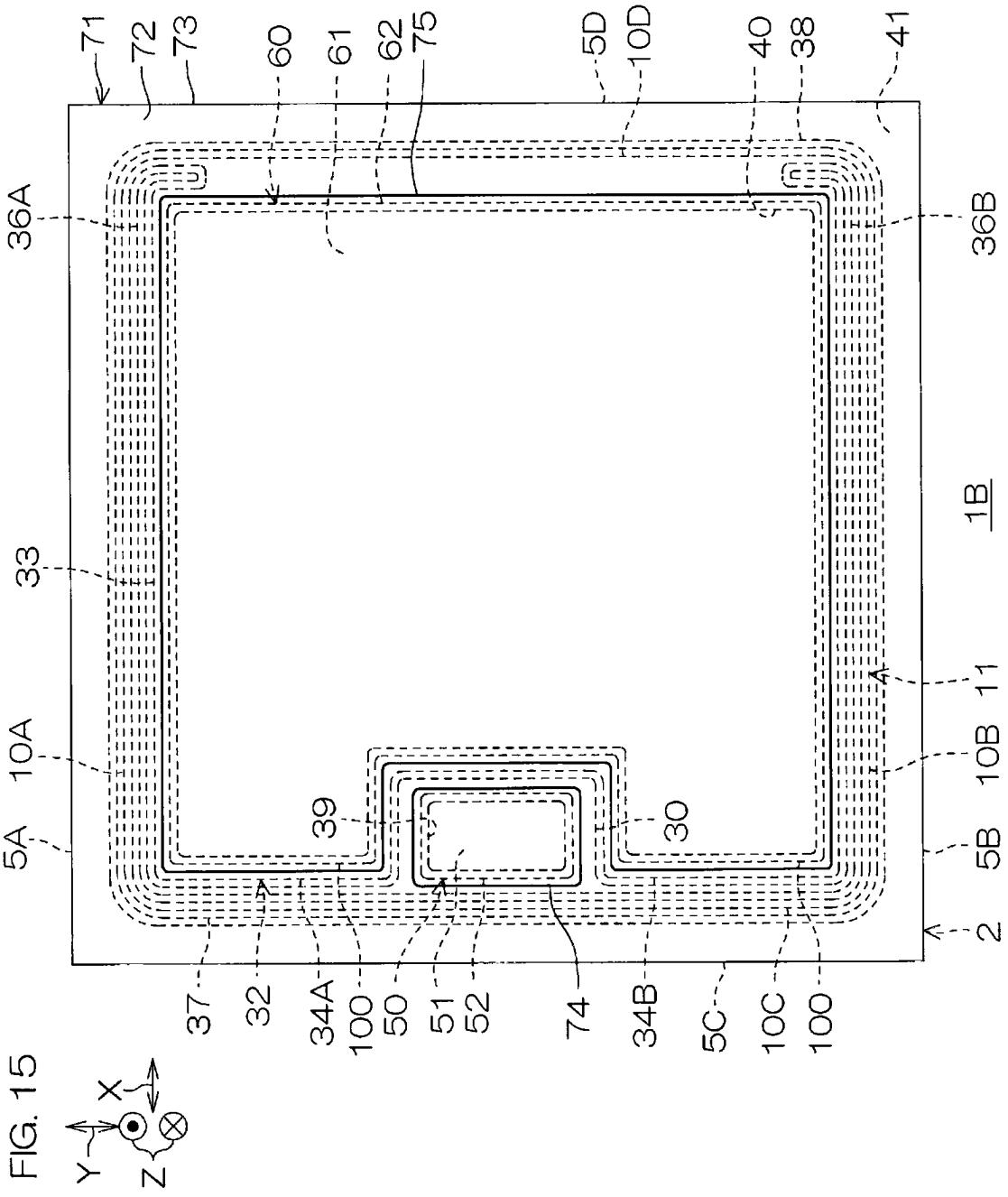

71
72
73
60
61
62
75
5D
10D
40
38
41
36A
36B
33
1B
11
10A
10B
5A
5B
39
30
2
37
32
34A
100
50
51
52
74
34B
5C
10C
100
Y
X
Z

FIG. 15

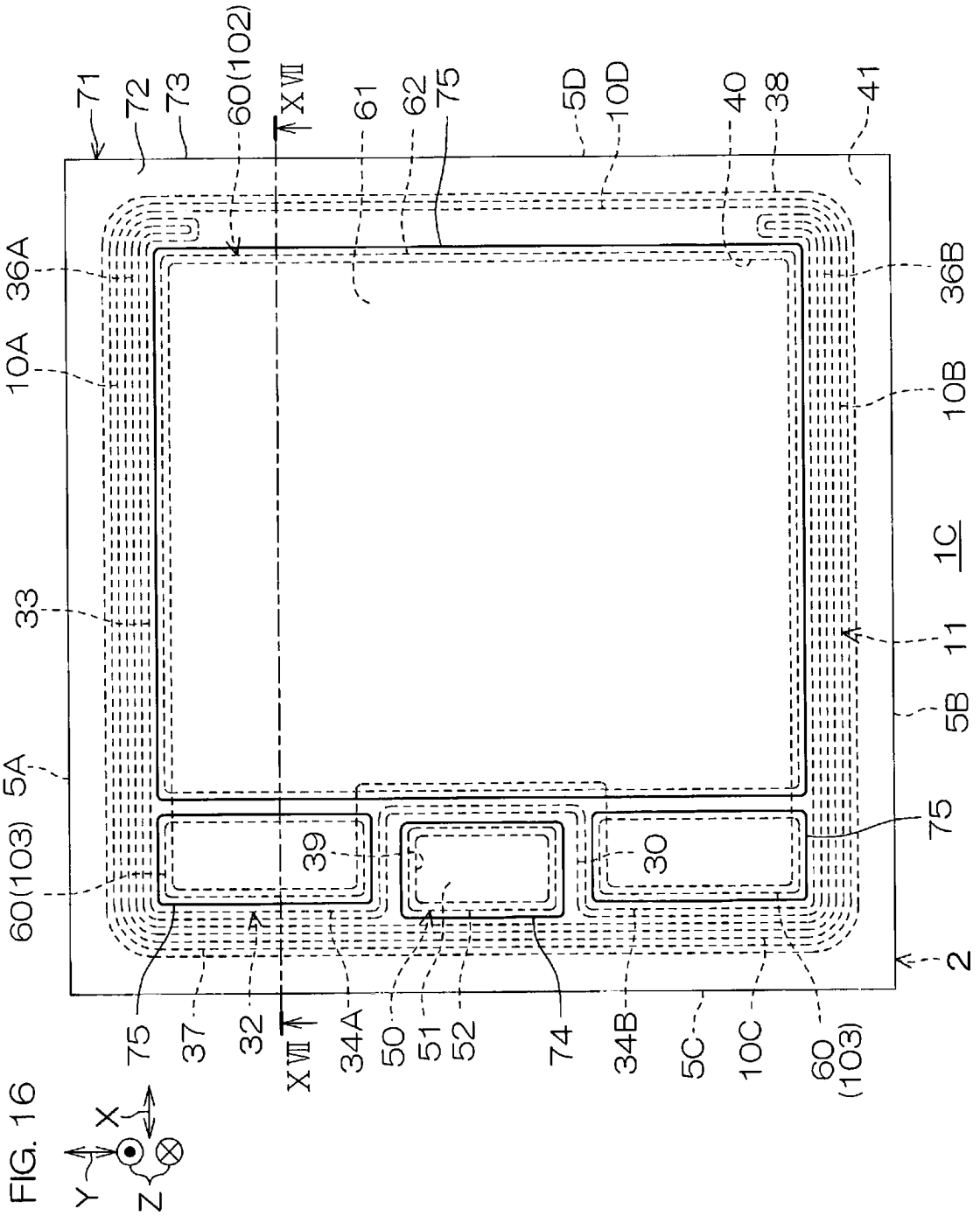

71
72
73
60(102)
XVII
61
62
75
5D
10D
40
38
41
36A
10A
33
5A
60(103)
36B
10B
1C
11
5B
75
2
39
30
75
37
32
XVII
34A
50
51
52
74
34B
5C
10C
60
(103)
X
Y
Z

FIG. 16

FIG. 17

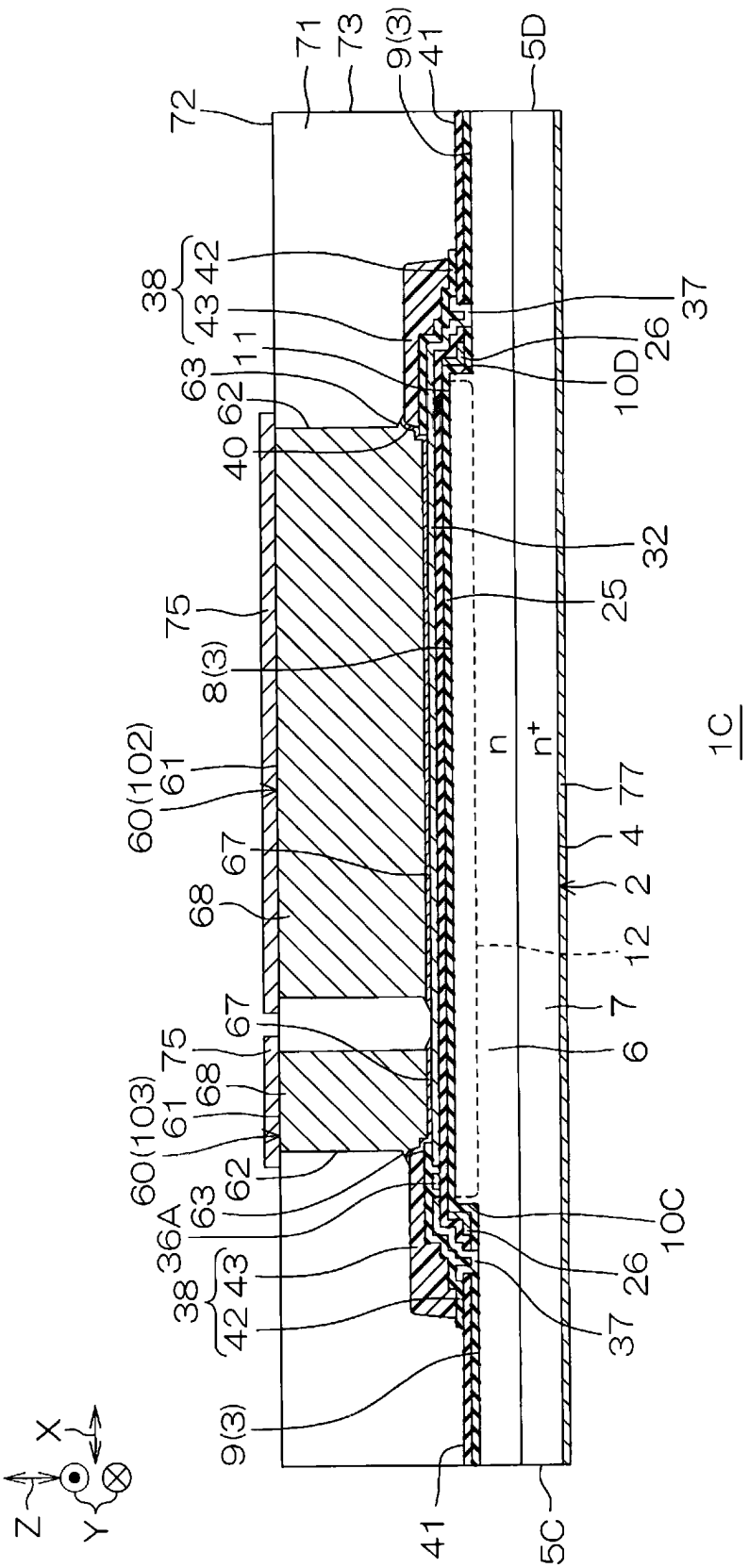
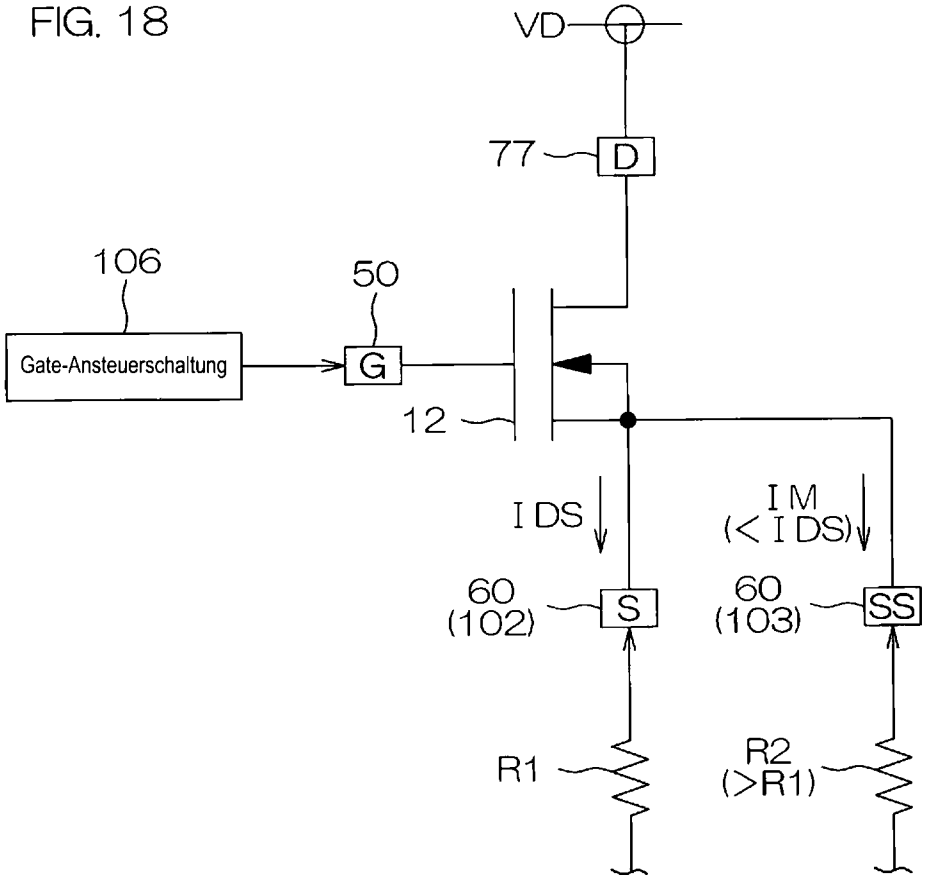

71
73
9(3)
41
5D
72
38
42
43
11
63
62
40
37
26
10D
32
25
75
8(3)
60(102)
61
67
68
n
n+
77
4
2
12
7
6
60(103)
75
68
61
67
62
63
36A
38
43
42
10C
26
37
9(3)
41
5C
1C
X
Z
Y

FIG. 18


VD
77
D
106
50
Gate-Ansteuerschaltung
G
12
IDS
IM
(<IDS)
60
(102)
S
60
(103)
SS
R1
R2
(>R1)

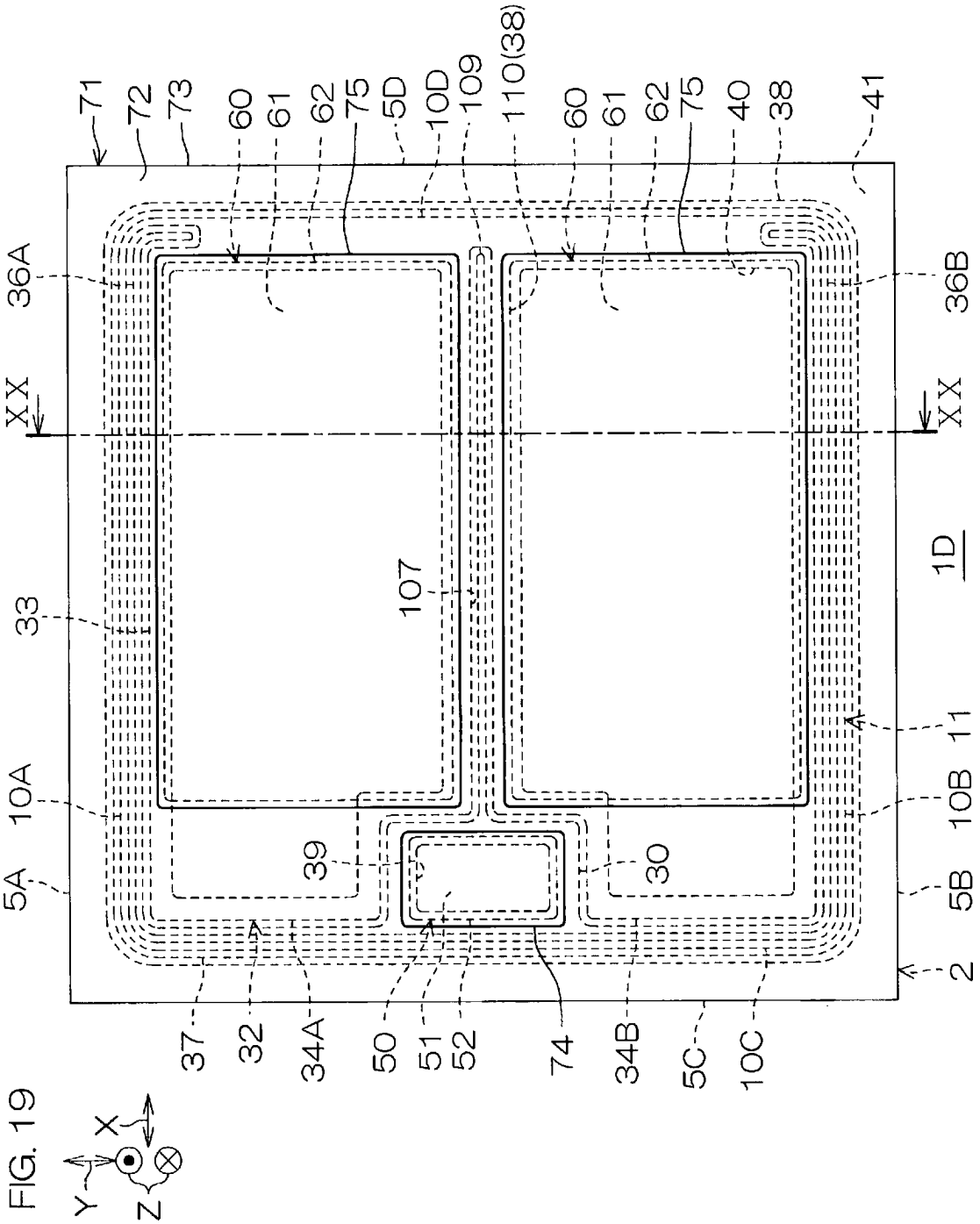
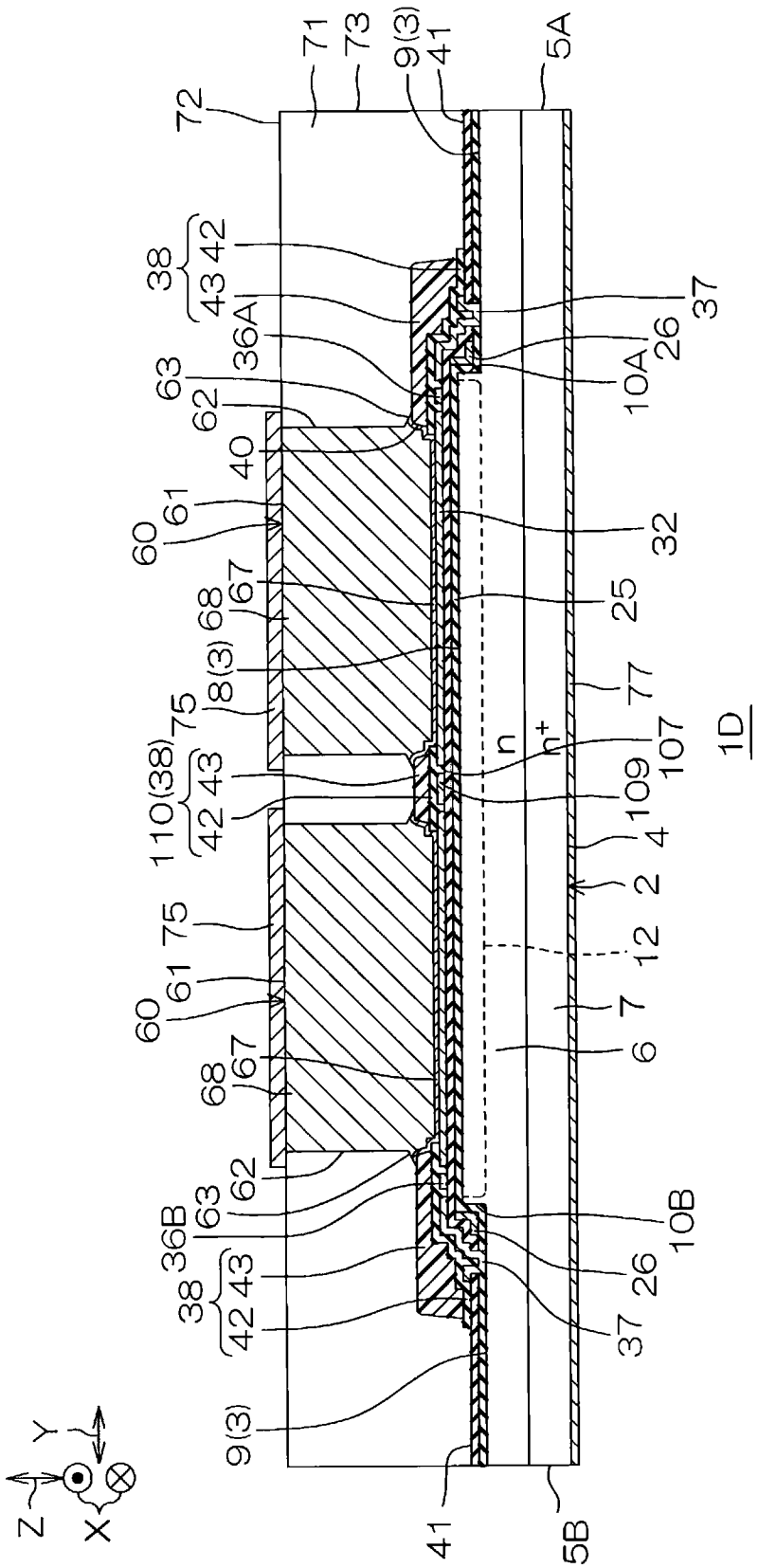

71
72
73
60
61
62
75
5D
10D
109
110(38)
60
61
62
75
40
38
41
36A
36B
XX
XX
33
107
1D
10A
11
10B
5A
39
30
5B
2
37
32
34A
50
51
52
74
34B
5C
10C
Y
X
Z

FIG. 19

FIG. 20


Z
Y
X
72
71
73
9(3)
41
5A
38
42
43
36A
63
62
40
60
61
68
67
8(3)
75
110(38)
42
43
75
61
60
68
67
62
63
36B
38
42
43
9(3)
41
5B
37
26
10A
32
25
77
n
n+
107
109
4
2
12
7
6
10B
1D

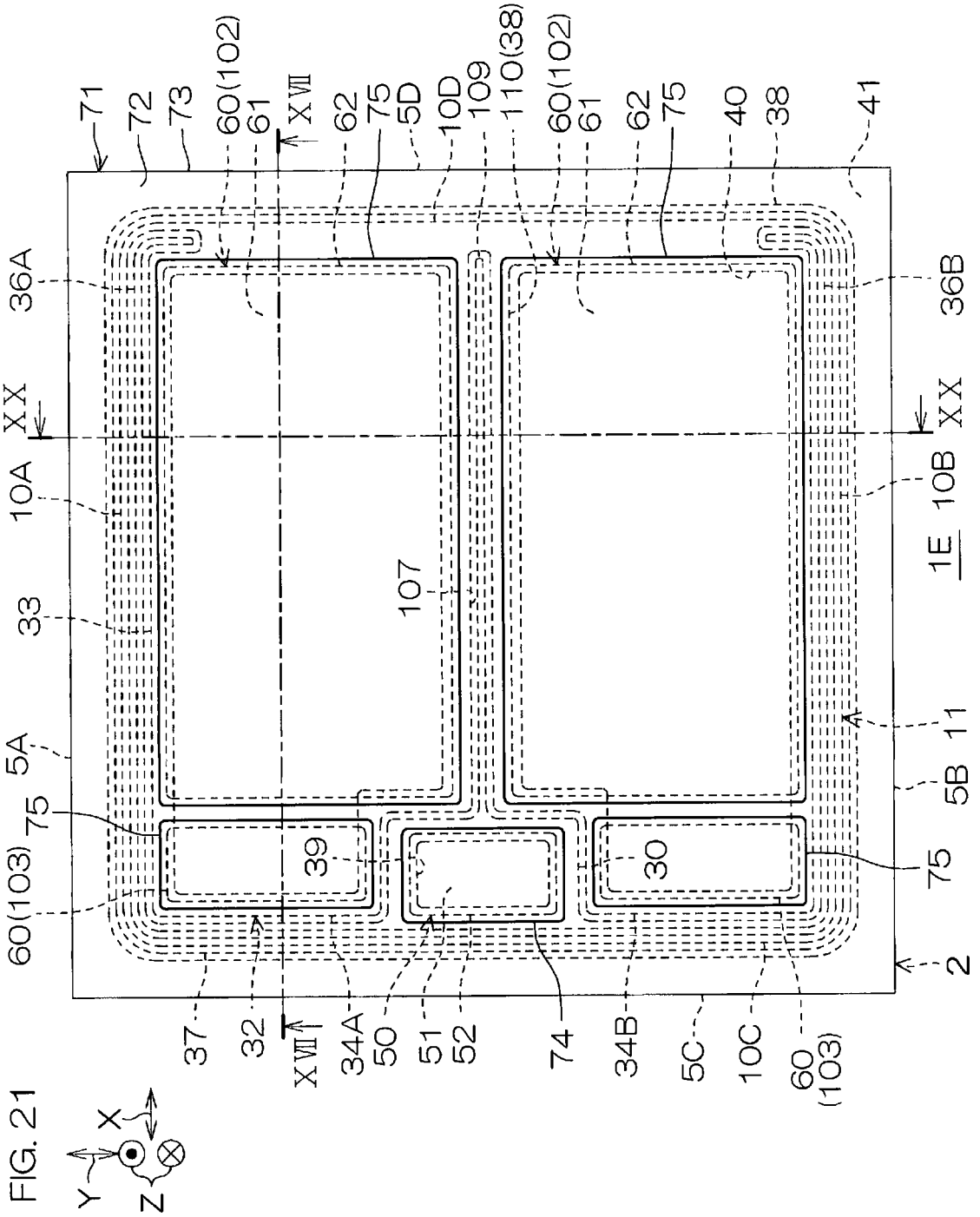

71
72
73
60(102)
61
XVII
62
75
5D
10D
109
110(38)
60(102)
61
62
75
40
38
41
36A
36B
XX
XX
10A
10B
1E
33
107
5A
11
5B
75
60(103)
39
30
75
2
37
32
XVII
34A
50
51
52
74
34B
5C
10C
60
(103)
Y
X
Z

FIG. 21

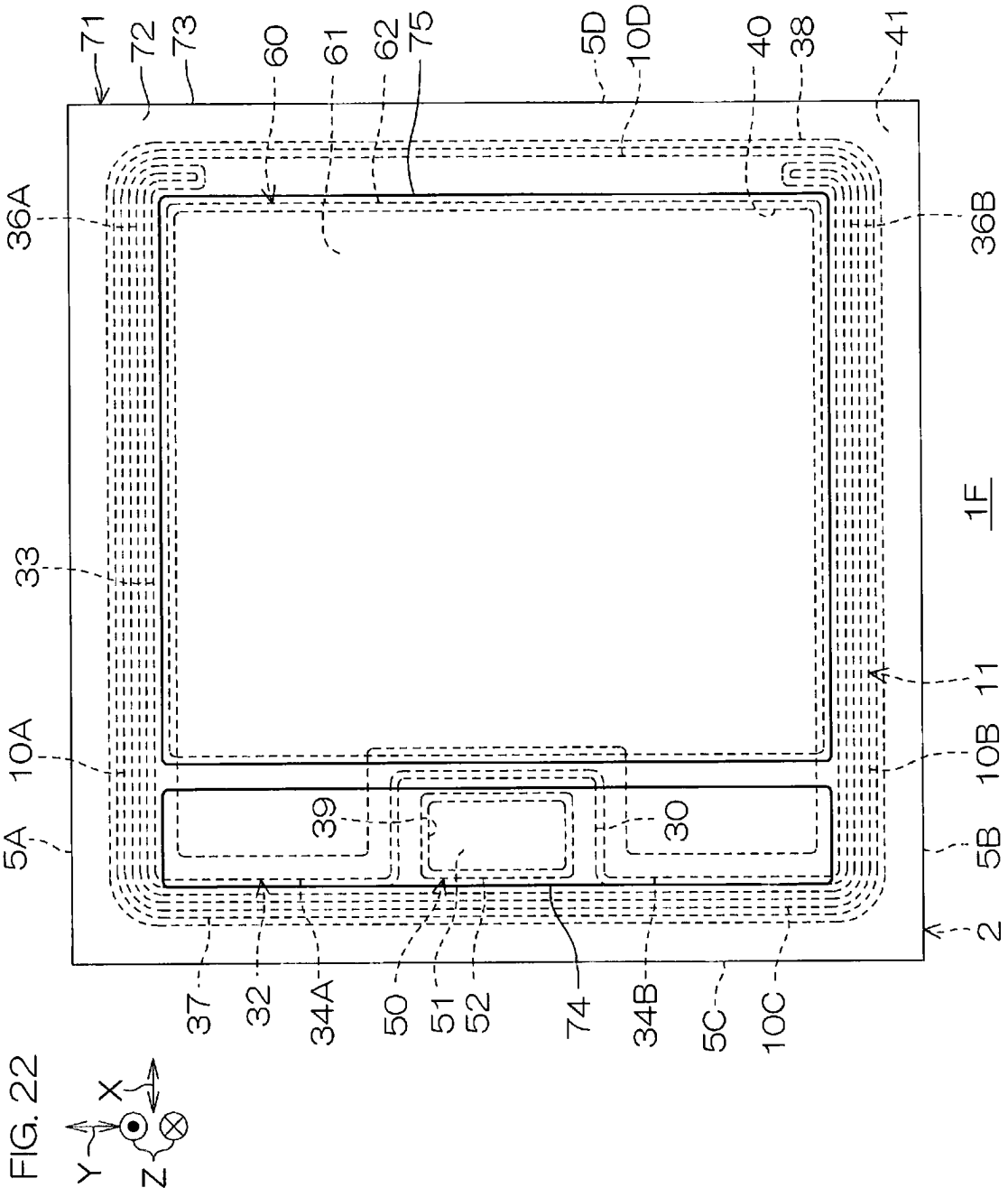

71
72
73
60
61
62
75
5D
10D
40
38
41
36A
36B
33
1F
11
10A
10B
5A
39
30
5B
2
37
32
34A
50
51
52
74
34B
5C
10C
X
Y
Z

FIG. 22

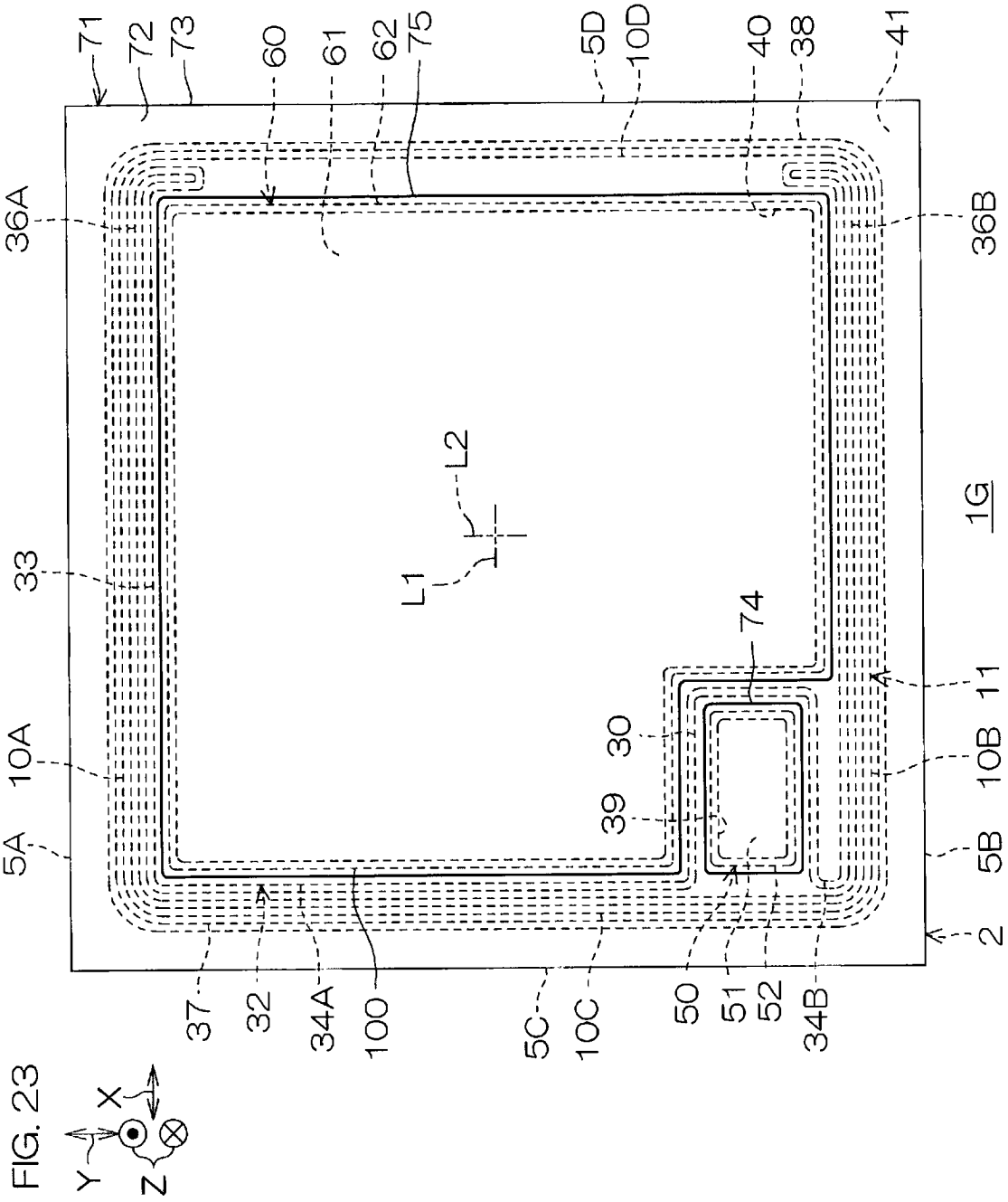

71
72
73
60
61
62
75
5D
10D
40
38
41
36A
36B
L2
L1
33
74
1G
11
10A
30
10B
39
5A
5B
2
37
32
34A
100
5C
10C
50
51
52
34B
X
Y
Z

FIG. 23

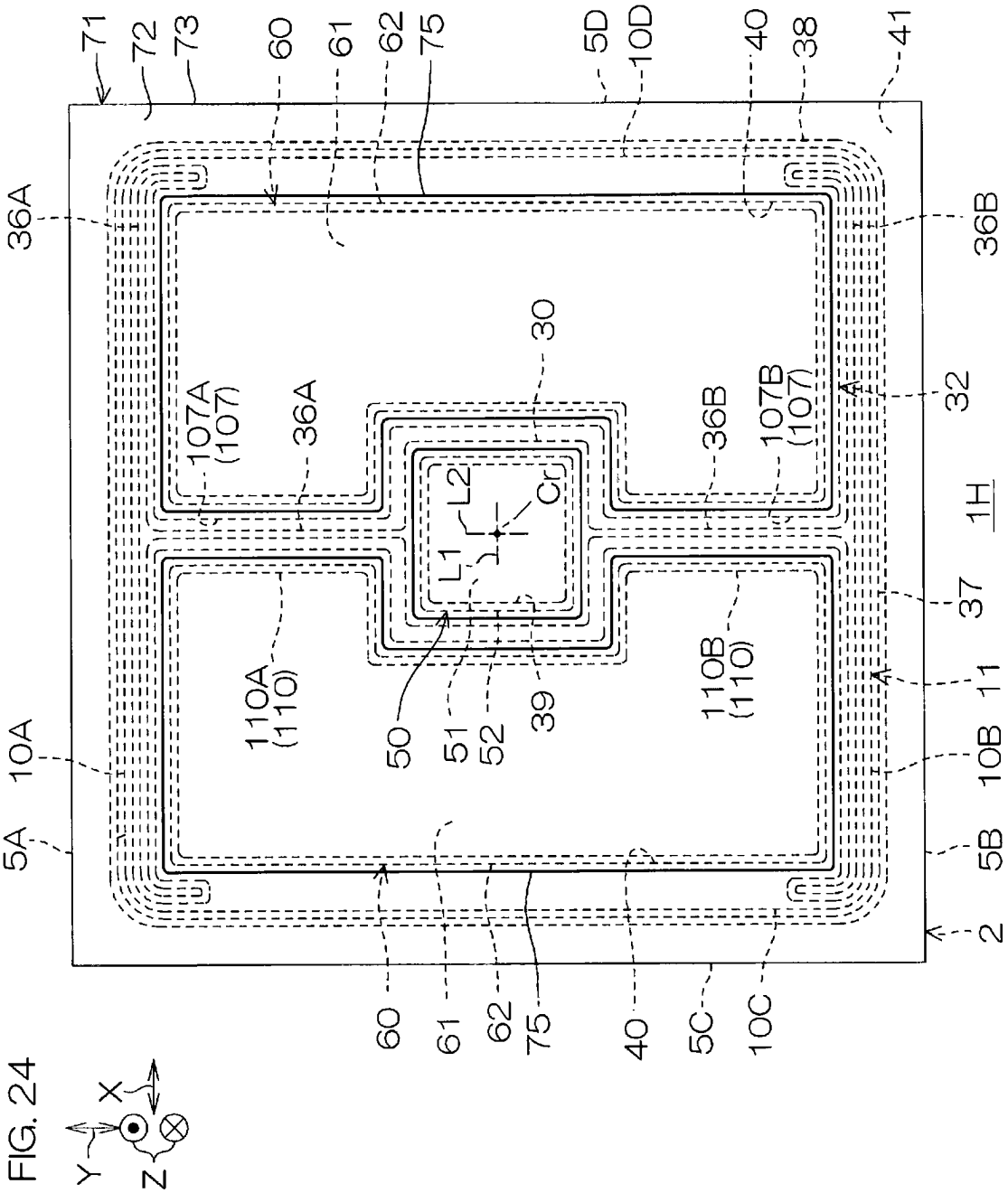

71
72
73
60
61
62
75
5D
10D
40
38
41
36A
36B
30
32
107A
(107)
36A
36B
107B
(107)
1H
L2
Cr
L1
37
11
110A
(110)
110B
(110)
50
51
52
39
10A
10B
5A
5B
2
60
61
62
75
40
5C
10C
X
Y
Z

FIG. 24

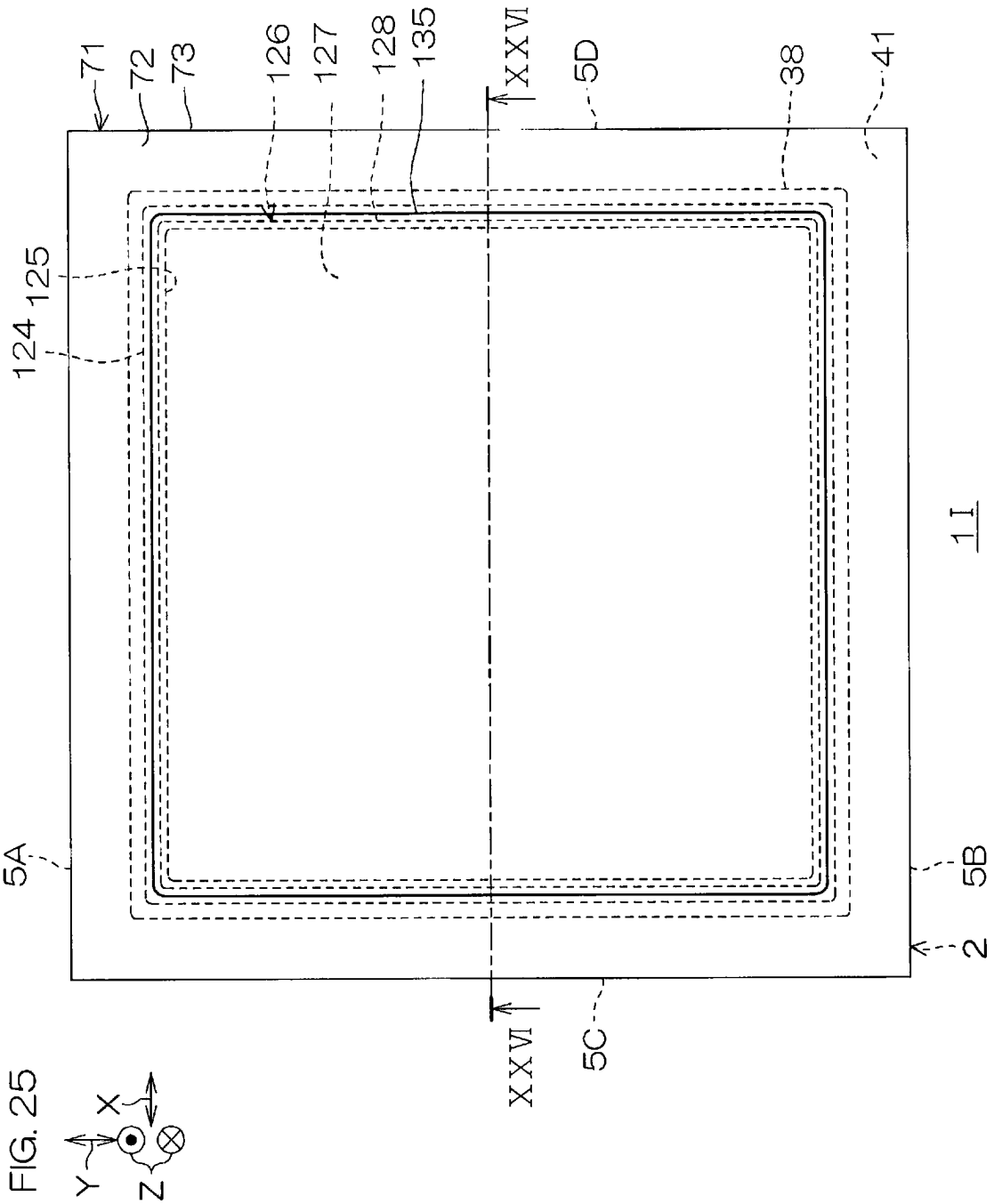

71
72
73
126
127
128
135
XXVI
5D
38
41
125
124
1I
5A
5B
2
5C
XXVI
X
Y
Z

FIG. 25

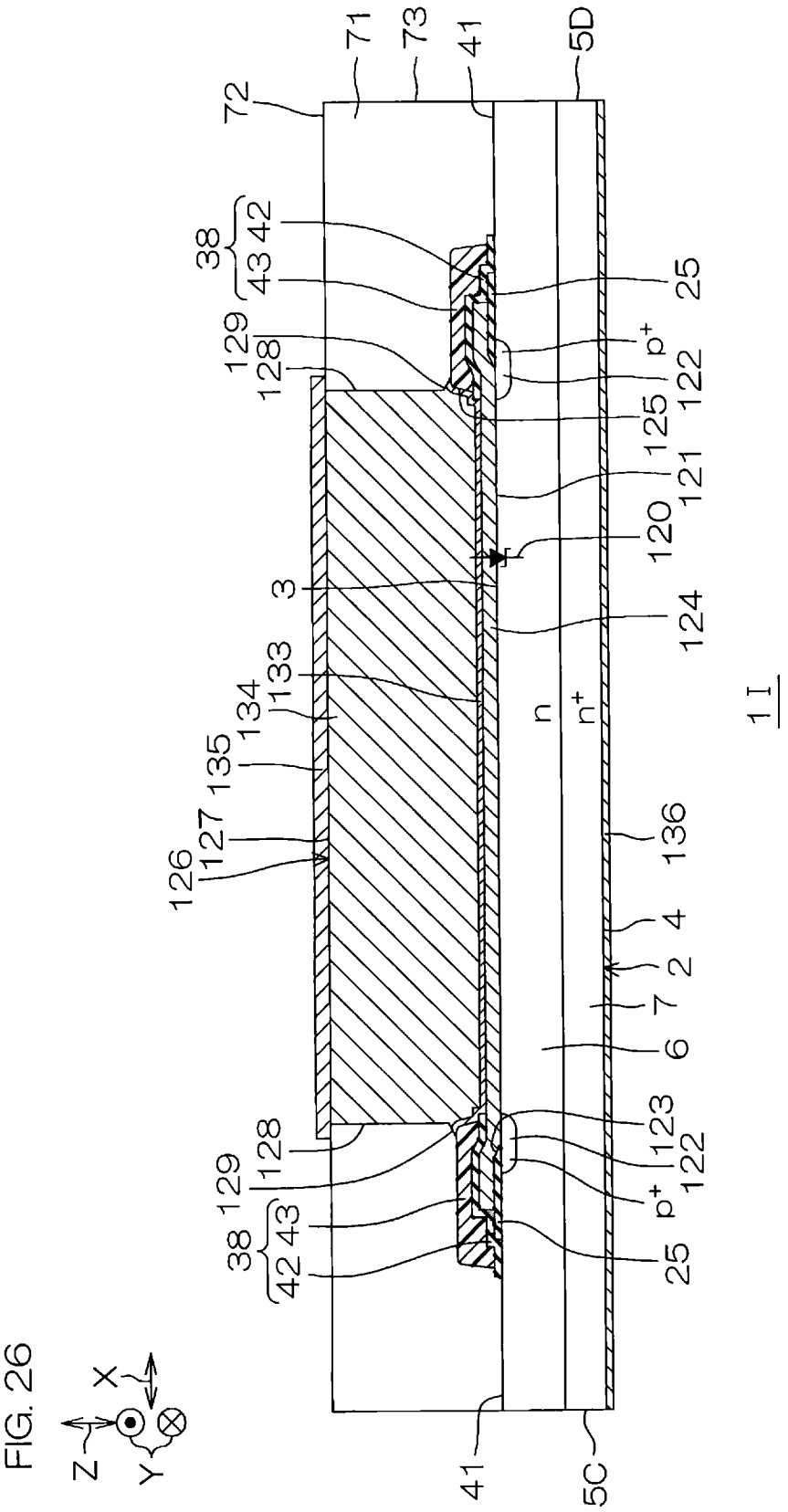

71
73
41
5D
72
38
42
43
129
128
25
p+
122
125
121
120
3
124
133
134
135
127
126
n
n+
136
4
2
7
6
123
122
p+
25
129
128
38
43
42
41
5C
1 I

FIG. 26

FIG. 27

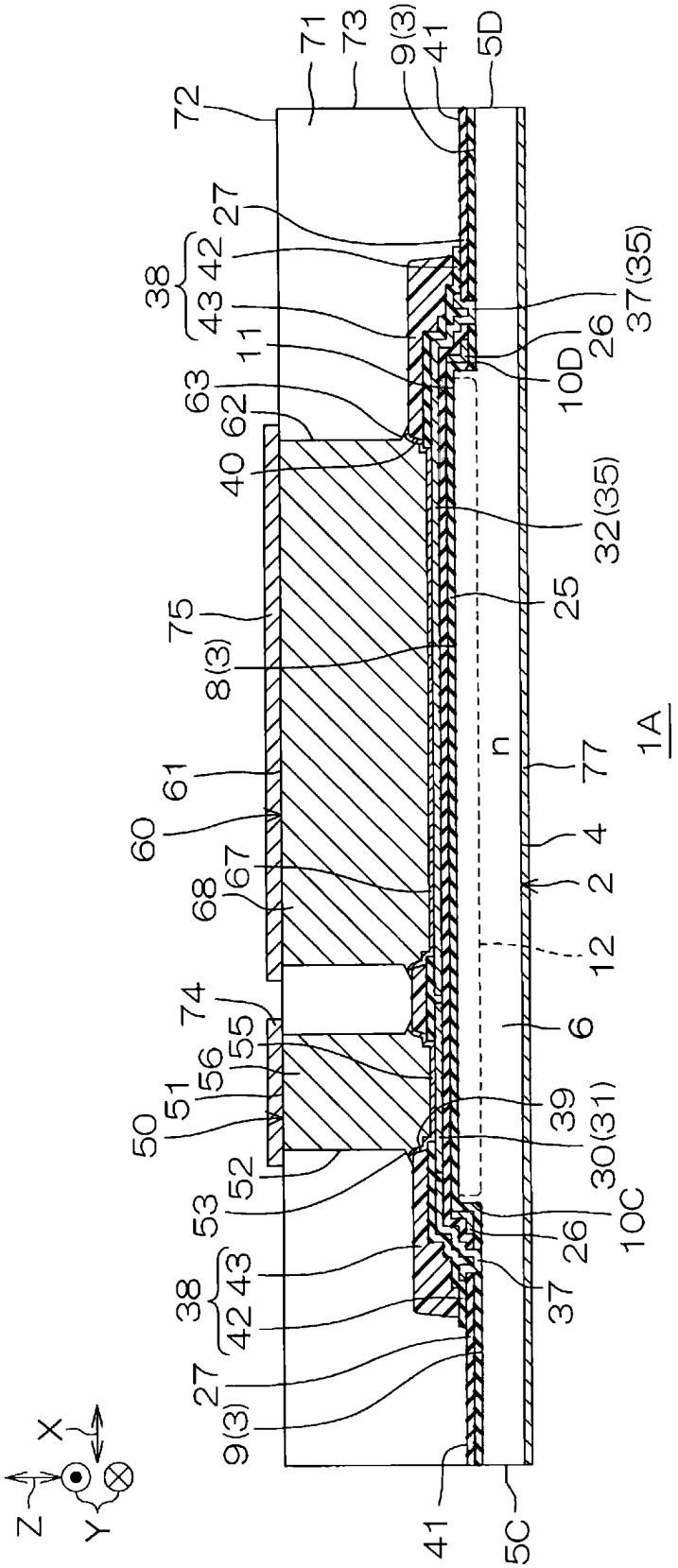
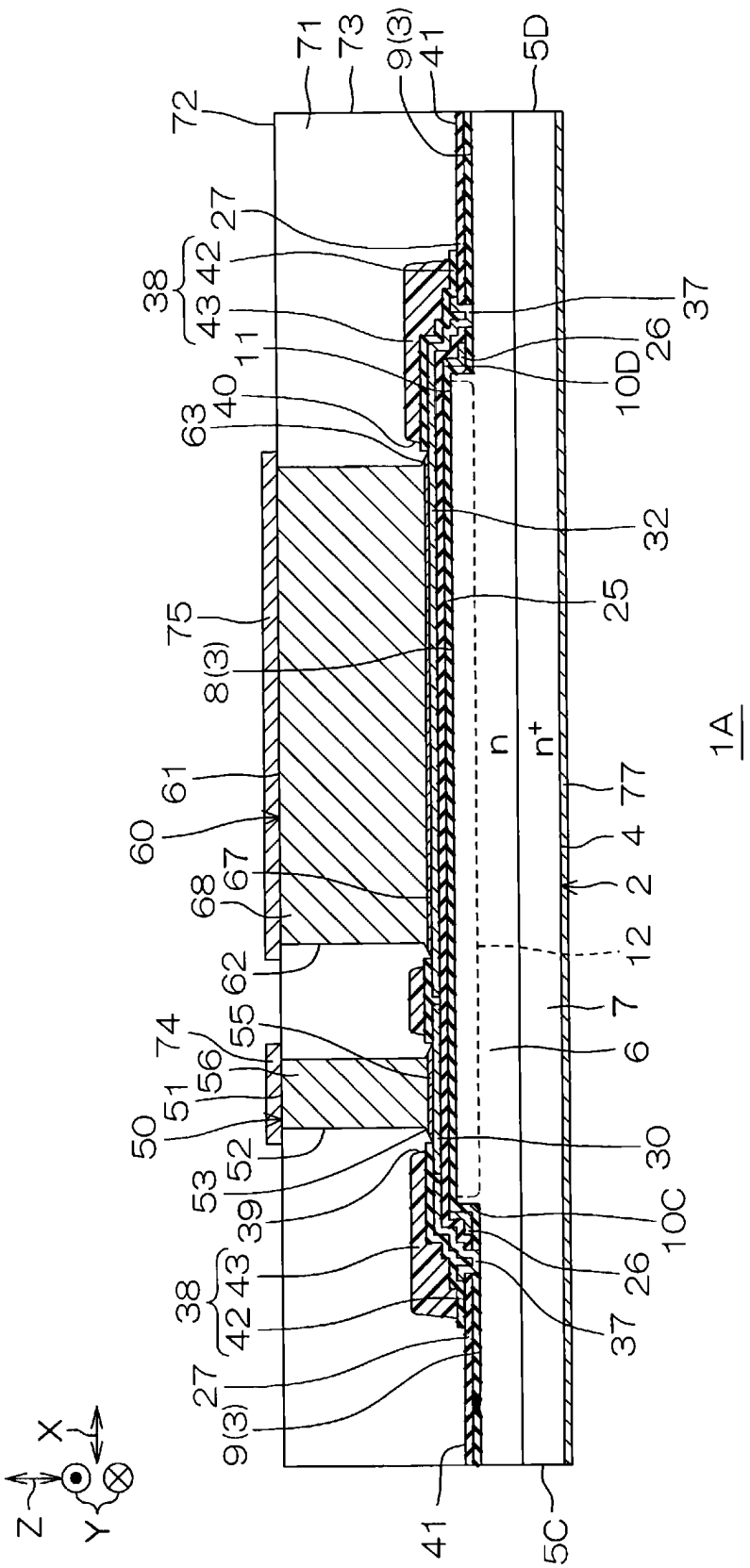

71
73
9(3)
41
5D
72
27
38
42
43
11
63
62
40
37(35)
26
10D
32(35)
25
75
8(3)
61
60
67
68
74
55
56
51
50
52
53
39
30(31)
10C
26
37
38
42
43
27
9(3)
41
5C
n
77
4
2
12
6
1A
Z
X
Y

FIG. 28


71
73
9(3)
41
5D
72
27
38
42
43
11
40
63
37
26
10D
32
75
25
8(3)
61
60
68
67
62
55
74
56
51
50
52
53
39
30
10C
26
37
38
43
42
27
9(3)
41
5C
n
n+
1A
77
4
2
12
7
6
Z
X
Y

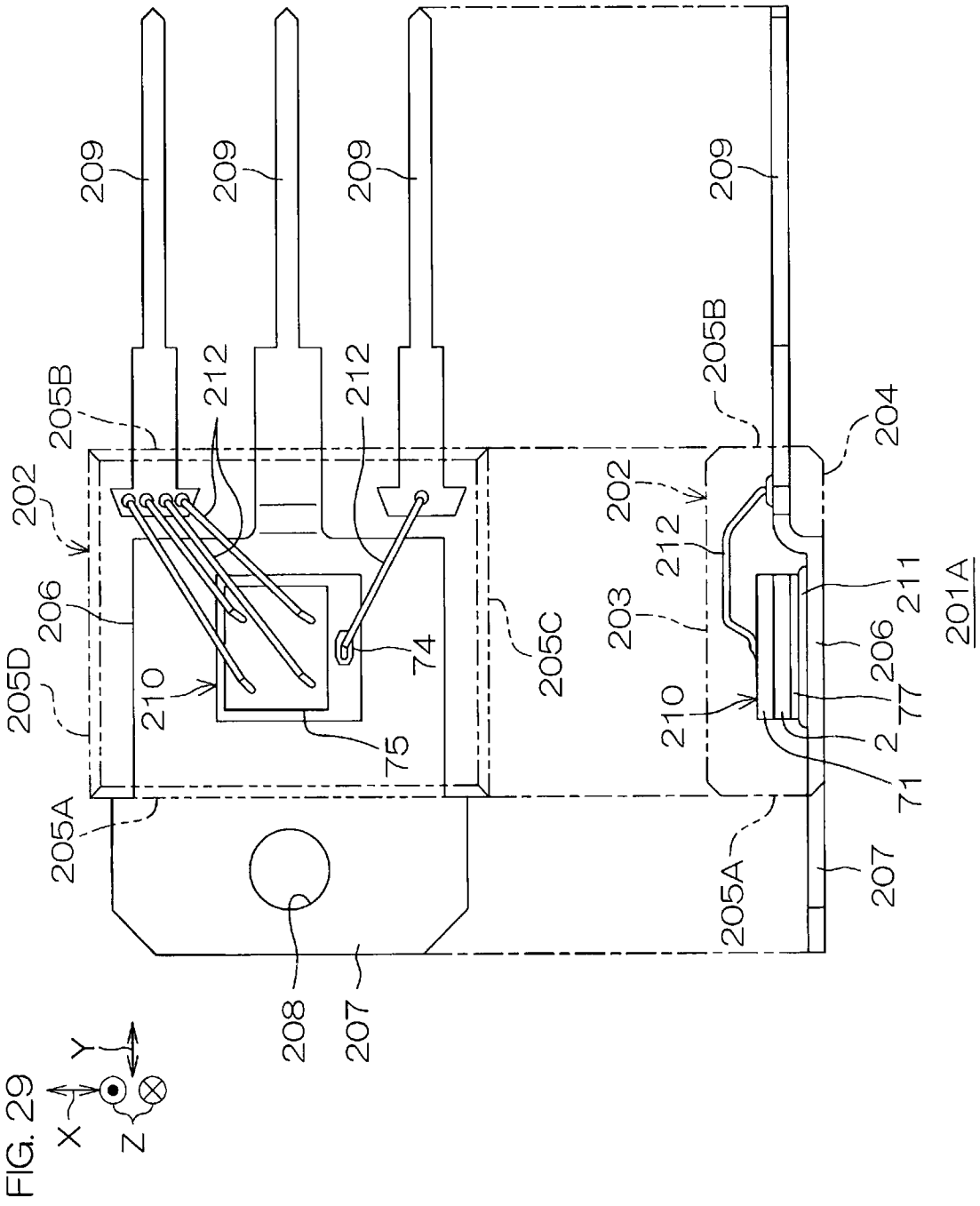

209
209
209
209
205B
212
212
205B
204
202
202
212
206
211
203
205C
206
205D
210
74
210
77
2
75
71
205A
205A
207
208
207
201A
Y
X
Z

FIG. 29

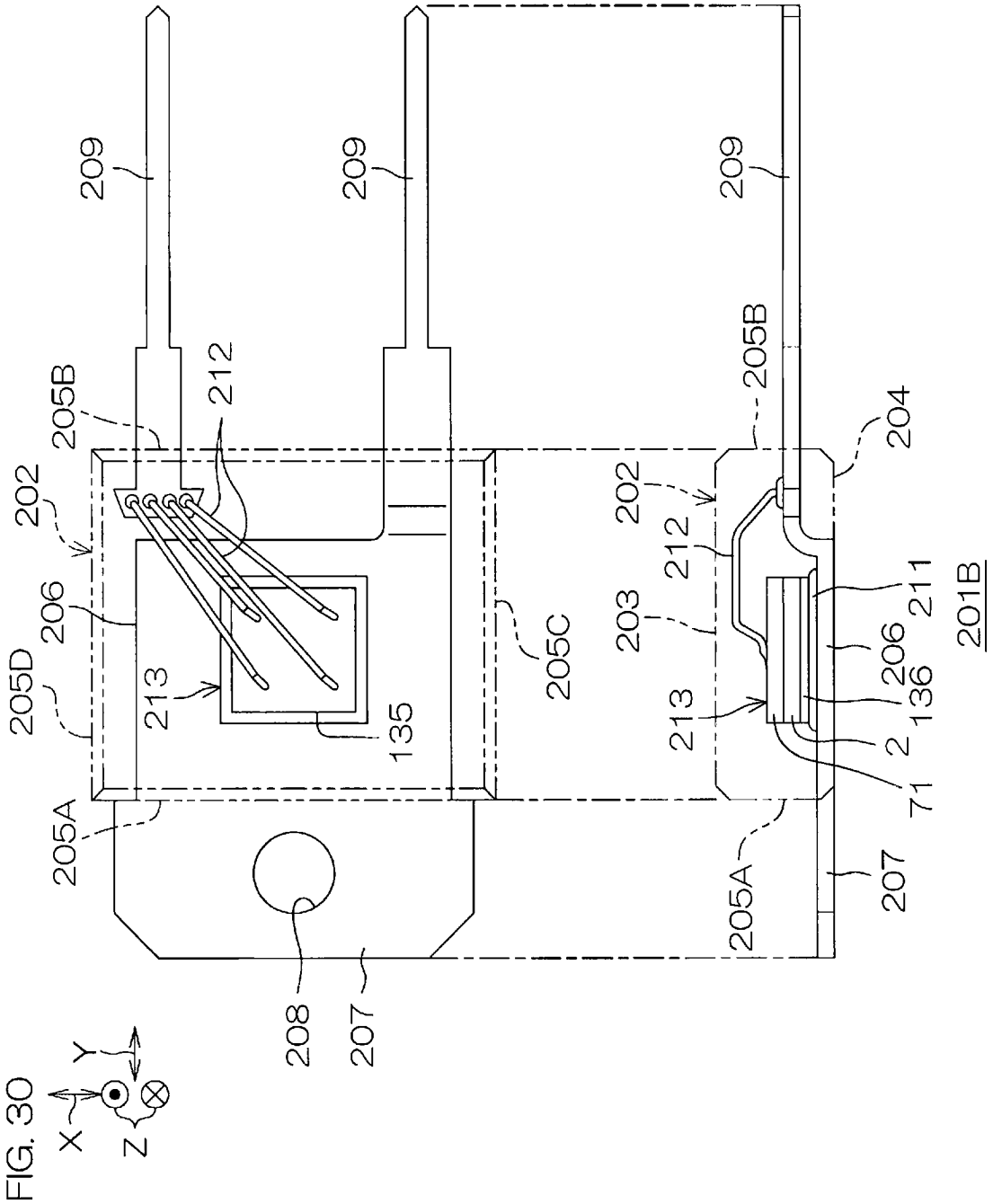

209
209
209
205B
212
202
206
205D
213
135
205C
202
212
203
213
205B
204
211
206
136
2
71
201B
205A
205A
207
208
207
Y
X
Z

FIG. 30

FIG. 31

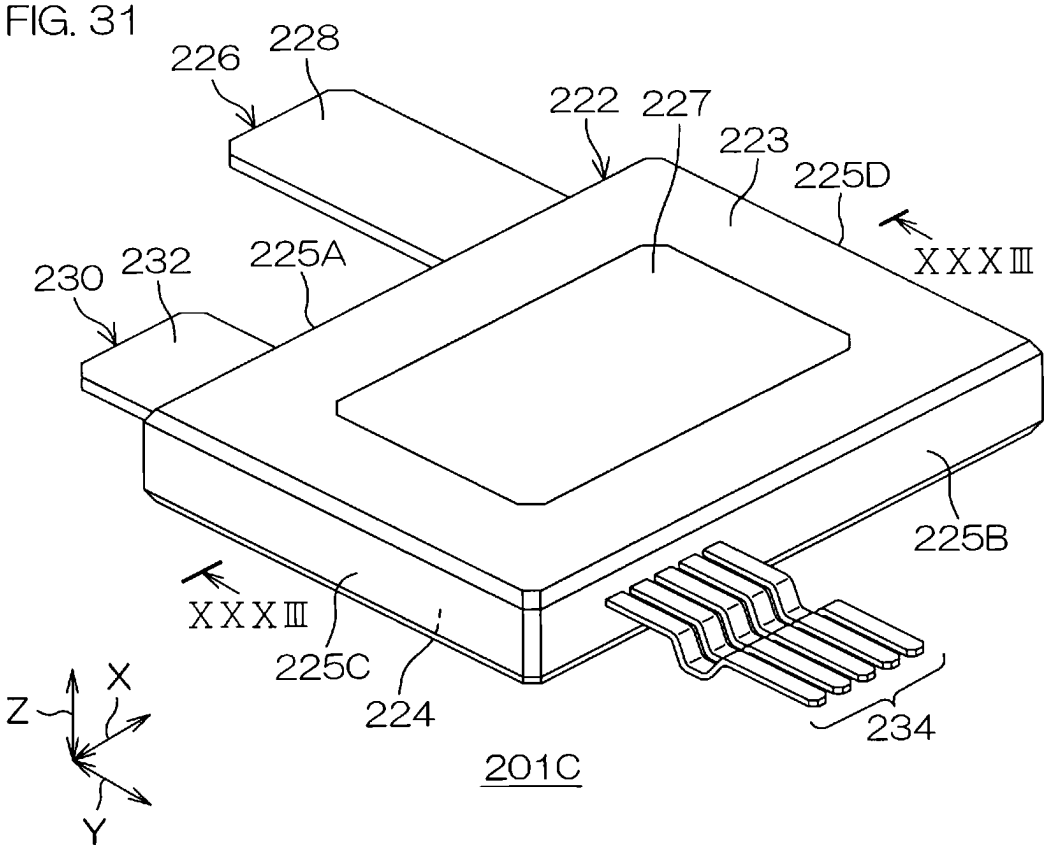
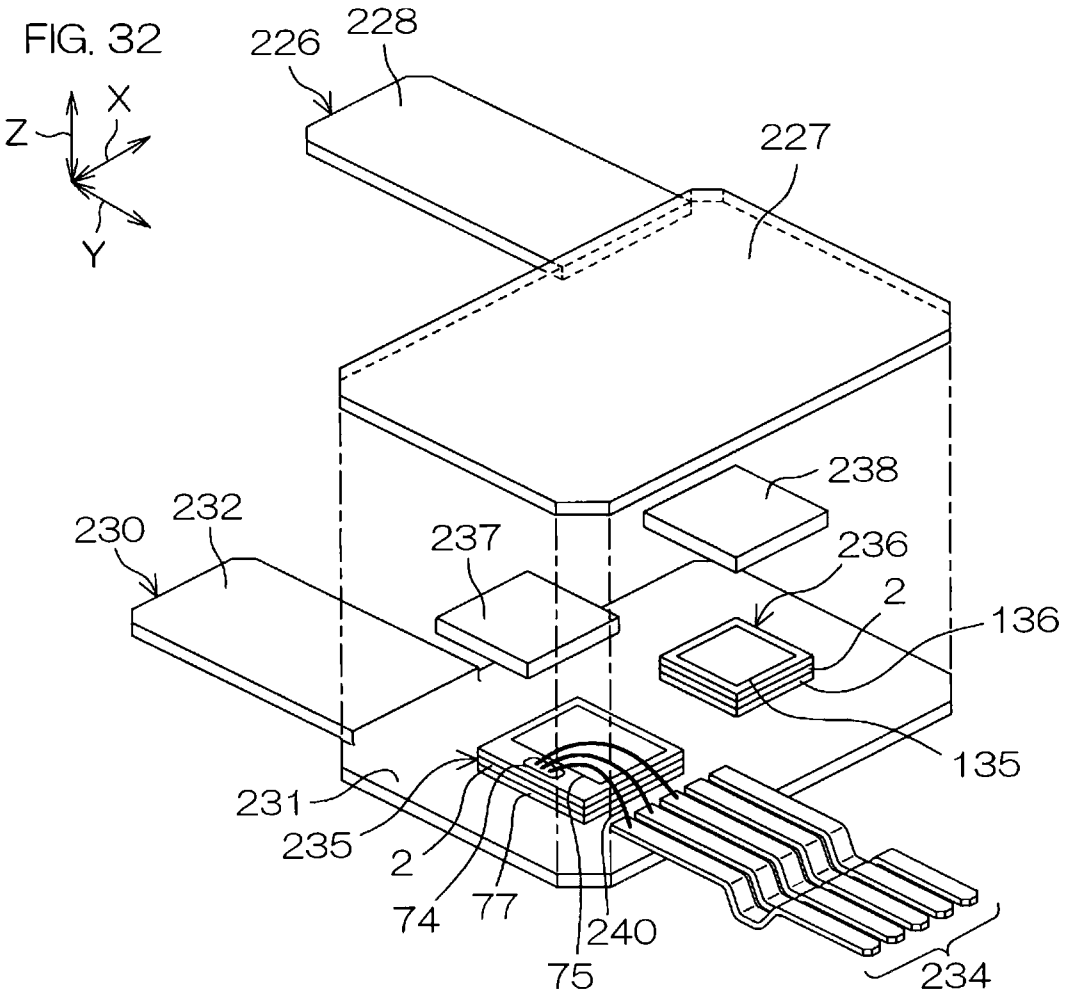

226
228
222
227
223
225D
XXXIII
230
232
225A
225B
XXXIII
225C
224
234
Z
X
Y
201C

FIG. 32


Z
X
Y
226
228
227
238
230
232
237
236
2
136
135
231
235
2
74
77
240
75
234

201C

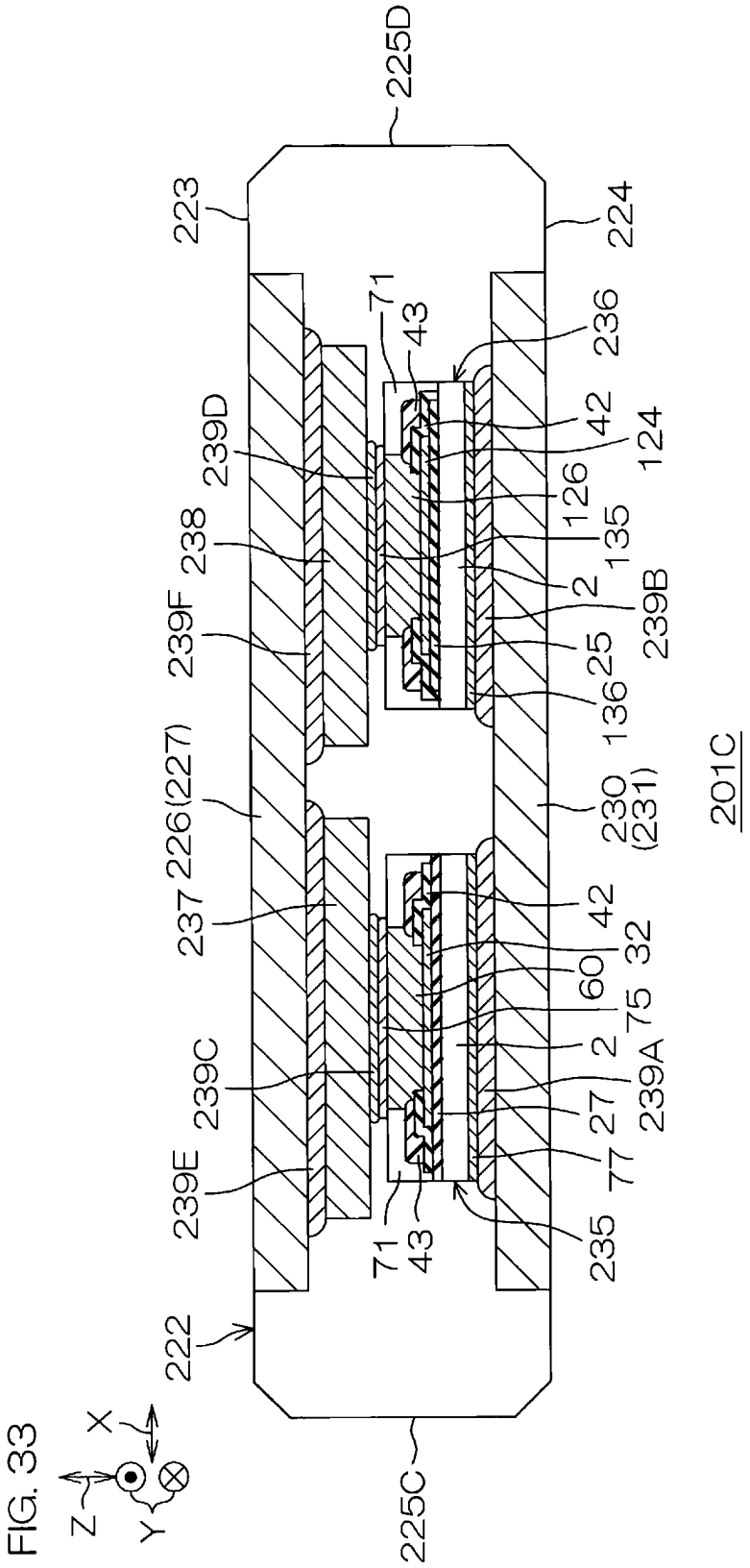

225D
223
224
71
43
236
239D
42
124
126
238
135
2
239B
239F
25
136
226(227)
230
(231)
237
42
32
60
75
2
239C
239A
27
77
239E
235
71
43
222
225C
201C
X
Z
Y

FIG. 33