

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月17日(17.05.2018)



(10) 国際公開番号

WO 2018/087943 A1

(51) 国際特許分類:
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2017/011066

(22) 国際出願日: 2017年3月17日(17.03.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
PCT/JP2016/083604 2016年11月11日(11.11.2016) JP

(71) 出願人: 新 電 元 工 業 株 式 会 社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).

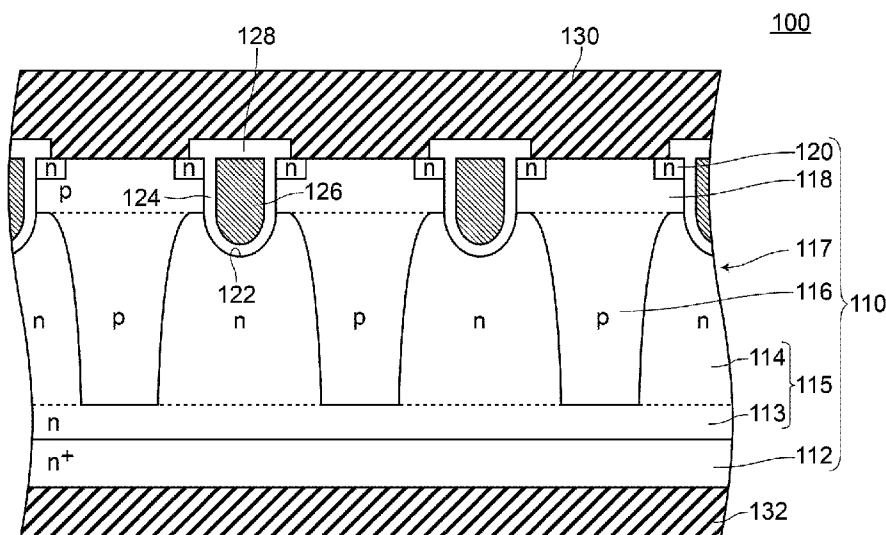
(72) 発明者: 新 井 大 輔 (ARAI, Daisuke); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 北田 瑞枝 (KITADA, Mizue); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).

(74) 代理人: 松 尾 誠 剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合9862番地60 めぶき特許事務所 Nagano (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,

(54) Title: MOSFET AND POWER CONVERSION CIRCUIT

(54) 発明の名称: MOSFET及び電力変換回路



(57) **Abstract:** This MOSFET 100 is characterized by being provided with: a semiconductor substrate 110 provided with a super junction structure 117; and a gate electrode 126 formed on a first main surface side of the semiconductor substrate 110 with a gate insulating film 124 therebetween. The MOSFET 100 is further characterized in that, when the depths x of positions at prescribed depths of the super junction structure 117 are plotted on the horizontal axis, and the average positive charge densities $p(x)$ in the positions at the prescribed depths of the super junction structure 117 are plotted on the vertical axis, the average positive charge densities $p(x)$ in the positions at the prescribed depths of the super junction structure 117 when the MOSFET is turned off and the super junction structure 117 is depleted, are represented by an upwardly convex curve which rises upwards and to the right. According to this MOSFET 100, variation in the switching characteristics when

KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

turned off can be reduced in comparison to the prior art, even if there is variation in the charge balance around the gate.

(57) 要約: 本発明のMOSFET 100は、スーパー Junction 構造 117 を有する半導体基体 110 と、半導体基体 110 の第1主面側にゲート絶縁膜 124 を介して形成されたゲート電極 126 とを備え、スーパー Junction 構造 117 における所定深さ位置の深さ x を横軸とし、スーパー Junction 構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ を縦軸としたときに、MOSFET をターンオフしてスーパー Junction 構造 117 が空乏化したときの、スーパー Junction 構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されることを特徴とする。本発明のMOSFET 100によれば、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

明 細 書

発明の名称：MOSFET及び電力変換回路

技術分野

[0001] 本発明は、MOSFET及び電力変換回路に関する。

背景技術

[0002] 従来、n型コラム領域及びp型コラム領域から構成されたスーパージャンクション構造を有する半導体基体を備えるMOSFETが知られている（例えば、特許文献1参照。）。

[0003] なお、本明細書中、スーパージャンクション構造とは、所定の断面で見たときにn型コラム領域とp型コラム領域とが交互に繰り返し配列されている構造をいう。

[0004] 従来のMOSFET900は、図17に示すように、n型コラム領域914及びp型コラム領域916から構成されたスーパージャンクション構造917と、第1主面の表面、かつ、p型コラム領域916の表面上の全部及びn型コラム領域914の表面上の一部に形成されたベース領域918と、第1主面の表面、かつ、n型コラム領域914の表面上にベース領域918に隣接するように形成されたn型表面高濃度領域919と、ベース領域918の表面に形成されたn型のソース領域920とを有する半導体基体910と、ソース領域920とn型表面高濃度領域919とに挟まれたベース領域918の表面上にゲート絶縁膜934を介して形成されたゲート電極936とを備えるプレーナゲート型のMOSFETである。

[0005] 従来のMOSFET900において、n型コラム領域914及びp型コラム領域916は、n型コラム領域914の不純物総量とp型コラム領域916の不純物総量とが等しくなるように形成されている。すなわち、n型コラム領域914及びp型コラム領域916は、チャージバランスが取れている。また、n型コラム領域914の不純物濃度及びp型コラム領域916の不純物濃度はいずれも、深さによらず一定となっている。さらにまた、n型コ

ラム領域 914 の側壁は、第 1 主面側が狭いテーパ形状となっており、p 型コラム領域 916 の側壁は、底が狭いテーパ形状となっている。

[0006] なお、本明細書中、「不純物総量」とは、MOSFET 内の構成要素（n 型コラム領域又は p 型コラム領域）の不純物の総量をいう。

[0007] 従来の MOSFET 900 は、n 型コラム領域 914 及び p 型コラム領域 916 から構成されたスーパージャンクション構造 917 を有する半導体基体 910 を備えるため、低オン抵抗、かつ、高耐圧のスイッチング素子となる。

先行技術文献

特許文献

[0008] 特許文献 1：特開 2004-119611 号公報

特許文献 2：特開 2013-93560 号公報

発明の概要

発明が解決しようとする課題

[0009] ところで、従来の MOSFET 900 においては、ゲート周辺のチャージバランスにバラツキがあると、ターンオフしたときのスイッチング特性のバラツキが大きくなる、という問題がある。

[0010] そこで、本発明は、上記した問題を解決するためになされたものであり、ゲート周辺のチャージバランスのバラツキがあつたとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくできる MOSFET 及びこれを用いた電力変換回路を提供することを目的とする。

課題を解決するための手段

[0011] [1] 本発明の MOSFET は、n 型コラム領域及び p 型コラム領域から構成されたスーパージャンクション構造を有する半導体基体と、前記半導体基体の第 1 主面側にゲート絶縁膜を介して形成されたゲート電極とを備える MOSFET であつて、前記 MOSFET をターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第 1 主面側の空乏層の表

面のうち最も深い深さ位置を基準として、前記MOSFETをターンオフしてスーパージャンクション構造が空乏化したときの、前記スーパージャンクション構造における所定深さ位置の深さ x を横軸とし、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、以下の式(1)で表される、前記スーパージャンクション構造の前記所定深さ位置における平均正電荷密度 $\rho(x)$ を縦軸としたときに、当該平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されており、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの第2主面側の空乏層の表面のうち最も浅い深さ位置の深さを a としたときに、 $x=0$ のときの当該平均正電荷密度 $\rho(0)$ の値が負であり、かつ、 $x=a$ のときの当該平均正電荷密度 $\rho(a)$ の値が正であり、当該平均正電荷密度 $\rho(x)$ を表す曲線、 $x=0$ の直線及び前記横軸で囲まれた領域の面積は、当該平均正電荷密度 $\rho(x)$ を表す曲線、 $x=a$ の直線及び前記横軸で囲まれた領域の面積と等しいことを特徴とするMOSFET。

[数1]

$$\rho(x) = \frac{q}{2w} \left[w_n(x) \cdot N_d(x) - w_p(x) \cdot N_a(x) \right] \cdots (1)$$

(式(1)中、 $w_n(x)$ は、前記 n 型コラム領域の前記所定深さ位置における幅を示し、 $N_d(x)$ は、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記 n 型コラム領域の前記所定深さ位置における正電荷の平均密度を示し、 $w_p(x)$ は、前記 p 型コラム領域の前記所定深さ位置における幅を示し、 $N_a(x)$ は、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記 p 型コラム領域の前記所定深さ位置における負電荷の平均密度を示し、 q は、電気素量を示し、 w は、 $w_n(x) + w_p(x) = 2w$ を満たす正の定数を示

す。)

[0012] なお、本明細書中、「スーパージャンクション構造における所定深さ位置の深さ」とは、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置を基準としたスーパージャンクション構造内の所定の深さ位置の深さのことをいう。従って、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置においては、当該深さ x は0になる。また、「第2主面」とは、第1主面とは反対側の主面のことをいう。また、「 n 型コラム領域の・・・正電荷の平均密度」は、MOSFETをターンオフして n 型コラム領域が空乏化したときの、 n 型コラム領域のドナーに起因した正電荷の平均密度を示し、「 p 型コラム領域の・・・負電荷の平均密度」は、MOSFETをターンオフして p 型コラム領域が空乏化したときの、 p 型コラム領域のアクセプタに起因した負電荷の平均密度を示す。さらにまた、「スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表される」とは、当該平均正電荷密度が上に凸の単調な右上がりの曲線で表される場合のみならず、当該平均正電荷密度が階段状（但し、階段の角の部分をつなげた線（包絡線）が上に凸の単調な右上がりの曲線になる）で表される場合や、当該平均正電荷密度が凹凸を繰り返す曲線（但し、包絡線が上に凸の単調な右上がりの曲線になる）で表される場合を含むものとする。

[0013] [2] 本発明のMOSFETにおいては、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第2主面側の空乏層の表面のうち最も浅い深さ位置の深さを a とし、前記スーパージャンクション構造における、前記平均正電荷密度 $\rho(x)$ が0になる深さ位置の深さを d としたときに、 $0 < d < a/2$ を満たす。

すことが好ましい。

[0014] [3] 本発明のMOSFETにおいては、前記スーパージャンクション構造における前記所定深さ位置の深さ x を横軸とし、前記 n 型コラム領域の前記所定深さ位置における幅 $w_n(x)$ 又は前記 p 型コラム領域の前記所定深さ位置における幅 $w_p(x)$ を縦軸としたときに、前記 n 型コラム領域の前記所定深さ位置における幅 $w_n(x)$ は、上に凸の右上がりの曲線で表され、前記 p 型コラム領域の前記所定深さ位置における幅 $w_p(x)$ は、下に凸の右下がりの曲線で表されることが好ましい。

[0015] [4] 本発明のMOSFETにおいては、前記スーパージャンクション構造における所定深さ位置の深さ x を横軸とし、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記 n 型コラム領域の前記所定深さ位置における正電荷の平均密度 $N_d(x)$ 又は前記 p 型コラム領域の前記所定深さ位置における負電荷の平均密度 $N_a(x)$ を縦軸としたときに、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記 n 型コラム領域の前記所定深さ位置における正電荷の平均密度 $N_d(x)$ は、上に凸の右上がりの曲線で表され、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記 p 型コラム領域の前記所定深さ位置における負電荷の平均密度 $N_a(x)$ は、下に凸の右下がりの曲線で表されることが好ましい。

[0016] [5] 本発明のMOSFETにおいては、前記半導体基体は、前記 n 型コラム領域及び前記 p 型コラム領域の表面上に形成された p 型のベース領域と、前記ベース領域の表面に形成された n 型のソース領域とをさらに有し、前記MOSFETは、平面的に見て前記 n 型コラム領域が位置する領域内において、前記半導体基体の第1主面の表面から前記ベース領域の最深部よりも深い深さ位置まで、かつ、前記ソース領域の一部が内周面に露出するように形成されたトレンチをさらに備え、前記ゲート絶縁膜は、前記トレンチの内周面に形成されており、前記ゲート電極は、前記ゲート絶縁膜を介して前記トレンチの内部に埋め込まれてなることが好ましい。

[0017] [6] 本発明のMOSFETにおいては、前記半導体基体は、前記半導体基体の前記第1主面の表面、かつ、前記p型コラム領域の表面上の全部及び前記n型コラム領域の表面上の一部に形成されたベース領域と、前記半導体基体の前記第1主面の表面、かつ、前記n型コラム領域の表面上に前記ベース領域に隣接するように形成されたn型表面高濃度領域と、前記ベース領域の表面に形成されたn型のソース領域とをさらに有し、前記ゲート電極は、前記ソース領域と前記n型表面高濃度領域とに挟まれた前記ベース領域の表面上に前記ゲート絶縁膜を介して形成されていることが好ましい。

[0018] [7] 本発明のMOSFETにおいては、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、深さ方向に沿った軸をx軸とし、前記ベース領域の最下面の深さ位置のx座標を $-t$ とし、前記p型コラム領域の最下部の深さ位置のx座標を b とし、前記平均正電荷密度 $\rho(x)$ が0になる深さ位置のx座標を d としたときに、 $0 < t + d < (t + b) / 2$ を満たすことが好ましい。

[0019] [8] 本発明の電力変換回路は、リアクトルと、前記リアクトルに電流を供給する電源と、前記電源から前記リアクトルに供給する電流を制御する上記[1]～[7]のいずれかに記載のMOSFETと、前記電源から前記リアクトルに供給する電流又は前記リアクトルからの電流の整流動作を行う整流素子とを少なくとも備えることを特徴とする。

[0020] [9] 本発明の電力変換回路においては、前記整流素子は、ファスト・リカバリー・ダイオードであることが好ましい。

[0021] [10] 本発明の電力変換回路においては、前記整流素子は、前記MOSFETの内蔵ダイオードであることが好ましい。

[0022] [11] 本発明の電力変換回路においては、前記整流素子は、シリコンカーバイド・ショットキーバリアダイオードであることが好ましい。

発明の効果

[0023] 本発明のMOSFET及び電力変換回路によれば、MOSFETをターン

オフしてスーパージャンクション構造が空乏化したときの、スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置 (x が 0 に近い領域) においては、当該平均正電荷密度 $\rho(x)$ が従来の MOSFET 900 よりも小さく (負側に大きく)、p 型コラム領域の負電荷の電荷量と n 型コラム領域の正電荷の電荷量との差が従来の MOSFET 900 よりも大きくなる。従って、(1) ゲート周辺の n 型コラム領域が従来の MOSFET 900 よりも空乏化されやすくなるため、ドレイン電圧が上昇してもゲート周辺の n 型コラム領域の電位が高くなり難くなる。また、(2) n 型コラム領域における空乏化されていない領域とゲート電極との間隔が従来の MOSFET 900 よりも長くなり、帰還容量 C_{rss} (ゲート・ドレイン間容量 C_{gd} と等しい) が従来の MOSFET 900 よりも小さくなるため、MOSFET をターンオフしたときにドレイン電圧が上昇するのに伴って n 型コラム領域 (n 型コラム領域のうちの空乏化されていない領域) の電位が上昇しても、ゲート電極が n 型コラム領域の電位変化の影響を受け難くなる。その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0024] また、本発明の MOSFET によれば、MOSFET をターンオフしてスーパージャンクション構造が空乏化したときの、スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置においては、当該平均正電荷密度 $\rho(x)$ が小さく (負側に大きく)、p 型コラム領域の負電荷の電荷量が n 型コラム領域の正電荷の電荷量よりも大きくなる。従って、当該 p 型コラム領域の負電荷によって p 型コラム領域のゲート周辺のホールを引き抜き易くなり、その結果、L 負荷アバランシェ破壊耐量を従来よりも大きくすることができる。

[0025] また、本発明の MOSFET によれば、n 型コラム領域及び p 型コラム領

域から構成されたスーパージャンクション構造を有する半導体基体を備えるため、従来のMOSFET 900の場合と同様に、低オン抵抗、かつ、高耐圧のスイッチング素子となる。

[0026] さらにまた、本発明のMOSFETによれば、 $x = 0$ のときの当該平均正電荷密度 $\rho(0)$ の値が負であり、かつ、 $x = a$ のときの当該平均正電荷密度 $\rho(a)$ の値が正であるため、p型コラム領域の底部付近の深さ位置においては、p型コラム領域の不純物総量がn型コラム領域の不純物総量よりも少なくなる(n過多になる)。従って、MOSFETをターンオフしたときにp型コラム領域から発生した空乏層が第2主面側に向かって広がり難くなる。従って、リーチスルーモードのブレイクダウンが発生し難く耐圧が低下し難いMOSFETとなる。

[0027] なお、特許文献2においては、p型コラム領域816の幅がp型コラム領域816の深さ方向中央部から底部において広がるMOSFET 902が記載されています(図18参照。)。しかしながら、特許文献2に係るMOSFET 902の平均正電荷密度 $\rho(x)$ は、下に凸の右上がりの曲線で表されることとなるため、特許文献2に係るMOSFET 902は、平均正電荷密度 $\rho(x)$ が上に凸の右上がりの曲線で表されることとなる本願発明のMOSFETとは異なります。

図面の簡単な説明

[0028] [図1]実施形態1に係る電力変換回路1を示す回路図である。

[図2]実施形態1に係るMOSFET 100を示す断面図である。

[図3]MOSFETをターンオフしてスーパージャンクション構造が空乏化したときの、スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ を説明するために示す模式図である。なお、図3においては、スーパージャンクション構造117(n型コラム領域114及びp型コラム領域116)、バッファ層113以外の構成要素の図示を省略している。図3中、左側のx軸は、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も

深い深さ位置を基準として、深さ方向に沿った軸であり、 x 座標が $-t$ の位置はベース領域118の最下面の深さ位置であり、 x 座標が b の位置は p 型コラム領域116の最下部の深さ位置であり、 x 座標が a の位置はMOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第2主面側の空乏層の表面のうち最も浅い深さ位置である（図4及び図5において同じ）。

[図4]比較例1に係るMOSFET800において、MOSFETをターンオフしてスーパージャンクション構造が空乏化したときの、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ 、 p 型コラム領域の所定深さ位置における幅 $w_p(x)$ 、 n 型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ 、 p 型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ 、スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ 及び電界 $E(x)$ の深さ x に対する変化を表すグラフである。図4(a)は n 型コラム領域の所定深さ位置における幅 $w_n(x)$ 及び p 型コラム領域の所定深さ位置における幅 $w_p(x)$ の深さに対する変化を表すグラフであり、図4(b)は n 型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ 及び p 型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ の深さに対する変化を表すグラフであり、図4(c)はスーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ の深さ x に対する変化を表すグラフであり、図4(d)はスーパージャンクション構造の所定深さ位置における電界 $E(x)$ の深さ x に対する変化を表すグラフである。なお、 x 座標が d の位置は当該平均正電荷密度 $\rho(x)$ が0となる深さ位置である。

[図5]実施形態1に係るMOSFET100において、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、 n 型コラム領域114の所定深さ位置における幅 $w_n(x)$ 、 p 型コラム領域116の所定深さ位置における幅 $w_p(x)$ 、 n 型コラム領域114の所定深さ位置における正電荷の平均密度 $N_d(x)$ 、 p 型コラム領域116の所定深さ位置に

おける負電荷の平均密度 $N_a(x)$ 、スーパージャンクション構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ 及び電界 $E(x)$ の深さ x に対する変化を表すグラフである。図 5 (a) は n 型コラム領域 114 の所定深さ位置における幅 $w_n(x)$ 及び p 型コラム領域 116 の所定深さ位置における幅 $w_p(x)$ の深さ x に対する変化を表すグラフであり、図 5 (b) は n 型コラム領域 114 の所定深さ位置における正電荷の平均密度 $N_d(x)$ 及び p 型コラム領域 116 の所定深さ位置における負電荷の平均密度 $N_a(x)$ の深さ x に対する変化を表すグラフであり、図 5 (c) はスーパージャンクション構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ の深さ x に対する変化を表すグラフであり、図 5 (d) はスーパージャンクション構造 117 の所定深さ位置における電界 $E(x)$ の深さ x に対する変化を表すグラフである。

[図6]比較例 1 に係る MOSFET 800 を用いた電力変換回路において、MOSFET をターンオフしたときのドレイン・ソース間電圧 V_{ds} 、ドレイン電流 I_d 及びゲート・ソース間電圧 V_{gs} の時間推移シミュレーション結果を示すグラフである。なお、図 6 中、 p 過多は、 p 型コラム領域の不純物総量が n 型コラム領域の不純物総量よりも 10% 多い場合を示し、 n 過多は、 n 型コラム領域の不純物総量が p 型コラム領域の不純物総量よりも 10% 多い場合を示し、 $Just$ は、 n 型コラム領域の不純物総量と p 型コラム領域の不純物総量とが等しい場合を示す（図 7 において同じ。）。また、電源電圧は 300V である（図 7 において同じ）。

[図7]実施形態 1 に係る電力変換回路 1 において、MOSFET をターンオフしたときのドレイン・ソース間電圧 V_{ds} 、ドレイン電流 I_d 及びゲート・ソース間電圧 V_{gs} の時間推移シミュレーション結果を示すグラフである。

[図8]比較例 1 に係る MOSFET 800 において、ターンオフ期間中のある瞬間の空乏層の様子を示す模式図である。なお、図 8 において、ソース領域の図示を省略している（図 9 において同じ）。

[図9]実施形態 1 に係る MOSFET 100 において、MOSFET をターン

オフしたときのある瞬間の空乏層の様子を示す模式図である。なお、図9は、図8と同じタイミングの空乏層の様子を示す。

[図10]比較例2に係るMOSFET700及び実施例に係るMOSFET100Aを示す断面図である。図10(a)は比較例2に係るMOSFET700を示す断面図であり、図10(b)は実施例に係るMOSFET100Aを示す断面図である。なお、図10は模式図であり、図11のシミュレーション結果に用いた構造の寸法及び形状を厳密に反映したものではない。

[図11]比較例2に係るMOSFET700及び実施例に係るMOSFET100Aにおいて、MOSFETをターンオフしたときの等電位線のシミュレーション結果を示す図である。図11(a)は比較例2に係るMOSFET700において、MOSFETをターンオフしたときの等電位線のシミュレーション結果を示す図であり、図11(b)は実施例に係るMOSFET100Aにおいて、MOSFETをターンオフしたときの等電位線のシミュレーション結果を示す図である。なお、図11(a)は、図10(a)の一点鎖線で囲まれた領域に対応した図であり、図11(b)は、図10(b)の一点鎖線で囲まれた領域に対応した図である。また、図11において太い黒実線は、n型コラム領域とp型コラム領域との境界を示し、黒い細実線は3Vごとに引いた等電位線を示し、白実線はキャリアが通常時の5%となる領域とそれ以外の領域との境界を示す。

[図12]実施形態2に係るMOSFET102を説明するために示す図である。図12(a)は実施形態2に係るMOSFET102を示す断面図であり、図12(b)はMOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、n型コラム領域114の所定深さ位置における幅 $w_n(x)$ 及びp型コラム領域116の所定深さ位置における幅 $w_p(x)$ の深さ x に対する変化を表すグラフであり、図12(c)はn型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ 及びp型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ の深さ x に対する変化を表すグラフである。

[図13]実施形態3に係るMOSFET200を示す断面図である。

[図14]実施形態4に係る電力変換回路2を示す回路図である。

[図15]変形例1に係るMOSFET104を示す断面図である。

[図16]変形例2に係るMOSFET106を示す断面図である。

[図17]従来のMOSFET900を示す断面図である。なお、符号912は低抵抗半導体層を示し、符号913はバッファ層を示し、符号915はn型半導体層を示し、符号930はソース電極を示し、符号932はドレイン電極を示す。

[図18]特許文献2に係るMOSFET902を示す断面図である。

発明を実施するための形態

[0029] 以下、本発明のMOSFET及び電力変換回路について、図に示す実施形態に基づいて説明する。なお、各図面は模式図であり、必ずしも実際の寸法を厳密に反映したものではない。

[0030] [実施形態1]

1. 実施形態1に係る電力変換回路1の構成及び動作

実施形態1に係る電力変換回路1は、DC-DCコンバータやインバータ等の構成要素であるチョッパ回路である。実施形態1に係る電力変換回路1は、図1に示すように、リアクトル10と、電源20と、実施形態1に係るMOSFET100と、整流素子30とを備える。

[0031] リアクトル10は、流れる電流によって形成される磁場にエネルギーを蓄えることができる受動素子である。

電源20は、リアクトル10に電流を供給する直流電源である。MOSFET100は、電源20からリアクトル10に供給する電流を制御する。具体的には、MOSFET100は、ドライブ回路（図示せず）からMOSFET100のゲート電極に印加されるクロック信号に応答してスイッチングし、オン状態になると、リアクトル10と電源20の負極との間を導通させる。MOSFET100の具体的な構成については、後述する。

整流素子30は、電源20からリアクトル10に供給する電流の整流動作

を行うファスト・リカバリー・ダイオードである。具体的には、整流素子30は、ライフタイムコントロールされたpinダイオードである。

[0032] 電源20の陽極(+)は、リアクトル10の一方端12及び整流素子30のカソード電極と電氣的に接続されており、電源20の負極(-)は、MOSFET100のソース電極と電氣的に接続されている。また、MOSFET100のドレイン電極は、リアクトル10の他方端14及び整流素子30のアノード電極と電氣的に接続されている。

[0033] このような電力変換回路1において、MOSFET100がオン状態のときは、電源20の正極(+)からリアクトル10及びMOSFET100を経由して負極(-)に至る電流経路が形成され、当該電流経路に電流が流れる。このとき、リアクトル10には電源20の電気エネルギーが蓄積される。

そして、MOSFET100をターンオフしたときには、電源20の正極(+)からリアクトル10及びMOSFET100を経由して負極(-)に至る電流経路を流れる電流が減少し、やがて0になる。一方、リアクトル10は、自己誘導作用により、電流変化を妨げる向きに起電力を発生させる(リアクトル10に蓄積された電気エネルギーが放出される)。リアクトル10の起電力により発生した電流は整流素子30に向かい、整流素子30に順方向電流が流れる。

なお、MOSFET100を流れる電流量と整流素子30を流れる電流量の和は、リアクトル10に流れる電流量に等しい。そして、MOSFET100のスイッチング期間は短い(長く見積もっても100ns)ため、その期間内においてリアクトル10を流れる電流量はほとんど変化しない。従って、MOSFET100を流れる電流量と整流素子30を流れる電流量の和は、オン状態、ターンオフ期間、オフ状態のいずれの場合でもほとんど変化しない。

[0034] ところで、このような電力変換回路1において、MOSFETとして、n型コラム領域914の側壁が、第1主面側が狭いテーパ形状となっており、

かつ、p型コラム領域916の側壁が、底が狭いテーパ形状となっているMOSFET（例えば、従来のMOSFET900）を用いた場合には、ゲート周辺のチャージバランスにバラツキがあると、ターンオフしたときのスイッチング特性のバラツキが大きくなるという問題がある（後述する図6参照。）。）。。

[0035] そこで、本発明においては、MOSFETとして、下記の実施形態1に係るMOSFET100を用いる。

[0036] 2. 実施形態1に係るMOSFET100の構成

実施形態1に係るMOSFET100は、図2に示すように、半導体基体110と、トレンチ122と、ゲート電極126と、層間絶縁膜128と、ソース電極130と、ドレイン電極132とを備えるトレンチゲート型のMOSFETである。MOSFET100のドレイン・ソース間耐圧は、300V以上であり、例えば600Vである。

[0037] 半導体基体110は、n型の低抵抗半導体層112、低抵抗半導体層112上に形成され低抵抗半導体層112よりも不純物濃度が低いn型のバッファ層113、バッファ層113上に水平方向に沿って交互に配列されたn型コラム領域114及びp型コラム領域116から構成されたスーパージャンクション構造117、n型コラム領域114及びp型コラム領域116の表面上に形成されたp型のベース領域118、並びに、ベース領域118の表面上に形成されたn型のソース領域120を有する。なお、バッファ層113及びn型コラム領域114は一体的に形成されており、バッファ層113とn型コラム領域114とでn型半導体層115を構成している。

[0038] n型コラム領域114の不純物総量は、p型コラム領域116の不純物総量と等しいが、p型コラム領域116の不純物総量よりも多くてもよいし、p型コラム領域116の不純物総量よりも少なくてもよい。

[0039] n型コラム領域114及びp型コラム領域116は、スーパージャンクション構造における所定深さ位置の深さ x を横軸とし、n型コラム領域の所定深さ位置における幅 $w_n(x)$ 又はp型コラム領域の所定深さ位置における幅

$w_p(x)$ を縦軸としたときに、当該幅 $w_n(x)$ は、上に凸の右上がりの曲線で表され、当該幅 $w_p(x)$ は、下に凸の右下がりの曲線で表される（図5（a）参照。）。すなわち、n型コラム領域114は、断面で見ると伏せたガラスのような形状をしており、p型コラム領域116は、断面で見るとトランペットのような形状をしている。n型コラム領域114の不純物濃度及びp型コラム領域116の不純物濃度はいずれも深さによらず一定である（図5（b）参照。）。

[0040] n型コラム領域114、p型コラム領域116、ソース領域120、トレンチ122及びゲート電極126はいずれも、平面的に見てストライプ状に形成されている。

[0041] 低抵抗半導体層112の厚さは、例えば $100\mu\text{m}\sim 400\mu\text{m}$ の範囲内にあり、低抵抗半導体層112の不純物濃度は、例えば $1\times 10^{19}\text{cm}^{-3}\sim 1\times 10^{20}\text{cm}^{-3}$ の範囲内にある。n型半導体層115の厚さは、例えば $5\mu\text{m}\sim 120\mu\text{m}$ の範囲内にある。n型半導体層115の不純物濃度は、例えば $5\times 10^{13}\text{cm}^{-3}\sim 1\times 10^{16}\text{cm}^{-3}$ の範囲内にある。p型コラム領域116の不純物濃度は、例えば $5\times 10^{13}\text{cm}^{-3}\sim 1\times 10^{16}\text{cm}^{-3}$ の範囲内にある。ベース領域118の最深部の深さ位置は、例えば $0.5\mu\text{m}\sim 4.0\mu\text{m}$ の範囲内にあり、ベース領域118の不純物濃度は、例えば $5\times 10^{16}\text{cm}^{-3}\sim 1\times 10^{18}\text{cm}^{-3}$ の範囲内にある。ソース領域120の最深部の深さ位置は、例えば $0.1\mu\text{m}\sim 0.4\mu\text{m}$ の範囲内にあり、ソース領域120の不純物濃度は、例えば $5\times 10^{19}\text{cm}^{-3}\sim 2\times 10^{20}\text{cm}^{-3}$ の範囲内にある。

[0042] トレンチ122は、平面的に見てn型コラム領域114が位置する領域内に、半導体基体110の第1主面の表面からベース領域118の最深部よりも深い深さ位置まで、ソース領域120の一部が内周面に露出するように形成されている。トレンチ122の深さは、例えば $5\mu\text{m}$ である。

[0043] ゲート電極126は、トレンチ122の内周面に形成されたゲート絶縁膜124を介してトレンチ122の内部に埋め込まれてなる。ゲート絶縁膜1

24は、熱酸化法により形成された厚さが例えば100nmの二酸化珪素膜からなる。ゲート電極126は、CVD法及びイオン注入法により形成された低抵抗ポリシリコンからなる。

[0044] 層間絶縁膜128は、ソース領域120の一部、ゲート絶縁膜124及びゲート電極126を覆うように形成されている。層間絶縁膜128は、CVD法により形成された厚さが例えば1000nmのPSG膜からなる。

[0045] ソース電極130は、ベース領域118、ソース領域120の一部、及び、層間絶縁膜128を覆うように形成され、ソース領域120と電氣的に接続されている。ドレイン電極132は、低抵抗半導体層112の表面上に形成されている。ソース電極130は、スパッタ法により形成された厚さが例えば4μmのアルミニウム系の金属（例えば、Al-Cu系の合金）からなる。ドレイン電極132は、Ti-Ni-Auなどの多層金属膜により形成されている。多層金属膜全体の厚さは、例えば0.5μmである。

[0046] 3. スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ について

MOSFETをターンオフしたときの、n型コラム領域114の正電荷の電荷量及びp型コラム領域116の負電荷の電荷量を評価するために、MOSFETをターンオフしてスーパージャンクション構造が空乏化したときの、スーパージャンクション構造の所定深さ位置における平均正電荷密度 $\rho(x)$ （以下、単に平均正電荷密度 $\rho(x)$ という。）を用いる。

[0047] MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、スーパージャンクション構造117における所定深さ位置の深さ（以下、単に深さ x という）を x とすると、平均正電荷密度 $\rho(x)$ は、以下の式（1）で表される。

[数1]

$$\rho(x) = \frac{q}{2w} \left[w_n(x) \cdot N_d(x) - w_p(x) \cdot N_a(x) \right] \cdots (1)$$

(式(1)中、 $w_n(x)$ は、 n 型コラム領域114の所定深さ位置における幅を示し、 $N_d(x)$ は、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、 n 型コラム領域114の所定深さ位置における正電荷の平均密度を示し、 $w_p(x)$ は、 p 型コラム領域の所定深さ位置における幅を示し、 $N_a(x)$ は、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、 p 型コラム領域116の所定深さ位置における負電荷の平均密度を示し、 q は、電気素量を示し、 w は、 $w_n(x) + w_p(x) = 2w$ を満たす正の定数を示す。図3参照。)

[0048] なお、実施形態1においては、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの、第1主面側の空乏層の表面のうち最も深い深さ位置を $x=0$ とし、第2主面側の空乏層の表面のうち最も浅い深さ位置の深さを a としたときの、 $0 \leq x \leq a$ の範囲内における平均正電荷密度 $\rho(x)$ を評価する。

[0049] ここで、 n 型コラム領域114の不純物濃度と p 型コラム領域116の不純物濃度がそれぞれ深さによらず一定であるとする、 $N_a(x) = N_d(x) = N_0$ となり、以下のような式(2)で表される。

[数2]

$$\rho(x) = \frac{q N_0}{2w} [w_n(x) - w_p(x)] \cdots (2)$$

[0050] また、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、スーパージャンクション構造117の所定深さ位置における電界 $E(x)$ (以下、単に電界 $E(x)$ という。)は、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、 n 型コラム領域114の所定深さ位置における正電荷(ドナー)及び p 型コラム領域116の所定深さ位置における負電荷(アクセプタ)から発生する電界を表したものであり、以下の式(3)で表される。

[数3]

$$E(x) = \int_0^x \frac{\rho(x)}{\varepsilon} dx \cdots (3)$$

(式(3)中、 ε は、半導体基体の材料(例えばシリコン)の誘電率を示す。)

[0051] 次に、実施形態1に係るMOSFET100を説明するために、まず、比較例1に係るMOSFET800を説明する。

比較例1に係るMOSFET800(図8参照。)は、基本的には実施形態1に係るMOSFET100と同様の構成を有するが、従来のMOSFET900と同様に、n型コラム領域814の側壁は、第1主面側が狭いテーパ形状となっており、p型コラム領域816の側壁は、底が狭いテーパ形状となっている点で、実施形態1に係るMOSFET100とは異なる。

[0052] 比較例1に係るMOSFET800においては、深さ x を横軸とし、n型コラム領域814の所定深さ位置における幅 $w_n(x)$ 又はp型コラム領域816の所定深さ位置における幅 $w_p(x)$ を縦軸としたときに、当該幅 $w_p(x)$ は、右下がりの直線で表され、当該幅 $w_n(x)$ は、右上がりの直線で表される(図4(a)参照。)

また、比較例1に係るMOSFET800においては、実施形態1に係るMOSFET100と同様に、n型コラム領域814の不純物濃度及びp型コラム領域816の不純物濃度は深さによらず一定である(図4(b)参照。)

[0053] これらのことから、比較例1に係るMOSFET800において、平均正電荷密度 $\rho(x)$ は、右上がりの直線で表される(図4(c)参照。)

平均正電荷密度 $\rho(x)$ を表す直線について詳しく見ると、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、深さ方向に沿った軸を x 軸とし、ベース領域の最下面の深さ位置の x 座標を $-t$ とし、p型コラム領域の最下部の深さ位置の x 座標を b とし、平均正電荷密度

$\rho(x)$ が 0 になる深さ位置の x 座標を d とし、MOSFET をターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第 2 主面側の空乏層の表面のうち最も浅い深さ位置の x 座標を a とすると、以下の (1) ~ (3) が成り立つ。

(1) $d = a/2$ を満たす。すなわち、当該平均正電荷密度 $\rho(x)$ が 0 になる深さ位置の深さは、MOSFET をターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第 1 主面側の空乏層の表面のうち最も深い深さ位置を基準としたとき、当該平均正電荷密度 $\rho(x)$ が 0 になるときの所定深さ位置の深さ d は、MOSFET をターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第 2 主面側の空乏層の表面のうち最も浅い深さ位置の深さ a の半分の深さとなる。(すなわち、 $x = a/2$ のときの深さ位置においてチャージバランスが取れている)。

(2) $x = 0$ のときの当該平均正電荷密度 $\rho(0)$ の値が負であり、かつ、 $x = a$ のときの当該平均正電荷密度 $\rho(a)$ の値が正である。

(3) 当該平均正電荷密度 $\rho(x)$ を表す直線、 $x = 0$ の直線及び横軸 (x 軸) で囲まれた領域の面積は、当該平均正電荷密度 $\rho(x)$ を表す直線、 $x = a$ の直線及び横軸 (x 軸) で囲まれた領域の面積と等しい。

[0054] また、比較例 1 に係る MOSFET 800 において、電界 $E(x)$ は、 $x = a/2$ を頂点とする下に凸の二次関数となる (図 4 (d) 参照。)。なお、電界 $E(x)$ が負になるということは、 x が 0 に近づく向きに電界ベクトルが向いているということになる。

[0055] これに対して、実施形態 1 に係る MOSFET 100 においては、深さ x を横軸とし、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ 又は p 型コラム領域の所定深さ位置における幅 $w_p(x)$ を縦軸としたときに、当該幅 $w_n(x)$ は、上に凸の単調な右上がりの曲線で表され、当該幅 $w_p(x)$ は、下に凸の単調な右下がりの曲線で表される (図 5 (a) 参照。))。

また、実施形態 1 に係る MOSFET 100 においては、 n 型コラム領域 114 の不純物濃度及び p 型コラム領域 116 の不純物濃度は深さによらず

一定である（図5（b）参照。）。

[0056] これらのことから、実施形態1に係るMOSFET100において、平均正電荷密度 $\rho(x)$ は、上に凸の単調な右上がりの曲線で表される（図5（c）参照。）。

平均正電荷密度 $\rho(x)$ を表す曲線について詳しく見ると、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、深さ方向に沿った軸を x 軸とし、ベース領域の最下面の深さ位置の x 座標を $-t$ とし、 p 型コラム領域の最下部の深さ位置の x 座標を b とし、平均正電荷密度 $\rho(x)$ が0になる深さ位置の x 座標を d とし、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第2主面側の空乏層の表面のうち最も浅い深さ位置の x 座標を a とすると、以下の（1）～（4）が成り立つ。

（1） $0 < d < a/2$ を満たす。すなわち、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置を基準としたとき、当該平均正電荷密度 $\rho(x)$ が0になるときの所定深さ位置の深さ d は、MOSFETをターンオフしてスーパージャンクション構造に空乏層が最も広がったときの第2主面側の空乏層の表面のうち最も浅い深さ位置の深さ a の半分の深さよりも浅い。（すなわち、チャージバランスが取れている深さ位置が比較例1に係るMOSFET800におけるチャージバランスが取れている深さ位置よりも浅い）。

（2） $x = 0$ のときの当該平均正電荷密度 $\rho(0)$ の値が負であり、かつ、 $x = a$ のときの当該平均正電荷密度 $\rho(a)$ の値が正である。

（3）当該平均正電荷密度 $\rho(x)$ を表す曲線、 $x = 0$ の直線及び横軸（ x 軸）で囲まれた領域の面積は、当該平均正電荷密度 $\rho(x)$ を表す曲線、 $x = a$ の直線及び横軸（ x 軸）で囲まれた領域の面積と等しい。

（4） $0 < t + d < (t + b)/2$ を満たす。

[0057] また、電界 $E(x)$ は、 $x = d$ を頂点とする下に凸の関数となる（図 5（ d ）参照。）。このとき、 $x < d$ のとき、当該 $E(x)$ は急激に減少し、 $x > d$ のとき、当該 $E(x)$ は緩やかに増加する。

[0058] 4. ターンオフしたときの MOSFET100 の動作・波形について

実施形態 1 に係る電力変換回路 1 において、MOSFET100 の代わりに比較例 1 に係る MOSFET800 を用いた場合、比較例 1 に係る MOSFET800 は、以下のように動作する。

(1) ドレイン電流 I_d

n 型コラム領域の不純物総量と p 型コラム領域の不純物総量とが等しい場合（以下、 J_{ust} の場合という）、ドレイン電流 I_d が減少し始めてからドレイン電流 I_d が最初に 0 となるまでの間に、一時的にドレイン電流 I_d が上昇する期間がわずかに出現するように動作する（ドレイン電流 I_d の波形にコブ波形がわずかに出現するように動作する。図 6 の $I_d(J_{ust})$ 参照。）。ドレイン電流 I_d が減少し始めてからドレイン電流 I_d が最初に 0 となるまでの間は約 $0.02 \mu\text{sec}$ (20 nsec) である。

n 型コラム領域の不純物総量が p 型コラム領域の不純物総量よりも大きくなるようにチャージバランスのバラツキがあった場合（以下、 n 過多の場合という）、ドレイン電流 I_d が減少し始めてからドレイン電流 I_d が最初に 0 となるまでの間に、一時的にドレイン電流 I_d が上昇する期間が出現するように動作する（ドレイン電流 I_d の波形に大きなコブ波形が出現するように動作する。図 6 の $I_d(n \text{ 過多})$ 参照。）。当該コブ波形においては、ドレイン電流 I_d が J_{ust} の場合よりも高い電流値まで増加し、かつ、ドレイン電流 I_d が 0 になるまでの期間が J_{ust} の場合よりも大幅に長くなる（ J_{ust} の場合が約 $0.02 \mu\text{sec}$ (20 nsec) であるのに対して、 n 過多の場合には約 $0.04 \mu\text{sec}$ (40 nsec) である。）。

また、 p 型コラム領域の不純物総量が n 型コラム領域の不純物総量よりも大きい場合（以下、 p 過多の場合という）、ドレイン電流 I_d は単調に減少するように動作する（ドレイン電流 I_d の波形にコブ波形が出現しないよう

に動作する。図6の I_d (p過多) 参照。) 。

(2) ドレイン・ソース間電圧 V_{ds}

n過多の場合、ドレイン・ソース間電圧 V_{ds} はJ u s tの場合よりも緩やかに約350Vまで上昇し、その後、緩やかに減少して電源電圧(300V)で安定するように動作する。ドレイン・ソース間電圧 V_{ds} が上昇し始めてから安定するまでにかかる時間はJ u s tの場合よりも長く約0.05 μ sec (50nsec) である(図6の V_{ds} (n過多) 参照。) 。

p過多の場合、ドレイン・ソース間電圧 V_{ds} がJ u s tの場合よりも急激に約370Vまで増加した後、電源電圧(300V)で安定するように動作する(図6の V_{ds} (p過多) 参照。) 。ドレイン・ソース間電圧 V_{ds} が上昇してから安定するまでにかかる時間は約0.02 μ sec (20nsec) である。

(3) ゲート・ソース間電圧 V_{gs}

n過多の場合、ゲート・ソース間電圧 V_{gs} は、ミラー期間終了後に一時的に上昇する期間がわずかに出現するように動作する(図6の V_{gs} (n過多) 参照。) 。一方、J u s tの場合及びp過多の場合、ゲート・ソース間電圧 V_{gs} は、ほとんど変化せず単調に減少するように動作する(図6の V_{gs} (p過多) 及び V_{gs} (J u s t) 参照。) 。

[0059] 上記(1)～(3)からわかるように、比較例1に係るMOSFET800においては、ゲート周辺のチャージバランスのバラツキがあった場合(J u s tがn過多になったり、p過多になったりする場合等)に、ターンオフしたときのスイッチング特性、特にドレイン電流 I_d 及びドレイン・ソース間電圧 V_{ds} のバラツキが大きくなる。チャージバランスがn過多にばらついた場合、スイッチング特性のバラツキは特に大きくなる。

[0060] これに対して、実施形態1に係る電力変換回路1において、実施形態1に係るMOSFET100は、以下のように動作する。

(1) ドレイン電流 I_d

J u s tの場合、n過多の場合及びp過多の場合の全ての場合において、

ターンオフ期間が短くなり、どの場合においても似たような波形になるように動作する（図7の各 I_d 参照。）。特に、 n 過多の場合には、ドレイン電流 I_d の波形にコブ波形がほとんど出現しなくなり、 $Just$ の場合及び p 過多の場合の波形に近くなるように動作する。

（２）ドレイン・ソース間電圧 V_{ds}

$Just$ の場合、 n 過多の場合及び p 過多の場合の全ての場合において、ターンオフ期間が短くなり、どの場合においても似たような波形になるように動作する（図7の各 V_{ds} 参照。）。 p 過多の場合にはリングングが発生しているが、このリングングはスナバ回路等のリングングを除去する機構を設けることによって小さくすることができる。

（３）ゲート・ソース間電圧 V_{gs}

$Just$ の場合、 n 過多の場合及び p 過多の場合の全ての場合において、ゲート・ソース間電圧 V_{gs} の波形にほとんど違いがないように動作する（図7の各 V_{gs} 参照。）。

[0061] 上記（１）～（３）からわかるように、実施形態１に係る $MOSFET100$ においては、ゲート周辺のチャージバランスのバラツキ（ $Just$ から n 過多になったり、 p 過多になったりする等）があったときしても、ターンオフしたときのスイッチング特性のバラツキを小さくすることができる。

[0062] 次に、 $MOSFET$ をターンオフしたときに、実施形態１に係る $MOSFET100$ 及び比較例１に係る $MOSFET800$ の波形が上記のような波形になる理由を説明する。

まず、比較例１に係る $MOSFET800$ において、 $MOSFET$ をターンオフすると、 p 型コラム領域 816 （及びベース領域 818 ）と n 型コラム領域 814 との間の pn 接合から空乏層が n 型コラム領域 814 及び p 型コラム領域 816 に広がる。しかしながら、比較例１に係る $MOSFET800$ においては、（空乏層がトレンチ直下まで広がるものの）空乏層がドレイン電極側に広がり難いため、 n 型コラム領域 814 における空乏化されていない領域とゲート電極 826 の間隔を長くすることが難しく、帰還容量 C

r_{ss} を小さくすることが難しくなる（図8参照。）。このため、ゲート電極826がn型コラム領域814の電位変化の影響を受け易く、ゲート周辺のチャージバランスのバラツキがあったときには、ターンオフしたときのスイッチング特性のバラツキを小さくすることが難しい。

[0063] これに対して、実施形態1に係るMOSFET100においては、空乏層がドレイン電極側にも広がり易いため、n型コラム領域114における空乏化されていない領域とゲート電極126との間隔を長くし易く、帰還容量 C_{rss} を小さくすることが容易となる（図9参照。）。このため、ゲート電極126がn型コラム領域114の電位変化の影響を受け難くすることができ、ゲート周辺のチャージバランスのバラツキがあったときには、ターンオフしたときのスイッチング特性のバラツキを小さくすることができる。

[0064] 次に、等電位線の面から上記理由を説明する。

なお、比較例2に係るMOSFET700は、ソース電極とコンタクトする部分がソース領域の最下部の深さ位置まで掘り込まれている点以外は比較例1に係るMOSFET800と同様の構成を有するMOSFETであり（図10（a）参照。）、実施例に係るMOSFET100Aは、ソース電極とコンタクトする部分がソース領域の最下部の深さ位置まで掘り込まれている点以外は、実施形態1に係るMOSFET100と同様の構成を有するMOSFETである（図10（b）参照。）。

[0065] 比較例2に係るMOSFET700において、MOSFETをターンオフしたときには、トレンチの底部の等電位線の間隔が狭い状態となっている（図11（a）参照。）。これは、n型コラム領域714における空乏化されていない領域とゲート電極726との間隔が短いためである。従って、トレンチの底部付近の電位勾配が大きくなり、ゲート電極726がn型コラム領域714の電位変化の影響を受け易くなる。従って、ゲート周辺のチャージバランスのバラツキがあったときには、ターンオフしたときのスイッチング特性のバラツキを小さくすることが難しい。

[0066] これに対して、実施例に係るMOSFET100Aにおいて、MOSFE

Tをターンオフしたときには、トレンチ122の底部付近の等電位線の間隔が広い状態となっている（図11（b）参照。）。これは、n型コラム領域114における空乏化されていない領域とゲート電極126との間隔が長いためである。これにより、トレンチ122の底部付近の電位勾配が小さくなり、ゲート電極126がn型コラム領域114の電位変化の影響を受け難くなる。従って、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを小さくすることができる。

[0067] 5. 実施形態1に係るMOSFET100及び電力変換回路1の効果

実施形態1に係るMOSFET100及び電力変換回路1によれば、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、スーパージャンクション構造117の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置（ x が0に近い領域）においては、当該平均正電荷密度 $\rho(x)$ が従来のMOSFET900よりも小さく（負側に大きく）、p型コラム領域116の負電荷の電荷量とn型コラム領域114の正電荷の電荷量との差が従来のMOSFET900よりも大きくなる。従って、（1）ゲート周辺のn型コラム領域114が従来のMOSFET900よりも空乏化されやすくなるため、ドレイン電圧が上昇してもゲート周辺のn型コラム領域114の電位が高くなり難くなる。また、（2）n型コラム領域114における空乏化されていない領域とゲート電極126との間隔が従来のMOSFET900よりも長くなり、帰還容量 C_{rss} （ゲート・ドレイン間容量 C_{gd} と等しい）が従来のMOSFET900よりも小さくなるため、MOSFETをターンオフしたときにドレイン電圧が上昇するのに伴ってn型コラム領域114（n型コラム領域114のうちの空乏化されていない領域）の電位が上昇しても、ゲート電極126がn型コラム領域114の電位変化の影響を受け難くなる。その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来より

も小さくすることができる。

[0068] また、実施形態1に係るMOSFET100によれば、MOSFETをターンオフしてスーパージャンクション構造117が空乏化したときの、スーパージャンクション構造117の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置においては、平均正電荷密度 $\rho(x)$ が小さく（負側に大きく）、p型コラム領域116の負電荷の電荷量がn型コラム領域の正電荷の電荷量よりも大きくなる。従って、当該p型コラム領域116の負電荷によってゲート周辺のホールを引き抜きやすくなり、その結果、L負荷アバランシェ破壊耐量を大きくすることができる。

[0069] また、実施形態1に係るMOSFET100によれば、n型コラム領域114及びp型コラム領域116から構成されたスーパージャンクション構造117を有する半導体基体110を備えるため、従来のMOSFET900の場合と同様に、低オン抵抗、かつ、高耐圧のスイッチング素子となる。

[0070] また、実施形態1に係るMOSFET100によれば、 $x=0$ のときの当該平均正電荷密度 $\rho(0)$ の値が負であり、かつ、 $x=a$ のときの当該平均正電荷密度 $\rho(a)$ の値が正であるため、p型コラム領域116の底部付近の深さ位置においては、p型コラム領域116の不純物総量がn型コラム領域114の不純物総量よりも少なくなる（n過多になる）。従って、MOSFETをターンオフしたときにp型コラム領域116から発生した空乏層が第2主面側に向かって広がり難くなる。従って、リーチスルーモードのブレークダウンが発生し難く耐圧が低下し難いMOSFETとなる。

[0071] また、実施形態1に係るMOSFET100によれば、MOSFETをターンオフしてスーパージャンクション構造117に空乏層が最も広がったときの第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、MOSFETをターンオフしてスーパージャンクション構造117に空乏層が最も広がったときの第2主面側の空乏層の表面のうち最も浅い深さ位置の深さを a とし、スーパージャンクション構造117における、平均正電荷密度 ρ

(x) が 0 になる深さ位置の深さを d としたときに、 $0 < d < a/2$ を満たすため、ゲート周辺の深さ位置において p 型コラム領域 116 の負電荷の電荷量と n 型コラム領域 114 の正電荷の電荷量との差が大きくなり、ゲート周辺の n 型コラム領域 114 が空乏化しやすくなるため、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキをより一層小さくすることができる。

[0072] また、実施形態 1 に係る MOSFET 100 によれば、スーパージャンクション構造 117 における所定深さ位置の深さ x を横軸とし、n 型コラム領域 114 の所定深さ位置における幅 $w_n(x)$ 又は p 型コラム領域 116 の所定深さ位置における幅 $w_p(x)$ を縦軸としたときに、当該幅 $w_p(x)$ は、下に凸の右下がりの曲線で表され、当該幅 $w_n(x)$ は、上に凸の右上がりの曲線で表されるため、半導体装置を製造する過程において不純物を導入する際に、深さごとに導入する不純物濃度を変えるとといった複雑な工程を実施しなくても済む。

[0073] 実施形態 1 に係る MOSFET 100 はトレンチゲート型の MOSFET である。このような構成とすることにより、プレーナーゲート型の MOSFET よりもゲート電極とドレイン電極が近く、ゲート周辺の n 型コラム領域 114 の電位が上がり易いトレンチゲート型の MOSFET であっても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0074] また、実施形態 1 に係る MOSFET 100 によれば、MOSFET をターンオフしてスーパージャンクション構造 117 に空乏層が最も広がったときの第 1 主面側の空乏層の表面のうち最も深い深さ位置を基準として、深さ方向に沿った軸を x 軸とし、ベース領域 11 の最下面の深さ位置の x 座標を $-t$ とし、p 型コラム領域 116 の最下部の深さ位置の x 座標を b とし、平均正電荷密度 $\rho(x)$ が 0 になる深さ位置の x 座標を d としたときに、 $0 < t + d < (t + b)/2$ を満たすため、このような構成とすることによっても、ゲート周辺の深さ位置において p 型コラム領域 116 の負電荷の電荷量

と n 型コラム領域 114 の正電荷の電荷量との差が大きくなり、ゲート周辺の n 型コラム領域 114 が空乏化しやすくなる。その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキをより一層小さくすることができる。

[0075] 実施形態 1 に係る電力変換回路 1 によれば、整流素子が、ファスト・リカバリー・ダイオードであるため、ターンオフ期間が短く、MOSFET をターンオフしたときに、ドレイン電圧に伴って n 型コラム領域 114 の電位が上がり難くなる。従って、ゲート電極の電位も上がり難くなり、その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0076] [実施形態 2]

実施形態 2 に係る MOSFET 102 は、基本的には実施形態 1 に係る MOSFET 100 と同様の構成を有するが、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ 及び p 型コラム領域の所定深さ位置における幅 $w_p(x)$ ではなく、MOSFET をターンオフしてスーパージャンクション構造が空乏化したときの、 n 型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ 、及び、 p 型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ を変化させた点で実施形態 1 に係る MOSFET 100 の場合とは異なる。すなわち、実施形態 2 に係る MOSFET 102 においては、図 12 に示すように、深さ x を横軸とし、 n 型コラム領域 114 の所定深さ位置における正電荷の平均密度 $N_d(x)$ 及び p 型コラム領域 116 の所定深さ位置における負電荷の平均密度 $N_a(x)$ を縦軸としたときに、当該正電荷の平均密度 $N_d(x)$ は、上に凸の単調な右上がりの曲線で表され、当該負電荷の平均密度 $N_a(x)$ は、下に凸の単調な右下がりの曲線で表される（図 12 (c) 参照。）。なお、 n 型コラム領域 114 の幅及び p 型コラム領域 116 の幅はいずれも、深さによらず一定である（図 12 (b) 参照。）。

[0077] このように、実施形態 2 に係る MOSFET 102 は、 p 型コラム領域の

所定深さ位置における幅 $w_p(x)$ 及び n 型コラム領域の所定深さ位置における幅 $w_n(x)$ ではなく、MOSFET をターンオフしてスーパージャンクション構造が空乏化したときの、 n 型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ 、及び、 p 型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ を変化させた点で実施形態 1 に係る MOSFET 100 の場合とは異なるが、実施形態 1 に係る MOSFET 100 の場合と同様に、MOSFET をターンオフしてスーパージャンクション構造 117 が空乏化したときの、スーパージャンクション構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置 (x が 0 に近い領域) においては、当該平均正電荷密度 $\rho(x)$ が従来の MOSFET 900 よりも小さく (負側に大きく)、 p 型コラム領域 116 の負電荷の電荷量と n 型コラム領域 114 の正電荷の電荷量との差が従来の MOSFET 900 よりも大きくなる。従って、(1) 従来の MOSFET 900 よりもゲート周辺の n 型コラム領域 114 が空乏化されやすくなるため、ドレイン電圧が上昇してもゲート周辺の n 型コラム領域 114 の電位が高くなり難くなる。また、(2) n 型コラム領域 114 における空乏化されていない領域とゲート電極 126 との間隔が長くなり、帰還容量 C_{rss} が従来の MOSFET 900 よりも小さくなるため、MOSFET をターンオフしたときにドレイン電圧が上昇するのに伴って n 型コラム領域 114 (n 型コラム領域のうちの空乏化されていない領域) の電位が上昇しても、ゲート電極 126 が n 型コラム領域 114 の電位変化の影響を受け難くなる。従って、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0078] なお、実施形態 2 に係る MOSFET 102 は、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ 及び p 型コラム領域の所定深さ位置における幅 $w_p(x)$ ではなく、MOSFET をターンオフしてスーパージャンクション構造が空乏化したときの、 n 型コラム領域の所定深さ位置における正電荷の平

均密度 $N_d(x)$ 、及び、p型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ を変化させた点以外の点においては実施形態1に係るMOSFET100と同様の構成を有するため、実施形態1に係るMOSFET100が有する効果のうち該当する効果を有する。

[0079] [実施形態3]

実施形態3に係るMOSFET200は、基本的には実施形態1に係るMOSFET100と同様の構成を有するが、トレンチゲート型のMOSFETではなくプレーナーゲート型のMOSFETである点で実施形態1に係るMOSFET100の場合とは異なる。すなわち、実施形態3に係るMOSFET200において、半導体基体210は、図13に示すように、半導体基体210の第1主面の表面、かつ、p型コラム領域216の表面上の全部及びn型コラム領域214の表面上の一部に形成されたベース領域218と、半導体基体210の第1主面の表面、かつ、n型コラム領域214の表面上にベース領域218に隣接するように形成されたn型表面高濃度領域219と、ベース領域218の表面に形成されたn型のソース領域220とを有し、ゲート電極236は、ソース領域220とn型表面高濃度領域219とに挟まれたベース領域218の表面上にゲート絶縁膜234を介して形成されている。なお、n型表面高濃度領域219の深さ位置は、 $1.0\mu\text{m} \sim 4.0\mu\text{m}$ の範囲内にあり、n型表面高濃度領域219の不純物濃度は、 $1 \times 10^{14} \text{cm}^{-3} \sim 1 \times 10^{16} \text{cm}^{-3}$ の範囲内にある。

[0080] このように、実施形態3に係るMOSFET200は、トレンチゲート型のMOSFETではなく、プレーナーゲート型のMOSFETである点で実施形態1に係るMOSFET100の場合とは異なるが、実施形態1に係るMOSFET100の場合と同様に、MOSFETをターンオフしてスーパージャンクション構造217が空乏化したときの、スーパージャンクション構造217の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置 (x が0に近い領域) においては、当該平均正電荷密度 $\rho(x)$ が従来のMOSFET900より

も小さく（負側に大きく）、p型コラム領域216の負電荷の電荷量とn型コラム領域214の正電荷の電荷量との差が従来のMOSFET900よりも大きくなる。従って、（1）従来のMOSFETよりもゲート周辺のn型コラム領域214が空乏化されやすくなるため、ドレイン電圧が上昇してもゲート周辺のn型コラム領域214の電位が高くなり難くなる。また、（2）n型コラム領域214における空乏化されていない領域とゲート電極236との間隔が長くなり、帰還容量 C_{rss} が従来のMOSFETよりも小さくなるため、MOSFETをターンオフしたときにドレイン電圧が上昇するのに伴ってn型コラム領域214（n型コラム領域のうちの空乏化されていない領域）の電位が上昇しても、ゲート電極236がn型コラム領域214の電位変化の影響を受け難くなる。従って、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0081] なお、実施形態3に係るMOSFET200は、トレンチゲート型のMOSFETではなく、プレーナーゲート型のMOSFETである点以外の点においては実施形態1に係るMOSFET100と同様の構成を有するため、実施形態1に係るMOSFET100が有する効果のうち該当する効果を有する。

[0082] [実施形態4]

実施形態4に係る電力変換回路2は、基本的には実施形態1に係る電力変換回路1と同様の構成を有するが、電力変換回路がフルブリッジ回路である点で実施形態1に係るMOSFET100の場合とは異なる。すなわち、実施形態4に係る電力変換回路2は、図14に示すように、MOSFETとして、4つのMOSFET100（100a～100d）を備え、整流素子として、各MOSFETの内蔵ダイオードを備える。

[0083] このように、実施形態4に係る電力変換回路2は、電力変換回路がフルブリッジ回路である点で実施形態1に係る電力変換回路1の場合とは異なるが、実施形態1に係る電力変換回路1の場合と同様に、MOSFETをターン

オフしてスーパージャンクション構造 117 が空乏化したときの、スーパージャンクション構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、ゲート周辺の深さ位置 (x が 0 に近い領域) においては、当該平均正電荷密度 $\rho(x)$ が従来の MOSFET 900 よりも小さく (負側に大きく)、p 型コラム領域 116 の負電荷の電荷量と n 型コラム領域 114 の正電荷の電荷量との差が従来の MOSFET 900 よりも大きくなる。従って、(1) 従来の MOSFET よりもゲート周辺の n 型コラム領域 114 が空乏化されやすくなるため、ドレイン電圧が上昇してもゲート周辺の n 型コラム領域 114 の電位が高くなり難くなる。また、(2) n 型コラム領域 114 における空乏化されていない領域とゲート電極 126 との間隔が長くなり、帰還容量 C_{rss} が従来の MOSFET よりも小さくなるため、MOSFET をターンオフしたときにドレイン電圧が上昇するのに伴って n 型コラム領域 114 (n 型コラム領域のうちの空乏化されていない領域) の電位が上昇しても、ゲート電極 126 が n 型コラム領域 114 の電位変化の影響を受け難くなる。従って、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0084] また、実施形態 4 に係る電力変換回路 2 によれば、MOSFET をターンオフしてスーパージャンクション構造 117 が空乏化したときの、スーパージャンクション構造 117 の所定深さ位置における平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されるため、上記したように、MOSFET をターンオフしたときにドレイン電圧が上昇するのに伴って n 型コラム領域 114 (n 型コラム領域 114 のうちの空乏化されていない領域) の電位が上昇しても、ゲート電極 126 が n 型コラム領域 114 の電位変化の影響を受け難くなる。このため、フォールス・ターンオン(誤オン)と呼ばれる現象が発生し難くなる。

[0085] なお、フォールス・ターンオン(誤オン)と呼ばれる現象は、2 個以上の MOSFET が接続されている回路において、どちらか一方の MOSFET が

ターンオンするとき、電位変化によって、もう一方のMOSFETも誤ってターンオンする現象である。

[0086] さらにまた、実施形態4に係る電力変換回路2によれば、整流素子が、MOSFETの内蔵ダイオードであるため、別途整流素子を準備する必要がない。

[0087] なお、実施形態4に係る電力変換回路2は、電力変換回路がフルブリッジ回路である点以外の点においては実施形態1に係る電力変換回路1と同様の構成を有するため、実施形態1に係る電力変換回路1が有する効果のうち該当する効果を有する。

[0088] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0089] (1) 上記実施形態において記載した構成要素の数、材質、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

[0090] (2) 上記実施形態1及び3においては、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ を上凸の単調な右上がりの曲線で表し、かつ、 p 型コラム領域の所定深さ位置における幅 $w_p(x)$ を下凸の単調な右下がりの曲線で表したが、本発明はこれに限定されるものではない。例えば、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ を、階段状（但し、階段の角の部分をつなぐ線（包絡線）が上凸の単調な右上がりの曲線になる）で表し、かつ、 p 型コラム領域の所定深さ位置における幅 $w_p(x)$ を、階段状（但し、階段の角の部分をつなぐ線（包絡線）が下凸の単調な右下がりの曲線になる）で表してもよい（図15参照。）、 n 型コラム領域の所定深さ位置における幅 $w_n(x)$ を、凹凸を繰り返す曲線（但し、包絡線が上凸の単調な右上がりの曲線になる）で表し、かつ、 p 型コラム領域の所定深さ位置における幅 $w_p(x)$ を、凹凸を繰り返す曲線（但し、包絡線が下凸の単調な右下がりの曲線

になる)で表してもよい(図16参照。)

[0091] (3) 上記実施形態2においては、n型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ を上凸の単調な右上がりの曲線で表したが、本発明はこれに限定されるものではない。例えば、n型コラム領域の所定深さ位置における正電荷の平均密度 $N_d(x)$ を、階段状(但し、階段の角の部分をつなぐ線が上凸の単調な右上がりの曲線になる)で表してもよいし、凹凸を繰り返す曲線(但し、包絡線が上凸の単調な右上がりの曲線になる)で表してもよい。

[0092] (4) 上記実施形態2においては、p型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ を下凸の単調な右下がりの曲線で表したが、本発明はこれに限定されるものではない。例えば、p型コラム領域の所定深さ位置における負電荷の平均密度 $N_a(x)$ を、階段状(但し、階段の角の部分をつなぐ線が下凸の単調な右下がりの曲線になる)で表してもよいし、凹凸を繰り返す曲線(但し、包絡線が下凸の単調な右下がりの曲線になる)で表してもよい。

[0093] (5) 上記各実施形態においては、n型コラム領域114、p型コラム領域116、トレンチ122、ゲート電極126を平面的に見てストライプ状に形成したが、本発明はこれに限定されるものではない。n型コラム領域114、p型コラム領域116、トレンチ122、ゲート電極126を平面的に見て、円状(立体的に見て柱状)、四角形の枠状、円形の枠状又は格子状等に形成してもよい。

[0094] (6) 上記各実施形態においては、電源として、直流電源を用いたが、本発明はこれに限定されるものではない。電源として、交流電源を用いてもよい。

[0095] (7) 上記実施形態1～3においては、電力変換回路として、チョッパ回路を用い、実施形態4においては、電力変換回路としてフルブリッジ回路を用いたが、本発明はこれに限定されるものではない。電力変換回路として、ハーフブリッジ回路、三相交流コンバータ、非絶縁型フルブリッジ回路、非絶

縁型ハーフブリッジ回路、プッシュプル回路、RCC回路、フォワードコンバータ、フライバックコンバータその他の回路を用いてもよい。

[0096] (8) 上記実施形態1～3においては、整流素子として、pinダイオードを用い、実施形態4においては、MOSFETの内蔵ダイオードを用いたが、本発明はこれに限定されるものではない。整流素子として、JBS、MPSその他のファスト・リカバリー・ダイオード、シリコンカーバイド・ショットキーバリアダイオードその他のダイオードを用いてもよい。

[0097] (9) 上記実施形態4においては、整流素子として、MOSFETの内蔵ダイオードのみを用いたが、本発明はこれに限定されるものではない。内蔵ダイオードのリカバリ損失が大きすぎる場合は、MOSFETと並列に別途整流素子を接続してもよい。

符号の説明

[0098] 1, 2…電力変換回路、10…リアクトル、12…第1端子、14…第2端子、20…電源、30…整流素子、100, 100A, 100a, 100b, 100c, 100d, 102, 104, 106, 200, 700, 800, 900…MOSFET、110, 210, 710, 910…半導体基体、112, 212, 712, 912…低抵抗半導体層、113, 213, 713, 913…バッファ層、114, 214, 714, 814, 914…n型コラム領域、115, 215, 715, 915…n型半導体層、116, 216, 716, 816, 916…p型コラム領域、117, 217, 717, 917…スーパージャンクション構造、118, 218, 718, 818, 918…ベース領域、219, 919…n型表面高濃度領域、120, 220, 720, 920…ソース領域、122, 722, 822…トレンチ、124, 234, 724, 824, 934…ゲート絶縁膜、126, 236, 726, 826, 936…ゲート電極、128, 238, 728…層間絶縁膜、130, 230, 730, 930…ソース電極、132, 232, 732, 932…ドレイン電極

請求の範囲

[請求項1] n型コラム領域及びp型コラム領域から構成されたスーパージャンクション構造を有する半導体基体と、

前記半導体基体の第1主面側にゲート絶縁膜を介して形成されたゲート電極とを備えるMOSFETであって、

前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、前記MOSFETをターンオフしてスーパージャンクション構造が空乏化したときの、前記スーパージャンクション構造における所定深さ位置の深さ x を横軸とし、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、以下の式(1)で表される、前記スーパージャンクション構造の前記所定深さ位置における平均正電荷密度 $\rho(x)$ を縦軸としたときに、

当該平均正電荷密度 $\rho(x)$ は、上に凸の右上がりの曲線で表されており、

前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの第2主面側の空乏層の表面のうち最も浅い深さ位置の深さを a としたときに、

$x=0$ のときの当該平均正電荷密度 $\rho(0)$ の値が負であり、かつ、 $x=a$ のときの当該平均正電荷密度 $\rho(a)$ の値が正であり、

当該平均正電荷密度 $\rho(x)$ を表す曲線、 $x=0$ の直線及び前記横軸で囲まれた領域の面積は、当該平均正電荷密度 $\rho(x)$ を表す曲線、 $x=a$ の直線及び前記横軸で囲まれた領域の面積と等しいことを特徴とするMOSFET。

[数1]

$$\rho(x) = \frac{q}{2w} \left[w_n(x) \cdot N_d(x) - w_p(x) \cdot N_a(x) \right] \cdots (1)$$

(式(1)中、 $w_n(x)$ は、前記n型コラム領域の前記所定深さ位置における幅を示し、 $N_d(x)$ は、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記n型コラム領域の前記所定深さ位置における正電荷の平均密度を示し、 $w_p(x)$ は、前記p型コラム領域の前記所定深さ位置における幅を示し、 $N_a(x)$ は、前記MOSFETをターンオフして前記スーパージャンクション構造が空乏化したときの、前記p型コラム領域の前記所定深さ位置における負電荷の平均密度を示し、 q は、電気素量を示し、 w は、 $w_n(x) + w_p(x) = 2w$ を満たす正の定数を示す。
)

[請求項2] 前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第2主面側の空乏層の表面のうち最も浅い深さ位置の深さを a とし、前記スーパージャンクション構造における、前記平均正電荷密度 $\rho(x)$ が0になる深さ位置の深さを d としたときに、 $0 < d < a/2$ を満たすことを特徴とする請求項1に記載のMOSFET。

[請求項3] 前記スーパージャンクション構造における前記所定深さ位置の深さ x を横軸とし、前記n型コラム領域の前記所定深さ位置における幅 $w_n(x)$ 又は前記p型コラム領域の前記所定深さ位置における幅 $w_p(x)$ を縦軸としたときに、

前記n型コラム領域の前記所定深さ位置における幅 $w_n(x)$ は、上に凸の右上がりの曲線で表され、

前記p型コラム領域の前記所定深さ位置における幅 $w_p(x)$ は、

下に凸の右下がりの曲線で表されることを特徴とする請求項 1 又は 2 に記載の MOSFET。

[請求項4] 前記スーパージャンクション構造における所定深さ位置の深さ x を横軸とし、前記 MOSFET をターンオフして前記スーパージャンクション構造が空乏化したときの、前記 n 型コラム領域の前記所定深さ位置における正電荷の平均密度 $N_d(x)$ 又は前記 p 型コラム領域の前記所定深さ位置における負電荷の平均密度 $N_a(x)$ を縦軸としたときに、

前記 MOSFET をターンオフして前記スーパージャンクション構造が空乏化したときの、前記 n 型コラム領域の前記所定深さ位置における正電荷の平均密度 $N_d(x)$ は、上に凸の右上がりの曲線で表され、

前記 MOSFET をターンオフして前記スーパージャンクション構造が空乏化したときの、前記 p 型コラム領域の前記所定深さ位置における負電荷の平均密度 $N_a(x)$ は、下に凸の右下がりの曲線で表されることを特徴とする請求項 1 又は 2 に記載の MOSFET。

[請求項5] 前記半導体基体は、前記 n 型コラム領域及び前記 p 型コラム領域の表面上に形成された p 型のベース領域と、前記ベース領域の表面に形成された n 型のソース領域とをさらに有し、

前記 MOSFET は、

平面的に見て前記 n 型コラム領域が位置する領域内において、前記半導体基体の第 1 主面の表面から前記ベース領域の最深部よりも深い深さ位置まで、かつ、前記ソース領域の一部が内周面に露出するように形成されたトレンチをさらに備え、

前記ゲート絶縁膜は、前記トレンチの内周面に形成されており、

前記ゲート電極は、前記ゲート絶縁膜を介して前記トレンチの内部に埋め込まれてなることを特徴とする請求項 1 ～ 4 のいずれかに記載の MOSFET。

[請求項6] 前記半導体基体は、前記半導体基体の前記第1主面の表面、かつ、前記p型コラム領域の表面上の全部及び前記n型コラム領域の表面上の一部に形成されたベース領域と、前記半導体基体の前記第1主面の表面、かつ、前記n型コラム領域の表面上に前記ベース領域に隣接するように形成されたn型表面高濃度領域と、前記ベース領域の表面に形成されたn型のソース領域とをさらに有し、

前記ゲート電極は、前記ソース領域と前記n型表面高濃度領域とに挟まれた前記ベース領域の表面上に前記ゲート絶縁膜を介して形成されていることを特徴とする請求項1～4のいずれかに記載のMOSFET。

[請求項7] 前記MOSFETをターンオフして前記スーパージャンクション構造に空乏層が最も広がったときの前記第1主面側の空乏層の表面のうち最も深い深さ位置を基準として、深さ方向に沿った軸をx軸とし、前記ベース領域の最下面の深さ位置のx座標を $-t$ とし、前記p型コラム領域の最下部の深さ位置のx座標を b とし、前記平均正電荷密度 $\rho(x)$ が0になる深さ位置のx座標を d としたときに、 $0 < t + d < (t + b) / 2$ を満たすことを特徴とする請求項5又は6に記載のMOSFET。

[請求項8] リアクトルと、
前記リアクトルに電流を供給する電源と、
前記電源から前記リアクトルに供給する電流を制御する請求項1～7のいずれかに記載のMOSFETと、
前記電源から前記リアクトルに供給する電流又は前記リアクトルからの電流の整流動作を行う整流素子とを少なくとも備えることを特徴とする電力変換回路。

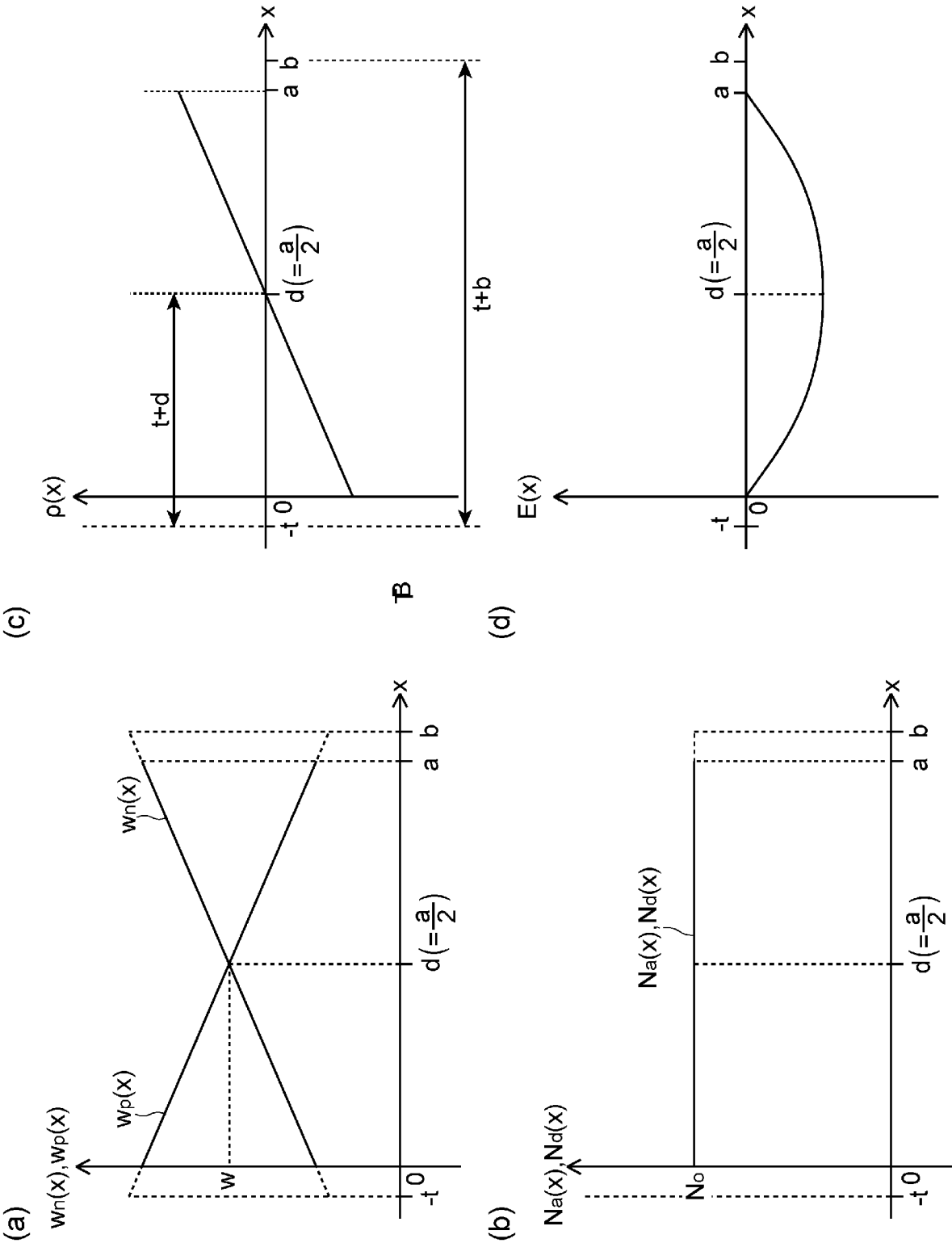
[請求項9] 前記整流素子は、ファスト・リカバリー・ダイオードであることを特徴とする請求項8に記載の電力変換回路。

[請求項10] 前記整流素子は、前記MOSFETの内蔵ダイオードであることを

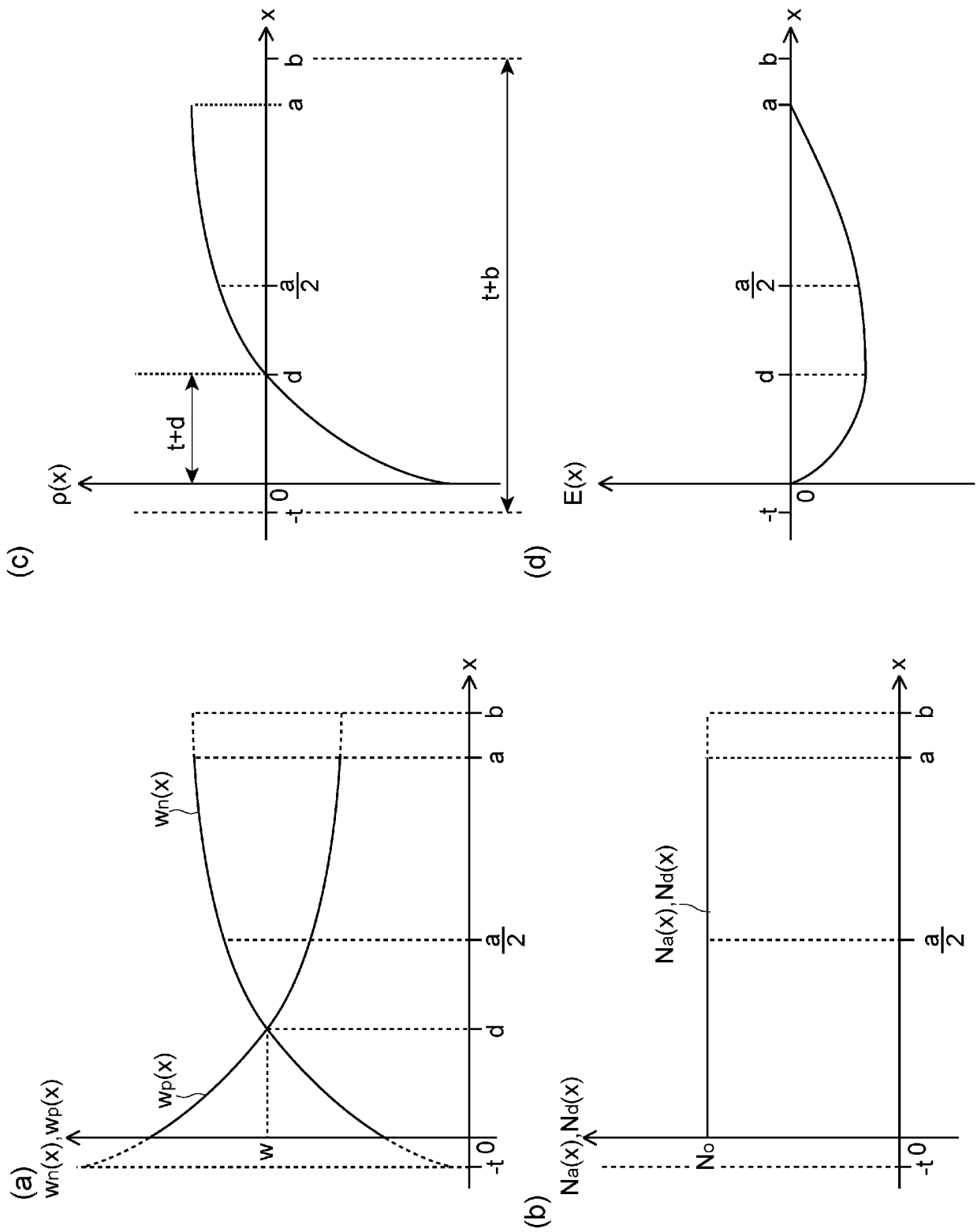
特徴とする請求項 8 に記載の電力変換回路。

[請求項11] 前記整流素子は、シリコンカーバイド・ショットキーバリアダイオードであることを特徴とする請求項 8 に記載の電力変換回路。

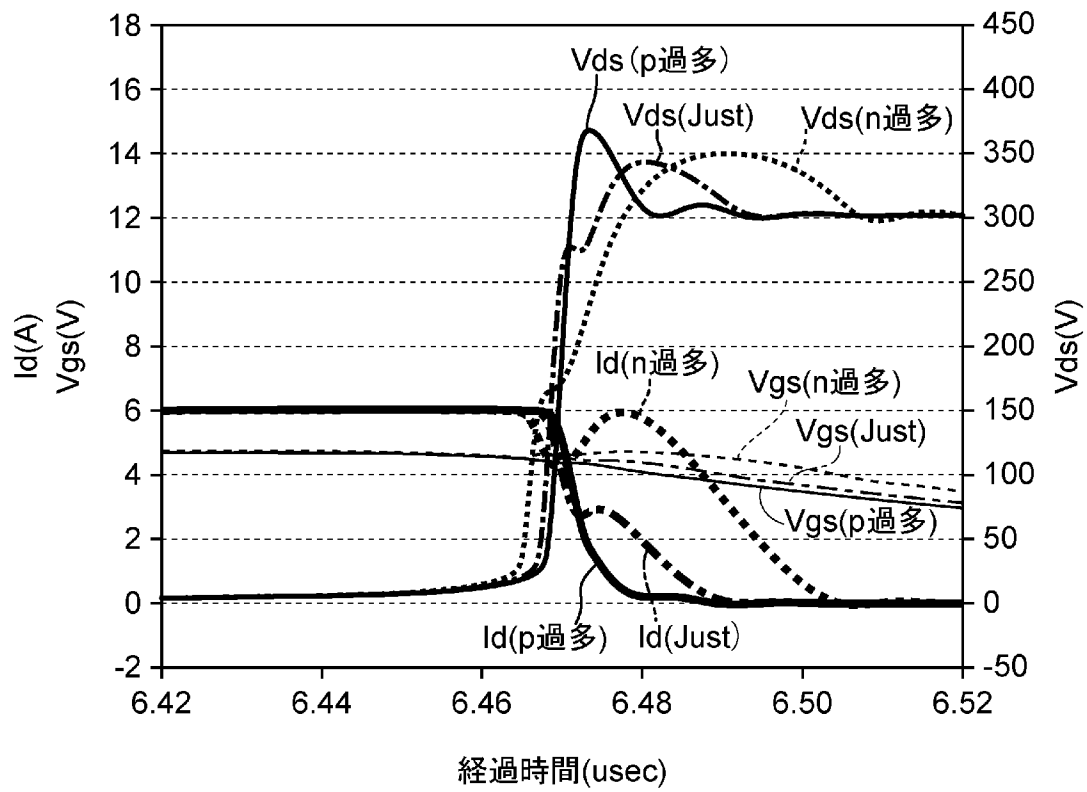
[図4]



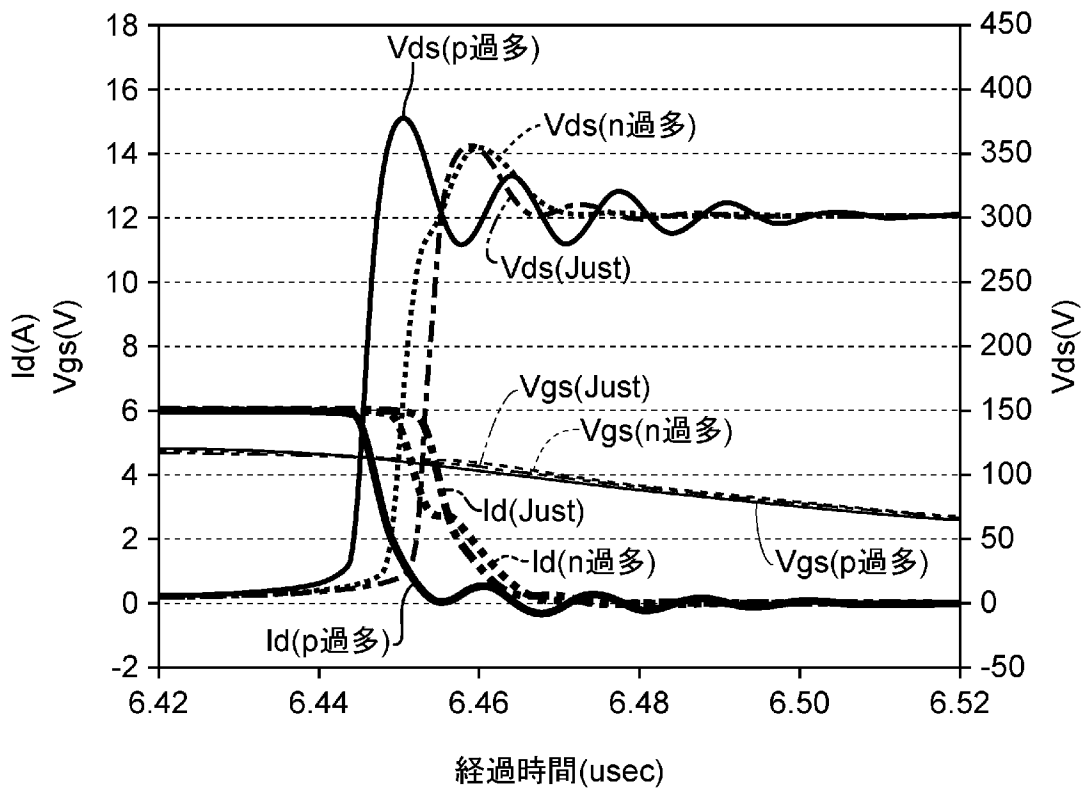
[図5]



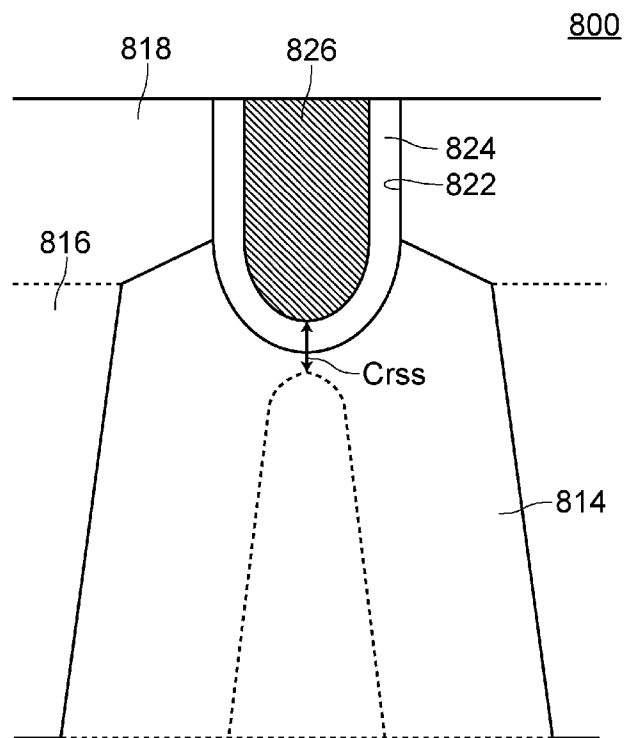
[図6]



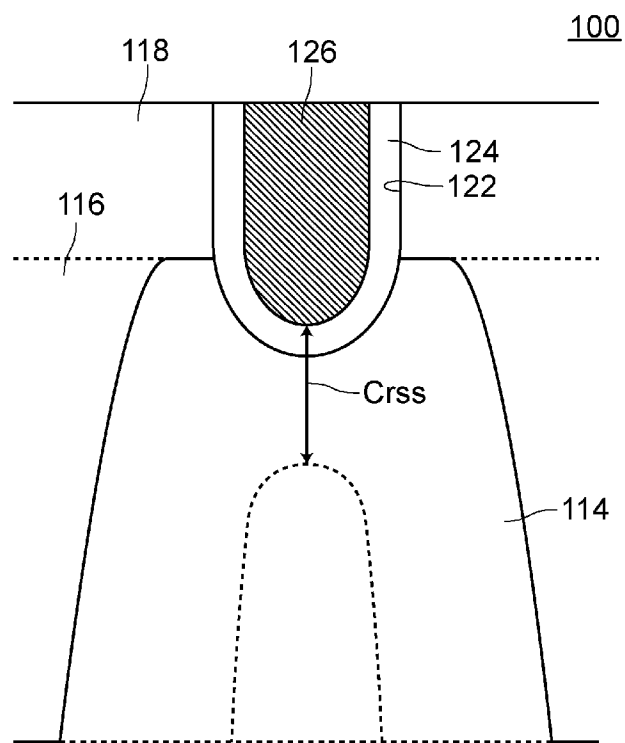
[図7]



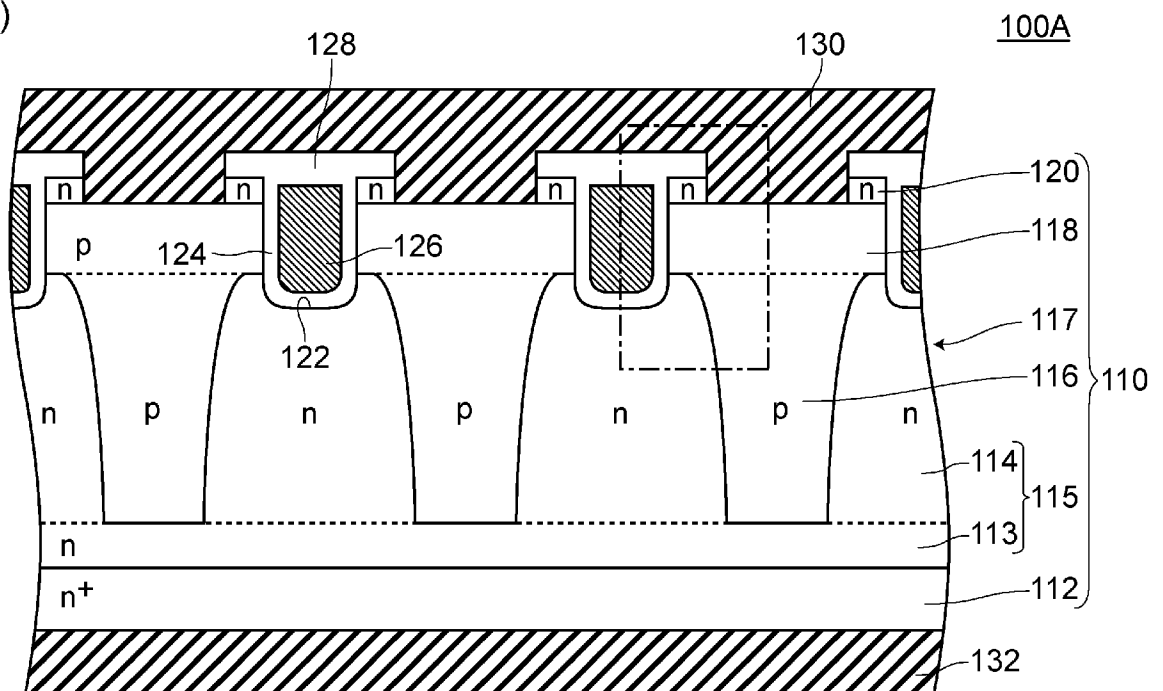
[図8]



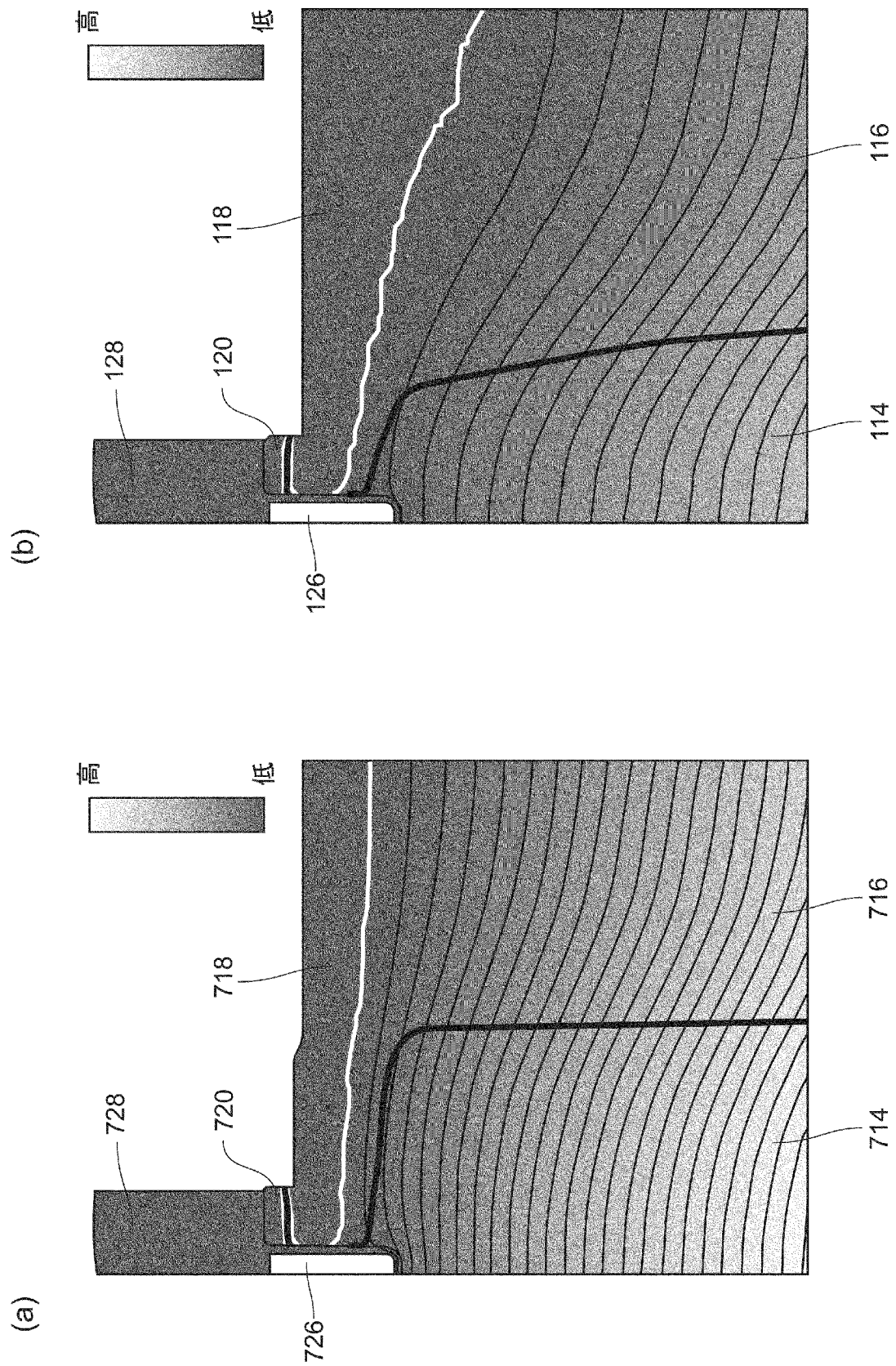
[図9]



(a)

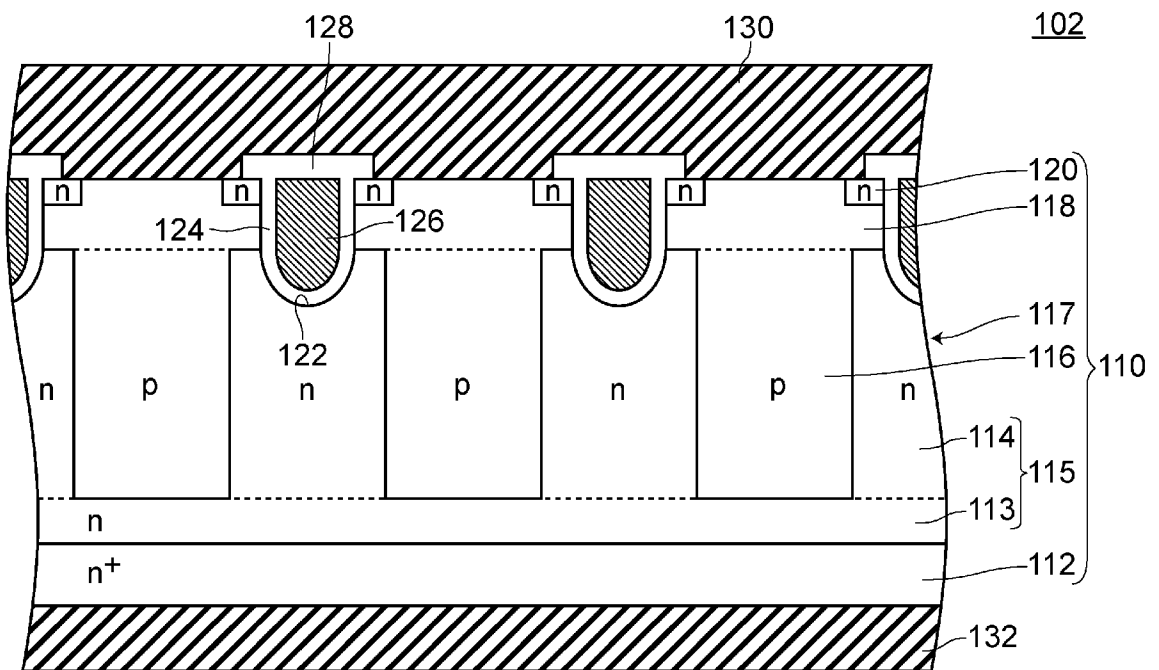
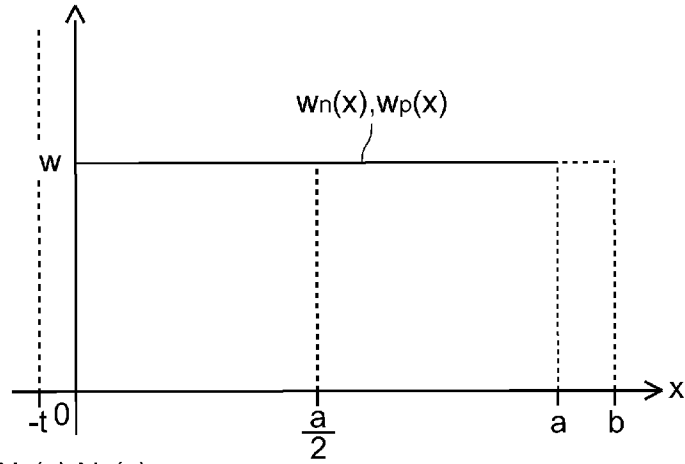
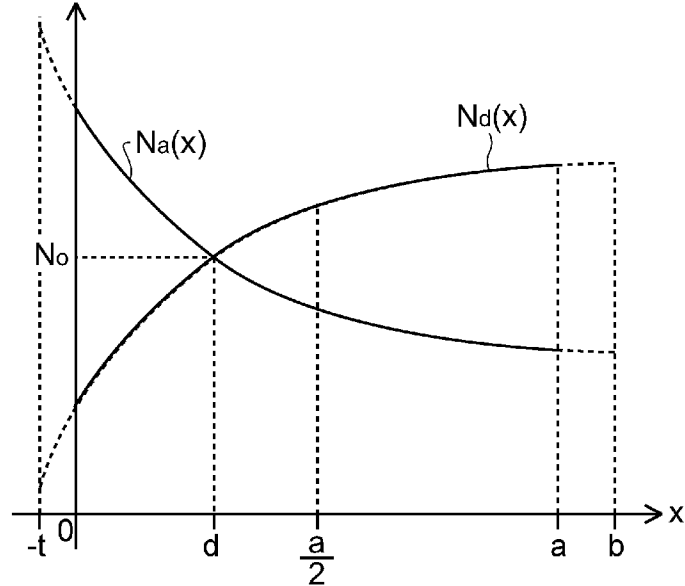


[図11]

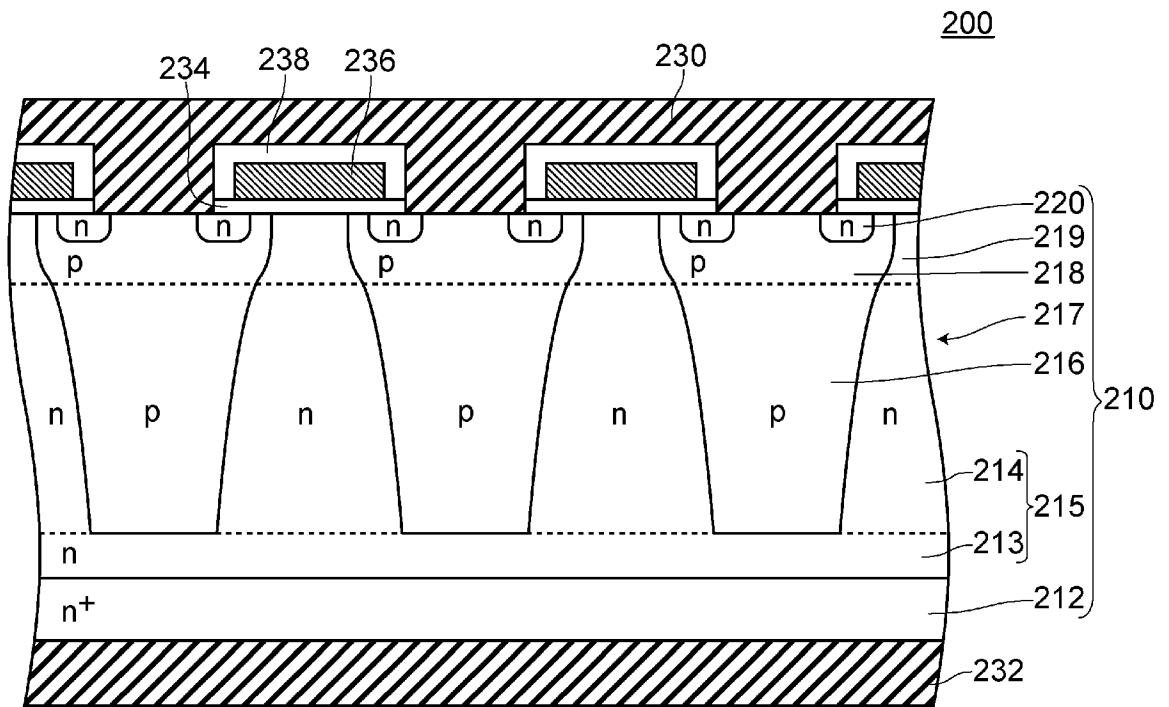


[図12]

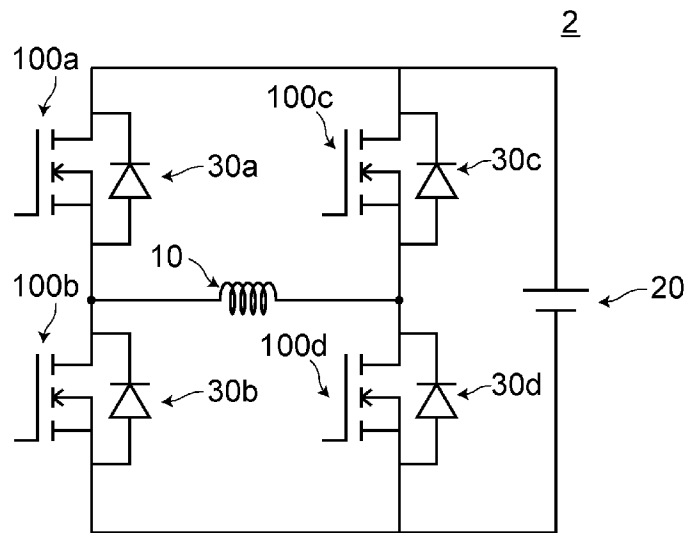
(a)

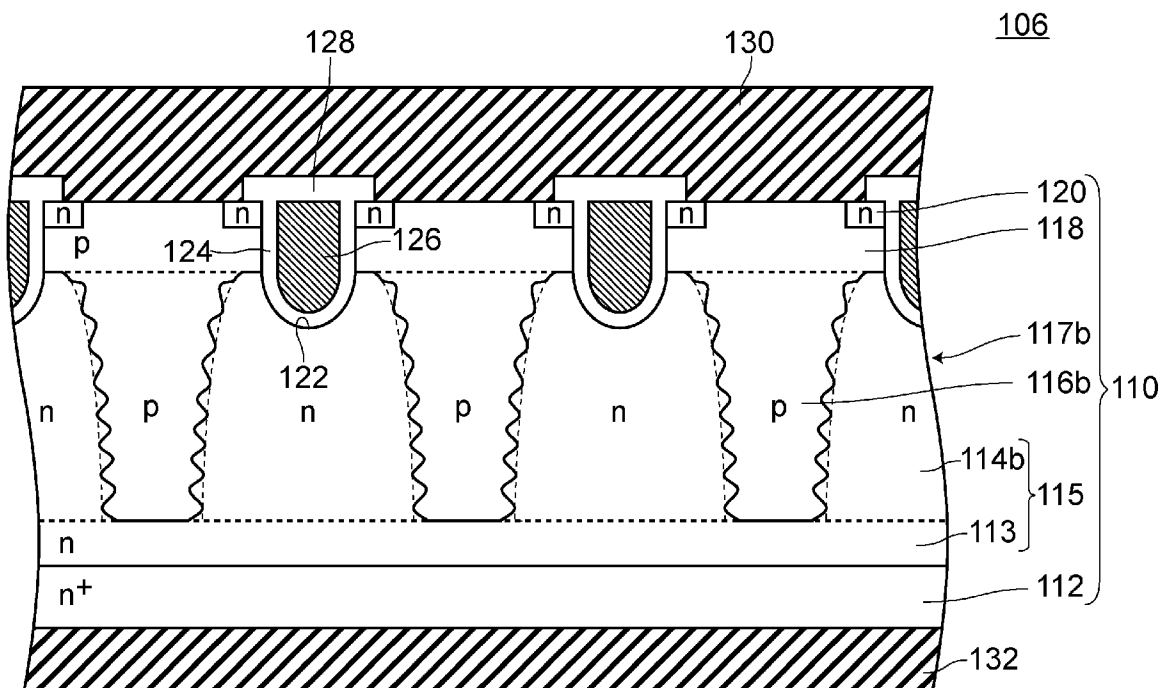
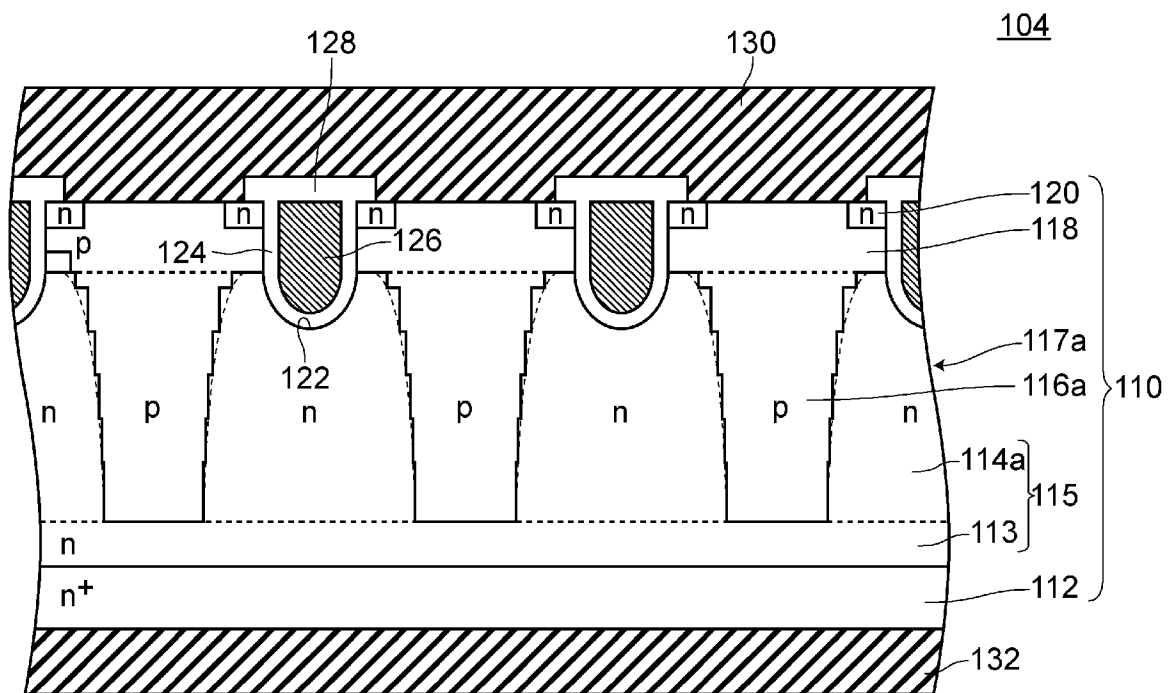
(b) $w_n(x), w_p(x)$ (c) $N_a(x), N_d(x)$ 

[図13]

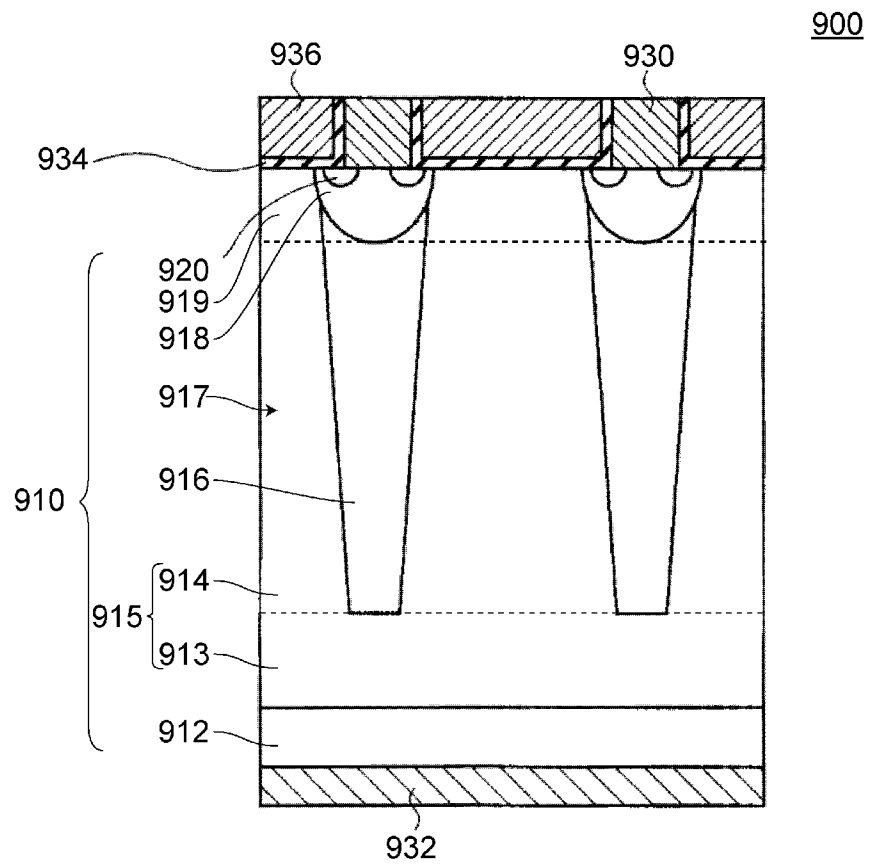


[図14]

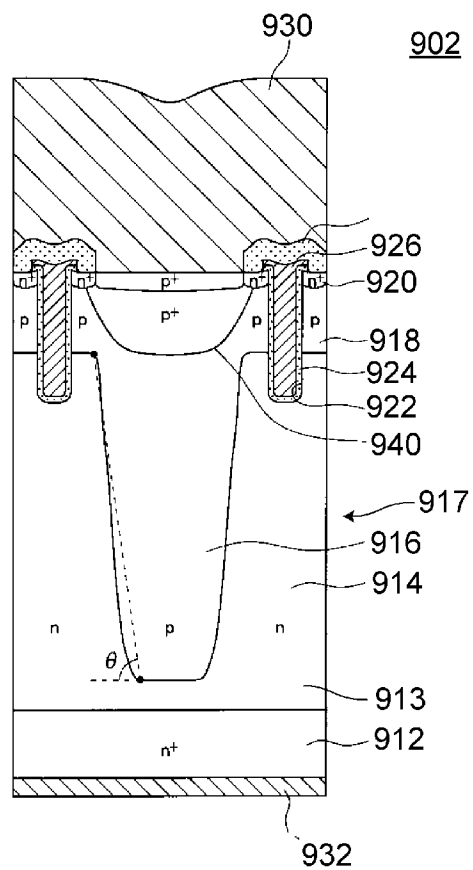




[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/011066

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-093560 A (Denso Corp.), 16 May 2013 (16.05.2013), paragraphs [0032] to [0084]; fig. 1 to 14 & US 2013/0087851 A1 paragraphs [0045] to [0097]; fig. 1 to 14	1-3, 5-7 8-11 4
Y	JP 2012-234848 A (Sanken Electric Co., Ltd.), 29 November 2012 (29.11.2012), paragraph [0034]; fig. 6 (Family: none)	8-11
Y	JP 2012-120362 A (Sanken Electric Co., Ltd.), 21 June 2012 (21.06.2012), paragraphs [0022] to [0050]; fig. 1 to 4 & US 2012/0139512 A1 paragraphs [0038] to [0067]; fig. 9 to 12	8-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 May 2017 (25.05.17)

Date of mailing of the international search report
06 June 2017 (06.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/011066

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-080321 A (Mitsubishi Electric Corp.), 23 April 2015 (23.04.2015), paragraphs [0012], [0027]; fig. 1 (Family: none)	8-11
A	JP 2010-171221 A (Toshiba Corp.), 05 August 2010 (05.08.2010), paragraphs [0024] to [0060]; fig. 1 to 6 & US 2010/0187604 A1 paragraphs [0041] to [0077]; fig. 1 to 6 & CN 101794816 A	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-093560 A (株式会社デンソー) 2013.05.16, 段落 0032-0084, 図 1-14 & US 2013/0087851 A1, 段落 0045-0097, 図 1-14	1-3, 5-7 8-11 4
Y	JP 2012-234848 A (サンケン電気株式会社) 2012.11.29, 段落 0034, 図 6 (ファミリーなし)	8-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25.05.2017

国際調査報告の発送日

06.06.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-120362 A (サンケン電気株式会社) 2012. 06. 21, 段落 0022-0050, 図 1-4 & US 2012/0139512 A1, 段落 0038-0067, 図 9-12	8-11
Y	JP 2015-080321 A (三菱電機株式会社) 2015. 04. 23, 段落 0012, 0027, 図 1 (ファミリーなし)	8-11
A	JP 2010-171221 A (株式会社東芝) 2010. 08. 05, 段落 0024-0060, 図 1-6 & US 2010/0187604 A1, 段落 0041-0077, 図 1-6 & CN 101794816 A	4