

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-190882

(P2006-190882A)

(43) 公開日 平成18年7月20日(2006.7.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/872 (2006.01)	HO 1 L 29/48 D	4M104
HO 1 L 29/47 (2006.01)	HO 1 L 29/06 3O1G	5FOO3
HO 1 L 29/06 (2006.01)	HO 1 L 29/48 F	5FOO5
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 P	
HO 1 L 29/732 (2006.01)	HO 1 L 29/74 G	

審査請求 未請求 請求項の数 11 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-2567 (P2005-2567)
 (22) 出願日 平成17年1月7日 (2005.1.7)

(71) 出願人 000002037
 新電元工業株式会社
 東京都千代田区大手町2丁目2番1号
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100101465
 弁理士 青山 正和
 (74) 代理人 100094400
 弁理士 鈴木 三義
 (74) 代理人 100107836
 弁理士 西 和哉

最終頁に続く

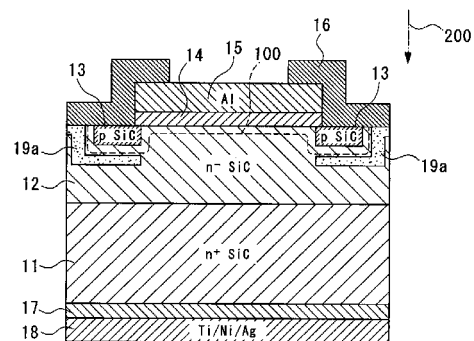
(54) 【発明の名称】 SiC半導体素子

(57) 【要約】

【課題】 逆方向電圧が印加された場合の素子破壊の発生を低減することができるSiC半導体素子を提供する。

【解決手段】 高濃度層11は、高濃度のn型SiCからなる層であり、SiC基板を構成している。高濃度層11の表面には、低濃度のn型SiCからなる低濃度層12が形成され、低濃度層12の表面には、p型SiCからなるガードリング領域13が形成されている。低濃度層12およびガードリング領域13の上には、低濃度層12とショットキー接合を形成しているバリアメタル膜14、パッド電極15、および絶縁膜16が形成されている。高濃度層11の他方の面には、高濃度層11とオーミック接合を形成しているオーミックメタル膜17および裏面電極18が形成されている。低濃度層12において、ガードリング領域13の近傍には、低濃度層12の表面に露出するように結晶欠陥領域19aが形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の S i C からなる高濃度層と、
該高濃度層上に形成され、前記高濃度層よりも不純物濃度が低い第 1 導電型の S i C からなる低濃度層と、
該低濃度層の表面領域に形成された第 2 導電型のガードリング領域と、
前記低濃度層において、前記ガードリング領域の近傍に形成された結晶欠陥領域と、
前記低濃度層および前記ガードリング領域の一部を被覆し、前記低濃度層とショットキー接合を形成している金属からなるバリアメタル膜と、
該バリアメタル膜上に形成された第 1 の電極膜と、
前記高濃度層において、前記低濃度層が形成された表面と対向する表面上に形成された第 2 の電極膜と、
を具備することを特徴とする S i C 半導体素子。

10

【請求項 2】

第 1 導電型の S i C からなる高濃度層と、
該高濃度層上に形成され、前記高濃度層よりも不純物濃度が低い第 1 導電型の S i C からなる低濃度層と、
該低濃度層の表面領域に形成された第 2 導電型の第 1 領域と、
該第 1 領域の近傍に形成された結晶欠陥領域と、
前記第 1 領域の表面に形成された、第 1 導電型の S i C からなる第 2 領域と、
該第 2 領域上に形成された第 1 の電極膜と、
前記第 1 領域上に形成された第 2 の電極膜と、
前記高濃度層において、前記低濃度層が形成された表面と対向する表面上に形成された第 3 の電極膜と、
を具備することを特徴とする S i C 半導体素子。

20

【請求項 3】

前記低濃度層の表面領域において、前記第 1 領域の外側に形成された第 2 導電型のガードリング領域を具備し、前記結晶欠陥領域は前記ガードリング領域の近傍に形成されていることを特徴とする請求項 2 に記載の S i C 半導体素子。

【請求項 4】

第 1 導電型の S i C からなる半導体層と、
該半導体層の表面領域に形成された第 2 導電型のガードリング領域と、
前記半導体層において、前記ガードリング領域の近傍に形成された結晶欠陥領域と、
前記ガードリング領域に囲まれた前記半導体層の表面に形成された、第 2 導電型の S i C からなる第 1 領域と、
該第 1 領域の表面に形成された、第 1 導電型の S i C からなる第 2 領域と、
該第 2 領域上に形成された第 1 の電極膜と、
前記半導体層において、前記第 1 領域が形成された表面と対向する表面上に形成された、第 2 導電型の S i C からなる第 3 領域と、
該第 3 領域上に形成された第 2 の電極膜と、
を具備することを特徴とする S i C 半導体素子。

30

40

【請求項 5】

前記結晶欠陥領域は、前記ガードリング領域の近傍における前記低濃度層の表面に露出していることを特徴とする請求項 1 または請求項 3 に記載の S i C 半導体素子。

【請求項 6】

前記結晶欠陥領域は、規定耐圧に相当する逆方向電圧が印加された場合に、前記ガードリング領域から前記低濃度層へ向かって伸びる空乏層に沿って形成されていることを特徴とする請求項 1 または請求項 3 に記載の S i C 半導体素子。

【請求項 7】

前記結晶欠陥領域は、前記ガードリング領域の近傍における前記半導体層の表面に露出

50

していることを特徴とする請求項 4 に記載の S i C 半導体素子。

【請求項 8】

前記結晶欠陥領域は、規定耐圧に相当する逆方向電圧が印加された場合に、前記ガードリング領域から前記半導体層へ向かって伸びる空乏層に沿って形成されていることを特徴とする請求項 4 に記載の S i C 半導体素子。

【請求項 9】

上面から見たときに、前記ガードリング領域が環状に形成されており、前記結晶欠陥領域が、前記環状に形成された前記ガードリング領域の内側面よりも外側の領域に形成されている

ことを特徴とする請求項 1、請求項 3、請求項 4 のいずれかの項に記載の S i C 半導体素子。 10

【請求項 10】

前記結晶欠陥領域は、A r イオンの注入によって形成されていることを特徴とする請求項 1～請求項 9 のいずれかの項に記載の S i C 半導体素子。

【請求項 11】

前記結晶欠陥領域は、A l イオンの注入によって形成されていることを特徴とする請求項 1～請求項 9 のいずれかの項に記載の S i C 半導体素子。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、逆方向電圧が印加された際にガードリング領域に電界が集中することによる素子破壊の発生の低減を図った S i C 半導体素子に関する。

【背景技術】

【0002】

S i C (炭化珪素)は広いバンドギャップ、高い最大電界強度を持つため、シリコン半導体に対してシリーズ抵抗分を下げられる特色を持つ。このため、大電力、高耐圧の電力用デバイスへの応用が展開されている。特に、ショットキーバリアダイオード(SBD)が期待されている。図14は従来ショットキーバリアダイオードの断面構造を示している。以下、図中の各構造について説明する。 30

【0003】

高濃度層 21 は、高濃度の n 型 S i C からなる層であり、S i C 基板を構成している。高濃度層 21 の一方の面に接して形成された低濃度層 22 は、低濃度の n 型 S i C からなる層である。この低濃度層 22 の表面には、p 型 S i C からなる耐圧向上用のガードリング領域 23 が形成されている。低濃度層 22 およびガードリング領域 23 の上には、これらの表面の一部を被覆し、低濃度層 22 とショットキー接合を形成しているバリアメタル膜 24 が設けられている。

【0004】

バリアメタル膜 24 の上にはパッド電極 25 が形成されている。ガードリング領域 23 および低濃度層 22 の上には、パッド電極 25 の周縁部を被覆するように、絶縁膜 26 が形成されている。また、高濃度層 21 の他方の面には、高濃度層 21 とオーミック接合を形成しているオーミックメタル膜 27 が設けられている。オーミックメタル膜 27 の表面には、半田接続用の裏面電極 28 が形成されている。 40

【0005】

なお、特許文献 1 には、ショットキー電極の形成後に所定の温度および時間で熱処理を行うことにより、逆方向電圧印加時の漏れ電流の低減を図った S i C ショットキーバリアダイオードが記載されている。

【特許文献 1】特開 2000 - 236099 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0006】

従来のSiCにより形成されたショットキーバリアダイオード等の半導体素子は、シリコンによるものよりも逆方向サージ耐量が弱かった。これは、逆方向電圧が印加されたときに、ガードリング領域に電界が集中するからである。これは、大容量（大面積）の半導体素子ほど顕著になるので、逆方向電圧が大きければ、素子破壊に至ることも考えられる。したがって、大容量の半導体素子を製造する上で、この問題に対する何らかの対策が必要であった。

【0007】

本発明は、上述した問題点に鑑みてなされたものであって、逆方向電圧が印加された場合の素子破壊の発生を低減することができるSiC半導体素子を提供することを目的とする。

10

【課題を解決するための手段】

【0008】

本発明は上記の課題を解決するためになされたもので、請求項1に記載の発明は、第1導電型のSiCからなる高濃度層と、該高濃度層上に形成され、前記高濃度層よりも不純物濃度が低い第1導電型のSiCからなる低濃度層と、該低濃度層の表面領域に形成された第2導電型のガードリング領域と、前記低濃度層において、前記ガードリング領域の近傍に形成された結晶欠陥領域と、前記低濃度層および前記ガードリング領域の一部を被覆し、前記低濃度層とショットキー接合を形成している金属からなるバリアメタル膜と、該バリアメタル膜上に形成された第1の電極膜と、前記高濃度層において、前記低濃度層が形成された表面と対向する表面上に形成された第2の電極膜とを具備することを特徴とするSiC半導体素子である。

20

【0009】

請求項2に記載の発明は、第1導電型のSiCからなる高濃度層と、該高濃度層上に形成され、前記高濃度層よりも不純物濃度が低い第1導電型のSiCからなる低濃度層と、該低濃度層の表面領域に形成された第2導電型の第1領域と、該第1領域の近傍に形成された結晶欠陥領域と、前記第1領域の表面に形成された、第1導電型のSiCからなる第2領域と、該第2領域上に形成された第1の電極膜と、前記第1領域上に形成された第2の電極膜と、前記高濃度層において、前記低濃度層が形成された表面と対向する表面上に形成された第3の電極膜とを具備することを特徴とするSiC半導体素子である。

30

【0010】

請求項3に記載の発明は、請求項2に記載のSiC半導体素子において、前記低濃度層の表面領域において、前記第1領域の外側に形成された第2導電型のガードリング領域を具備し、前記結晶欠陥領域は前記ガードリング領域の近傍に形成されていることを特徴とする。

【0011】

請求項4に記載の発明は、第1導電型のSiCからなる半導体層と、該半導体層の表面領域に形成された第2導電型のガードリング領域と、前記半導体層において、前記ガードリング領域の近傍に形成された結晶欠陥領域と、前記ガードリング領域に囲まれた前記半導体層の表面に形成された、第2導電型のSiCからなる第1領域と、該第1領域の表面に形成された、第1導電型のSiCからなる第2領域と、該第2領域上に形成された第1の電極膜と、前記半導体層において、前記第1領域が形成された表面と対向する表面上に形成された、第2導電型のSiCからなる第3領域と、該第3領域上に形成された第2の電極膜とを具備することを特徴とするSiC半導体素子である。

40

【0012】

請求項5に記載の発明は、請求項1または請求項3に記載のSiC半導体素子において、前記結晶欠陥領域は、前記ガードリング領域の近傍における前記低濃度層の表面に露出していることを特徴とする。

【0013】

請求項6に記載の発明は、請求項1または請求項3に記載のSiC半導体素子において

50

、前記結晶欠陥領域は、規定耐圧に相当する逆方向電圧が印加された場合に、前記ガードリング領域から前記低濃度層へ向かって伸びる空乏層に沿って形成されていることを特徴とする。

【0014】

請求項7に記載の発明は、請求項4に記載のSiC半導体素子において、前記結晶欠陥領域は、前記ガードリング領域の近傍における前記半導体層の表面に露出していることを特徴とする。

【0015】

請求項8に記載の発明は、請求項4に記載のSiC半導体素子において、前記結晶欠陥領域は、規定耐圧に相当する逆方向電圧が印加された場合に、前記ガードリング領域から前記半導体層へ向かって伸びる空乏層に沿って形成されていることを特徴とする。

10

【0016】

請求項9に記載の発明は、請求項1、請求項3、請求項4のいずれかの項に記載のSiC半導体素子において、上面から見たときに、前記ガードリング領域が環状に形成されており、前記結晶欠陥領域が、前記環状に形成された前記ガードリング領域の内側面よりも外側の領域に形成されていることを特徴とする。

【0017】

請求項10に記載の発明は、請求項1～請求項9のいずれかの項に記載のSiC半導体素子において、前記結晶欠陥領域は、Arイオンの注入によって形成されていることを特徴とする。

20

【0018】

請求項11に記載の発明は、請求項1～請求項9のいずれかの項に記載のSiC半導体素子において、前記結晶欠陥領域は、Alイオンの注入によって形成されていることを特徴とする。

【発明の効果】

【0019】

本発明によれば、耐圧向上用のガードリング領域の近傍に結晶欠陥領域を形成したので、逆方向電圧が印加された場合の素子破壊の発生を低減することができるという効果が得られる。

【発明を実施するための最良の形態】

30

【0020】

以下、図面を参照し、本発明を実施するための最良の形態について説明する。図1は、本発明の一実施形態によるSiCショットキーバリアダイオードの断面構造を示す断面図である。以下、図中の各構造について説明する。高濃度層11は、高濃度のn型SiCからなる層であり、SiC基板を構成している。高濃度層11の一方の表面に接して形成された低濃度層12は、低濃度のn型SiCからなる層である。この低濃度層12の表面には、p型SiCからなる耐圧向上用のガードリング領域13が形成されている。このガードリング領域13は、SiCショットキーバリアダイオードを上面から見た場合に（図1において、低濃度層12の主面に垂直な軸200に沿った方向から見た場合に）、環状（リング状）に形成されている。

40

【0021】

低濃度層12およびガードリング領域13の上には、これらの表面の一部を被覆し、低濃度層12とショットキー接合を形成しているバリアメタル膜14が設けられている。バリアメタル膜14は、例えばTi、Ni、Cu、Mo、Ptのいずれかによって形成されている。バリアメタル膜14の上にはパッド電極15が形成されている。パッド電極15は、例えばAlによって形成されている。ガードリング領域13および低濃度層12の上には、パッド電極15の周縁部を被覆するように、絶縁および表面保護用の絶縁膜16が形成されている。絶縁膜16は、SiO₂やSi₃N₄、ポリイミドやこれらの堆積物によって形成されている。

【0022】

50

また、高濃度層 11 の他方の面には、高濃度層 11 とオーミック接合を形成しているオーミックメタル膜 17 が設けられている。オーミックメタル膜 17 は、例えば Ni と SiC との合金によって形成されている。オーミックメタル膜 17 の表面には、半田接続用の裏面電極 18 が形成されている。裏面電極 18 は、例えば Ti、Ni、Ag をこの順に積層することにより形成される。

【0023】

高濃度層 11 の不純物濃度は、例えば 10^{19} [cm⁻³] である。低濃度層 12 の不純物濃度は、例えば 10^{16} [cm⁻³] である。ガードリング領域 13 の不純物濃度は、例えば 2×10^{17} [cm⁻³] である。

【0024】

低濃度層 12 において、ガードリング領域 13 の近傍には、低濃度層 12 の表面に露出するように結晶欠陥領域 19a が形成されている。この結晶欠陥領域 19a は、後述するように、例えば Ar イオンを低濃度層 12 に注入することにより形成される。裏面電極 18 の電位がパッド電極 15 の電位よりも高電位となるようにパッド電極 15 に負電圧（逆方向電圧）が印加されると、図 1 に示されるように空乏層 100 が広がる。逆方向電圧が所定の電圧（規定耐圧 + 余裕の電圧）に達したときには、空乏層 100 が広がる領域の外側に結晶欠陥領域 19a が形成されている。結晶欠陥領域 19a は低濃度層 12 の表面に露出していなくてもよい。

【0025】

SiC ショットキーダイオードに逆方向電圧が印加され、その電圧が所定の電圧に達すると、電流が結晶欠陥領域 19a 内を分散して流れるため、ガードリング領域 13 の電界の集中が緩和され、素子破壊の発生を低減することができる。この結晶欠陥領域 19a が広いほど電流が流れやすくなり、破壊耐量はより高くなる。

【0026】

図 2 は、本実施形態による SiC ショットキーバリアダイオードの上面図である。上面から見て、ガードリング領域 13 は環状に形成されている。上面から見た場合のガードリング領域 13 の形状は、バリアメタル膜 14 およびパッド電極 15 の上面形状に近い形状であることが望ましく、円環状、円に近い形状、多角形に近い形状（例えば本実施形態のような四角形に近い形状）等の閉じた幾何学的形状であることが望ましい。

【0027】

なお、結晶欠陥領域 19a が、環状に形成されたガードリング領域 13 の内側面よりも内側の領域に形成されていると、SiC ショットキーダイオードの動作特性に影響を及ぼすため、結晶欠陥領域 19a は、ガードリング領域 13 の内側面よりも外側の領域に形成されていることが望ましい。また、結晶欠陥領域 19a は、規定耐圧に相当する逆方向電圧が SiC ショットキーバリアダイオードに印加された場合に、ガードリング領域 13 から低濃度層 12 へ向かって伸びる空乏層 100 に沿うように形成されていることが望ましい。

【0028】

図 3 は、本実施形態の変形例による SiC ショットキーバリアダイオードの断面構造を示す断面図である。この変形例に係る SiC ショットキーバリアダイオードにおいては、ガードリング領域 13 近傍の低濃度層 12 の表面領域に結晶欠陥領域 19b が形成されている。

【0029】

次に、本実施形態による SiC ショットキーダイオードの製造方法について、図 4 ~ 図 8 を用いて説明する。シリーズ抵抗を下げるための低抵抗の高濃度層 11 の表面に、耐圧を確保するのに必要な不純物濃度と厚さを持つ高抵抗の低濃度層 12 をエピタキシャル成長により形成する。続いて、フォトレジスト等をマスクとして、低濃度層 12 の表面の所定領域に Al イオンあるいは B イオンを注入し、熱処理を施してガードリング領域 13 を形成する（図 4 (a)）。

【0030】

10

20

30

40

50

続いて、フォトリソ等膜 3 1 を形成し (図 4 (b))、これをマスクとして A r イオン 4 1 を高エネルギーで注入すると、ガードリング領域 1 3 の下方に結晶欠陥領域 1 9 a が形成される (図 4 (c))。続いて、膜 3 1 を除去し (図 5 (a))、再度フォトリソ等膜 3 2 を形成する (図 5 (b))。膜 3 2 をマスクとして A r イオン 4 2 を高エネルギーから中エネルギーまでの多段で注入すると、ガードリング領域 1 3 に沿って結晶欠陥領域 1 9 a が伸びる (図 5 (c))。

【 0 0 3 1 】

続いて、膜 3 2 を除去し (図 6 (a))、再度フォトリソ等膜 3 3 を形成する (図 6 (b))。膜 3 3 をマスクとして A r イオン 4 3 を低エネルギーで注入すると、低濃度層 1 2 の表面領域にも結晶欠陥領域 1 9 a が形成される (図 6 (c))。続いて、膜 3 3 を除去し (図 7 (a))、電極材料である例えば N i を高濃度層 1 1 の裏面に蒸着あるいはスパッタリングにより堆積し、高温で焼鈍することにより、N i と $n^+ S i C$ との合金であるオーミックメタル膜 1 7 を形成する (図 7 (b))。

10

【 0 0 3 2 】

続いて、電極材料である例えば T i を蒸着あるいはスパッタリングにより堆積し、パターンニングを行ってバリアメタル膜 1 4 を形成する。さらに、電極材料である A l を蒸着あるいはスパッタリングにより堆積し、パターンニングを行ってパッド電極 1 5 を形成する (図 7 (c))。続いて、ポリイミドを低濃度層 1 2 およびパッド電極 1 5 の表面に塗布し、パターンニングを行って絶縁膜 1 6 を形成する (図 8 (a))。そして、裏面のオーミックメタル膜 1 7 の表面に T i、N i、および A g を順に蒸着あるいはスパッタリングにより積層し、裏面電極 1 8 を形成する (図 8 (b))。

20

【 0 0 3 3 】

図 3 に示される結晶欠陥領域 1 9 b を形成する場合には、フォトリソ等のマスクパターンを低濃度層 1 2 およびガードリング領域 1 3 上に形成し、A r イオンを低エネルギーで注入すればよい。図 1 に示される結晶欠陥領域 1 9 a を形成する場合には、複数回の A r イオンの注入が必要であるが、図 3 に示される結晶欠陥領域 1 9 b を形成する場合には、1 回の A r イオンの注入を行えばよいので、製造に必要な時間およびコストを低減することができる。素子破壊の発生をより低減するためには、図 3 に示される結晶欠陥領域 1 9 b よりも図 1 に示される結晶欠陥領域 1 9 a の方が望ましい。なお、結晶欠陥領域 1 9 a および 1 9 b は、A r イオン以外のイオン (例えば A l イオン) を注入することにより形成してもよい。

30

【 0 0 3 4 】

上述した本実施形態によれば、ガードリング領域 1 3 の近傍に結晶欠陥領域 1 9 a または 1 9 b を形成することにより、所定の電圧以上の逆方向電圧が印加された際に流れる電流が結晶欠陥領域 1 9 a または 1 9 b によって分散されるので、素子破壊の発生を低減することができる。

【 0 0 3 5 】

次に、本発明の他の実施形態について説明する。図 9 (a) は、結晶欠陥領域を備えた縦型の B J T (Bipolar Junction Transistor) の断面構造を示す断面構造図である。以下、図中の各構造について説明する。高濃度層 5 1 は、高濃度の n 型 S i C からなる層であり、S i C 基板を構成している。高濃度層 5 1 の一方の面に接して形成された低濃度層 5 2 は、低濃度の n 型 S i C からなる層である。この低濃度層 5 2 の表面には、p 型 S i C からなるベース領域 5 3 が形成されている。このベース領域 5 3 は、B J T を上面から見た場合に、環状 (リング状) に形成されている (図 9 (b) 参照)。また、ベース領域 5 3 の表面領域には、高濃度の p 型 S i C からなる高濃度ベース領域 5 4 が形成されている。ベース領域 5 3 の近傍には、低濃度層 5 2 の表面に露出するように結晶欠陥領域 5 5 が形成されている。

40

【 0 0 3 6 】

また、ベース領域 5 3 に囲まれた低濃度層 5 2 の表面領域には、低濃度の n 型 S i C からなるエミッタ領域 5 6 が形成され、このエミッタ領域 5 6 の表面には、高濃度の n 型 S

50

i C からなる高濃度エミッタ領域 5 7 が形成されている。高濃度エミッタ領域 5 7 の表面上には、例えば T i からなるオーミックメタル膜 5 8 が形成され、オーミックメタル膜 5 8 上に、例えば A l からなるエミッタ電極膜 5 9 が形成されている。また、高濃度ベース領域 5 4 上には、例えば T i からなるオーミックメタル膜 6 0 が形成され、オーミックメタル膜 6 0 上に、例えば A l からなるベース電極膜 6 1 が形成されている。また、低濃度層 5 2 の表面上には、エミッタ電極膜 5 9 とベース電極膜 6 1 の表面の一部を被覆するように絶縁および表面保護用の絶縁膜 6 2 が形成されている。

【0037】

また、高濃度層 5 1 の他方の面には、高濃度層 5 1 とオーミック接合を形成しているオーミックメタル膜 6 3 が設けられている。オーミックメタル膜 6 3 は、例えば N i と S i C との合金によって形成されている。オーミックメタル膜 6 3 の表面には、コレクタ電極膜 6 4 が形成されている。コレクタ電極膜 6 4 は、例えば T i、N i、A g をこの順に積層することにより形成される。上述したように、B J T が結晶欠陥領域 5 5 を備えていることから、前述した実施形態と同様に、素子破壊の発生を低減することができる。

10

【0038】

次に、本実施形態の変形例について説明する。図 1 0 に示される B J T においては、ベース領域 5 3 の外側に、ガードリング領域 6 5 a ~ 6 5 c が形成されている。結晶欠陥領域 5 5 は、ベース領域 5 3 およびガードリング領域 6 5 a ~ 6 5 c の近傍に形成されている。また、図 1 1 に示される B J T においては、複数の結晶欠陥領域 5 5 a ~ 5 5 d が分離して形成されている。図示されるように、ベース領域 5 3 の直下に結晶欠陥領域 5 5 a が形成され、ガードリング領域 6 5 a の直下に結晶欠陥領域 5 5 b が形成され、ガードリング領域 6 5 b の直下に結晶欠陥領域 5 5 c が形成され、ガードリング領域 6 5 c の近傍および低濃度層 5 2 の表面領域に結晶欠陥領域 5 5 d が形成されている。また、図 1 2 に示される B J T においては、ガードリング領域 6 5 a ~ 6 5 c の近傍に結晶欠陥領域 5 5 e および 5 5 f が形成されている。図 1 1 においては、結晶欠陥領域 5 5 a ~ 5 5 d の分離形態はガードリング領域 6 5 a ~ 6 5 c の分離形態と一致しているが、図 1 2 においては、結晶欠陥領域は結晶欠陥領域 5 5 e と結晶欠陥領域 5 5 f とに分離して形成されているが、分離形態はガードリング領域 6 5 a ~ 6 5 c の分離形態と一致していない。

20

【0039】

次に、本発明の他の実施形態について説明する。図 1 3 は、結晶欠陥領域を備えたサイリスタの断面構造を示す断面構造図である。以下、図中の各構造について説明する。第 1 の n 型領域 7 1 は、n 型 S i C からなる層であり、S i C 基板を構成している。第 1 の n 型領域 7 1 の表面には、p 型 S i C からなる耐圧向上用のガードリング領域 7 2 が形成されている。このガードリング領域 7 2 は、サイリスタを上面から見た場合に、環状（リング状）に形成されている。ガードリング領域 7 2 の近傍には、第 1 の n 型領域 7 1 の表面に露出するように結晶欠陥領域 7 3 が形成されている。

30

【0040】

また、ガードリング領域 7 2 に囲まれた第 1 の n 型領域 7 1 の表面領域には、p 型 S i C からなる第 1 の p 型領域 7 4 が形成され、この第 1 の p 型領域 7 4 の表面には、n 型 S i C からなる第 2 の n 型領域 7 5 が形成されている。この第 2 の n 型領域 7 5 上には、例えば T i、N i、A g をこの順に積層することによって形成されたアノード電極膜 7 6 が設けられている。ガードリング領域 7 2 および結晶欠陥領域 7 3 を含む第 1 の n 型領域 7 1 上には、アノード電極膜 7 6 の表面の一部を被覆するように絶縁および表面保護用の絶縁膜 7 7 および 7 8 が形成されている。

40

【0041】

また、第 1 の n 型領域 7 1 の他方の表面には、p 型 S i C からなる第 2 の p 型領域 7 9 が形成されている。この第 2 の p 型領域 7 9 の表面には、第 2 の p 型領域 7 9 とオーミック接合を形成しているオーミックメタル膜 8 0 が設けられている。オーミックメタル膜 8 0 は、例えば A l によって形成されている。オーミックメタル膜 8 0 の表面には、カソード電極膜 8 1 が形成されている。カソード電極膜 8 1 は、例えば T i、N i、A g をこの

50

順に積層することにより形成される。第2のp型領域79を含む第1のn型領域71の他方の表面上には、カソード電極膜81の表面の一部を被覆するように絶縁および表面保護用の絶縁膜82および83が形成されている。上述したように、サイリスタが結晶欠陥領域73を備えていることから、前述した実施形態と同様に、素子破壊の発生を低減することができる。

【0042】

なお、上述した半導体素子以外にも、上記の結晶欠陥を有する構造をIGBT (Insulated Gate Bipolar Transistor; 絶縁ゲートバイポーラトランジスタ)、MOSFET等の半導体素子に形成してもよい。

【0043】

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成はこれらの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等も含まれる。

【図面の簡単な説明】

【0044】

【図1】本発明の一実施形態によるSiCショットキーバリアダイオードの断面構造を示す断面図である。

【図2】同実施形態によるSiCショットキーバリアダイオードの上面図である。

【図3】同実施形態の変形例によるSiCショットキーバリアダイオードの断面構造を示す断面図である。

【図4】同実施形態によるSiCショットキーバリアダイオードの製造工程を示す断面図である。

【図5】同実施形態によるSiCショットキーバリアダイオードの製造工程を示す断面図である。

【図6】同実施形態によるSiCショットキーバリアダイオードの製造工程を示す断面図である。

【図7】同実施形態によるSiCショットキーバリアダイオードの製造工程を示す断面図である。

【図8】同実施形態によるSiCショットキーバリアダイオードの製造工程を示す断面図である。

【図9】本発明の他の実施形態によるBJTの断面構造を示す断面図である。

【図10】本発明の他の実施形態によるBJTの断面構造を示す断面図である。

【図11】本発明の他の実施形態によるBJTの断面構造を示す断面図である。

【図12】本発明の他の実施形態によるBJTの断面構造を示す断面図である。

【図13】本発明の他の実施形態によるサイリスタの断面構造を示す断面図である。

【図14】従来のSiCショットキーバリアダイオードの断面構造を示す断面図である。

【符号の説明】

【0045】

11, 21, 51・・・高濃度層、12, 22, 52・・・低濃度層、13, 23, 55, 55a, 55b, 55c, 55d, 55e, 55f, 72・・・ガードリング領域、14, 24・・・バリアメタル膜、15, 25・・・パッド電極、16, 26, 62, 77, 78, 82, 83・・・絶縁膜、17, 27, 63, 58, 60, 80・・・オーミックメタル膜、18, 28・・・裏面電極、19a, 19b, 54, 73・・・結晶欠陥領域、31, 32, 33・・・膜、41, 42, 43・・・Arイオン、53・・・ベース領域、54・・・高濃度ベース領域、56・・・エミッタ領域、57・・・高濃度エミッタ領域、61・・・ベース電極膜、64・・・コレクタ電極膜、71・・・第1のn型領域、74・・・第1のp型領域、75・・・第2のn型領域、76・・・アノード電極膜、79・・・第2のp型領域、81・・・カソード電極膜、100・・・空乏層、200・・・軸。

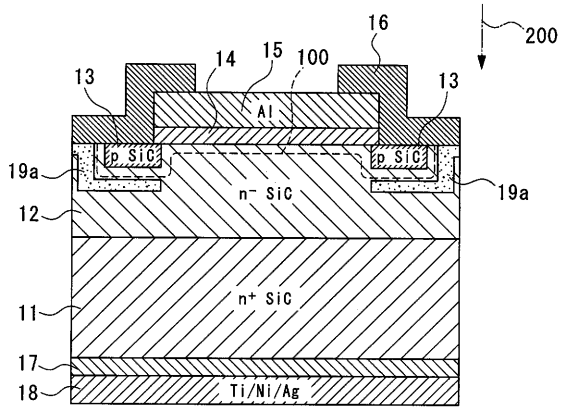
10

20

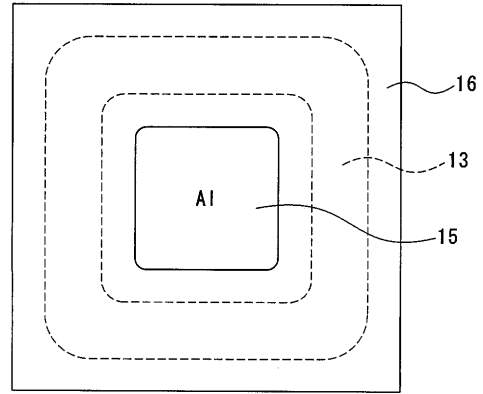
30

40

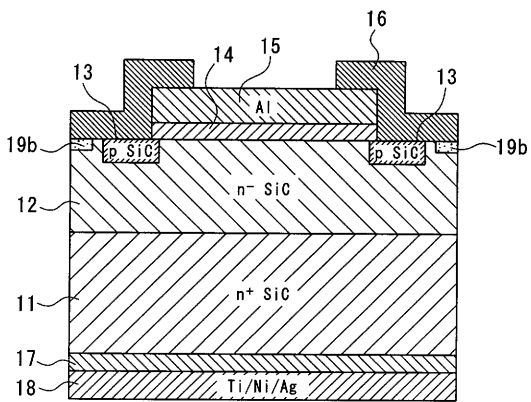
【 図 1 】



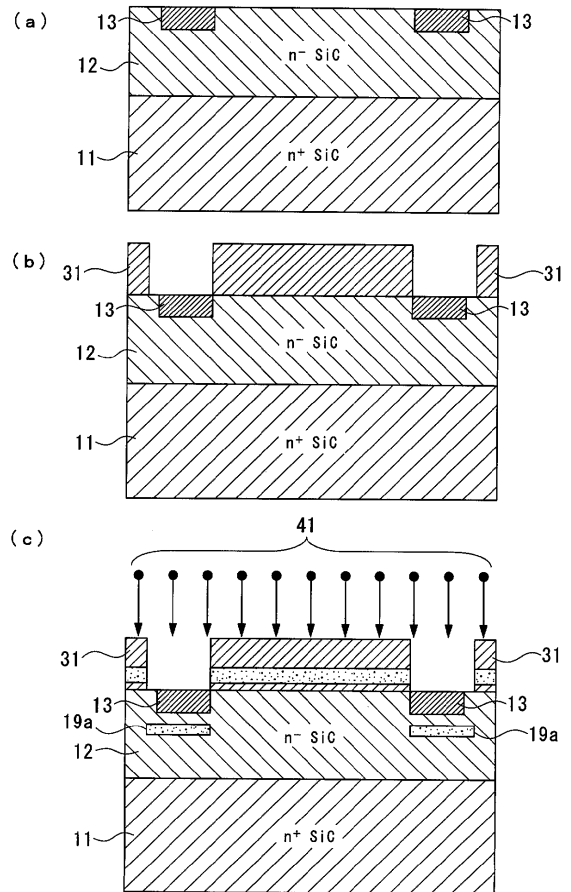
【 図 2 】



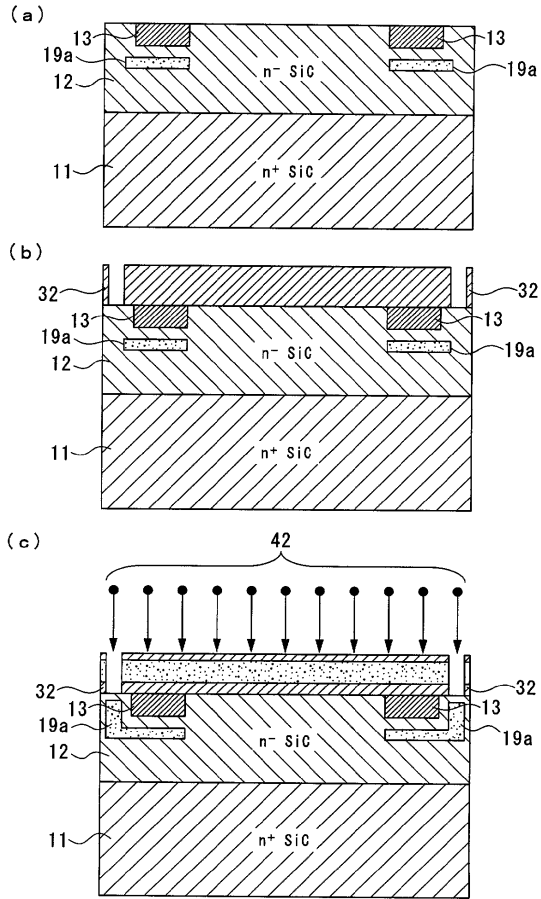
【 図 3 】



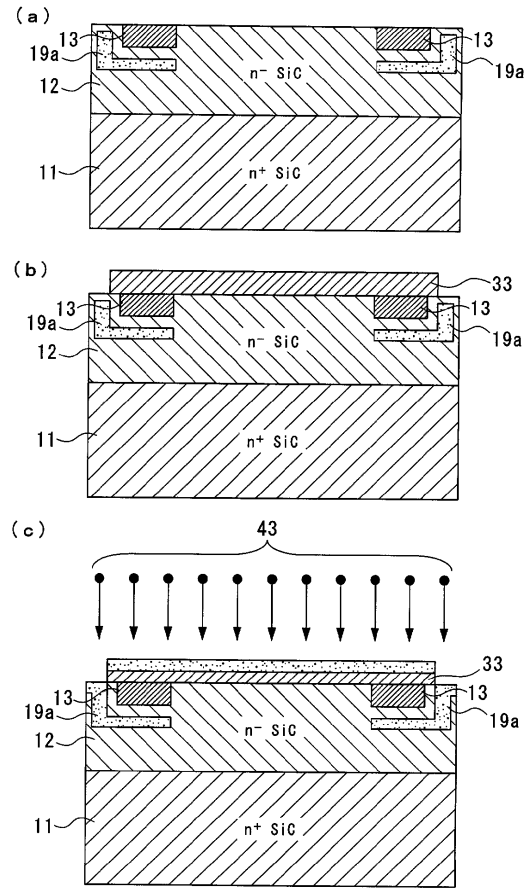
【 図 4 】



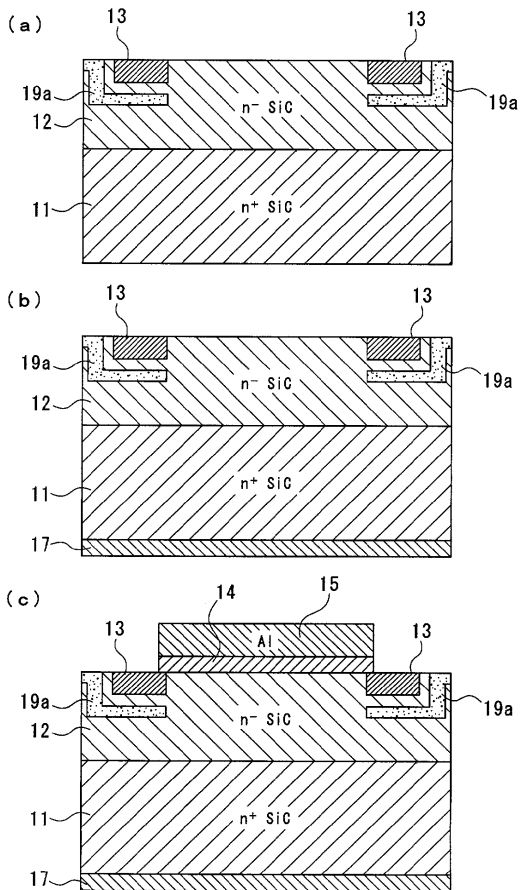
【図 5】



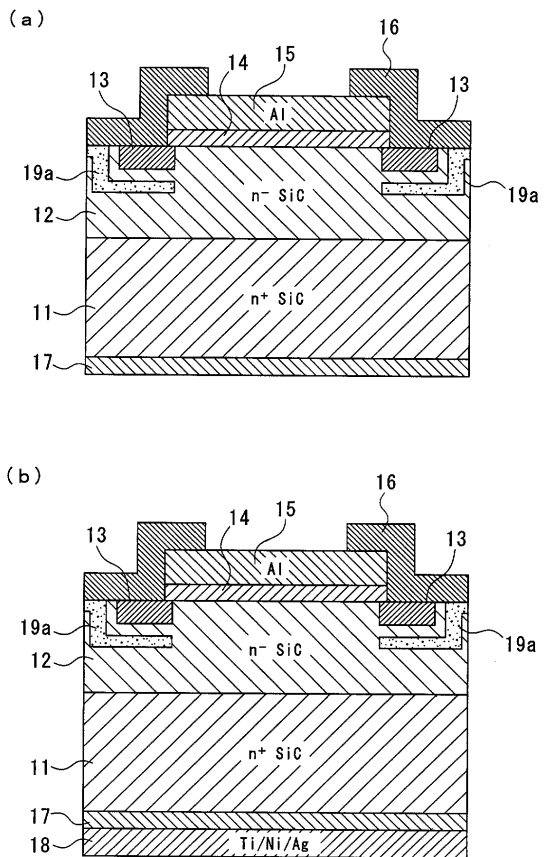
【図 6】



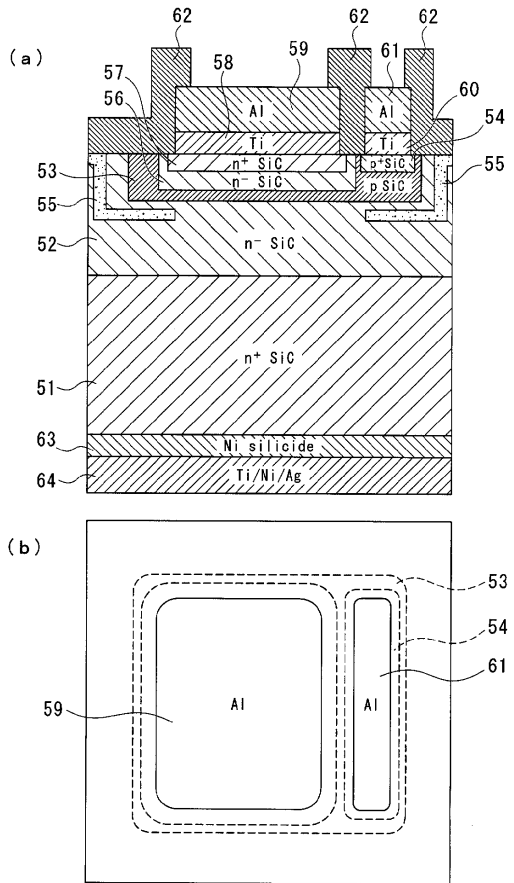
【図 7】



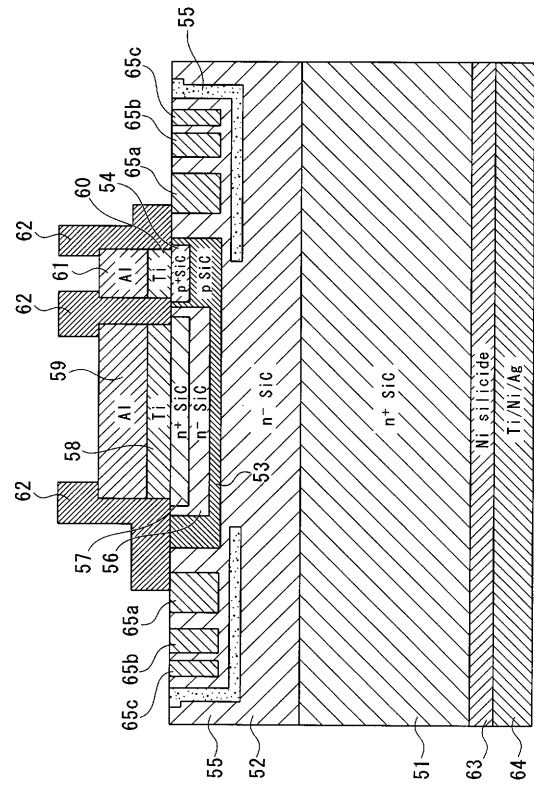
【図 8】



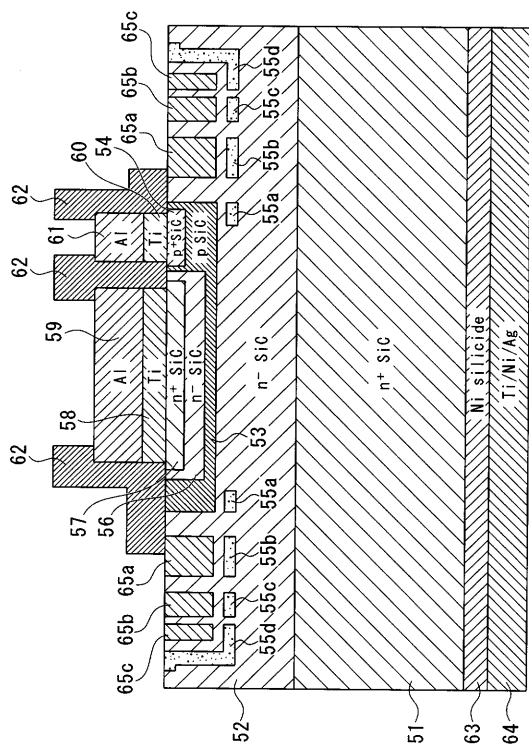
【 図 9 】



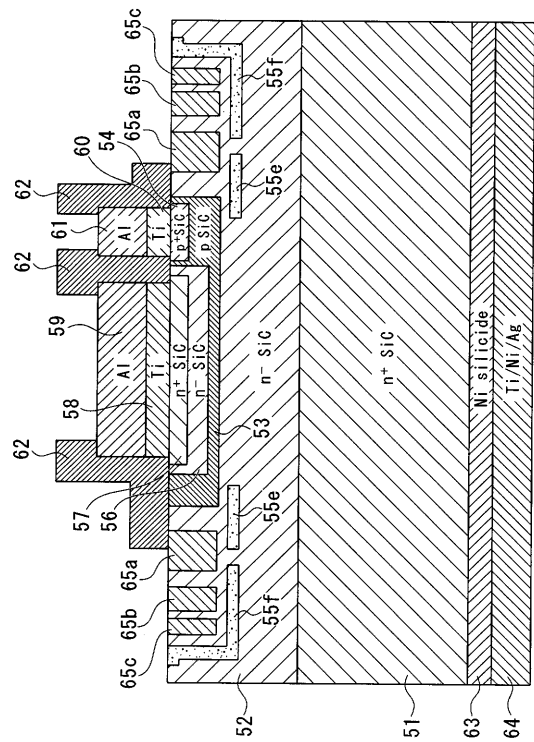
【 図 10 】



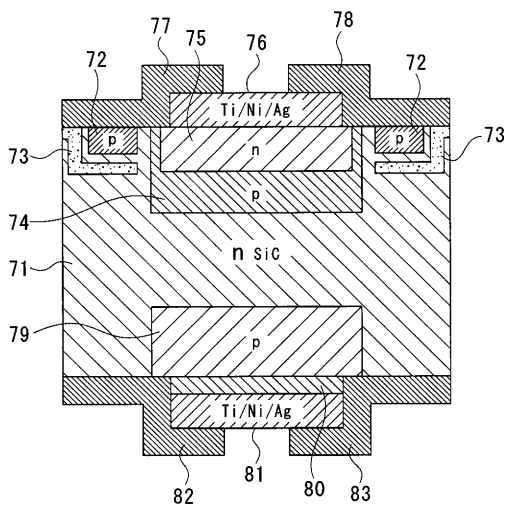
【 図 11 】



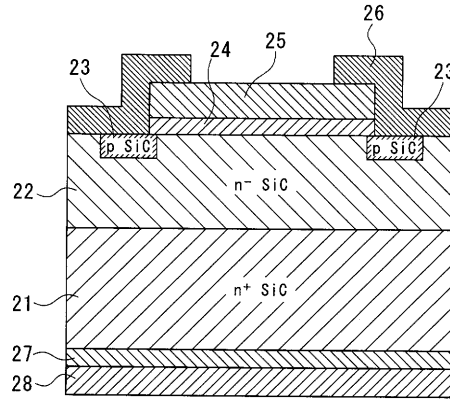
【 図 12 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/74 (2006.01)

(74)代理人 100108453

弁理士 村山 靖彦

(72)発明者 西川 恒一

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72)発明者 前山 雄介

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72)発明者 福田 祐介

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72)発明者 清水 正章

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

(72)発明者 岩黒 弘明

埼玉県飯能市南町10番13号 新電元工業株式会社工場内

Fターム(参考) 4M104 AA03 BB04 BB05 BB06 BB14 BB16 CC01 CC03 FF13 FF31

FF35 GG03 GG06 GG07 HH18

5F003 BA93 BB90 BC90 BH05 BH08 BJ93 BM01

5F005 CA04 GA01