

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-281551  
(P2004-281551A)

(43) 公開日 平成16年10月7日(2004.10.7)

|                                       |              |             |
|---------------------------------------|--------------|-------------|
| (51) Int. Cl. <sup>7</sup>            | F I          | テーマコード (参考) |
| HO 1 L 23/12                          | HO 1 L 23/12 | F           |
| HO 1 L 21/336                         | HO 1 L 29/78 | 6 5 2 G     |
| HO 1 L 23/14                          | HO 1 L 29/78 | 6 5 2 Q     |
| HO 1 L 29/78                          | HO 1 L 29/78 | 6 5 2 T     |
|                                       | HO 1 L 29/78 | 6 5 3 A     |
| 審査請求 未請求 請求項の数 31 O L (全 28 頁) 最終頁に続く |              |             |

|           |                            |          |                                       |
|-----------|----------------------------|----------|---------------------------------------|
| (21) 出願番号 | 特願2003-68443 (P2003-68443) | (71) 出願人 | 000003078<br>株式会社東芝<br>東京都港区芝浦一丁目1番1号 |
| (22) 出願日  | 平成15年3月13日(2003.3.13)      | (74) 代理人 | 100075812<br>弁理士 吉武 賢次                |
|           |                            | (74) 代理人 | 100088889<br>弁理士 橘谷 英俊                |
|           |                            | (74) 代理人 | 100082991<br>弁理士 佐藤 泰和                |
|           |                            | (74) 代理人 | 100096921<br>弁理士 吉元 弘                 |
|           |                            | (74) 代理人 | 100103263<br>弁理士 川崎 康                 |
|           |                            | 最終頁に続く   |                                       |

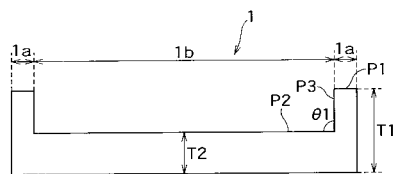
(54) 【発明の名称】 半導体基板及びその製造方法、半導体装置及びその製造方法、半導体パッケージ

(57) 【要約】

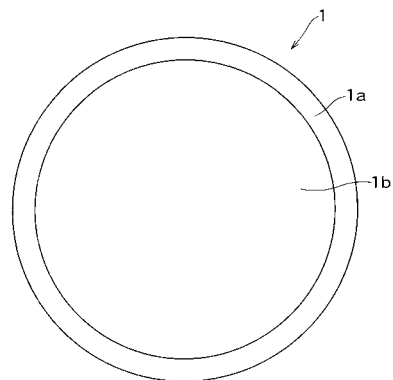
【課題】 素子厚の薄い高性能な半導体装置を製造する。

【解決手段】 本発明の半導体基板は、第1の厚さを有する第1の基板部分と、前記第1の厚さよりも厚い第2の厚さを有する第2の基板部分とを備え、前記第2の基板部分を基板の外周部に沿って形成する。

【選択図】 図1



(a)



(b)

## 【特許請求の範囲】

## 【請求項 1】

第 1 の厚さを有する第 1 の基板部分と、前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の基板部分とを備え、前記第 2 の基板部分は基板の外周部に沿って形成されていることを特徴とする半導体基板。

## 【請求項 2】

前記第 2 の基板部分はさらに基板の内周部にも形成され、前記第 1 の基板部分は、前記第 2 の基板部分によって複数に分離して形成されていることを特徴とする請求項 1 に記載の半導体基板。

## 【請求項 3】

前記第 2 の基板部分は、前記外周部において選択的に欠切され、且つ、厚さ方向における任意の断面において前記第 2 の基板部分が含まれることを特徴とする請求項 1 又は 2 に記載の半導体基板。

## 【請求項 4】

第 1 の厚さを有する第 1 の基板部分と、前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の基板部分とを備え、前記第 2 の基板部分が囲むことにより画定される前記第 1 の基板部分は単位素子領域であることを特徴とする半導体基板。

## 【請求項 5】

第 1 の厚さを有する第 1 の基板部分と、前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の基板部分とを備え、複数の前記第 2 の基板部分が、単位素子領域において互いに交差するように、基板裏面に全面に形成されていることを特徴とする半導体基板。

## 【請求項 6】

前記第 2 の基板部分の端面と、前記端面に隣接する、前記第 1 の基板部分の表面とは鈍角を形成することを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体基板。

## 【請求項 7】

第 2 の基板部分は複数層の積層で形成されていることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体基板。

## 【請求項 8】

第 2 の基板部分は接着された複数層でなることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体基板。

## 【請求項 9】

前記複数層のうち、前記第 1 の基板部分と異なる階層にある層は、半導体、酸化物、あるいは石英を主体とする材料により構成されていることを特徴とする請求項 7 又は 8 に記載の半導体基板。

## 【請求項 10】

基板の両面に凹部が形成されていることを特徴とする請求項 1 乃至 9 のいずれかに記載の半導体基板。

## 【請求項 11】

基板における少なくとも一方の面に選択的に凹部を形成することにより、第 1 の厚さを有する第 1 の基板部分と、前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の基板部分とからなる基板を形成することを特徴とする半導体基板の製造方法。

## 【請求項 12】

エッチング、研磨、あるいはサンドブラストにより、前記凹部を形成することを特徴とする請求項 11 に記載の半導体基板の製造方法。

## 【請求項 13】

基板における少なくとも一方の面に凸部を形成することにより、第 1 の厚さを有する第 1 の基板部分と、前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の基板部分とからなる基板を形成することを特徴とする半導体基板の製造方法。

## 【請求項 14】

基板補強材料を堆積して前記凸部を形成することを特徴とする請求項 13 に記載の半導体

10

20

30

40

50

基板の製造方法。

【請求項 15】

前記基板補強材料として半導体あるいは酸化物を主体とする材料を堆積することを特徴とする請求項 14 に記載の半導体基板の製造方法。

【請求項 16】

基板補強材料を貼り付けて前記凸部を形成することを特徴とする請求項 13 に記載の半導体基板の製造方法。

【請求項 17】

前記基板補強材料として半導体あるいは石英を主体とする材料を貼り付けることを特徴とする請求項 16 に記載の半導体基板の製造方法。

10

【請求項 18】

前記基板補強材料を熱硬化性樹脂接着剤によって貼り付けることを特徴とする請求項 16 又は 17 に記載の半導体基板の製造方法。

【請求項 19】

請求項 11 乃至 18 のいずれかに記載の半導体基板の製造方法を用いて半導体基板を作製し、

前記半導体基板に縦型半導体装置を作製することを特徴とする半導体装置の製造方法。

【請求項 20】

前記縦型半導体装置は、第 1 回路構造と、第 2 回路構造と、前記第 1 構造及び第 2 構造の間の中心構造とから構成され、

20

前記半導体基板の一方の面側に、前記第 1 回路構造を形成し、

この後、半導体基板の前記一方の面に対向する他方の面側に、前記第 2 回路構造を形成し、前記第 1 回路構造と第 2 回路構造との間における前記半導体基板を前記中心構造とする

、

ことを特徴とする請求項 19 に記載の半導体装置の製造方法。

【請求項 21】

前記縦型半導体装置を前記半導体基板の前記第 1 の基板部分に作製することを特徴とする請求項 19 又は 20 に記載の半導体装置の製造方法。

【請求項 22】

前記縦型半導体装置を前記第 1 の基板部分及び第 2 の基板部分の両方にわたって作製することを特徴とする請求項 19 又は 20 に記載の半導体装置の製造方法。

30

【請求項 23】

第 1 回路構造と、第 2 回路構造と、前記第 1 回路構造及び第 2 回路構造の間の中心構造とからなる縦型半導体装置を作製する半導体装置の製造方法であって、

半導体基板の一方の面側に前記第 1 回路構造を形成し、

この後、前記一方の面に対向する他方の面側を選択的に除去して、前記第 1 回路構造に対応する部分に凹面を形成し、

この後、前記凹面に前記第 2 回路構造を形成し、前記第 1 回路構造と第 2 回路構造との間における前記半導体基板を前記中心構造とする、

ことを特徴とする半導体装置の製造方法。

40

【請求項 24】

前記縦型半導体装置として IGBT、MOSFET、サイリスタ、あるいはダイオードを作製することを特徴とする請求項 19 乃至 23 のいずれかに記載の半導体装置の製造方法

。

【請求項 25】

互いに対向する第 1 の面と第 2 の面とを備える半導体装置であって、前記第 1 の面に形成された第 1 の電極と、前記第 2 の面に形成された第 2 の電極との間に主電流を流すようにした半導体装置であって、

前記第 1 の面における前記第 1 の電極が形成されていない部分は、前記第 1 の面における前記第 1 の電極が形成されている部分に対して、第 1 の凸部として凸状に形成されている

50

ことを特徴とする半導体装置。

【請求項 26】

前記第 2 の面における前記第 2 の電極が形成されていない部分は、前記第 2 の面における前記第 2 の電極が形成されている部分に対して、第 2 の凸部として凸状に形成されていることを特徴とする請求項 25 に記載の半導体装置。

【請求項 27】

前記第 1 又は第 2 の凸部は、素子の外周部に沿って形成されていることを特徴とする請求項 25 又は 26 に記載の半導体装置。

【請求項 28】

複数の前記第 1 又は第 2 の凸部が、互いに交差することを特徴とする請求項 25 又は 26 に記載の半導体装置。 10

【請求項 29】

I G B T、M O S F E T、サイリスタ、あるいはダイオードであることを特徴とする請求項 25 乃至 28 のいずれかに記載の半導体装置。

【請求項 30】

請求項 25 乃至 29 のいずれかに記載の半導体装置を備えた半導体パッケージであって、前記第 1 の面側の前記第 1 の凸部に合致した形状を有し、前記第 1 の電極と電気的に接続された第 1 の導電体を備えることを特徴とする半導体パッケージ。

【請求項 31】

前記第 2 の面側の前記第 2 の凸部に合致した形状を有し、前記第 2 の電極と電気的に接続された第 2 の導電体を備えることを特徴とする請求項 30 に記載の半導体パッケージ。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板及びその製造方法、半導体装置及びその製造方法、半導体パッケージに関する。

【0002】

【従来技術】

縦型半導体素子は、活性層が薄いほどオン抵抗が減少し低損失性を有する。そのため、パンチスルー構造を有する縦型半導体素子においては活性層を薄く作り、活性層以外の部分を厚く設計することで必要な強度を得てきた。例えば 600V 素子の場合には、活性層は 60 ~ 80  $\mu\text{m}$  が望ましく、強度を確保するために、素子の裏面にある高濃度の n 型層または p 型層を厚めに設計し、全体で 300  $\mu\text{m}$  以上の厚さにして作製していた。しかし、このような構成では、裏面構造を自由に設計できず、スイッチング損失を減らすために重要である、総濃度の薄い n 型層または p 型層を作ることは困難であった。素子のオン抵抗が低く、かつスイッチング損失の小さな縦型半導体素子を作製するためには、例えば活性層と裏面の n 型層・p 型層がそれぞれ最適な厚さとなるような厚さの薄い基板を用いることが考えられる。 30

【0003】

【特許文献 1】

特開平 10 - 50718 号公報

【特許文献 2】

特開 2002 - 26307 号公報

【特許文献 3】

特開 2002 - 16266 号公報

【0004】

【発明が解決しようとする課題】

しかし、薄い基板の機械的強度は弱いため、例えば、上述の素子厚 60 ~ 80  $\mu\text{m}$  に対応して当初から 60 ~ 80  $\mu\text{m}$  程度の薄い基板を用いると、基板が搬送中に割れ、また、基板が熱工程中に反ったり割れたりしてしまう。このため、薄い基板を用いて素子厚の薄い 40 50

素子を作製することは困難であった。

【0005】

そこで、厚い基板を用い、この厚い基板をプロセス中にCMP等により薄くする方法も考えられるが、この場合も上述同様に、その後のプロセスで基板が割れる等の問題があり、素子厚の薄い素子を作製するのは困難であった。

【0006】

本発明は、上記問題点に鑑みてなされたものであり、その目的は、素子厚の薄い高性能な半導体装置を製造可能な半導体基板及びその製造方法、素子厚の薄い高性能な半導体装置及びその製造方法、素子厚の薄い高性能な半導体素子を備えた半導体パッケージを提供することにある。

10

【0007】

【課題を解決するための手段】

本発明の半導体基板は、第1の厚さを有する第1の基板部分と、前記第1の厚さよりも厚い第2の厚さを有する第2の基板部分とを備え、前記第2の基板部分は基板の外周部に沿って形成されたものとして構成される。

【0008】

本発明の半導体基板は、第1の厚さを有する第1の基板部分と、前記第1の厚さよりも厚い第2の厚さを有する第2の基板部分とを備え、前記第2の基板部分が囲むことにより画定される前記第1の基板部分は単位素子領域であることを特徴とする。

【0009】

本発明の半導体基板は、第1の厚さを有する第1の基板部分と、前記第1の厚さよりも厚い第2の厚さを有する第2の基板部分とを備え、複数の前記第2の基板部分は、単位素子領域において互いに交差するように、基板裏面に全面に形成されていることを特徴とする。

20

【0010】

本発明の半導体基板の製造方法は、基板における少なくとも一方の面に選択的に凹部を形成することにより、第1の厚さを有する第1の基板部分と、前記第1の厚さよりも厚い第2の厚さを有する第2の基板部分とからなる基板を形成するものとして構成される。

【0011】

本発明の半導体基板の製造方法は、基板における少なくとも一方の面に凸部を形成することにより、第1の厚さを有する第1の基板部分と、前記第1の厚さよりも厚い第2の厚さを有する第2の基板部分とからなる基板を形成するものとして構成される。

30

【0012】

本発明の半導体装置の製造方法は、請求項11乃至18のいずれかに記載の半導体基板の製造方法を用いて半導体基板を作製し、前記半導体基板に縦型半導体装置を作製するものとして構成される。

【0013】

本発明の半導体装置の製造方法は、前記縦型半導体装置は、第1回路構造と、第2回路構造と、前記第1構造及び第2構造の間の中心構造とから構成され、前記半導体基板の一方の面側に、前記第1回路構造を形成し、この後、半導体基板の前記一方の面に対向する他方の面側に、前記第2回路構造を形成し、前記第1回路構造と第2回路構造との間における前記半導体基板を前記中心構造とするものとして構成される。ここで、第1回路構造の形成後且つ第2回路構造の形成前に、第1回路構造の表面に第1の電極を形成し、第2回路構造の形成後に第2回路構造の表面に第2の電極を形成してもよい。

40

【0014】

本発明の半導体装置の製造方法は、第1回路構造と、第2回路構造と、前記第1回路構造及び第2回路構造の間の中心構造とからなる縦型半導体装置を作製する半導体装置の製造方法であって、半導体基板の一方の面側に前記第1回路構造を形成し、この後、前記一方の面に対向する他方の面側を選択的に除去して、前記第1回路構造に対応する部分に凹面を形成し、この後、前記凹面に前記第2回路構造を形成し、前記第1回路構造と第2回路

50

構造との間における前記半導体基板を前記中心構造とするものとして構成される。

【0015】

本発明の半導体装置は、互いに対向する第1の面と第2の面とを備える半導体装置であって、前記第1の面に形成された第1の電極と、前記第2の面に形成された第2の電極との間に主電流を流すようにした半導体装置であって、前記第1の面における前記第1の電極が形成されていない部分は、前記第1の面における前記第1の電極が形成されている部分に対して、第1の凸部として凸状に形成されたものとして構成される。

【0016】

本発明の半導体装置は、請求項25乃至29のいずれかに記載の半導体装置を備えた半導体パッケージであって、前記第1の面側の前記第1の凸部に合致した形状を有し、前記第1の電極と電氣的に接続された第1の導電体を備えるものとして構成される。

10

【0017】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態を説明する。

【0018】

(第1の実施の形態)

図1(a)は、本発明の第1の実施の形態としての半導体装置製造用基板(基板)1の断面図を示し、図1(b)は、この基板1の平面図を示す。

【0019】

まず、この基板1の構造について説明する。

20

【0020】

図1(a)に示すように、この基板1は、内周部の薄板部(第1の基板部分)1bと、この薄板部1bを同心円周状に囲む(図1(b)参照)外周部の厚板部(第2の基板部分)1aとから構成されている。薄板部1bは、複数の縦型半導体素子、例えば、絶縁ゲート・バイポーラ・トランジスタ(IGBT)、MOS型電界効果トランジスタ(MOSFET)、ダイオード、サイリスタを作り込むためのものである。一方、外周部の厚板部1aは、基板1の機械的強度を確保して、基板1の処理時、例えば搬送中や熱工程中において、基板1が割れたり反ったりすることを防ぐものである。この厚板部1aの厚さT1は例えば300 $\mu$ mである。一方、薄板部1bの厚さT2は例えば60~80 $\mu$ mであり、この部分の基板1bの厚みは高性能な600V素子を作製するに理想的な厚さとなっている。図1(a)に示すように、薄板部1bの表面P2及び厚板部1aの表面P1はそれぞれ平面状を形成し、これらの表面P2及びP1を結ぶ平面(厚板部の端面)P3と表面P2とが形成する角度 $\theta$ 1はほぼ直角とされている。ここでは、角度 $\theta$ 1はほぼ直角とされているが、鋭角であっても鈍角であっても問題ない。

30

【0021】

次に、この基板1の製造方法を例えば3つ説明する。

【0022】

まず、第1番目の、基板1の製造方法について説明する(第1の基板の製造方法)。

【0023】

図2(a)及び図2(b)は、基板1の製造工程(第1の基板の製造工程)を示す断面図である。

40

【0024】

以下、第1の基板の製造工程について説明する。

【0025】

まず、図2(a)に示すように、厚い基板(厚基板)3を用意する。この厚基板3上に、レジスト(図示せず)を塗布し、露光及び現像処理をして、フォトマスクパターン3aを形成する。

【0026】

次に、このフォトマスクパターン3aを用いて、図2(b)に示すように、厚基板3を、例えばリアクティブ・イオン・エッチング(RIE)あるいはスピネッチングして、凹

50

面 P 2 を形成する。この後、フォトマスクパターン 3 a を除去する。これにより基板 1 を完成させる。

【 0 0 2 7 】

凹面 P 2 を形成するには、上述の R I E やスピネッチングの他、サンドブラスト処理、つまりノズルから磨砥粒を吐出させながら厚基板 3 上を移動させて厚基板 3 の表面を削る処理を行ってのよい。この他、研磨処理を行ってもよい。

【 0 0 2 8 】

次に、第 2 番目の、基板 1 の製造方法（第 2 の基板の製造方法）について説明する。

【 0 0 2 9 】

図 3 ( a ) 及び図 3 ( b ) は、基板 1 の製造工程（第 2 の基板の製造工程）を示す断面図 10  
である。

【 0 0 3 0 】

以下、第 2 の基板の製造工程について説明する。

【 0 0 3 1 】

まず、図 3 ( a ) に示すように、薄厚の基板（薄板基板）4 を用意する。この薄板基板 4 は、通常のウエハ（基板）、あるいは通常の基板上にエピタキシャル成長を行った基板（エピタキシャル基板）（図 7 ( a ) 参照）である。

【 0 0 3 2 】

次に、図 3 ( b ) に示すように、薄板基板 4 の外周部に、単結晶半導体層による補強部 5 をエピタキシャル成長により形成する。補強部 5 として、C V D 法や熱酸化法等による酸化膜（シリコン酸化膜）を形成してもよい。以上により基板 1 を完成させる。 20

【 0 0 3 3 】

次に、第 3 番目の、基板 1 の製造方法（第 3 の基板の製造方法）について説明する。

【 0 0 3 4 】

図 4 ( a ) 及び図 4 ( b ) は、基板 1 の製造工程（第 3 の基板の製造工程）を示す断面図  
である。

【 0 0 3 5 】

以下、第 3 の基板の製造工程について説明する。

【 0 0 3 6 】

まず、図 4 ( a ) に示すように、薄板基板 4 を用意する。薄板基板 4 としては、通常のウ 30  
エハ（基板）やエピタキシャル基板を用いることができる。

【 0 0 3 7 】

次に、図 4 ( b ) に示すように、薄板基板 4 の外周部に、シリコンや石英を主体とする材料部材（補強部）6 を、ポリイミド樹脂（熱硬化性樹脂）等の接着剤 8 によって、貼り付ける。以上により基板 1 を完成させる。

【 0 0 3 8 】

次に、基板 1 の薄板部 1 b（図 1 ( a ) 参照）に作り込まれる縦型半導体素子の一例を説明する。

【 0 0 3 9 】

図 5 は、この縦型半導体素子（I G B T）の縦断面図を示す。この I G B T は、1 つの基 40  
板 1 の薄板部 1 b に複数個作り込まれるが、ここではそのうちの 1 つに着目している。

【 0 0 4 0 】

この I G B T 2 1 の構造について説明する。

【 0 0 4 1 】

図 5 に示すように、薄厚の p<sup>+</sup> 型ドレイン層（p<sup>+</sup> 型コレクタ層）1 1 が形成されている。この p<sup>+</sup> 型ドレイン層 1 1 上には n<sup>+</sup> 型バッファ層 1 2 が形成されており、この n<sup>+</sup> 型バッファ層 1 2 上には n<sup>-</sup> 型高抵抗層 1 4 が形成されている。この n<sup>-</sup> 型高抵抗層 1 4 上には p 型ベース層 1 5 が形成されており、この p 型ベース層 1 5 の表面領域の一部は、ソース電極 1 7 とのオーミック接触を可能とするため、高濃度領域とされている。また、p 型ベース層 1 5 の表面領域には、上述の高濃度領域と一部重なった状態で n<sup>+</sup> 型ソース領 50

域 ( $n^+$  型エミッタ領域) 16 が形成されている。これら  $n^+$  型ソース領域 16 及び高濃度領域の両方の表面に接した状態でソース電極 (表面電極) 17 が形成されている。一方、この  $n^+$  型ソース領域 16 の表面から内部に向けて、 $n^-$  型高抵抗層 14 に達するトレンチ 18 が形成されている。このトレンチ 18 の底面及び側壁にはゲート絶縁膜 19 が形成されており、このゲート絶縁膜 19 の内側にはゲート電極 20 が形成されている。一方、 $p^+$  型ドレイン層 11 の下面にはドレイン電極 (裏面電極) 13 が形成されている。ドレイン電極 13 の材料としては、例えばアルミニウム (Al)、クロム (Cr)、銀 (Ag)、金 (Au) が用いられる。

【0042】

以降、本実施の形態では、図 5 にも示すように、 $p^+$  型ドレイン層 11、 $n^+$  型バッファ層 12 を裏面構造 A と称し、 $p$  型ベース層 15、 $n^+$  型ソース領域 16、トレンチ 18、ゲート絶縁膜 19 及びゲート電極 20 を表面構造 K と称する。そして、これら裏面構造 A 及び表面構造 K の間の  $n^-$  型高抵抗層 14 を中心構造と称する。

【0043】

次に、この IGBT 21 の製造方法 (第 1 の IGBT の製造方法) について説明する。

【0044】

図 6 (a) ~ (d) は、IGBT 21 の製造工程 (第 1 の IGBT の製造工程) を示す工程断面図である。

【0045】

以下、図 6 及び図 5 を用いて、この第 1 の IGBT の製造工程について説明する。

【0046】

まず、図 6 (a) に示すように、基板 ( $n^-$  型基板) 22 を用意する。この基板 22 は、エピタキシャル基板でない通常の  $n^-$  型基板である。この基板 22 は、図 2 に示す第 1 の基板の製造方法を用いて作製されたものである。この基板 ( $n^-$  型基板) 22 の一部は、図 5 から分かるように、IGBT 21 の  $n^-$  型高抵抗層 14 となるものである。

【0047】

次に、図 6 (b) に示すように、IGBT 21 の裏面構造 A ( $p^+$  型ドレイン層 11、 $n^+$  型バッファ層 12 (図 5 参照)) を形成する。より詳しくは以下の通りである。

【0048】

即ち、図 6 (b) 及び図 5 に示すように、特に図 5 に示すように、基板 22 の裏面からリン (不純物) を例えば 1 MeV で高加速イオン注入して、 $n^+$  型バッファ層 12 を形成し、続いて、ボロンを通常速度でイオン注入して、 $p^+$  型ドレイン層 11 を形成する。その後、レーザーアニール、フラッシュアニール、シンター、熱拡散等の熱処理を行い  $n^+$  型バッファ層 12 及び  $p^+$  型ドレイン層 11 内の不純物を十分に拡散させる。これにより IGBT の裏面構造 A (基板の裏面側からの処理によって形成される構造) を完成させる。

【0049】

次に、図 6 (c) に示すように、IGBT 21 の表面構造 K ( $p$  型ベース層 15、 $n^+$  型ソース領域 16、トレンチ 18、ゲート絶縁膜 19 及びゲート電極 20) 及びソース電極 17 を形成する。より詳しくは以下の通りである。

【0050】

即ち、図 6 (c) 及び図 5 に示すように、特に図 5 に示すように、基板の表面領域に、ホウ素等の不純物を打ち込んで熱処理して、 $p$  型ベース層 15 を形成する。次いで、 $p$  型ベース層 15 の表面領域に選択的にリン等の不純物を打ち込んで熱処理して  $n^+$  型ソース領域 16 を形成する。次いで、 $p$  型ベース層 15 及び  $n^+$  型ソース領域 16 上にフォトレジストを塗布し、フォトリソグラフィ技術を用いてフォトレジストパターン (図示せず) を形成する。このフォトレジストパターンを用いて  $n^+$  型ソース領域 16 の表面から  $n^-$  型高抵抗層 14 に達するトレンチ 18 を形成する。フォトレジストパターンを除去した後、全面に絶縁性材料であるシリコン酸化膜を形成し、エッチバックして、トレンチ 18 の底面及び側壁にゲート絶縁膜 19 を形成する。次に、全面に導電性材料であるポリシリコン

10

20

30

40

50



等を全面に形成し、平坦化処理して、トレンチ 18 内にゲート電極 20 を形成する。これにより IGBT の表面構造 K (基板の表面側からの処理によって形成される構造) を完成させる。この後、導電性材料であるアルミニウム等の金属を全面に形成し、パターンニング後エッチングし、 $n^+$  型ソース領域 16 及び p 型ベース層 15 の表面にソース電極 17 を形成する。

【0051】

この後、図 6 (c) に示すように、 $p^+$  型ドレイン層 11 の表面にドレイン電極 13 を形成する。

【0052】

次に、ダイシングラインに沿って基板をダイシングして、図 6 (d) に示すように、各 IGBT (チップ) 21 に分ける。この IGBT 21 の素子厚は十分に薄いため、オン電圧 (ドレイン電極 13 - ソース電極 17 間の電圧) は低く、従って、この IGBT 21 は低損失性を有する。

【0053】

以上の IGBT 21 の作製工程では、エピタキシャル基板でない通常の基板 22 (図 6 (a) 参照) を用いたが、IGBT 21 の作製に当たっては、図 7 (a) 又は図 7 (b) に示すエピタキシャル基板を用いてもよい。図 7 (a) のエピタキシャル基板 23 は、 $n^+$  型基板 24 の表面に、 $n^-$  型半導体層 25 をエピタキシャル成長させた後、 $n^+$  型基板 24 の裏面を所定の厚さまで全面エッチングし、その後に  $n^-$  型半導体層 25 の一部をエッチング除去したものである。このエピタキシャル基板 23 を用いて IGBT 21 (図 5 参照) を製造する場合、エピタキシャル基板 23 における  $n^+$  型基板 24 の一部が  $n^+$  型バッファ層 12 となり、 $n^+$  型基板 24 上の  $n^-$  型半導体層 25 の一部が  $n^-$  型高抵抗層 14 となる。従って、IGBT 21 の作製工程において、 $n^+$  型バッファ層 12 を形成する工程は不要となり、工程を簡略化することができる。一方、図 8 (b) のエピタキシャル基板 (2 段エピタキシャル基板) 26 は、 $p^+$  型基板 27 上に、 $n^+$  型半導体層 28、 $n^-$  型半導体層 29 を順次エピタキシャル成長させた後、 $p^+$  型基板 27 の裏面を所定の厚さまで全面エッチングし、その後、 $n^-$  型半導体層 29 の一部をエッチング除去したものである。このエピタキシャル基板 26 によれば、IGBT の作製工程において、IGBT 21 の  $p^+$  型ドレイン層 11 (図 5 参照) を形成する必要がないので、上のエピタキシャル基板 23 を用いた場合よりもさらに工程を簡略化することができる。

【0054】

図 8 は、基板 1 (図 1 参照) の変形例を示す平面図である。

【0055】

図 8 に示すように、平面的に円形状を有する、例えば 3 つの薄板部 31b (1) ~ (3) が、基板 31 の中央を中心としてほぼ均等に分散配置されている。別の言い方をすると、基板の機械的強度を確保する厚板部 31a が、基板の外周部に加え、内周部の一部 (例えば中心部やその近傍等) にも形成されている。即ち、この基板 31 は、外周部にのみ厚み (厚板部) を有する基板 1 (図 1 参照) よりも厚板部の占める割合が大きい。よって、この基板 31 は、外周部のみに厚板部を有する基板 1 よりも強い機械的強度を有する。この基板 31 を製造するには、上述した図 2 ~ 図 4 に示したのと同様の方法を用いればよい。

【0056】

図 9 は、基板 1 (図 1 参照) の別の変形例を示す平面図である。

【0057】

図 9 に示すように、平面的に四角形状を有する、例えば 4 つの薄板部 32b (1) ~ (4) が、基板 32 の中央を中心としてほぼ均等に分散配置されている。つまり、この基板 32 も、上述の基板 31 (図 8 参照) と同様、厚板部 32a が、外周部に加え、内周部にも形成される。よって、この基板 32 も、上述の基板 31 と同様、基板 1 よりも機械的強度が高いものとして構成されている。一方、薄板部 32b (1) ~ (4) は、上述したように、それぞれ平面的に四角形状を有するので、平面的に四角形状を有する縦型半導体素子

を効率よく作製できる。この基板 3 2 を製造するには、上述した図 2 ~ 図 4 に示したのと同様の方法を用いればよい。

【 0 0 5 8 】

図 1 0 は、図 8 及び図 9 に示す基板の変形例を示す平面図である。

【 0 0 5 9 】

図 1 0 に示すように、厚板部 6 5 a は、基板 6 5 における外周部の全てには形成されていない。即ち、外周部の一部は、薄板部 6 5 b ( 切欠部 C T ) とされている。この薄板部 6 5 b の表面は、基板 6 5 の内周部から外周部までとぎれることなく続いている。

【 0 0 6 0 】

以上の構成を有する基板 6 5 は、スピネッチング等のウエットエッチングを行う際に、ウエハ周辺部でよどみなく反応後のエッチング液が流出するので、安定したエッチングレートを実現できる。また、この基板 6 5 は、レジスト塗布の際にも、ウエハ周辺部で余計なレジストがよどみなく流出するので、均一な厚さのレジスト膜を形成できる。以下、スピネッチングにより安定したエッチングレートを実現できることについて詳しく述べる。

10

【 0 0 6 1 】

図 1 1 は、図 1 0 に示す基板 6 5 の薄板部 6 5 b をスピネッチングしている状態を示す図である。

【 0 0 6 2 】

基板 6 5 は、厚板部 6 5 a 上にフォトレジスト P R 1 を載せた状態で、図中矢印方向に回転させられている。そして、基板 6 5 の上方 ( 紙面に垂直な方向 ) から、薬液 ( エッチング液 ) がスプレー状に継続的に噴射されている。薬液を吹き付けられた薄板部 6 5 b は溶かされ、基板を溶かした薬液と共に ( 以下これらを除去物と称する ) 、基板の回転による遠心力によって基板 6 5 の外周方向へ流され、欠切部 C T から外部へ流出する。

20

【 0 0 6 3 】

これに対し、例えば、図 1 2 に示すように、基板 1 の薄板部 1 b ( 図 1 参照 ) をスピネッチングする場合、薄板部 1 b からの除去物は、基板 1 の外周方向へ運ばれるものの、厚板部 1 a の内壁付近において溜まってしまう。従って、基板 1 ではエッチングレートは安定しない。

【 0 0 6 4 】

この点、上述の基板 6 5 のスピネッチングでは、薄板部 6 5 b が溶かされたことによる除去物は、基板 6 5 の外周部における欠切部 C T から流出し、基板 1 のように外周部において溜められることはなく、安定したエッチングレートを実現できる。

30

【 0 0 6 5 】

以上のような効果は、その後 I G B T などの素子を作る際にスピネッチング、レジスト塗布工程などで同様に得ることができる。

【 0 0 6 6 】

このように安定したエッチングレートを実現できる基板 6 5 は、外周部において切欠部 C T を有するものの、プロセス中において十分な機械的強度を有する。より詳しくは以下の通りである。

40

【 0 0 6 7 】

即ち、一般に、基板 ( ウエハ ) はシリコン単結晶により構成されているため、例えばオリエンテーションフラット ( 図示せず ) に対して特定の方向に一直線に割れやすい性質を有する。しかし、図 1 0 に示す基板 6 5 は、基板上の任意の一直線、例えば図中、 X - X 線や Y - Y 線における断面において、厚板部 6 5 a を含む。よって、この基板 6 5 は、欠切部 C T を有するものの、プロセス中において十分な機械的強度を有する。

【 0 0 6 8 】

図 1 3 は、基板 1 のさらに別の変形例を示す平面図である。

【 0 0 6 9 】

図 1 3 に示すように、この基板 1 ' においては、表面 P 1 ' 及び P 2 ' をつなぐ平面 ( 厚

50

板部 1 a' の端面) P 3' と、表面 P 2' とのなす角度 (あるいは平面 P 3' と表面 P 1' とのなす角度) 2 は、90 度よりも大きい角度 (鈍角) とされている。このため、以下に詳しく述べるように、例えば薄板部 1 b' 上にレジスト膜 (例えばイオン注入マスクやエッチングマスクのためのもの) を形成する場合、図 1 の基板 1 よりも、レジスト膜を均一の厚さで (むらなく) 形成することができる。より詳しくは以下の通りである。

【0070】

即ち、基板 1' 上にレジスト膜の形成工程においては、回転させた基板 1' の中心部にレジストを滴下し、基板の回転による遠心力によってレジストを中心から外側に拡げる。基板の外側に拡げられたレジストは、基板 1' の外周部 (厚板部 1 a') を容易に乗り越え、基板の外側に流出する。即ち、基板 1' の外周部における角度 2 は鈍角であるので、ほぼ直角である基板 1 (図 1 参照) よりも、容易に外周部をレジストは乗り越える。別の言い方をすれば、基板 1 では、余分なレジストが凸部付近に溜まりやすいのに対し、この基板 1' では、余分なレジストが基板の外側に流出する。従って、基板 1' では基板 1 よりも容易に均一なレジスト膜を形成できるのである。

10

【0071】

以上のように本実施の形態によれば、縦型半導体素子を形成する薄い部分 (薄板部) と、プロセス中において基板の機械的強度を確保する厚い部分 (厚板部) を形成したので、高性能な薄厚の縦型半導体装置を、搬送中や熱工程中における基板の破損を防ぎつつ、基板に作り込むことができる。

【0072】

また、本実施の形態によれば、基板の外周部にのみ厚い部分 (厚板部) を形成するようにした (図 1 参照) ので、厚板部によって縦型半導体装置の作製量が減ることも低減される。

20

【0073】

また、本実施の形態によれば、基板の外周部に加え、内周部 (例えば中心部及びその付近等) にも厚板部を形成するようにしたので (図 8、図 9 等参照)、外周部にのみ厚板部を形成する場合よりも、基板の機械的強度を一層に高いものとすることができる。

【0074】

(第 2 の実施の形態)

本実施の形態が第 1 の実施の形態と異なる点は以下の点にある。

30

【0075】

即ち、第 1 の実施の形態では、図 1 に示すように、基板の表面側に凸部を形成し、この基板を用いて IGBT を作製した。本実施の形態では、図 1 4 に示すように、基板の裏面側に凸部を形成し、この基板を用いて IGBT を作製する。

【0076】

以下、本実施の形態について詳しく説明する。但し、第 1 の実施の形態において用いた図 1 ~ 図 9 中の部分と同一部分には同一の符号を付して説明を省略する。

【0077】

図 1 4 (a) は、本発明の第 2 の実施の形態としての基板 3 1 の縦断面図を示し、図 1 4 (b) は、この基板 3 1 の平面図を示す。

40

【0078】

図 1 4 (a) に示すように、この基板 3 1 は、内周部の薄板部 3 1 b と、外周部の厚板部 3 1 a とから構成され、基板裏側に凸部が形成されている。つまり、この基板 3 1 は、IGBT 2 1 の裏面構造 A (図 5 参照) を形成する側に凸部が形成されている。内周部の薄板部 3 1 b は、複数の縦型半導体装置を作り込むものであり、外周部の厚板部 3 1 a は、プロセス中や搬送中において基板 1 の機械的強度を確保するものである。

【0079】

次に、この基板 3 1 の製造方法を、例えば 3 つ説明する。

【0080】

図 1 5 (a) (b) は、この基板 3 1 の製造工程 (第 4 の基板の製造工程) を示す断面図

50

であり、第 1 の実施の形態で用いた図 2 ( a ) ( b ) に対応する。

【 0 0 8 1 】

即ち、図 1 5 ( a ) に示すように、厚基板 3 3 を用意し、次に、厚基板 3 3 の一部 3 3 a を、図 1 5 ( b ) に示すように、エッチングや研磨、サンドブラスト等の手段を用いて除去する。これにより基板 3 1 を完成させる。

【 0 0 8 2 】

図 1 6 ( a ) ( b ) は、基板 3 1 の別の製造工程 ( 第 5 の基板の製造工程 ) を示す断面図であり、第 1 の実施の形態で用いた図 3 ( a ) ( b ) に対応する。

【 0 0 8 3 】

即ち、まず、図 1 6 ( a ) に示すように、薄板基板 3 4 を用意する。

10

【 0 0 8 4 】

次に、図 1 6 ( b ) に示すように、薄板基板 3 4 の裏面外周部に、例えば半導体層や酸化膜からなる補強部 3 5 を形成する。これにより基板 3 1 を完成させる。

【 0 0 8 5 】

図 1 7 ( a ) ( b ) は、基板 3 1 のさらに別の製造工程 ( 第 6 の基板の製造工程 ) を示す断面図であり、第 1 の実施の形態で用いた図 4 ( a ) ( b ) に対応する。

【 0 0 8 6 】

即ち、まず、図 1 7 ( a ) に示すように、薄板基板 3 4 を用意する。

【 0 0 8 7 】

次に、図 1 7 ( b ) に示すように、薄板基板 3 4 の裏面外周部に、例えばシリコンや石英等からなる材料部材 3 6 を接着剤 3 8 等で貼り付ける。これにより基板 3 1 を完成させる。

20

【 0 0 8 8 】

次に、この基板 3 1 を用いて I G B T 2 1 ( 図 5 参照 ) を作製する方法 ( 第 2 の I G B T の製造方法 ) について説明する。

【 0 0 8 9 】

図 1 8 ( a ) ~ ( d ) は、I G B T 2 1 の製造工程 ( 第 2 の I G B T の製造工程 ) を示す断面図である。

【 0 0 9 0 】

以下、図 1 8 ( a ) ~ ( d ) を用いて、この第 2 の I G B T の製造工程について説明する。

30

【 0 0 9 1 】

まず、図 1 8 ( a ) に示すように、基板 4 2 を用意する。この基板 4 2 は、 $n^-$  型基板であり、上述した第 4 の基板の製造方法 ( 図 1 5 参照 ) を用いて作製されたものである。この基板 4 2 の一部は、図 5 から分かるように、I G B T 2 1 の  $n^-$  型高抵抗層 1 4 となるものである。作製基板としてはエピタキシャル基板を用いてもよい。

【 0 0 9 2 】

次に、図 1 8 ( b ) に示すように、基板 4 2 の裏面側に、裏面構造 A (  $n^+$  型バッファ層 1 2、 $p^+$  型ドレイン層 1 1 ) ( 図 5 参照 ) を、第 1 の実施の形態で説明した方法を用いて形成する。

40

【 0 0 9 3 】

次に、図 1 8 ( c ) に示すように、基板の表面側に、表面構造 K (  $p$  型ベース層 1 5、 $n^+$  型ソース領域 1 6、トレンチ 1 8、ゲート絶縁膜 1 9 及びゲート電極 2 0 ) 及びソース電極 1 7 を第 1 の実施の形態で説明した方法を用いて形成する。さらに、 $p^+$  型ドレイン層 1 1 の表面にドレイン電極 1 3 を形成する。

【 0 0 9 4 】

次に、図 1 8 ( d ) に示すように、この基板をダイシングラインに沿ってダイシングして、各 I G B T ( チップ ) 2 1 に分ける。

【 0 0 9 5 】

次に、この I G B T 2 1 のさらに別の製造方法 ( 第 3 の I G B T の製造方法 ) について説

50

明する。この第3のIGBTの製造方法が、上述した第2のIGBTの製造方法と異なる点は以下の通りである。

【0096】

即ち、上述した第2のIGBTの製造方法では、IGBT21の作製に当たり、予め薄板部（薄厚部分）が形成された基板42（図18（a）参照）を用いた。これに対し、この第3のIGBTの製造方法では、IGBT21の作製に当たり、厚基板を用い、製造工程中に薄板部を形成する（図19（a）（c）参照）。

【0097】

以下、この第3のIGBTの製造方法について詳しく説明する。

【0098】

図19（a）～（c）及び図20（a）（b）は、このIGBTの製造工程（第3のIGBTの製造工程）を示す断面図である。

10

【0099】

まず、図19（a）に示すように、厚基板（ $n^-$ 型基板）43を用意する。この $n^-$ 型基板43の一部は、図5からも分かるように、IGBT21の $n^-$ 型高抵抗層14となるものである。

【0100】

次に、図19（b）に示すように、 $n^-$ 型基板43の表面側に、表面構造K（15、16、18～20）及びソース電極17（図5参照）を、第1の実施の形態で説明した方法を用いて形成する。

20

【0101】

次に、図19（c）に示すように、 $n^-$ 型基板の裏面側の内周部を、所望の厚さになるまで、例えばウエットエッチングであるスピネッチングを用いてエッチングする。

【0102】

次に、図20（a）に示すように、 $n^-$ 型基板の裏面内周部に裏面構造A（11、12）を形成し、その後にドレイン電極13（図5参照）を、第1の実施の形態で説明した方法を用いて形成する。上述した図19（b）に示すプロセスで形成したソース電極17は、この本プロセスにおいて、裏面構造Aを形成した後、ドレイン電極13を形成する前に、形成しても良い。

【0103】

次に、図20（b）に示すように、この基板を、ダイシングラインに沿ってダイシングして、各IGBT（チップ）21に分ける。

30

【0104】

以上に説明した工程では、エピタキシャルウエハでない通常のウエハを用いたが、エピタキシャルウエハ（例えば $n^-$ 型基板上に $n^+$ 型半導体層を形成したもの）を用いた場合はさらに工程を簡略化することができる。即ち、このエピタキシャルウエハを用いた場合は、 $n^+$ 型パツファ層12（図5参照）の形成プロセスが不要となるのでその分工程を簡略化することができる。

【0105】

図21は、基板31（図14参照）の変形例を示す平面図であり、第1の実施の形態で用いた図8に対応する。

40

【0106】

図22は、この基板31の別の変形例を示す平面図であり、第1の実施の形態で用いた図9に対応する。

【0107】

図21及び図22に示す基板61、62のように、基板の外周部に加えて、内周部にも厚板部61a、62aが形成されているので基板の強度が一層に確保される。即ち、例えば基板31（図14参照）のように外周部のみに凸部を形成しただけでは基板の強度が不足する場合は、このように内周部にも凸部を形成することで基板強度を確実なものとすることができる。

50

## 【0108】

ところで、本実施の形態では、IGBT21(図5参照)の作製に当たり、裏面側に凸部を有する基板31(図14参照)を用い、一方、第1の実施の形態では、表面側に凸部を有する基板1(図1(a)参照)を用いた。即ち、いずれか一方の側に凸部が形成された基板を用いた。

## 【0109】

これに対し、図23に示すように、IGBT21の作製に当たっては、表面及び裏面の両面側に凸部が形成された基板37を用いてもよい。この基板37を作製するには、第1あるいは第2の実施の形態で説明した方法(図2~図4、図15~図17参照)を用いればよい。

## 【0110】

以上のように、本実施の形態によれば、裏面側に凸部を有する基板を用いても、高性能な薄厚の縦型半導体装置を、搬送中や熱工程中における基板の破損を防ぎつつ、作製することができる。

## 【0111】

(第3の実施の形態)

本実施の形態が、上述した第1及び第2の実施の形態と異なる点は以下の点にある。

## 【0112】

即ち、第1及び第2の実施の形態では、図5に示すように、素子厚が全体に薄いIGBT21を作製したが、本実施の形態では、図25に示すように、外周部の素子厚が厚く、内周部の素子厚が薄いIGBT48を作製する。以下、本実施の形態について詳しく述べる。

## 【0113】

図24(a)は、本発明の第3の実施の形態としての基板45を示す平面図である。図24(b)は、この基板45のC-C線における断面を拡大して示した図である。図24(c)は、図24(a)の基板45の一部46(チップ1つ分)を拡大して示した平面図である。図24(a)(b)中、S1、S1、 $\cdot\cdot$ 及びS2、S2 $\cdot\cdot$ はダイシングラインである。

## 【0114】

図24(a)に示すように、この基板45は、IGBT(チップ)サイズに合わせて升目状に配置形成された薄板部45b、45b $\cdot\cdot$ と、これら薄板部45b、45b $\cdot\cdot$ を囲む厚板部45aとから構成されている。つまり、図24(b)及び図24(c)に示すように、特に図24(c)に示すように、基板45の一部46(チップ1つ分)における、外周部の厚さが厚く、内周部の厚さが薄くなるように、薄板部45b及び厚板部45aが形成されている。図24(a)の基板45は、第1及び第2の実施の形態と同様にエッチング、層堆積、材料接着等の手段を用いて作製できる。この基板45に作り込まれるIGBT例を図25に示す。

## 【0115】

図25は、このIGBTの縦断面図を示す。

## 【0116】

図25に示すように、このIGBT48の外周部は厚く、内周部は薄く構成されている。外周部の凸部分は、IGBT48の機械的強度を高めるものであり、n<sup>-</sup>型高抵抗層14により構成されている。他の部分の構成は、図5に示すIGBT21と同じであるので、同一の部分には同一の符号を付して説明を省略する。

## 【0117】

次に、このIGBT48の製造方法(第4のIGBTの製造方法)について説明する。

## 【0118】

図26は、このIGBT48の製造工程(第4のIGBTの製造工程)を示す断面図である。

## 【0119】

10

20

30

40

50

以下、この第4のIGBTの製造工程について説明する。

【0120】

まず、図26(a)に示すように、基板(n<sup>-</sup>型基板)45(図24参照)を用意する。

【0121】

次に、図26(b)に示すように、基板45の裏面に、裏面構造A(11、12)(図25参照)を、上述した第1の実施の形態で説明した方法を用いて形成する。

【0122】

次に、図26(c)に示すように、基板の各凹面に、表面構造K(15、16、18~20)を形成し、その後ソース電極17(図25参照)を、第1の実施の形態で説明した方法を用いて形成する。さらに、p<sup>+</sup>型ドレイン層11の表面にドレイン電極13を形成する。

10

【0123】

次に、図26(d)に示すように、基板をダイシングラインに沿ってダイシングして、各IGBT(チップ)48に分ける。

【0124】

ところで、この後の工程として、例えば、各IGBT48のボンディング工程、つまり、例えばソース電極17とリード電極(図示せず)とをアルミニウムワイヤ(A1ワイヤ)(図示せず)等により接続する工程がある。このボンディング工程において、各IGBT48の凸部分が邪魔になり、接続作業が容易に行えない場合も考えられる。このような場合は、接続作業を容易に行える程度にまで、外周部の凸部分が薄くされたIGBTを作製すればよい。このIGBTの製造工程を図27に示す。

20

【0125】

図27に示すように、図27(a)~(c)の工程は、図26(a)~(c)の工程と同一である(但し、図26(c)と異なり、図27(c)ではドレイン電極13は形成しない)。本工程では、図27(c)の工程の後、図27(d)に示すように、外周部の凸部分をエッチング等により一部除去する工程を行う。即ち、この凸部分を所望の厚さにまで薄くする。この後、p<sup>+</sup>型ドレイン層の表面にドレイン電極13を形成し、図27(e)に示すように、基板をダイシングして、各IGBT49に分ける。

【0126】

図28(a)は、基板45(図24参照)の変形例を示す平面図である。図28(b)は、この基板47の一部50(チップ1つ分)を拡大した平面図を示す。図28(a)中、S1、S1・・・及びS2、S2・・・はダイシングラインである。

30

【0127】

図28(a)に示すように、基板47には複数の薄板部47bが形成され、各薄板部47bからは、例えば4つのIGBTが作製される。従って、この基板47は、各薄板部から1つのIGBTを作製する基板45(図24参照)よりも、効率よく素子を作製することができる。但し、この基板47から作製されたIGBT(図示せず)は、図28(b)からも分かるように、その厚板部領域が、図25に示すIGBT48の厚板部領域よりも半減するので(図24(c)参照)、IGBT48よりも機械的強度が若干低くなる。

【0128】

以上のように本実施の形態によれば、各IGBT素子(チップ)サイズに合致した薄板部を基板に形成したので(図24(a)参照)、外周部が厚く、内周部の薄いIGBT素子を作製することができる。すなわち、機械的強度の高い、低損失性を有するIGBT素子を作製することができる。

40

【0129】

また、本実施の形態によれば、基板に形成した複数の薄板部に、外周部が厚く、内周部の薄い半導体素子を複数作り込むようにしたので(図28(a)参照)、機械的強度の高い、低損失性を有する半導体素子を効率よく作製することができる。

【0130】

(第4の実施の形態)

50

本実施の形態が第3の実施の形態と異なる点は以下の点にある。

【0131】

即ち、前述した第3の実施の形態では、図25に示すように、表側外周部に凸部を有するIGBT48を作製したが、本実施の形態では、図30に示すように、裏側外周部に凸部を有するIGBT58を作製する。以下、本実施の形態について詳しく述べる。

【0132】

図29(a)は、本発明の第4の実施の形態としての基板55を示す平面図である。図29(b)は、この基板55のD-D線における断面を拡大して示す図である。図29(c)は、この基板55の一部56(チップ1つ分)を拡大した平面図を示す。図中、S1、S1、・・・及びS2、S2・・・はダイシングラインを示す。

10

【0133】

図29(a)に示すように、この基板55の凸部は、裏面側に形成されている。より詳しくは以下の通りである。

【0134】

この基板55は、IGBT(チップ)サイズに合致した薄板部56b、56b・・・と、薄板部56b、56b・・・を囲む厚板部56aとから構成される。つまり、図29(b)及び図29(c)に示すように、特に図29(c)に示すように、基板の一部56(チップ1つ分)の外周部が厚く、内周部が薄くなるように、厚板部55a及び薄板部55bが形成されている。この基板55は、第3の実施の形態と同様に、エッチング、層堆積、材料接着等の手段を用いて形成することができる。この基板55に作り込まれるIGBT例を

20

【0135】

図30は、このIGBTの縦断面図を示す。

【0136】

図30に示すように、このIGBT58の凸部分は、IGBT58の裏側に形成されている。このため、このIGBT58は、外周部において、高い耐圧性を有する。この理由について述べると以下の通りである。

【0137】

一般に、縦型半導体装置の場合、耐圧を確保するため、外周部にリサーフやガードリングなどの終端構造(図示せず)を設けるが、それでも、外周部は内周部に比べて耐圧が低い。この点、図30のIGBT58は、裏側外周部が厚く構成されているため、つまり活性層の厚さが大きいため、p型ベース層15とn<sup>-</sup>型高抵抗層14とにより形成されるの空乏層が図中下側方向に長く延びる。このため、このIGBT58は、外周部において、高い耐圧性を有するのである。

30

【0138】

このIGBT58における他の部分については、図25のIGBT48とほぼ同じであるので、同一部分には同一の符号を付し説明を省略する。

【0139】

次に、このIGBT58の製造方法(第5のIGBTの製造方法)について説明する。

【0140】

図31は、このIGBT58の製造工程(第5のIGBTの製造工程)を示す断面図である。

40

【0141】

以下、この第5のIGBTの製造工程について説明する。

【0142】

まず、図31(a)に示すように、基板(n<sup>-</sup>型基板)55(図29(a)参照)を用意する。

【0143】

次に、図31(b)に示すように、n<sup>-</sup>型基板55の裏面に、IGBTの裏面構造A(11、12)(図30参照)を、第1の実施の形態で説明した方法を用いて形成する。

50



## 【0144】

次に、図31(c)に示すように、 $n^-$ 型基板55の表面に、IGBTの表面構造K(15、16、18~20)を形成し、その後ソース電極17(図30参照)を、第1の実施の形態で説明した方法を用いて形成する。さらに、 $p^+$ 型ドレイン層11の表面にドレイン電極13を形成する。

## 【0145】

次に、図31(d)に示すように、基板をダイシングラインに沿ってダイシングして、各IGBT58に切り分ける。

## 【0146】

ところで、この後の工程として、例えば、各IGBT58のマウント工程がある。このマウント工程において、IGBT58の裏面の凹凸のため、半田付け(接続作業)が困難になることも考えられる。この場合は、接続作業を容易に行える程度にまで、裏面の凸部が薄くされたIGBTを作製すればよい。このIGBTの製造工程を図32に示す。

10

## 【0147】

図32に示すように、図32(a)~(c)の工程は、図31(a)~(c)の工程と同一である(但し、図31(c)と異なり、図32(c)ではドレイン電極13は形成しない)。本工程では、図32(c)の工程の後、図32(d)に示すように、 $p^+$ 型ドレイン層の表面にドレイン電極13を形成し、さらに凸部をエッチングして、凸部を所望の厚さにまで薄くする。この後、図32(e)に示すように、基板をダイシングして、各IGBT49に分ける。

20

## 【0148】

図33(a)は、基板55(図29参照)の変形例を示す底面図である。図33(b)は、この基板61の一部62(チップ1つ分)を拡大した底面図を示す。

## 【0149】

図34は、図33(a)の基板61に作り込まれたIGBTのうちの1つを示す縦断面図である。

## 【0150】

図33(b)から分かるように、基板61の裏側には幅の細い厚板部61aがメッシュ状に密度高く形成されている。従って、基板61にIGBT58'(図34参照)を作り込む際に、厚板部61aとの位置合わせを行わなくとも、作製された各IGBT58'はそれぞれ同等の密度の凸部を有する。即ち、作製された各IGBT58'はそれぞれ同等の特性を有する。

30

## 【0151】

また、図33(b)に示すように、厚板部61aの幅 $W_1$ は、チップ1つ分62の幅 $W_2$ に比べて十分に小さい。即ち、図34に示すように、IGBTの凸部の幅 $W_1$ は、IGBTの素子幅 $W_2$ に比べて十分に小さい。従って、図34からも分かるように、IGBT58'の薄厚部分(薄板部分)は十分に広い領域を有する。つまり活性層の厚さは薄く、広い領域を有する。それ故、IGBT58'は十分な低損失性を有する。

## 【0152】

以上に示したIGBT58'は、通常のウエハからでは作製が困難な場合もあるが、エピタキシャル基板を用えば比較的容易に作製できる。つまり、 $p^+$ 型基板上に、 $n^+$ 型半導体層、 $n^-$ 型半導体層を順次エピタキシャル成長させた後、 $p^+$ 型基板の裏面を全面エッチングして薄くした基板(エピタキシャル基板)を用意する。このエピタキシャル基板を用いて、まず、 $p^+$ 型基板の裏面を、パターンニング及びエッチングして、メッシュパターンを形成する(図33(a)(b)参照)。このようにされた基板に対して、前述した第1の実施の形態と同様のプロセスを施して、IGBT58'を作製する。これにより、通常のウエハからでは作製が困難な場合もあるIGBT58'を作製することができる。もっとも、通常のウエハを用いてIGBT58'を作製することも可能である。

40

## 【0153】

以上のように本実施の形態によれば、IGBT(チップ)サイズに合致した薄板部を基板

50

の裏側から作製したので（図 29 参照）、裏側外周部が厚く、裏側内周部が薄い IGBT 素子を作製することができる。すなわち、外周部において高い耐圧性を有する IGBT を、機械的強度が高く、低損失化性を有するものとして作製することができる。

【0154】

また、本実施の形態によれば、基板における厚板部を、細幅に且つメッシュ状に、密度高く形成したので（図 33 参照）、基板に素子を作り込む際にこの厚板部との位置合わせをしなくとも、基板にそれぞれ同等の特性を有する素子を作製できる。

【0155】

（第 5 の実施の形態）

図 35 は、IGBT 58（図 30 参照）をマウントした状態を示す IGBT パッケージの断面図である。 10

【0156】

図 35 に示すように、セラミックス基板 71 上に、IGBT 58 の凹凸に合致した銅板 72 が設けられている。このため、この銅板 72 は、IGBT 58 の裏面電極（ドレイン電極）13 と、はんだ 73 によって適正に接続される。

【0157】

図 36 は、IGBT 48（図 25 参照）をワイヤレスボンディングした状態を示す IGBT パッケージの断面図である。

【0158】

図 36 に示すように、セラミックス基板 75 上の銅板 76 は、IGBT 48 の凹凸に合致しているため、銅板 76 と IGBT 48 の表面電極（ソース電極）17 とは、はんだ 78 によって適正に接続される。即ち、図 38 に示すような、ソース電極 17 とはんだ 78 との間に巣が形成されることによる接続不良は生じない。 20

【0159】

図 37 は、IGBT 58'（図 34 参照）をマウントした状態を示す IGBT パッケージの断面図である。

【0160】

図 37 に示すように、セラミックス基板 71 上の銅板 74 は、IGBT 58' の凹凸に合致しているため、銅板 74 と IGBT 58' と裏面電極（ドレイン電極）13 とは、はんだ 73 によって適正に接続される。 30

【0161】

以上のように本実施の形態によれば、マウントあるいはワイヤレスボンディング工程において、IGBT の凹凸に適合した形状を有する銅板を用いるようにしたので、接続不良のない半導体パッケージを作製することができる。

【0162】

【発明の効果】

本発明によれば、基板の厚板部において基板の機械的強度を確保した状態で、基板の薄板部に半導体装置を作製するようにしたので、基板の処理時において基板の破損等は低減され、従って、素子厚の薄い高性能な半導体装置を作製できる。

【図面の簡単な説明】 40

【図 1】本発明の第 1 の実施の形態としての半導体装置製造用基板（基板）1 を示す。

【図 2】基板 1 の製造工程（第 1 の基板の製造工程）を示す断面図である。

【図 3】基板 1 の製造工程（第 2 の基板の製造工程）を示す断面図である。

【図 4】基板 1 の製造工程（第 3 の基板の製造工程）を示す断面図である。

【図 5】縦型半導体素子（IGBT）の縦断面図を示す。

【図 6】IGBT 21 の製造工程（第 1 の IGBT の製造工程）を示す断面図である。

【図 7】エピタキシャル基板の縦断面図を示す。

【図 8】基板 1 の変形例を示す平面図である。

【図 9】基板 1 の別の変形例を示す平面図である。

【図 10】図 8 及び図 9 に示す基板の変形例を示す平面図である。 50

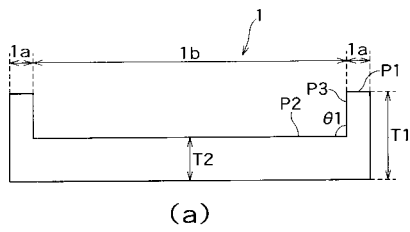
- 【図 1 1】図 1 0 に示す基板をスピネッチングしている状態を平面的に示す図である。
- 【図 1 2】厚基板 3 をスピネッチングして基板 1 を作製する工程を平面的に示す図である。
- 【図 1 3】基板 1 のさらに別の變形例を示す平面図である。
- 【図 1 4】本発明の第 2 の実施の形態としての基板 3 1 を示す図である。
- 【図 1 5】基板 3 1 の製造工程（第 4 の基板の製造工程）を示す断面図である。
- 【図 1 6】基板 3 1 の別の製造工程（第 5 の基板の製造工程）を示す断面図である。
- 【図 1 7】基板 3 1 のさらに別の製造工程（第 6 の基板の製造工程）を示す断面図である。
- 【図 1 8】IGBT 2 1 の製造工程（第 2 の IGBT の製造工程）を示す断面図である。 10
- 【図 1 9】IGBT 2 1 の製造工程（第 3 の IGBT の製造工程）の途中までを示す断面図である。
- 【図 2 0】図 1 9 に続き、IGBT 2 1 の製造工程（第 3 の IGBT の製造工程）を示す断面図である。
- 【図 2 1】基板 3 1 の變形例を示す平面図である。
- 【図 2 2】基板 3 1 の別の變形例を示す平面図である。
- 【図 2 3】表面及び裏面側の両方に凸部を有する基板 3 7 を示す断面図である。
- 【図 2 4】本発明の第 3 の実施の形態としての基板 4 5 を示す図である。
- 【図 2 5】IGBT 4 8 の縦断面図を示す。
- 【図 2 6】IGBT 4 8 の製造工程（第 4 の IGBT の製造工程）を示す断面図である。 20
- 【図 2 7】上述の第 4 の IGBT の製造工程の一部を変更した例を示す断面図である。
- 【図 2 8】基板 4 5 の變形例を示す平面図である。
- 【図 2 9】本発明の第 4 の実施の形態としての基板 5 5 を示す。
- 【図 3 0】IGBT 5 8 の縦断面図を示す。
- 【図 3 1】IGBT 5 8 の製造工程（第 5 の IGBT の製造工程）を示す断面図である。
- 【図 3 2】上述の第 5 の IGBT の製造工程の一部を変更した例を示す断面図である。
- 【図 3 3】基板 5 5 の變形例を示す図である。
- 【図 3 4】IGBT 5 8 ' の縦断面図を示す。
- 【図 3 5】IGBT 5 8 をマウントした状態を示す IGBT パッケージの断面図である。
- 【図 3 6】IGBT 4 8 をワイヤレスボンディングした状態を示す IGBT パッケージの 30  
断面図である。
- 【図 3 7】IGBT 5 8 ' をマウントした状態を示す IGBT パッケージの断面図である。
- 【図 3 8】IGBT 4 8 をワイヤレスボンディングする際に接続不良が生じた状態を示す図である。
- 【符号の説明】
- 1、2 2、3 1、3 2、3 7、4 2、4 5、4 7、5 5、6 1、6 5 基板
- 1 a、1 a'、3 1 a、3 2 a、4 5 a、4 7 a、5 5 a、6 1 a 厚板部（第 2 の基板部分）
- 1 b、1 b'、3 1 b、3 2 b、4 5 b、4 7 b、5 5 b、6 1 b 薄板部（第 1 の基板 40  
部分）
- 3、3 3、4 3 厚基板
- 4、3 4 薄板基板
- 5、3 5 補強部
- 8、3 8 接着剤
- 1 1 p<sup>+</sup>型ドレイン層
- 1 2 n<sup>+</sup>型バッファ層
- 1 3 ドレイン電極
- 1 4 n<sup>-</sup>型高抵抗層（中心構造）
- 1 5 p型ベース層

- 16 n<sup>+</sup>型ソース領域
- 17 ソース電極
- 18 トレンチ
- 19 ゲート絶縁膜
- 20 ゲート電極
- 21、48、49、58、58' IGBT (縦型半導体装置)
- 23 エピタキシャル基板
- 24 n<sup>+</sup>型基板
- 25 n<sup>-</sup>型半導体層
- 36 材料部材
- 46、50、56、62 基板の一部
- 71、75 セラミックス基板
- 72、74、76 銅板 (導電体)
- 73、78 はんだ
- 83 鬆 (空洞)
- A 裏面構造 (第2回路構造)
- CT 切欠部
- K 表面構造 (第1回路構造)
- S1、S2 ダイシングライン
- T1、T2 厚さ
- W1、W2 幅

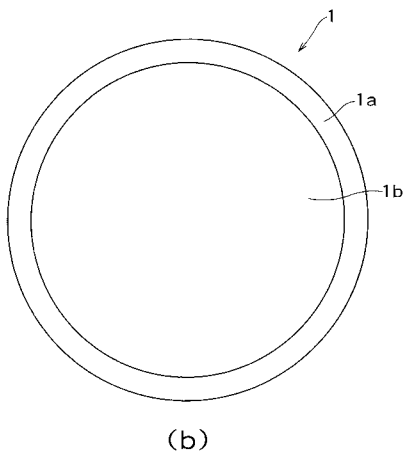
10

20

【図1】

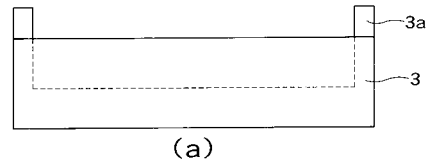


(a)

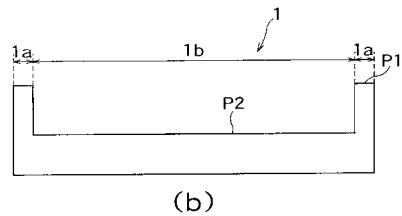


(b)

【図2】

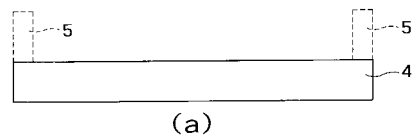


(a)

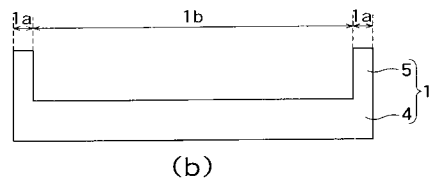


(b)

【図3】

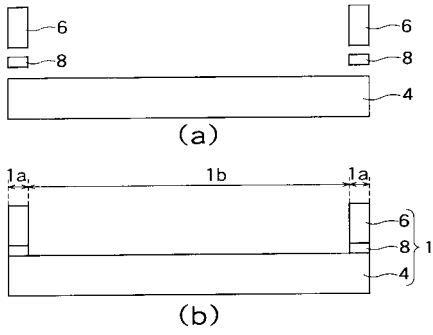


(a)

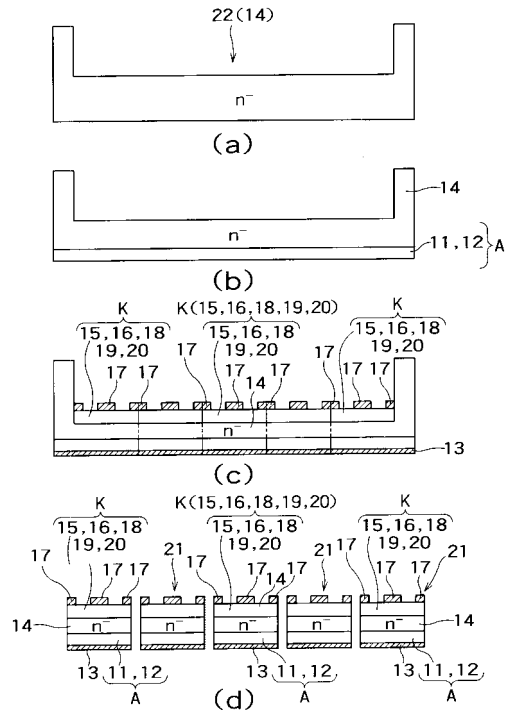


(b)

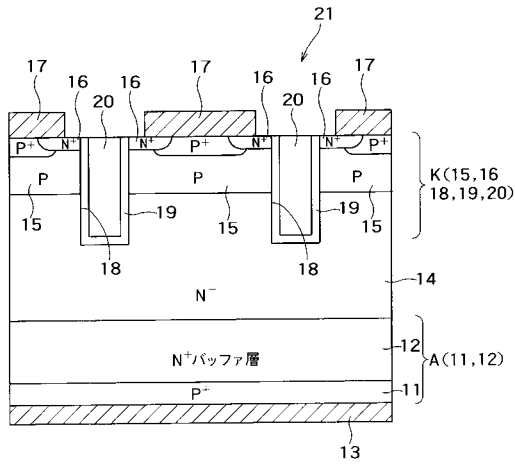
【 図 4 】



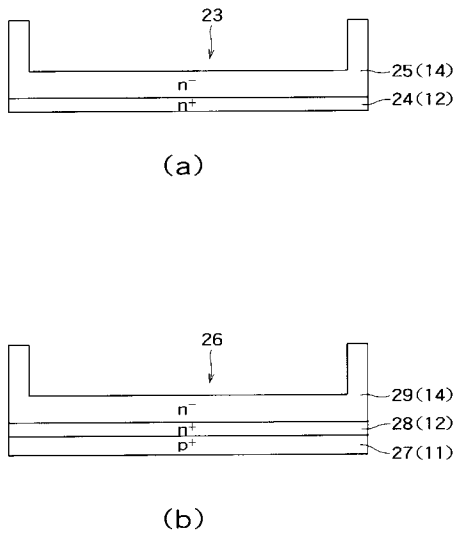
【 図 6 】



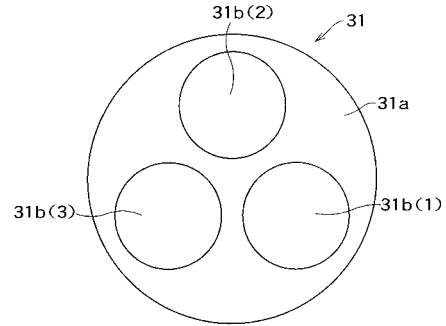
【 図 5 】



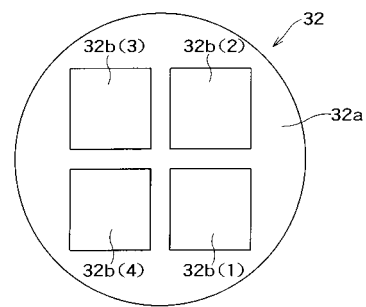
【 図 7 】



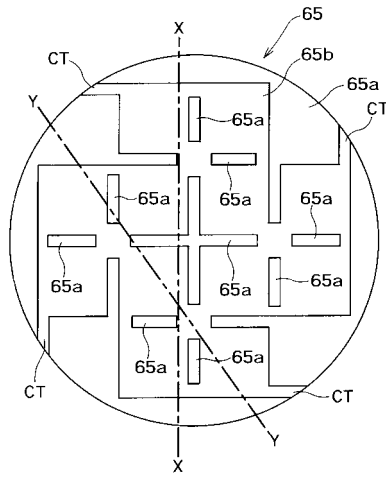
【 図 8 】



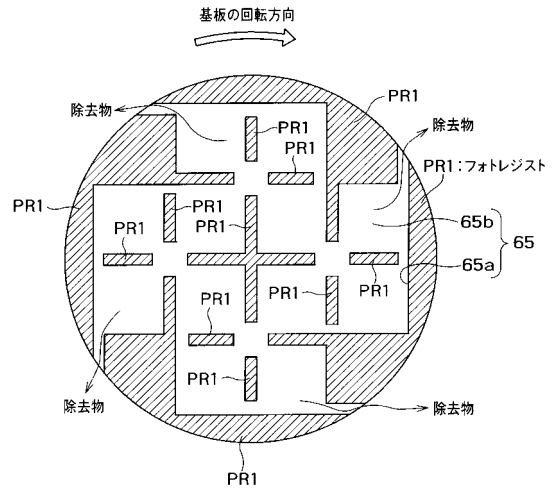
【 図 9 】



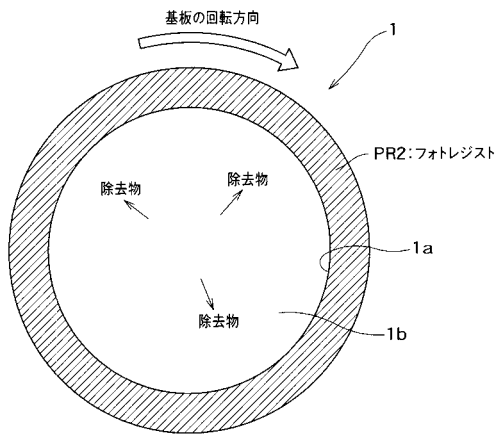
【図10】



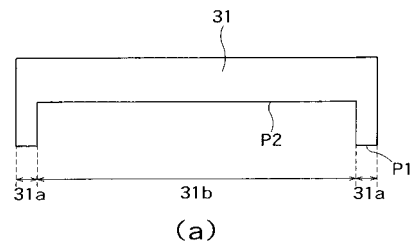
【図11】



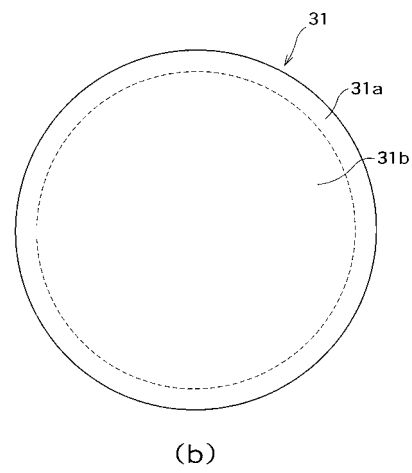
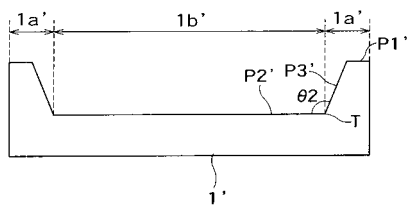
【図12】



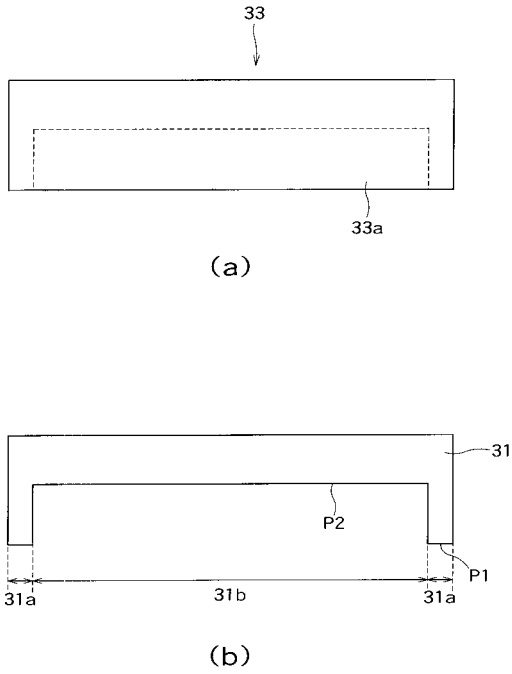
【図14】



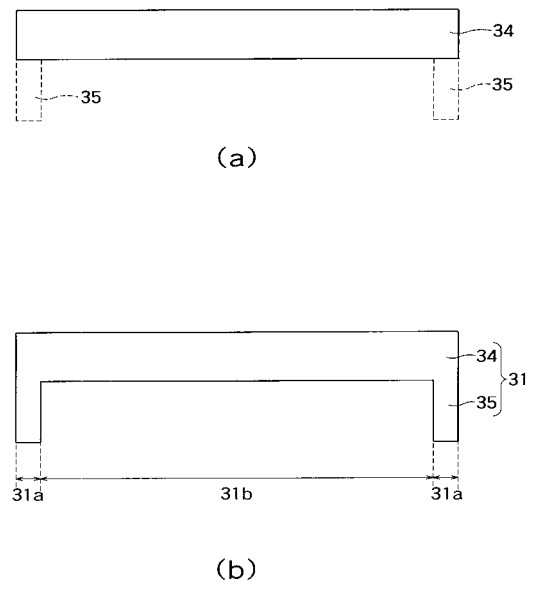
【図13】



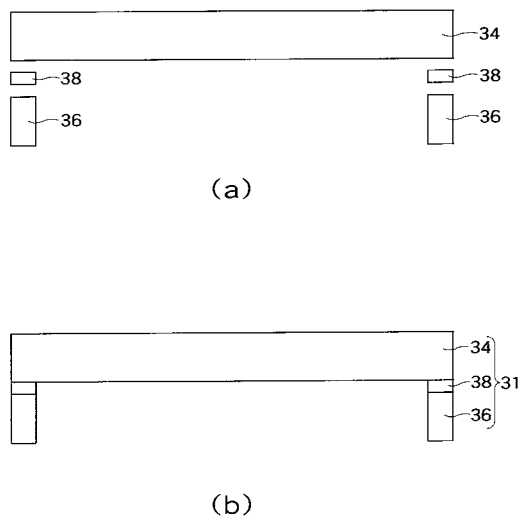
【 図 1 5 】



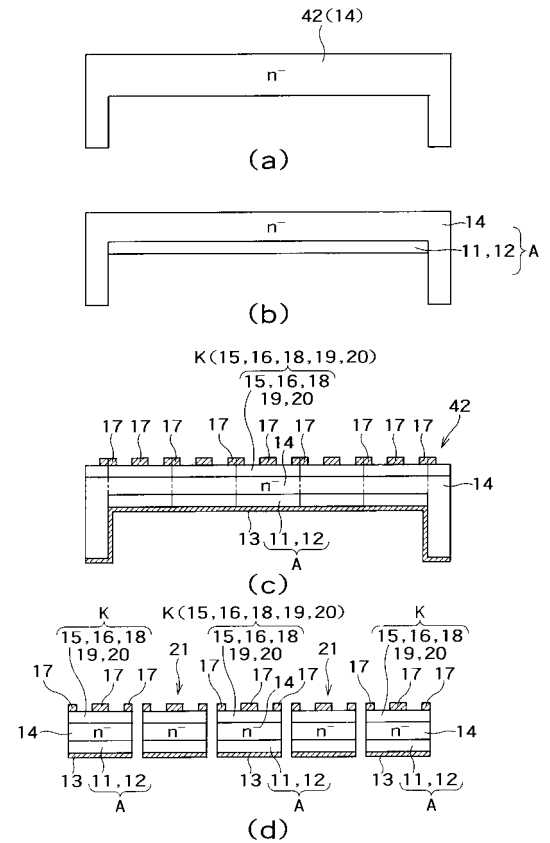
【 図 1 6 】



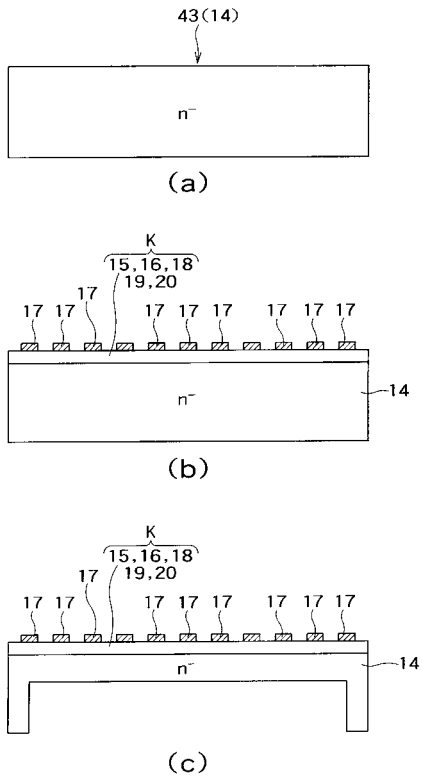
【 図 1 7 】



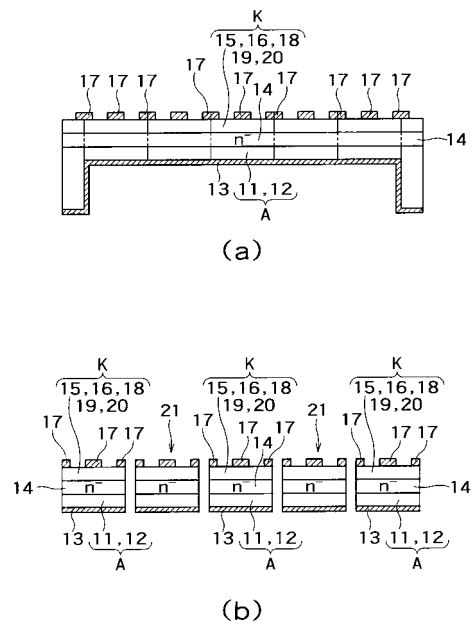
【 図 1 8 】



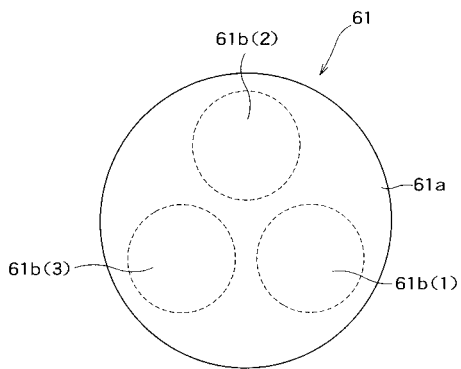
【 図 1 9 】



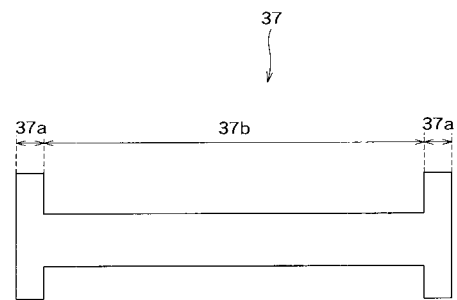
【 図 2 0 】



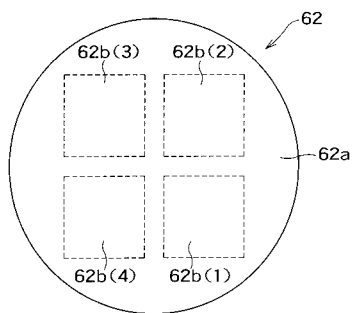
【 図 2 1 】



【 図 2 3 】

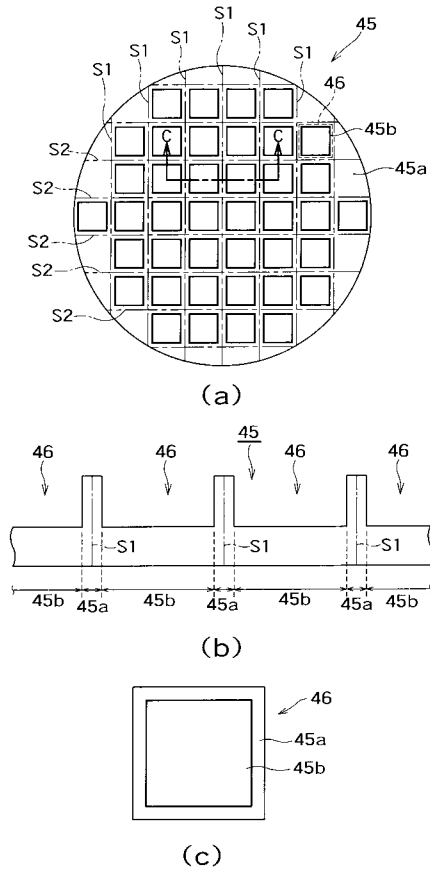


【 図 2 2 】

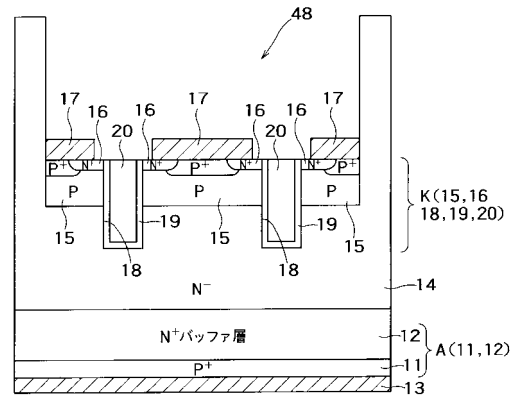




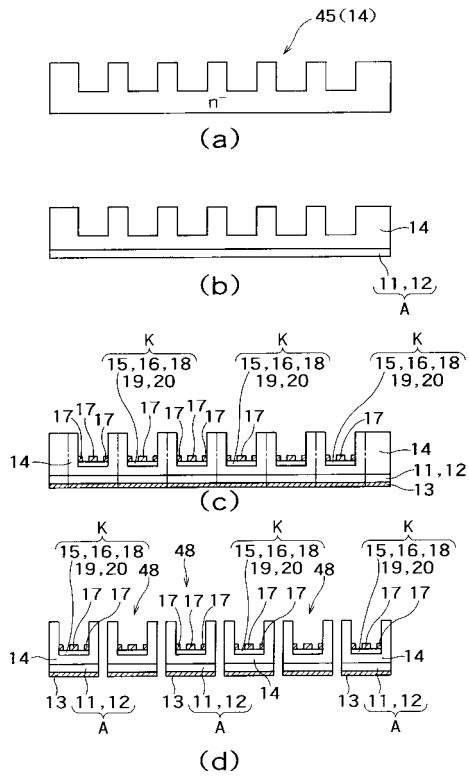
【図 2 4】



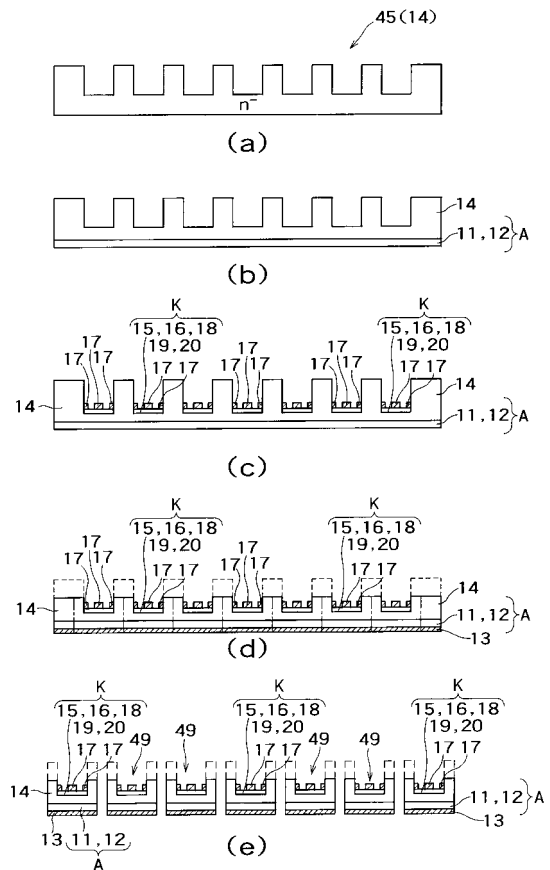
【図 2 5】



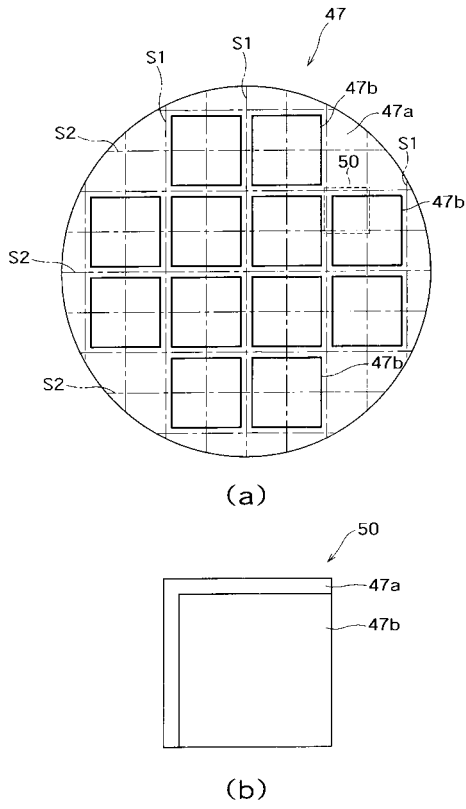
【図 2 6】



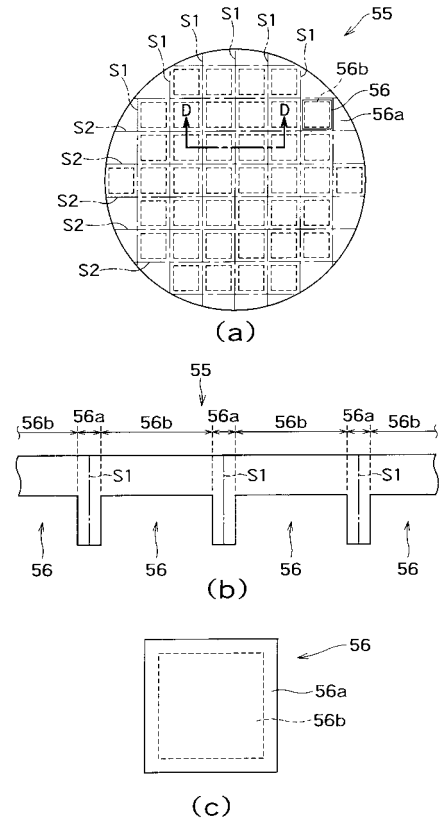
【図 2 7】



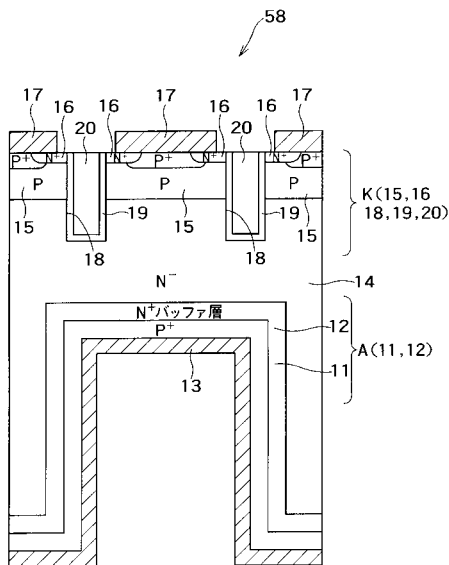
【図 28】



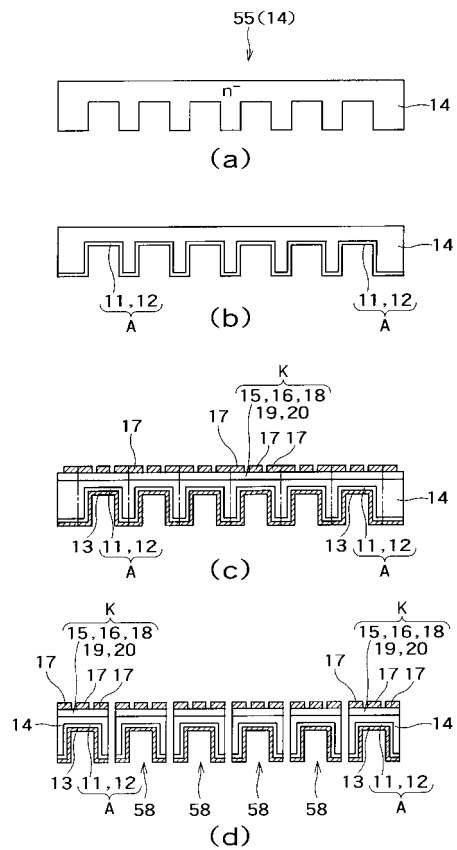
【図 29】



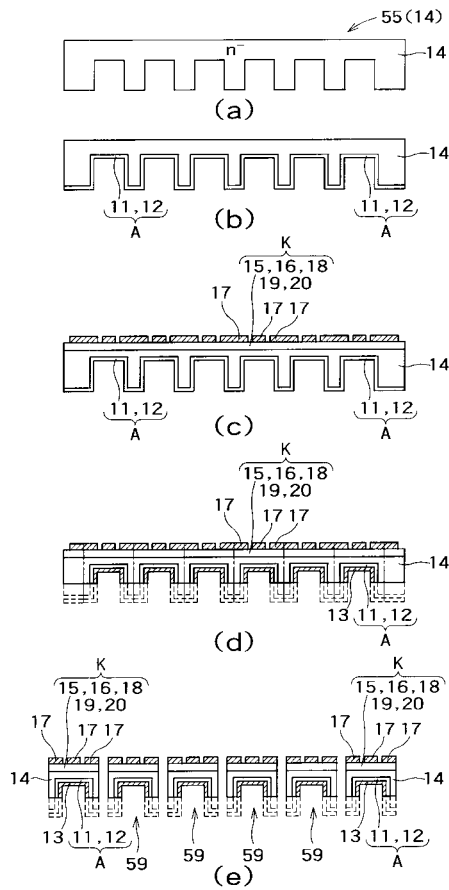
【図 30】



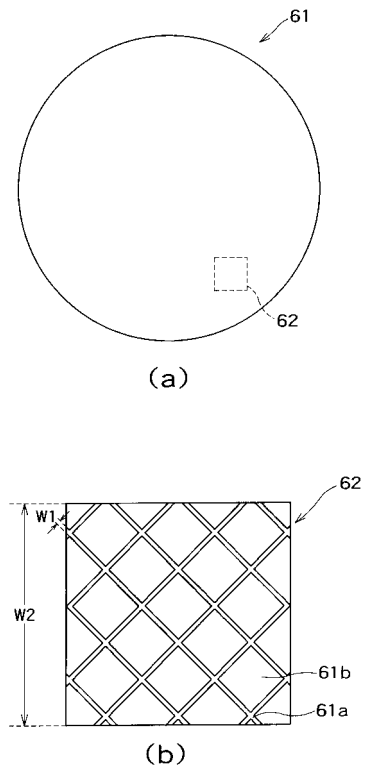
【図 31】



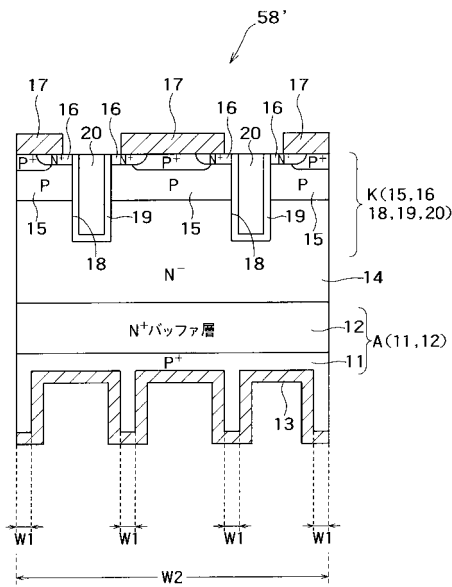
【図32】



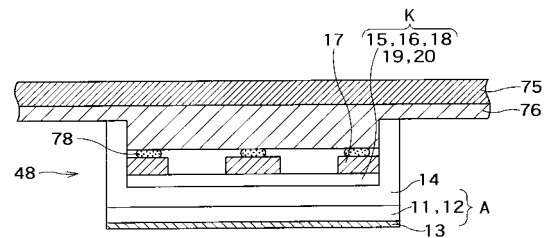
【図33】



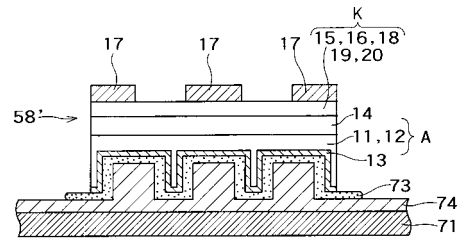
【図34】



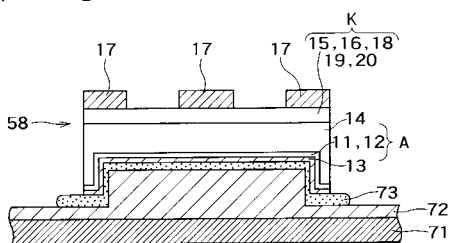
【図36】



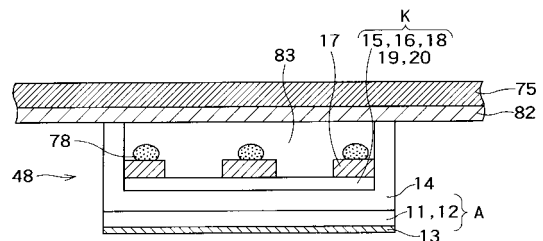
【図37】



【図35】



【図38】



## フロントページの続き

| (51) Int.Cl. <sup>7</sup> | F I           | テーマコード(参考) |
|---------------------------|---------------|------------|
|                           | H 0 1 L 29/78 | 6 5 5 F    |
|                           | H 0 1 L 23/14 | S          |
|                           | H 0 1 L 29/78 | 6 5 8 A    |

(72)発明者 附 田 正 則  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 末 代 知 子  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内