

CIRCUIT DE POLARISATION DYNAMIQUE DU SUBSTRAT D'UN TRANSISTOR

Domaine technique de l'invention

- L'invention est relative de façon générale aux systèmes de gestion d'énergie d'un appareil électronique par la mise hors tension sélective de macrofonctions électroniques temporairement inutilisées. Elle vise plus particulièrement la polarisation dynamique du substrat des transistors de puissance utilisés pour mettre hors tension les macrofonctions.

État de la technique

- La figure 1 représente schématiquement une architecture électronique d'un appareil portatif muni d'un système de gestion d'énergie. L'architecture électronique est partitionnée en plusieurs macrofonctions FCT1, FCT2,... capables de fonctionner de manière indépendante les unes des autres. Dans un téléphone mobile, les macrofonctions peuvent être la connectivité WiFi, la connectivité 3G, la connectivité GSM, la lecture de musique, la lecture de vidéos, la radio FM...

- Chaque macrofonction est alimentée entre une ligne de potentiel haut Vdd et une ligne de référence Vss. La ligne Vdd est distribuée à chaque macrofonction par un transistor MOS de puissance respectif MP_s, commandé de manière indépendante par un circuit de gestion d'énergie, non représenté. Dans cette configuration, dite « header » en anglais, où les transistors de puissance sont reliés à la ligne de potentiel haut, les transistors sont de type P. Dans une configuration complémentaire, dite « footer » en anglais, des transistors de puissance de type N distribuent la ligne de référence Vss aux macrofonctions.

- Chaque transistor MP_s est dimensionné en fonction du courant consommé par la macrofonction qu'il alimente. En fait, chaque transistor MP_s est formé de multiples transistors élémentaires connectés en parallèle et répartis le long d'une ligne d'alimentation locale à la macrofonction. Un transistor MP_s peut être formé de centaines, voire de milliers, de transistors élémentaires.
- Le rôle du système de gestion d'énergie, dans ce contexte, est de détecter les macrofonctions inutilisées et de couper leur alimentation par l'intermédiaire des

transistors de puissance MPs jusqu'à leur prochaine utilisation. Ces macrofonctions cessent alors de consommer du courant.

En réalité, la consommation statique n'est jamais totalement supprimée, car elle dépend des courants de fuite des transistors MPs lorsque ceux-ci sont à l'état bloqué. La consommation statique dépend alors des paramètres des transistors MPs, c'est-à-dire du type et du dimensionnement des transistors élémentaires constitutifs des transistors MPs, ainsi que du nombre de transistors élémentaires. Les courants de fuite des transistors de puissance MPs bloqués sont néanmoins inférieurs de plusieurs décades par rapport aux courants de fuite des macrofonctions FCT ; compte tenu des technologies actuelles utilisées pour les transistors des macrofonctions FCT.

Le courant de fuite d'un transistor MOS peut être diminué en augmentant la tension de seuil V_t du transistor, c'est-à-dire la tension grille-source minimale à appliquer pour que le transistor commence à conduire. Il est connu d'augmenter la tension seuil en polarisant en inverse la diode intrinsèque présente entre la source et le substrat du transistor (c'est ce qu'on appelle le RBB, du terme anglais « Reverse Body Biasing »). On applique pour cela au substrat un potentiel V_{dds} supérieur au potentiel V_{dd} pour un transistor P, et inférieur au potentiel V_{ss} pour un transistor N. Cela nécessite un troisième potentiel d'alimentation. En absence de troisième potentiel d'alimentation, on obtient de relativement bons résultats en reliant le substrat au potentiel d'alimentation haut V_{dd} pour un transistor P, et au potentiel bas V_{ss} pour un transistor N. La diode intrinsèque est alors polarisée à une tension nulle.

Par contre, un transistor ainsi configuré pour avoir de faibles fuites à l'état bloqué, présente une résistance R_{on} plus élevée à l'état passant, ce qui n'est pas souhaitable pour un transistor de puissance, qui dissiperait alors plus de puissance. Dans la configuration de la figure 1, les macrofonctions disposeraient d'une tension d'alimentation sensiblement inférieure à celle prévue, compte tenu de la chute de tension plus importante aux bornes des transistors de puissance MPs.

La résistance à l'état passant R_{on} d'un transistor peut être diminuée en diminuant la tension seuil V_t du transistor. Il est connu d'arriver à cela en polarisant en direct la diode intrinsèque source-substrat du transistor (c'est ce qu'on appelle le FBB, du terme anglais « Forward Body Biasing »).

Ainsi, pour avoir un transistor qui présente à la fois de faibles fuites à l'état bloqué et une faible résistance à l'état passant, on cherche à combiner les techniques du RBB et du FBB.

La figure 2 illustre une tentative décrite dans l'article [« Dynamic Threshold-Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI », Fariborz Assaderaghi, Dennis Sinitsky, Stephen A. Parke, Jeffrey Bokor, Ping K. Ko, and Chenming Hu, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 44, NO. 3, MARCH 1997]. Cet article propose, comme cela est représenté, de relier le substrat à la grille du transistor. Ainsi, dans le cas représenté d'un transistor MP de type P, lorsque la tension de grille augmente, tendant à bloquer le transistor, on augmente la polarisation du substrat, donc la tension seuil, ce qui diminue le courant de fuite. Lorsque la tension de grille diminue, tendant à rendre passant le transistor, on polarise la diode intrinsèque source-substrat (représentée en pointillés) en direct dès que la tension de grille passe en dessous de $V_{dd} - V_{jct}$, où V_{jct} est la tension seuil de la diode intrinsèque. Cela diminue la tension seuil du transistor, donc la résistance à l'état passant R_{on} .

Par contre, la tension de grille ne peut pas descendre bien loin en dessous de $V_{dd} - V_{jct}$, car la diode intrinsèque présente une faible impédance et se mettrait à conduire un courant important de son anode connectée à V_{dd} vers sa cathode tirée vers le potentiel V_{ss} par le signal de commande de la grille. Cette solution est donc à réserver aux applications à très basse tension d'alimentation (de l'ordre de 0,6 V).

Pour une tension d'alimentation plus élevée, l'article susmentionné propose d'introduire un limiteur sur la connexion entre la grille et le substrat, permettant à la tension de grille de varier entre V_{dd} et V_{ss} , tout en limitant la tension de substrat à une valeur suffisante pour polariser la diode intrinsèque en direct sans tirer trop de courant. Le limiteur décrit emploie une source de tension générique, mais aucune réalisation pratique de cette source de tension n'est proposée.

En fait, les diverses études publiées sur la polarisation en direct de la diode intrinsèque source-substrat d'un transistor (FBB) sont théoriques et n'abordent aucune réalisation commercialement viable de la source de tension requise, outre la prévision d'une source de tension externe supplémentaire.

Par exemple, l'article [« An E-TSPC Divide-by-2 Circuit With Forward Body Biasing in $0.25\mu\text{m}$ CMOS », Seungsoo Kim and Hyunchol Shin, IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 19, NO. 10, OCTOBER 2009] décrit une source de tension réalisée à partir d'un pont de
5 résistances. Il s'avère que la surface occupée par le pont de résistances est 100 fois supérieure à la surface du circuit composé des transistors dont on polarise les substrats.

Résumé de l'invention

Il subsiste ainsi un besoin d'une source de tension de structure
10 commercialement viable pour un circuit de polarisation dynamique du substrat d'un transistor.

On souhaite en outre qu'un même circuit de polarisation dynamique, y compris sa source de tension, soit utilisable pour une gamme de dimensions de transistors de puissance.

15 On tend à satisfaire ces besoins en prévoyant un circuit de polarisation dynamique du substrat d'un transistor MOS de puissance, comprenant un premier commutateur agencé pour, lorsque la tension de grille du transistor provoque la conduction du transistor, relier le substrat à une source de courant qui polarise en direct la diode intrinsèque source-substrat du transistor, la
20 source de courant comprenant un empilement de diodes de même sens que la diode intrinsèque, entre le substrat et un potentiel d'alimentation.

Selon un mode de réalisation, le circuit comprend un deuxième commutateur agencé pour, lorsque la tension de grille du transistor de puissance provoque le blocage du transistor, relier le substrat à un potentiel de référence tel que la
25 diode intrinsèque source-substrat du transistor soit polarisée en inverse ou à une tension nulle.

Selon un mode de réalisation, le premier commutateur comprend un transistor de type de conductivité opposé à celui du transistor de puissance. Le deuxième commutateur comprend un transistor de même type de conductivité que le
30 transistor de puissance. Le circuit de polarisation comprend un inverseur dont l'entrée est reliée à la grille du transistor de puissance et la sortie aux grilles des transistors des premier et deuxième commutateurs.

Selon un mode de réalisation, le transistor de puissance est connecté pour mettre en tension ou hors tension une macrofonction électronique d'un appareil électronique, le circuit de polarisation comprenant des moyens pour interrompre le courant dans l'empilement de diodes lorsque la macrofonction présente une absence d'activité alors que le transistor de puissance est conducteur.

Selon un mode de réalisation, les diodes de l'empilement sont réalisées à partir de transistors dont les types de conductivité et les tensions seuil sont choisis en fonction du niveau de polarisation souhaité du substrat du transistor de puissance.

10 Description sommaire des dessins

D'autres avantages et caractéristiques ressortiront plus clairement de la description qui va suivre de modes particuliers de réalisation donnés à titre d'exemples non limitatifs et illustrés à l'aide des dessins annexés, dans lesquels :

- 15 - la figure 1, précédemment décrite, représente schématiquement une architecture d'appareil électronique permettant une gestion d'énergie par l'arrêt sélectif de macrofonctions ;
- la figure 2 représente schématiquement une solution classique pour réaliser une polarisation dynamique de substrat de transistor ;
- 20 - la figure 3 représente un mode de réalisation de circuit de polarisation dynamique de substrat incorporant un mode de réalisation avantageux de source de tension de polarisation ;
- les figures 4a à 4d représentent des variantes de la source de tension de polarisation ;
- 25 - la figure 5 représente un autre mode de réalisation de circuit de polarisation dynamique de substrat ; et
- la figure 6 représente une variante du circuit de polarisation dynamique de la figure 5.

Description d'un mode de réalisation préféré de l'invention

A la figure 3, un transistor de puissance MOS MPs de type P est interposé entre une macrofonction FCT et une ligne d'alimentation positive Vdd. La macrofonction FCT est par ailleurs directement reliée à une ligne d'alimentation de référence Vss.

Le substrat du transistor MPs est commandé par un circuit de polarisation dynamique 10. Dans ce mode de réalisation, le circuit de polarisation 10 comprend, pour opérer le transistor MPs en mode RBB, un transistor MOS MN1 de type N reliant le substrat du transistor MPs à une tension de polarisation inverse Vdds. De préférence, dans le cas représenté d'un transistor MPs de type P, le potentiel Vdds est supérieur au potentiel Vdd. Si l'appareil dispose d'une tension d'alimentation additionnelle supérieure à Vdd, ce qui est souvent le cas dans des appareils portables disposant de nombreuses fonctions, on l'utilisera pour Vdds. Il existe une valeur optimale Vddopt de la tension Vdds. En effet, au delà d'une certaine valeur $Vdds = Vddopt > Vdd$, le courant de fuite total se remet à croître. Le courant de fuite total est composé du courant de fuite du transistor MPs ainsi que du courant inverse de la diode intrinsèque. Ce dernier augmente de manière linéaire en fonction de Vdds. Lorsque $Vdds > Vddopt$, même si la tension de seuil V_t augmente, la consommation statique totale augmente. En l'absence de source de tension externe ayant un potentiel compris entre Vdd et Vddopt, on se contentera du potentiel Vdd pour Vdds.

La grille du transistor MN1 est reliée à la grille du transistor MPs. Ainsi, la conduction du transistor MN1, de type opposé à celui du transistor MPs, survient en opposition de phase avec celle du transistor MPs, c'est-à-dire que le substrat du transistor MPs se trouve relié au potentiel Vdds par le transistor MN1 quand le transistor MPs est bloqué.

Pour le mode FBB, le circuit de polarisation dynamique 10 comprend un transistor MOS MP1 de type P reliant le substrat du transistor MPs au potentiel de référence Vss par l'intermédiaire d'un empilement de diodes D1, D2. La grille du transistor MP1 est également reliée à la grille du transistor MPs. Ainsi, la conduction des transistors MPs et MP1 survient en phase.

L'empilement de diodes D1, D2, lorsque le transistor MP1 est passant, forme avec la diode source-substrat Db du transistor MPs un pont de diodes entre les potentiels d'alimentation Vdd et Vss. Les diodes D1 et D2 sont bien entendu

dans le même sens de conduction que la diode Db, leurs cathodes étant dirigées vers le potentiel de référence Vss.

Le pont de diodes Db, D1, D2 s'avère être particulièrement bien adapté pour polariser en direct la diode de substrat Db. En effet, les diodes additionnelles
 5 D1 et D2, dont chacune peut être constituée par un transistor élémentaire, occupent peu de surface. Leur caractéristique courant-tension non linéaire fait qu'elles présentent une faible impédance, rendant le niveau de polarisation Vb du substrat peu sensible à la variation de la taille du transistor MPs (ou au nombre de transistors élémentaires le constituant). De ce fait, le même circuit
 10 de polarisation 10 peut être utilisé pour toute une gamme de tailles du transistor MPs, à l'intérieur de laquelle la variabilité de la tension de polarisation Vb est acceptable. Si la taille du transistor MPs excède la gamme, il suffira d'adjoindre un deuxième circuit de polarisation 10 en parallèle sur le premier ; il n'est pas nécessaire de concevoir le circuit de polarisation spécifiquement en fonction
 15 des caractéristiques du transistor dont on veut polariser le substrat.

Le nombre de diodes de l'empilement D1, D2 est choisi en fonction de la tension d'alimentation. Deux diodes conviennent pour une tension d'alimentation de 1,2 V dans une technologie 65 nm. Chaque diode, y compris la diode Db, voit une tension d'environ 0,4 V à ses bornes, et un courant de
 20 l'ordre de 10 nA. En fait, la diode Db étant plus grande que les diodes D1 et D2, sa résistance interne est plus faible, et elle verra une tension inférieure à 0,4 V à ses bornes.

Si les diodes D1 et D2 sont formées de transistors MOS connectés en diode, on pourra jouer sur le type de conductivité des transistors et sur leurs tensions
 25 seuil pour régler les caractéristiques du pont de diodes au plus près de ce qu'on recherche.

Les figures 4a à 4b représentent quatre configurations possibles des diodes D1 et D2.

A la figure 4a, les diodes sont constituées de transistors PMOS dont chacun a
 30 son substrat connecté à sa source.

A la figure 4b, les substrats des transistors PMOS sont tous deux reliés à la source du transistor supérieur, c'est-à-dire au potentiel Vb.

A la figure 4c, les substrats des transistors PMOS sont reliés au potentiel Vdd.

A la figure 4d, les diodes sont constituées de transistors NMOS dont chacun a son substrat relié à sa source.

Le tableau ci-dessous illustre les valeurs obtenues par simulation pour les différentes configurations des figures 4a à 4c. La tension d'alimentation Vdd est de 1,2 V. Le transistor MPs est composé de 8000 transistors élémentaires, dont chacun a pour paramètres $W = 5 \mu\text{m}$ et $L = 0,2 \mu\text{m}$ en technologie CMOS 65 nm. Le transistor MPs a donc une largeur de grille W de 40mm. Le courant Id est le courant de conduction drain-source du transistor MPs. Le courant Ib est le courant de substrat du transistor MPs, qui circule dans le pont de diodes. La première colonne correspond au cas sans circuit de polarisation de substrat ($V_{bs} = 0$), où le substrat est relié à la source du transistor, et donc au potentiel Vdd. Les transistors formant les diodes D1 et D2 sont de type HVt (haut V_t), de largeur $W = 5 \mu\text{m}$ et de longueur de grille $L = 0,14 \mu\text{m}$.

	$V_{bs} = 0$	4a	4b	4c	4d
Id	430 mA	510 mA	502 mA	456 mA	515 mA
Ib	403 pA	13,9 nA	7,16 nA	1,6 nA	21,8 nA
Vb	1,2 V	828 mV	862 mV	1,075 V	808 mV

On s'aperçoit qu'on peut obtenir une plage de variation d'au moins 200 mV de la tension de polarisation Vb. Les meilleures caractéristiques de conduction du transistor MPs sont obtenues pour les tensions Vb les plus basses (correspondant aux tensions de polarisation en direct les plus élevées de la diode source-substrat Db). Le tableau montre que l'on peut obtenir une amélioration de près de 20 % de la conductivité du transistor MPs. Cette amélioration se fait au détriment d'une augmentation du courant Ib circulant dans le pont de diodes. Le concepteur saura trouver un bon compromis entre le gain de puissance obtenu par l'augmentation de la conductivité du transistor MPs et la puissance dissipée dans le pont de diodes.

Le circuit de la figure 3, destiné à illustrer un principe général, n'offre pas un fonctionnement optimal en mode RBB, c'est-à-dire lorsque le transistor MN1 est conducteur pour polariser le substrat du transistor MPs au potentiel Vdds. En

effet, les conditions de fonctionnement du transistor MN1 sont telles qu'il fonctionne en suiveur et non en commutateur. En d'autres termes, sa tension de source, V_b , est égale à sa tension de grille (V_{dd}) diminuée de la tension de seuil du transistor. On souhaite plutôt que la tension V_b soit égale à la tension V_{dds} indépendamment du courant I_b .

La figure 5 représente schématiquement un mode de réalisation permettant d'optimiser le fonctionnement en mode RBB. Le transistor MN1 a été remplacé par un transistor PMOS MP2 et le transistor MP1 a été remplacé par un transistor NMOS MN2. Les grilles des transistors MP2 et MN2 sont commandées par un inverseur 12 alimenté entre les potentiels V_{ss} et V_{dds} , et dont l'entrée est reliée à la grille du transistor MPs. Cette configuration permet de faire fonctionner les transistors MP2 et MN2 en commutateurs dans toutes les circonstances.

Comme on l'a précédemment indiqué, le pont de diodes Db, D1, D2 dérive un courant qui augmente si l'on veut améliorer la conductivité du transistor MPs.

La figure 6 représente un mode de réalisation permettant de limiter le courant consommé dans le pont de diodes sans dégrader la conductivité du transistor MPs lorsque celle-ci doit être optimale.

De nombreuses macrofonctions FCT, lorsqu'elles sont alimentées, peuvent néanmoins avoir des périodes d'inactivité où elles sont mises dans un état de veille par le système de gestion d'énergie. L'état de veille se traduit généralement par un arrêt local de l'horloge. Pendant l'état de veille, il n'est pas utile que la conductivité du transistor MPs soit optimale.

A la figure 6 on prévoit d'interrompre le courant dans l'empilement de diodes D1, D2 lorsqu'un état d'inactivité de la macrofonction est détectée. Pour cela, par exemple, on dispose un transistor MN3 en série entre le transistor MN2 et l'empilement de diodes. Le transistor MN3 est conducteur en temps normal et bloqué lorsqu'un circuit de détection d'activité ACT détermine que la macrofonction FCT est inactive, par exemple lorsque le système de gestion d'énergie a arrêté son horloge. Le transistor MN3 pourrait être directement commandé par le système de gestion d'énergie.

Lorsque le courant est interrompu dans le pont de diodes, le substrat du transistor MPs devient flottant et son potentiel s'établit, par effets de fuite, à une

valeur d'équilibre entre les potentiels de drain et de source du transistor, proche du potentiel Vdd. Ainsi, la résistance R_{on} du transistor MPs augmente, mais cela n'a que des conséquences négligeables, étant donné que la macrofonction FCT ne consomme que des courants de fuite dans ce mode.

- 5 De nombreuses variantes et modifications des modes de réalisation décrits ici apparaîtront à l'homme du métier. Alors que le transistor de puissance MPs dont on veut régler dynamiquement la polarisation de substrat a été présenté comme un transistor PMOS dont la source est connectée à une ligne d'alimentation haute Vdd, toute autre configuration ou type de transistor peut
- 10 être envisagé par l'homme du métier en adaptant, dans le circuit de polarisation, les types d'éléments, le sens de connexion, ainsi que le nombre de diodes empilées.

Revendications

1. Circuit de polarisation dynamique du substrat d'un transistor MOS de puissance (MPs), comprenant un premier commutateur (MP1, MN2) agencé pour, lorsque la tension de grille du transistor provoque la conduction du transistor, relier le substrat à une source de courant qui polarise en direct la diode intrinsèque source-substrat (Db) du transistor, la source de courant comprenant un empilement de diodes (D1, D2) de même sens que la diode intrinsèque, entre le substrat et un potentiel d'alimentation (Vss).
2. Circuit de polarisation selon la revendication 1, comprenant un deuxième commutateur (MN1, MP2) agencé pour, lorsque la tension de grille du transistor de puissance provoque le blocage du transistor, relier le substrat à un potentiel de référence (Vdds) tel que la diode intrinsèque source-substrat (Db) du transistor soit polarisée en inverse ou avec une tension nulle.
3. Circuit de polarisation selon la revendication 2, dans lequel :
 - le premier commutateur comprend un transistor (MN2) de type de conductivité opposé à celui du transistor de puissance (MPs) ;
 - le deuxième commutateur comprend un transistor (MP2) de même type de conductivité que le transistor de puissance ; et
 - le circuit de polarisation comprend un inverseur (12) dont l'entrée est reliée à la grille du transistor de puissance et la sortie aux grilles des transistors des premier et deuxième commutateurs.
4. Circuit de polarisation selon la revendication 1, dans lequel le transistor de puissance (MPs) est connecté pour mettre en tension ou hors tension une macrofonction électronique (FCT) d'un appareil électronique, le circuit de polarisation comprenant des moyens (ACT, MN3) pour interrompre le courant dans l'empilement de diodes (D1, D2) lorsque la macrofonction présente une absence d'activité alors que le transistor de puissance est conducteur.
5. Circuit selon la revendication 1, dans lequel les diodes (D1, D2) de l'empilement sont réalisées à partir de transistors dont les types de conductivité et les tensions seuils sont choisis en fonction du niveau de polarisation (Vb) souhaité du substrat du transistor de puissance.

1/2

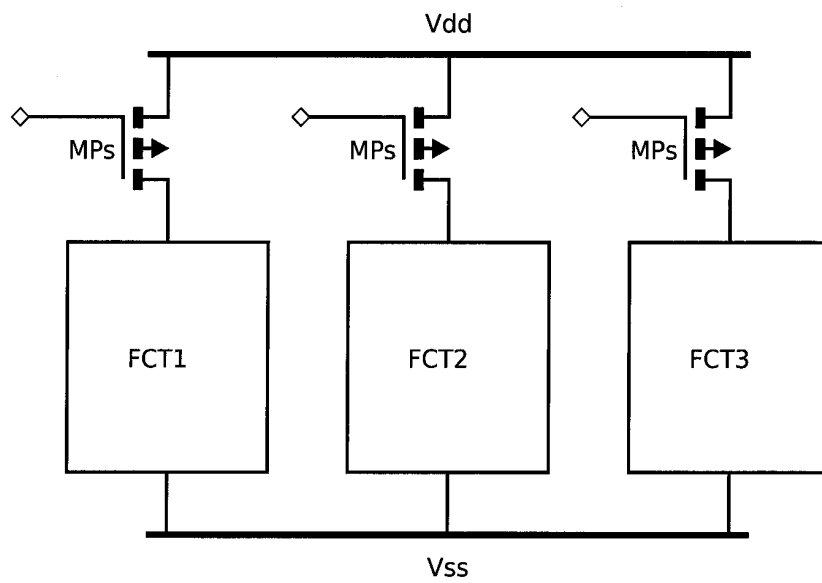


Fig 1

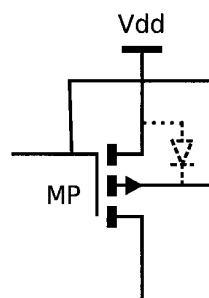


Fig 2

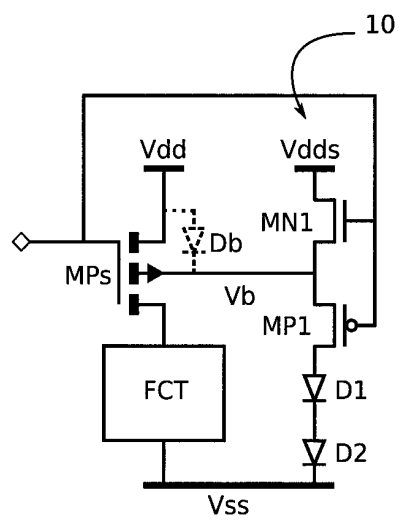


Fig 3

2/2

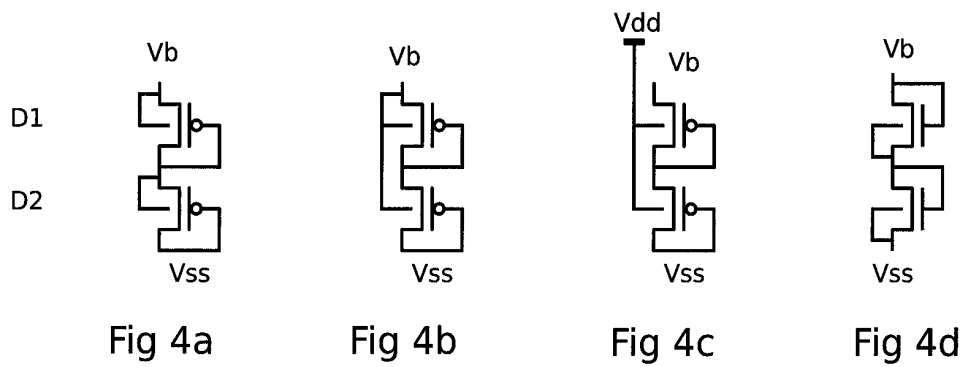


Fig 5

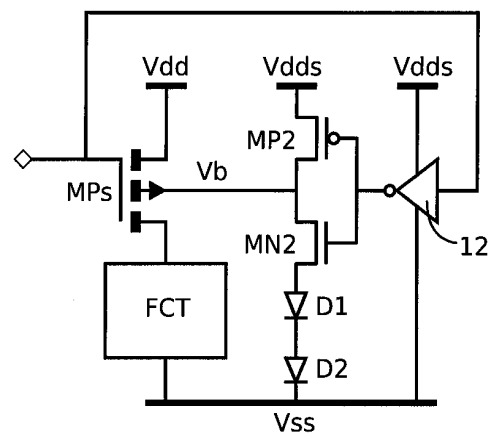
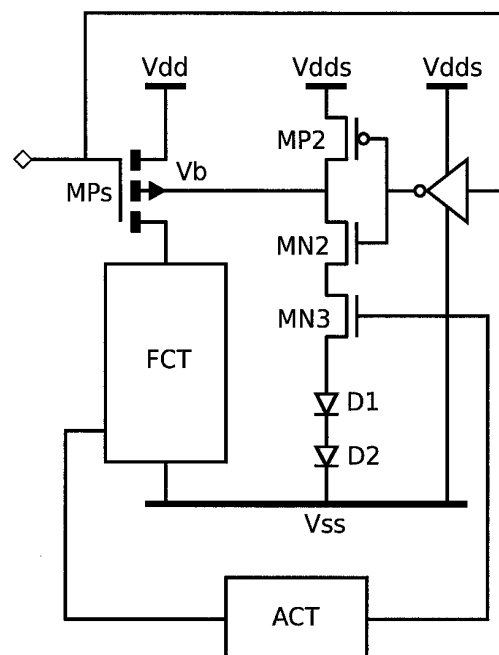


Fig 6





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 741043
FR 1003656

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	BLOECHEL B A ET AL: "Dynamic sleep transistor and body bias for active leakage power control of microprocessors", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 38, no. 11, 1 novembre 2003 (2003-11-01), pages 1838-1845, XP011102771, ISSN: 0018-9200, DOI: DOI:10.1109/JSSC.2003.818291 * le document en entier *	1-5	H01L27/088
A	US 6 429 726 B1 (BRUNEAU DAVID W [US] ET AL) 6 août 2002 (2002-08-06) * abrégé; figure 1 *	1-5	
A	US 5 017 811 A (WORLEY EUGENE R [US]) 21 mai 1991 (1991-05-21) * abrégé; figure 4 *	1-5	
A	EP 0 883 052 A1 (SGS THOMSON MICROELECTRONICS [US] ST MICROELECTRONICS INC [US]) 9 décembre 1998 (1998-12-09) * le document en entier *	1-5	
A	HARI ANANTHAN, CHRIS H KIM AND KAUSHIK ROY: "Larger-than-Vdd Forward Bias in Sub-0.5V Nanoscale CMOS", PROCEEDINGS OF THE 2004 INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS AND DESIGN (ISLPED'04), 9 novembre 2004 (2004-11-09), pages 8-13, XP040006862, * le document en entier *	1-5	DOMAINES TECHNIQUES RECHERCHÉS (IPC) G05F H03K
Date d'achèvement de la recherche		Examineur	
9 juin 2011		Arias Pérez, Jagoba	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1003656 FA 741043**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **09-06-2011**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6429726	B1	06-08-2002	AUCUN	
US 5017811	A	21-05-1991	AUCUN	
EP 0883052	A1	09-12-1998	DE 69807396 D1	02-10-2002
			DE 69807396 T2	10-04-2003
			JP 11102229 A	13-04-1999
			US 5929695 A	27-07-1999