

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月1日(01.03.2018)



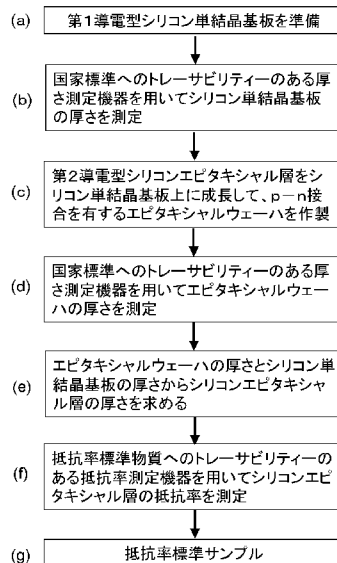
(10) 国際公開番号

WO 2018/037831 A1

- (51) 国際特許分類:
H01L 21/66 (2006.01) G01N 27/04 (2006.01)
G01N 27/00 (2006.01) G01N 27/22 (2006.01)
- (72) 発明者: 久米 史高(KUME Fumitaka); 〒3790196
群馬県安中市磯部2丁目13番1号 信越半
導體株式会社 磯部工場内 Gunma (JP).
- (21) 国際出願番号: PCT/JP2017/027384
- (74) 代理人: 好宮 幹夫, 外(YOSHIMIYA Mikio et
al.); 〒1100005 東京都台東区上野7丁目6番
11号 第一下谷ビル8F Tokyo (JP).
- (22) 国際出願日: 2017年7月28日(28.07.2017)
- (25) 国際出願の言語: 日本語
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-164749 2016年8月25日(25.08.2016) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU
HANDOTAI CO.,LTD.) [JP/JP]; 〒1000004 東京
都千代田区大手町二丁目2番1号 Tokyo (JP).

(54) Title: RESISTIVITY STANDARD SAMPLE MANUFACTURING METHOD AND EPITAXIAL WAFER
RESISTIVITY MEASURING METHOD

(54) 発明の名称: 抵抗率標準サンプルの製造方法及びエピタキシャルウェーハの抵抗率測定方法



- (a) Prepare first conductivity-type silicon single-crystalline substrate
(b) Measure thickness of silicon single-crystalline substrate using thickness measuring device traceable to national standard
(c) Fabricate epitaxial wafer having p-n junction by growing second conductivity-type silicon epitaxial layer on silicon single-crystalline substrate
(d) Measure thickness of epitaxial wafer using thickness measuring device traceable to national standard
(e) Determine thickness of silicon epitaxial layer from thickness of epitaxial wafer and thickness of silicon single-crystalline substrate
(f) Measure resistivity of silicon epitaxial layer using resistivity measuring device traceable to resistivity standard substance
(g) Resistivity standard sample

(57) Abstract: The present invention provides a resistivity standard sample manufacturing method comprising: a step of preparing a first conductivity-type silicon single-crystalline substrate; a step of measuring, using a thickness measuring device traceable to a national standard, the thickness of the silicon single-crystalline substrate; a step of fabricating an epitaxial wafer having a p-n junction by growing a second conductivity-type silicon epitaxial layer on the silicon single-crystalline substrate; a step of measuring the thickness of the epitaxial wafer using the thickness measuring device

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

traceable to the national standard; a step of determining the thickness of the silicon epitaxial layer from the thicknesses of the epitaxial wafer and the silicon single-crystalline substrate; and a step of measuring the resistivity of the silicon epitaxial layer using a resistivity measuring device traceable to a resistivity standard substance. The resistivity standard sample manufacturing method enables the manufacture of a resistivity standard sample that is traceable to the resistivity standard substance, such as NIST.

(57) 要約: 本発明は、第1導電型シリコン単結晶基板の準備工程と、国家標準へのトレーサビリティのある厚さ測定機器を用いてシリコン単結晶基板の厚さを測定する工程と、第2導電型シリコンエピタキシャル層をシリコン単結晶基板上に成長してp-n接合を有するエピタキシャルウェーハを作製する工程と、国家標準へのトレーサビリティのある厚さ測定機器を用いてエピタキシャルウェーハの厚さを測定する工程と、エピタキシャルウェーハとシリコン単結晶基板の厚さからシリコンエピタキシャル層の厚さを求める工程と、抵抗率標準物質へのトレーサビリティのある抵抗率測定機器を用いたシリコンエピタキシャル層の抵抗率測定工程とを有する抵抗率標準サンプルの製造方法である。これにより、NIST等の抵抗率標準物質へのトレーサビリティを有する抵抗率標準サンプルを製造できる抵抗率標準サンプルの製造方法が提供される。

明 細 書

発明の名称：

抵抗率標準サンプルの製造方法及びエピタキシャルウェーハの抵抗率測定方法

技術分野

[0001] 本発明は、抵抗率標準サンプルの製造方法及びエピタキシャルウェーハの抵抗率測定方法に関する。

背景技術

[0002] 従来、シリコンエピタキシャル層の抵抗率を測定する方法として、直流四探針法及びC-V (capacitance-voltage) 法が知られている。

[0003] 直流四探針法は、超硬合金のタングステンカーバイドを探針として用い、試料表面に垂直に4探針を加圧接触させ、外側の探針を通して電流I (A) を流し、中2本の探針間の電位差V (V) を測定する。ウェーハの抵抗率 ρ は、(1) 式で算出する。

$$\rho (\Omega \cdot \text{cm}) = 2 \pi S V / I \cdot F_w \cdot F_r \cdot \dots (1)$$

ここで、S：探針間隔（例えば、1 mm）、 F_w ：ウェーハの厚さによる補正項、 F_r ：ウェーハの直径及び測定位置による補正項である。

[0004] 直流四探針法に用いる抵抗率測定機器は、NIST (National Institute of Standards and Technology：アメリカ国立標準技術研究所) が提供するSRM2541 (0.01 $\Omega \cdot \text{cm}$) ~SRM2547 (200 $\Omega \cdot \text{cm}$) の7水準の抵抗率標準物質 (SRM: Standard Reference Material) へのトレーサビリティを有する標準ウェーハを用いて校正することができる。

[0005] SRM2541~SRM2543はボロンドープのp型CZ結晶、SRM2544~SRM2547は中性子照射のn型FZ結晶をそれぞれウェーハ

状にラップ加工したものである。前述した標準ウェーハもCZ結晶又はFZ結晶をウェーハ状にラップ加工したバルクウェーハである。標準ウェーハの抵抗率を挟み込むように選択したSRMを直流四探針法の測定機器で測定することによりその測定機器の校正を行い、校正された測定機器で当該標準ウェーハを測定することにより、二次標準値として抵抗率の値付けがなされる。

[0006] 一方、C-V法では、シリコン単結晶ウェーハの表面に、例えば水銀電極を用いてショットキー接合を形成し、その電極に逆バイアス電圧を連続的に変化させながら印加することによりシリコン単結晶ウェーハの内部に空乏層を拡げて容量を変化させる。そして、この逆バイアス電圧と容量の関係から所望の深さにおけるドーパント濃度を算出し、さらにASTM STANDARDS F723等の換算式を用いて、ドーパント濃度を抵抗率に換算する。

[0007] 現在、C-V法で求めた抵抗率に関する国際標準や国家標準（国家計量標準）等の規定が無く、必要に応じて、取引を行う会社間で個々に抵抗率の相関を確認することが行われている。ただし、C-V法と直流四探針法から求めた抵抗率の間に概ね相関があることは既に知られており、例えば特許文献1には、C-V法による抵抗率とHF処理後の四探針法による抵抗率がほぼ一致することが記載されている。また、特許文献1には、エピタキシャルウェーハのエピタキシャル層の抵抗率が、定数、エピタキシャル層のシート抵抗、及び、エピタキシャル層の膜厚の積から計算できることが記載されている。

先行技術文献

特許文献

[0008] 特許文献1：特開平7-37953号公報

特許文献2：特開2003-65724号公報

発明の概要

発明が解決しようとする課題

- [0009] C-V法の測定機器を用いてシリコンエピタキシャル層に逆バイアス電圧を印加すると、抵抗率に応じて深さ方向に空乏層が広がる。空乏層の拡がり幅は、低抵抗率では狭く、高抵抗率では広い。例えば、n型シリコンエピタキシャル層に初期印加電圧として1Vの逆バイアス電圧を印加する場合、形成される空乏層幅は概略、抵抗率が $0.5\ \Omega \cdot \text{cm}$ で $0.45\ \mu\text{m}$ 、 $5\ \Omega \cdot \text{cm}$ で $1.5\ \mu\text{m}$ 、 $50\ \Omega \cdot \text{cm}$ で $5\ \mu\text{m}$ である。
- [0010] これに対し、直流四探針法の二次標準ウェーハはラップ加工等を施された厚さ略 $400\ \mu\text{m} \sim 800\ \mu\text{m}$ のバルクウェーハであり、厚さ方向の抵抗率変動を有している。このため、バルク全体の平均的な抵抗率を示す直流四探針法の標準値が、表面から深さ略 $10\ \mu\text{m}$ までの抵抗率と一致するとは限らない。また、二次標準ウェーハ表面から略 $10\ \mu\text{m}$ までのC-V法測定領域で厚さ方向に抵抗率が増減する場合、選択する測定深さにより抵抗率の値が変化してしまう。
- [0011] その結果、二次標準のバルクウェーハを用いて直流四探針法とC-V法の相関を取ると、二次標準ウェーハが代わる度に相関式が大きく変動するので、直流四探針法の標準値をC-V法の抵抗率測定値と相関付けることができない。
- [0012] 一方、特許文献1に開示されるn型シリコンエピタキシャル層の抵抗率測定方法では、C-V法による抵抗率とHF処理後の四探針法による抵抗率がほぼ一致する。これは、C-V法と四探針法の抵抗率比較に用いられたサンプルがバルクウェーハでなく、シリコンエピタキシャル層だからだと考えられる。シリコンエピタキシャル層は、気相成長の際にMFC (Mass Flow Controller) が用いられるため、厚さ方向の抵抗率を一定に管理しやすい。
- [0013] しかし、特許文献1では国家標準へのトレーサビリティの無いFTIR (Fourier Transform Infrared Spectroscopy) 法もしくはSR (Spreading Resistan

c e : 拡がり抵抗) 法を用いてシリコンエピタキシャル層の厚さを測定するため、その厚さをを用いて算出される直流四探針法による抵抗率の値は、国家標準に対してトレーサビリティを持つことができない。

[0014] 本発明は、上記問題点に鑑みてなされたものであって、N I S T等の抵抗率標準物質へのトレーサビリティを有する抵抗率標準サンプルを製造することができる抵抗率標準サンプルの製造方法を提供することを目的とする。また、本発明は、製造された抵抗率標準サンプルを用いてC-V法測定装置を校正することにより、N I S T等の抵抗率標準物質へのトレーサビリティのあるC-V法測定装置を用いて、測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定できるエピタキシャルウェーハの抵抗率測定方法を提供することを目的とする。

課題を解決するための手段

[0015] 上記目的を達成するために、本発明は、第1導電型シリコン単結晶基板を準備する工程と、

国家標準へのトレーサビリティのある標準ブロックゲージで校正された厚さ測定機器を用いて前記第1導電型シリコン単結晶基板の厚さを測定する基板厚さ測定工程と、

前記第1導電型とは反対の導電型である第2導電型を有する第2導電型シリコンエピタキシャル層を前記第1導電型シリコン単結晶基板上に成長してp-n接合を有するエピタキシャルウェーハを作製する気相成長工程と、

前記厚さ測定機器を用いて前記エピタキシャルウェーハの厚さを測定するエピタキシャルウェーハ厚さ測定工程と、

前記エピタキシャルウェーハの厚さと前記第1導電型シリコン単結晶基板の厚さから前記第2導電型シリコンエピタキシャル層の厚さを求める工程と、

抵抗率標準物質へのトレーサビリティのある抵抗率測定機器を用いて前記シリコンエピタキシャル層の抵抗率を測定する抵抗率測定工程と、

を有することを特徴とする抵抗率標準サンプルの製造方法を提供する。

- [0016] このように、国家標準へのトレーサビリティのある厚さ測定機器と抵抗率標準物質へのトレーサビリティのある抵抗率測定機器を用いて、エピタキシャルウェーハのシリコンエピタキシャル層の抵抗率を求めることにより、抵抗率標準物質へのトレーサビリティを有する抵抗率標準サンプルを確実に製造することができる。
- [0017] このとき、前記抵抗率標準物質がNIST標準物質SRM2541～SRM2547の少なくとも1つであることが好ましい。
- [0018] NIST標準物質は、米国における国家標準物質であり、極めて信頼性が高いため、製造した抵抗率標準サンプルをより信頼性の高いものとすることができる。
- [0019] このとき、前記第1導電型シリコン単結晶基板の不純物濃度を 1×10^{18} atoms/cm³未満とすることが好ましい。
- [0020] このようなシリコン単結晶基板中の不純物濃度であれば、シリコンエピタキシャル層へのシリコン単結晶基板中の不純物の外方拡散及びオートドーピングの影響をほとんど排除することができ、より精度の高い抵抗率標準サンプルを製造することができる。
- [0021] このとき、前記第2導電型シリコンエピタキシャル層の厚さを100 μm以上200 μm以下とすることが好ましい。
- [0022] シリコンエピタキシャル層の厚さが100 μm以上であれば、シリコンエピタキシャル層の抵抗率に対するp-n接合近傍の抵抗率上昇の影響が極めて小さくなり、より精度の高い抵抗率標準サンプルとすることができる。また、シリコンエピタキシャル層の厚さが200 μmを超えるエピタキシャルウェーハは通常ないので、シリコンエピタキシャル層の厚さが200 μmまであれば、実用上十分な抵抗率標準サンプルとすることができる。
- [0023] また、上述した抵抗率標準サンプルの製造方法で作製した抵抗率標準サンプルを二次標準サンプルとして用いて、表面電極のC-V法測定装置を校正し、該校正された表面電極のC-V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定することができる。

[0024] このように、二次標準サンプルで校正された表面電極のC－V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定すれば、測定したエピタキシャル層抵抗率をN I S T等の抵抗率標準物質へのトレーサビリティを有するものとすることができる。

[0025] また、上述した抵抗率標準サンプルの製造方法で作製した抵抗率標準サンプルを二次標準サンプルとして校正した表面電極のC－V法測定装置を用い、P／P型又はN／N型シリコンエピタキシャルウェーハのエピタキシャル層抵抗率を測定して三次標準サンプルとし、該三次標準サンプルを用いて裏面電極のC－V法測定装置を校正し、該校正された裏面電極のC－V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定することができる。

[0026] このように、三次標準サンプルで校正された裏面電極のC－V法測定装置でエピタキシャルウェーハのエピタキシャル層抵抗率を測定すれば、測定したエピタキシャル層抵抗率をN I S T等の抵抗率標準物質へのトレーサビリティを有するものとすることができる。

発明の効果

[0027] 本発明の抵抗率標準サンプルの製造方法によれば、抵抗率がN I S T等の抵抗率標準物質へのトレーサビリティを有するエピタキシャル層を備えた抵抗率標準サンプルを確実に製造することができる。また、本発明のエピタキシャルウェーハの抵抗率測定方法によれば、表面電極のC－V法測定装置を抵抗率標準サンプルを用いて校正することにより、測定対象のエピタキシャルウェーハに対して、N I S T等の抵抗率標準物質へのトレーサビリティを有するエピタキシャル層抵抗率測定を実施することができる。さらに、本発明の別のエピタキシャルウェーハの抵抗率測定方法によれば、裏面電極のC－V法測定装置をp－n接合を有していない標準サンプルを用いて校正することにより、測定対象のエピタキシャルウェーハに対して、N I S T等の抵抗率標準物質へのトレーサビリティを有するエピタキシャル層抵抗率測定を実施することができる。

図面の簡単な説明

[0028] [図1]本発明の抵抗率標準サンプルの製造方法の一例を示す概略工程図である。

[図2]本発明の抵抗率標準サンプルの構造を示す概略図である。

発明を実施するための形態

[0029] 以下、本発明について、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

[0030] 図1は、本発明の抵抗率標準サンプルの製造方法の一例を示す概略工程図である。本発明の抵抗率標準サンプルの製造方法は、第1導電型シリコン単結晶基板を準備する工程（工程（a））と、国家標準へのトレーサビリティのある厚さ測定機器を用いてシリコン単結晶基板の厚さを測定する基板厚さ測定工程（工程（b））と、第2導電型シリコンエピタキシャル層をシリコン単結晶基板上に成長して、 $p-n$ 接合を有するエピタキシャルウェーハを作製する気相成長工程（工程（c））と、国家標準へのトレーサビリティのある厚さ測定機器を用いてエピタキシャルウェーハの厚さを測定するエピタキシャルウェーハ厚さ測定工程（工程（d））と、エピタキシャルウェーハの厚さとシリコン単結晶基板の厚さからシリコンエピタキシャル層の厚さを求める工程（工程（e））と、抵抗率標準物質のトレーサビリティのある抵抗率測定機器を用いてシリコンエピタキシャル層の抵抗率を測定する抵抗率測定工程（工程（f））とを有している。これらの工程を実施することにより、第1導電型シリコン単結晶基板上に第1導電型とは反対の導電型である第2導電型を有する第2導電型シリコンエピタキシャル層を形成した。NIST等の抵抗率標準物質へのトレーサビリティを有する抵抗率標準サンプル（エピタキシャルウェーハ）を製造することができる（図1の（g））。

[0031] 次に、本発明の抵抗率標準サンプルについて説明する。図2は、本発明の抵抗率標準サンプル1の構造を示す概略図である。本発明の抵抗率標準サンプル1は、第1導電型シリコン単結晶基板2（以下、単に基板2と略記する

ことがある)と第2導電型シリコンエピタキシャル層3を有している。基板2は、p型でもよいしn型でもよいが、第1導電型と第2導電型は、相互に反対の導電型である。

[0032] 以下では、上述した各工程について、より詳細に説明する。まず、第1導電型の基板2を準備する(図1の工程(a))。そして、日本工業規格JIS B 7506の規定を満たし、JCSS(計量法校正事業者登録制度: Japan Calibration Service System)の校正証明書が発行されたトレーサビリティのある標準ブロックゲージを用いて校正されたダイヤルゲージ等の厚さ測定機器で、基板2の厚さを測定する(図1の工程(b)、基板厚さ測定工程)。この測定の際に厚さ測定機器が基板2に接触する場合は、次工程の気相成長工程(図1の工程(c))の前に基板2を洗浄することが望ましい。

[0033] 続いて、第2導電型シリコンエピタキシャル層3(以下、単にエピ層3と略記することがある)を第1導電型シリコン単結晶基板2上に成長してp-n接合を有するエピタキシャルウェーハ1を作製する(図1の工程(c)、気相成長工程)。エピ層3がn型の場合はp型の基板2、エピ層3がp型の場合はn型の基板2を用い、基板2とエピ層3の間にp-n接合を形成する。

[0034] 基板2とエピ層3の間にp-n接合を形成するのは、直流四探針法でエピ層3のみの抵抗率を測定するためである。p-n接合が形成されていないエピタキシャルウェーハ(P/P型又はN/N型)のエピタキシャル層表面で直流四探針法を用いて抵抗率を測定すると、エピタキシャル層とシリコン単結晶基板の平均的抵抗率を得ることになり、エピタキシャル層のみの抵抗率は得られない。尚、P/P型の最初のPはp型エピタキシャル層を、後のPはp型シリコン単結晶基板を表している。同様に、N/N型はn型エピタキシャル層とn型シリコン単結晶基板を表している。

[0035] 次に、上述した国家標準へのトレーサビリティのある標準ブロックゲージを用いて校正されたダイヤルゲージ等の厚さ測定機器で、エピタキシャル

ウェーハ 1 の厚さを測定する（図 1 の工程（d）、エピタキシャルウェーハ厚さ測定工程）。このとき、エピ層 3 の厚さは、エピタキシャルウェーハ 1 の厚さから基板 2 の厚さを差し引くことにより求められる（図 1 の工程（e））。この方法によると、エピタキシャルウェーハ 1 の厚さと基板 2 の厚さの両方が国家標準へのトレーサビリティを持っているので、エピ層 3 の厚さも国家標準へのトレーサビリティを持つことができる。

[0036] さらに、抵抗率標準物質へのトレーサビリティのある直流四探針法の抵抗率測定機器を用いてエピ層 3 の抵抗率を測定する（図 1 の工程（f）、抵抗率測定工程）。この工程では、まず、エピ層 3 の抵抗率を挟み込むような 2 水準の抵抗率標準物質を用いて直流四探針法の抵抗率測定機器を校正する。次に、同じ抵抗率測定機器を用いて、エピタキシャルウェーハ 1 のエピ層 3 の抵抗率測定を行う。抵抗率の算出に必要なエピ層 3 の厚さには、エピタキシャルウェーハ 1 の厚さから基板 2 の厚さを差し引くことにより求めたトレーサビリティのある物理的な厚さを用いる。このようにして求めた抵抗率を、エピ層 3 の二次標準値として値付けし、p-n 接合を有するエピタキシャルウェーハを抵抗率標準サンプルとする。

[0037] このようにして製造された抵抗率標準サンプル 1 のエピ層 3 の抵抗率は、トレーサビリティのある物理的な厚さとトレーサビリティのある直流四探針法の測定値を用いて値付けされているので、直流四探針法の二次標準値として他の抵抗率測定装置の校正に用いることができる。

[0038] 本発明の抵抗率標準サンプルの製造方法において、抵抗率標準物質が NIST 標準物質 SRM 2541～SRM 2547 の少なくとも 1 つであることが好ましい。NIST 標準物質は、米国における国家標準物質であり、極めて信頼性が高いため、製造した抵抗率標準サンプルをより信頼性の高いものとすることができる。

[0039] また、本発明の抵抗率標準サンプルの製造方法において、第 1 導電型シリコン単結晶基板 2 の不純物濃度を $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすることが好ましい。基板 2 の不純物濃度が高いほど基板 2 からエピ層 3 への外方

拡散及びオートドーピングが大きくなるので、エピ層3の抵抗率を直流四探針法で測定する場合、基板2の不純物がエピ層3の抵抗率値に与える影響が大きくなる。そこで、不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満の基板2を使用し、不純物の外方拡散及びオートドーピングの影響をほとんど排除することにより、より精度の高い抵抗率標準サンプルを製造することができる。また、第1導電型シリコン単結晶基板2の不純物濃度の下限は特に限定されず、 0 atoms/cm^3 より大きい値とすることができる。

[0040] 基板2の不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上の場合、特許文献2に記載されているように、エピタキシャルウェーハ1に形成されたエピ層3の厚さをフーリエ変換型赤外分光器 (FT-IR: Fourier Transform Infrared Spectrometer) を用いて測定することができる。しかし、FT-IRのエピ層厚さ測定値は国家標準へのトレーサビリティを持たない。このため、本発明ではエピ層3の厚さ測定にFT-IRを用いない。

[0041] エピタキシャルウェーハ1の厚さから基板2の厚さを差し引くことにより求められるエピ層3の厚さは、実際に成長したエピ層3の物理的な厚さである。これに対し、FT-IRのエピ層の厚さ測定値は光学的な厚さであり、赤外光が反射する不純物濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ の遷移領域からエピ層3の表面までの厚さに相当する。換言すると、基板2の表面から不純物濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ の遷移領域までの厚さ分だけ、FT-IRで測る光学的なエピ層の厚さが物理的な厚さよりも薄くなる。

[0042] その結果、エピタキシャルウェーハ1の厚さから基板2の厚さを差し引くことにより求められるエピ層3の物理的な厚さを用いて抵抗率を算出すると、その値はFT-IRによる光学的な測定値を用いた場合よりも大きくなる。

[0043] 尚、基板2の表面（基板2とエピ層3の界面）から、エピ層3中の不純物濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ の遷移領域までの厚さは、エピ層3の厚さに関わらず、通常、 $0.5 \mu\text{m}$ 以下である。このため、エピ層3が厚いほど

、物理的な厚さと光学的な厚さの差のこれらの厚さに占める割合が小さくなる。

[0044] 第2導電型シリコンエピタキシャル層の厚さは $100\mu\text{m}$ 以上 $200\mu\text{m}$ 以下とすることが好ましい。基板2とエピ層3の間にp-n接合を形成すると、p-n接合近傍の抵抗率が高くなり、直流四探針法の測定値はその影響を受ける。エピ層3が薄いほど、また、基板2の抵抗率が低いほど、その影響が大きい。そこで、成長するエピ層3の厚さを $100\mu\text{m}$ 以上とすることで、より精度の高い標準サンプルとすることができる。また、エピ層3の厚さが $100\mu\text{m}$ の場合、物理的な厚さと光学的な厚さの差のこれらの厚さに対して占める割合が0.5%以下となり、物理的な厚さと光学的な厚さが実質的に等しくなる。さらに、エピ層3の厚さが $200\mu\text{m}$ を超えるものは通常無いので、エピ層3の厚さが $200\mu\text{m}$ まであれば、実用上十分な抵抗率標準サンプルとすることができる。

[0045] また、上述した抵抗率標準サンプルの製造方法で作製した抵抗率標準サンプルを二次標準サンプルとして用いて、表面電極のC-V法測定装置を校正し、該校正された表面電極のC-V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定することができる。このように、二次標準サンプルで校正された表面電極のC-V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定すれば、測定したエピタキシャル層抵抗率をNIST等の抵抗率標準物質へのトレーサビリティを有するものとすることができる。

[0046] ここで、電圧を印加する電極とアース用電極の両方をエピ層3に形成する、いわゆる表面電極のC-V法測定装置ではp-n接合を介さずに測定できるので、上述したp-n接合を有する抵抗率標準サンプルを表面電極のC-V法測定装置用二次標準サンプルとして校正に用いることができる。水銀電極を用いた殆どのC-V法測定装置は表面電極のC-V法測定装置である。

[0047] また、上述した抵抗率標準サンプルの製造方法で作製した抵抗率標準サンプルを二次標準サンプルとして校正した表面電極のC-V法測定装置を用い

、P／P型又はN／N型シリコンエピタキシャルウェーハのエピタキシャル層抵抗率を測定して三次標準サンプルとし、該三次標準サンプルを用いて裏面電極のC－V法測定装置を校正し、該校正された裏面電極のC－V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定することができる。このように、三次標準サンプルで校正された裏面電極のC－V法測定装置でエピタキシャルウェーハのエピタキシャル層抵抗率を測定すれば、測定したエピタキシャル層抵抗率をNIST等の抵抗率標準物質へのトレーサビリティーを有するものとすることができる。裏面電極のC－V法測定装置を校正するための三次標準サンプルは、その抵抗率の値付けが直流四探針法ではなく、表面電極のC－V法測定装置を用いて行われるので、基板ドーパント濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ より高くても低くてもよい。

[0048] ここで、電圧を印加する電極がエピ層3に形成され、アース用電極が基板2側に形成される、いわゆる裏面電極のC－V法測定装置では、p－n接合を有するエピタキシャルウェーハ1のエピ層3の抵抗率を測定することができない。

[0049] しかし、p－n接合を有する抵抗率標準サンプルを二次標準として校正した表面電極のC－V法測定装置を用い、p－n接合を有しないP／P型又はN／N型シリコンエピタキシャルウェーハのエピタキシャル層抵抗率を測定して三次標準サンプルとすれば、その抵抗率値はNIST等の抵抗率標準物質へのトレーサビリティーを有することになる。そこで、そのp－n接合を有しないシリコンエピタキシャルウェーハを三次標準サンプルとして用いて裏面電極のC－V法測定装置を校正することにより、裏面電極のC－V法測定装置についてもトレーサビリティーを確保することができる。

実施例

[0050] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれら実施例に限定されるものではない。

[0051] (実施例1)

抵抗率 $10 \Omega \cdot \text{cm}$ (ドーパント濃度 $4.45 \times 10^{14} \text{ atoms/cm}^3$) の燐ドーピング型シリコン単結晶基板 2 を準備し、国家標準へのトレーサビリティのある標準ブロックゲージを用いて校正されたダイヤルゲージでその中心部を測定したところ、厚さは $625 \mu\text{m}$ であった。

[0052] その n 型シリコン単結晶基板 2 を SC 1 及び SC 2 で洗浄後、n 型シリコン単結晶基板 2 上にボロドーピング型シリコンエピタキシャル層 3 を気相成長し、エピタキシャルウェーハ 1 の厚さを前述の国家標準へのトレーサビリティのあるダイヤルゲージで測定したところ、その厚さは $725 \mu\text{m}$ だった。従って、気相成長した p 型シリコンエピタキシャル層 3 の厚さは $100 \mu\text{m}$ である。

[0053] 続いて、NIST 標準物質 SRM 2543 ($1 \Omega \cdot \text{cm}$) と SRM 2544 ($10 \Omega \cdot \text{cm}$) で校正した、トレーサビリティのある直流四探針法の抵抗率測定機器を用いて、p-n 接合を有するエピタキシャルウェーハ 1 のシリコンエピタキシャル層 3 中心部を測定し、シリコンエピタキシャル層 3 の厚さ $100 \mu\text{m}$ を掛け合わせて抵抗率を算出したところ、 $9 \Omega \cdot \text{cm}$ だったので、 $9 \Omega \cdot \text{cm}$ の標準値を持つトレーサビリティのある抵抗率標準サンプル (二次標準サンプル) とした。この二次標準サンプルのシリコンエピタキシャル層 3 の抵抗率を、表面電極型の水銀電極 C-V 法測定装置で測定したところ、 $9 \Omega \cdot \text{cm}$ であった。

[0054] (実施例 2)

まず、p-n 接合を有し、NIST 標準物質へのトレーサビリティがあり、p 型 $0.8 \Omega \cdot \text{cm}$ 、 $9 \Omega \cdot \text{cm}$ 、 $50 \Omega \cdot \text{cm}$ のシリコンエピタキシャル層が $110 \mu\text{m}$ の厚さに形成された 3 水準の抵抗率標準サンプルを二次標準サンプルとして準備した。そして、これらの二次標準サンプルを用いて、水銀電極を用いる表面電極の C-V 法測定装置を校正した。次に、p-n 接合を有しておらず、P/P+ 型であり、シリコンエピタキシャル層の抵抗率が $1 \Omega \cdot \text{cm}$ 、 $10 \Omega \cdot \text{cm}$ 、 $40 \Omega \cdot \text{cm}$ 狙いで製造され、シリコンエピタキシャル層が $10 \mu\text{m}$ の厚さに形成された 3 水準のシリコンエピタキシャ

ルウェーハを準備した。次に、上記のように校正した水銀電極のC-V法測定装置を用いて、準備したシリコンウェーハの抵抗率を測定し、三次標準サンプルとした。続いて、このp-n接合を有していない3水準の三次標準サンプルを用いて、裏面電極のC-V法測定装置を校正した。さらに、この裏面電極のC-V法測定装置を用いて、測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定した。

[0055] (比較例1)

抵抗率 $0.0012\ \Omega \cdot \text{cm}$ (ドーパント濃度 $6 \times 10^{19}\ \text{atoms}/\text{cm}^3$) の燐ドーピングn型シリコン単結晶基板上にボロンドープp型シリコンエピタキシャル層を $10\ \mu\text{m}$ の厚さで気相成長し、その中心部厚さをFT-IRで測定したところ、 $9.5\ \mu\text{m}$ であった。続いて、NIST標準物質へのトレーサビリティのある直流四探針法の抵抗率測定機器を用いてp型シリコンエピタキシャル層中心部の抵抗率を測定したところ、 $11\ \Omega \cdot \text{cm}$ であった。このサンプルを表面電極型の水銀電極C-V法測定装置で測定した値は、 $10\ \Omega \cdot \text{cm}$ であった。

[0056] このように、実施例1では、NIST標準物質へのトレーサビリティのある抵抗率標準サンプルを容易に製造でき、この抵抗率標準サンプルを用いて表面電極のC-V法測定装置を校正することができた。また、実施例2では、校正された表面電極のC-V法測定装置を用いて、p-n接合を有していないシリコンエピタキシャルウェーハのエピタキシャル層抵抗率を測定して三次標準サンプルとし、その三次標準サンプルを用いて裏面電極のC-V法測定装置を校正することができた。このため、校正された表面電極のC-V法測定装置又は校正された裏面電極のC-V法測定装置で測定された測定対象のエピタキシャルウェーハのエピタキシャル層の抵抗率は、NIST等の抵抗率標準物質へのトレーサビリティを有している。一方、比較例1のサンプルは、NIST等の抵抗率標準物質へのトレーサビリティを有しておらず、測定したエピタキシャル層の抵抗率もトレーサビリティを有していない。

[0057] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

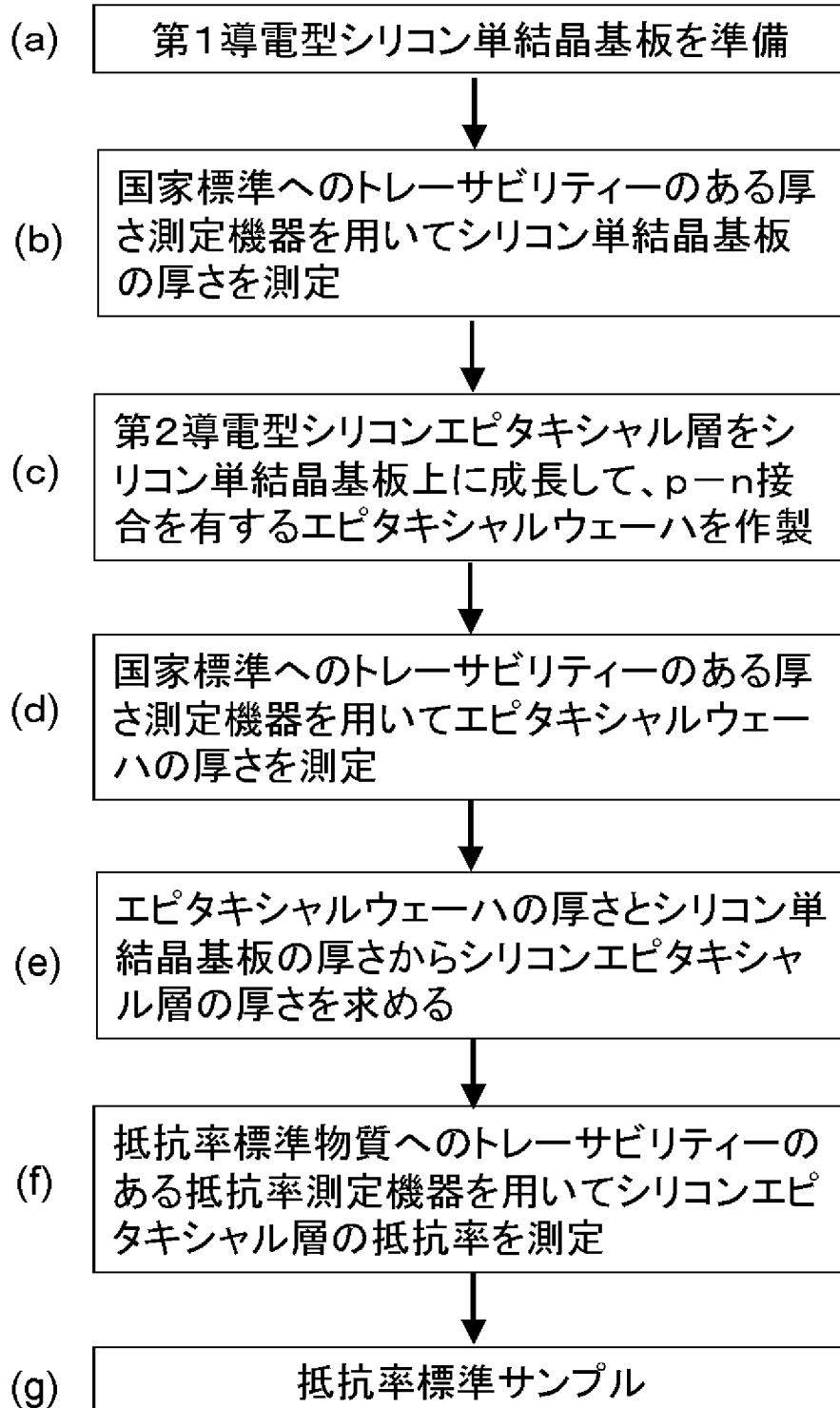
請求の範囲

- [請求項1] 第1導電型シリコン単結晶基板を準備する工程と、
国家標準へのトレーサビリティのある標準ブロックゲージで校正された厚さ測定機器を用いて前記第1導電型シリコン単結晶基板の厚さを測定する基板厚さ測定工程と、
前記第1導電型とは反対の導電型である第2導電型を有する第2導電型シリコンエピタキシャル層を前記第1導電型シリコン単結晶基板上に成長してp-n接合を有するエピタキシャルウェーハを作製する気相成長工程と、
前記厚さ測定機器を用いて前記エピタキシャルウェーハの厚さを測定するエピタキシャルウェーハ厚さ測定工程と、
前記エピタキシャルウェーハの厚さと前記第1導電型シリコン単結晶基板の厚さから前記第2導電型シリコンエピタキシャル層の厚さを求める工程と、
抵抗率標準物質へのトレーサビリティのある抵抗率測定機器を用いて前記シリコンエピタキシャル層の抵抗率を測定する抵抗率測定工程と、
を有することを特徴とする抵抗率標準サンプルの製造方法。
- [請求項2] 前記抵抗率標準物質がNIST標準物質SRM2541～SRM2547の少なくとも1つであることを特徴とする請求項1に記載の抵抗率標準サンプルの製造方法。
- [請求項3] 前記第1導電型シリコン単結晶基板の不純物濃度を 1×10^{18} atoms/cm³未満とすることを特徴とする請求項1又は請求項2に記載の抵抗率標準サンプルの製造方法。
- [請求項4] 前記第2導電型シリコンエピタキシャル層の厚さを100μm以上200μm以下とすることを特徴とする請求項1から請求項3のいずれか一項に記載の抵抗率標準サンプルの製造方法。
- [請求項5] 請求項1から請求項4のいずれか一項に記載の抵抗率標準サンプル

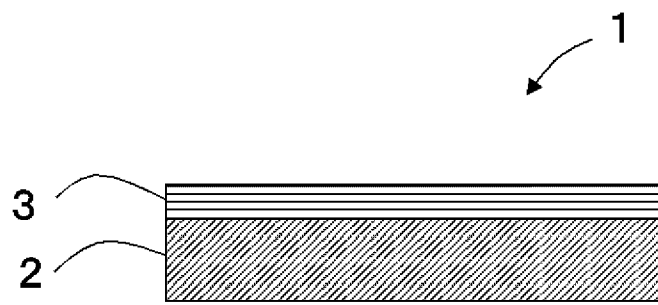
の製造方法で作製した抵抗率標準サンプルを二次標準サンプルとして用いて、表面電極のC－V法測定装置を校正し、該校正された表面電極のC－V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定することを特徴とするエピタキシャルウェーハの抵抗率測定方法。

[請求項6] 請求項1から請求項4のいずれか一項に記載の抵抗率標準サンプルの製造方法で作製した抵抗率標準サンプルを二次標準サンプルとして校正した表面電極のC－V法測定装置を用い、P／P型又はN／N型シリコンエピタキシャルウェーハのエピタキシャル層抵抗率を測定して三次標準サンプルとし、該三次標準サンプルを用いて裏面電極のC－V法測定装置を校正し、該校正された裏面電極のC－V法測定装置で測定対象のエピタキシャルウェーハのエピタキシャル層抵抗率を測定することを特徴とするエピタキシャルウェーハの抵抗率測定方法。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027384

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/66(2006.01)i, G01N27/00(2006.01)i, G01N27/04(2006.01)i, G01N27/22(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66, G01N27/00, G01N27/04, G01N27/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-116488 A (Shin-Etsu Handotai Co., Ltd.), 26 June 2014 (26.06.2014), paragraphs [0016] to [0031] (Family: none)	1-6
A	JP 2010-28011 A (SUMCO Corp.), 04 February 2010 (04.02.2010), claim 1 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September 2017 (05.09.17)

Date of mailing of the international search report
19 September 2017 (19.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/66(2006.01)i, G01N27/00(2006.01)i, G01N27/04(2006.01)i, G01N27/22(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/66, G01N27/00, G01N27/04, G01N27/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-116488 A (信越半導体株式会社) 2014.06.26, 第16-31段落 (ファミリーなし)	1-6
A	JP 2010-28011 A (株式会社SUMCO) 2010.02.04, 請求項1 (ファミリーなし)	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.09.2017

国際調査報告の発送日

19.09.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 和樹

50

3252

電話番号 03-3581-1101 内線 3559