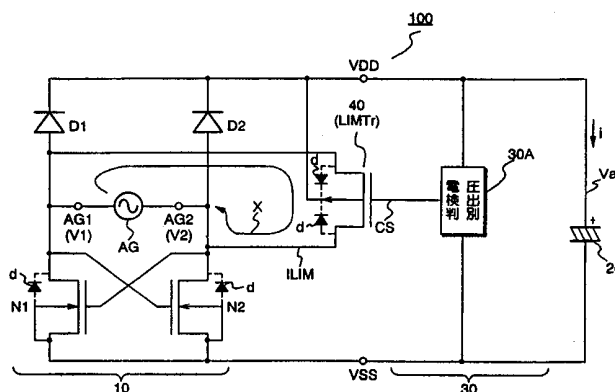


(51) 国際特許分類6 H02J 1/00, 7/00	A1	(11) 国際公開番号 WO99/48184 (43) 国際公開日 1999年9月23日(23.09.99)
(21) 国際出願番号 PCT/JP99/01383 (22) 国際出願日 1999年3月19日(19.03.99) (30) 優先権データ 特願平10/70301 1998年3月19日(19.03.98) JP (71) 出願人（米国を除くすべての指定国について） セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) (72) 発明者；および (75) 発明者／出願人（米国についてのみ） 藤沢照彦(FUJISAWA, Teruhiko)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 川崎研二, 外(KAWASAKI, Kenji et al.) 〒103-0027 東京都中央区日本橋三丁目2番16号 八重洲マスヤビル5階 朝日特許事務所 Tokyo, (JP)		(81) 指定国 CN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54)Title: METHOD OF OVERCHARGE PREVENTION, CHARGER CIRCUIT, ELECTRONIC DEVICE, AND TIMEPIECE

(54)発明の名称 過充電防止方法、充電回路、電子機器および時計



30A ... VOLTAGE DETECTION

(57) Abstract

A charger circuit includes first and second switch units that, depending on the voltage at one input terminal for receiving AC current, decide whether to connect between the other input terminal and a first power supply line; first and second diodes connected between the input terminals and a second power supply line; and a rechargeable device connected between the first and second power supply lines. The voltage of the charged device is detected, and the detected voltage is compared with a predetermined reference voltage. If the charged voltage exceeds the reference voltage, the generated current flowing from one of the input terminals is supplied to the other input terminal through a path that does not include the first and second diodes. Therefore, this charger circuit only requires a single comparator, and thus it becomes compact and consumes less power.

(57)要約

交流電圧が給電される各入力端子の一方の端子電圧に応じて、他方の入力端子と第1の電源ラインとを接続するか否かが制御される第1および第2のスイッチユニットと、各入力端子と第2の電源ラインとの間に各々接続された第1および第2のダイオードと、第1および第2の電源ライン間に接続される充電素子とを備え、交流電圧を整流して充電素子に電力を充電する充電回路において、充電素子の充電電圧を検出し、検出された充電電圧を予め定められた基準電圧と比較し、充電電圧が基準電圧を上回る場合には、一方の入力端子から流れ込む発電電流を、第1および第2のダイオードを通らない経路で他方の入力端子に供給するように構成しているので、複数のコンパレータを用いる必要なしに回路を構成することが可能となり、回路規模を小さくすることができ、しかも低消費電力を低減することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	SD スーダン
AL アルバニア	EE エストニア	LC セントルシア	SE スウェーデン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AT オーストリア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AU オーストラリア	FR フランス	LR リベリア	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LS レソト	SL シエラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SN セネガル
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BE ベルギー	GE グルジア	LV ラトヴィア	TD チャード
BF ブルギナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TZ タンザニア
BR ブラジル	GW ギニア・ビサウ	MK マケドニア旧ユーゴスラヴィア共和国	TM トルクメニスタン
BY ベラルーシ	GR ギリシャ	ML マリ	TR トルコ
CA カナダ	HR クロアチア	MN モンゴル	TT トリニダード・トバゴ
CF 中央アフリカ	HU ハンガリー	MR モーリタニア	UA ウクライナ
CG コンゴ	ID インドネシア	MW マラウイ	UG ウガンダ
CH スイス	IE アイルランド	MX メキシコ	US 米国
CI コートジボアール	IL イスラエル	NE ニジェール	UZ ウズベキスタン
CM カメルーン	IN インド	NL オランダ	VN ヴィエトナム
CN 中国	IS アイスランド	NO ノールウェー	YU ユーゴスラビア
CR コスタ・リカ	IT イタリア	NZ ニュー・ジーズランド	ZA 南アフリカ共和国
CU キューバ	JP 日本	PL ポーランド	ZW ジンバブエ
CY キプロス	KE ケニア	PT ポルトガル	
CZ チェッコ	KG キルギスタン	RO ルーマニア	
DE ドイツ	KP 北朝鮮	RU ロシア	
DK デンマーク	KR 韓国		

明 細 書

過充電防止方法、充電回路、電子機器および時計

技術分野

本発明は、過充電を防止するのに好適な過充電防止方法、充電回路および過充電防止方法および充電回路を用いた電子機器および時計に関する。

背景技術

発電機によって発電された交流電圧を大容量コンデンサに充電する充電回路として、ダイオードブリッジ回路が知られている。ダイオードブリッジ回路では、ダイオード 2 個分の電圧降下だけ損失が発生するので、小振幅の交流電圧を充電するのには向かない。

このため、ダイオードの代わりにトランジスタを用いた充電回路が開発されている。例えば、図 15 は、従来の充電回路の回路図である。この充電回路においては、発電機 A G の出力端子 A, B の電圧と電源 Vdd の電圧とを比較するコンパレータ COM1, COM2、発電機 A G の出力端子 A, B の電圧とグラウンド GND の電圧を比較するコンパレータ COM3, COM4、および充電電流を蓄電する大容量のコンデンサ C が各々設けられている。そして、各コンパレータ COM1～COM4 の出力によって、P チャンネル FET P1, P2 および N チャンネル FET N1, N2 のオン・オフが制御される。

ここで、出力端子 A の電圧がグラウンド GND の電圧以下になると、コンパレータ COM3 によって N チャンネル FET N1 がオン状態となり、出力端子 A が接地される。また、出力端子 B の電圧が電源 Vdd の電圧を越えると、コンパレータ COM2 によって、P チャンネル FET P2 がオン状態となり、電荷が矢印の経路でコンデンサ C に充電される。この場合、出力端子 B の電圧が電源 Vdd の電圧を越えない限り、P チャンネル FET P2 はオン状態とならないので、矢印と逆の経路で電流が流れて、充電効率が低下するといった不都合が生じないようになっている。

ところで、このような充電回路にあっては、コンパレータ COM1～COM4 によって

各電界効果トランジスタのオン・オフを制御しているので、構成が複雑となり、回路規模が増大するとともに、コンパレータCOM1～COM4により消費電流が増大してしまう。

一方、大容量コンデンサには耐圧が存在し、充電電圧が所定電圧を越えると、過充電の状態となり、大容量コンデンサが劣化して却って充電効率が落ちてしまう。

本発明の目的は、簡易な構成で、確実に過充電を防止することが可能な過充電防止方法および確実に過充電を防止することが可能な充電回路を提供することにある。

また、本発明の他の目的は、この充電回路を電子機器や腕時計に適用することにある。

発明の開示

本発明は、複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路に用いられる過充電防止方法であって、前記充電素子の充電電圧を検出し、検出された充電電圧が予め定めた所定の電圧を上回る場合には、前記複数の整流素子を介さない経路で前記一对の入力端子を短絡させることを特徴としている。

また、本発明は、複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路に用いられる過充電防止方法であって、充電素子の充電電圧を検出し、検出された充電電圧を予め定められた基準電圧と比較し、充電電圧が基準電圧を上回る場合には、複数の整流素子を介さない経路で一对の入力端子を短絡させることを特徴としている。

また、本発明は、交流電圧が給電される各入力端子の一方の端子電圧に応じて、他方の入力端子と第1の電源ラインとを接続するか否かが制御される第1および第2のスイッチユニットと、各入力端子と第2の電源ラインとの間に各々接続された第1および第2のダイオードと、第1および第2の電源ライン間に接続され

る充電素子とを備え、交流電圧を整流して充電素子に電力を充電する充電回路に用いられる過充電防止方法であって、充電素子の充電電圧を検出し、検出された充電電圧を予め定められた基準電圧と比較し、充電電圧が基準電圧を上回る場合には、一方の入力端子から流れ込む発電電流を、第1および第2のダイオードを通らない経路で他方の入力端子に供給することを特徴としている。

また、本発明は、充電電圧が基準電圧を上回る場合には、両入力端子を短絡させることによって、一方の入力端子から流れ込む発電電流を、第1および第2のダイオードを通らない経路で他方の入力端子に供給することを特徴としている。

また、本発明は、複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路において、充電素子の充電電圧を検出する充電電圧検出ユニットと、充電電圧検出ユニットにより検出された充電電圧が予め定めた所定の電圧を上回る場合には、複数の整流素子を介さない経路で一对の入力端子を短絡させる短絡ユニットと、を備えたことを特徴としている。

また、本発明は、複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路において、充電素子の充電電圧を検出する充電電圧検出ユニットと、充電電圧検出ユニットにより検出された充電電圧を予め定められた基準電圧と比較する比較ユニットと、比較ユニットの比較結果に基づいて充電電圧が基準電圧を上回る場合には、複数の整流素子を介さない経路で一对の入力端子を短絡させる短絡ユニットと、を備えたことを特徴としている。

また、本発明は、第1および第2の入力端子に給電される交流電圧を整流して第1および第2の電源ラインの間に設けられた充電素子に電荷を充電する充電回路において、第1の入力端子と第1の電源ラインとの間に設けられ、第2の入力端子の電圧に基づいてオン・オフが制御される第1のスイッチユニットと、第2の入力端子と第1の電源ラインとの間に設けられ、第1入力端子の電圧に基づいてオン・オフが制御される第2のスイッチユニットと、第1の入力端子と第2の電源ラインとの間に設けられる第1のダイオードと、

第2の入力端子と第2の電源ラインとの間に設けられる第2のダイオードと、

充電素子の充電電圧を検出し、検出された充電電圧と予め定められた基準電圧とを比較する比較ユニットと、比較ユニットの比較結果に基づいて、一方の入力端子から流れ込む発電電流を、第1および第2のダイオードを通らない経路で他方の入力端子に供給することによって、第1の入力端子と第2の入力端子とを短絡させる短絡ユニットと、を備えたことを特徴としている。

さらに、短絡ユニットは、第1の入力端子と第2の入力端子との間に設けられたトランジスタであるようにしてもよい。

さらにまた、短絡ユニットは、第1の入力端子に一端が接続される第3のダイオードと、第2の入力端子に一端が接続される第4のダイオードと、第3および第4のダイオードの他端と接続されるとともに第1または第2の電源ラインと接続されるトランジスタとを備えて構成するようにしてもよい。

また、本発明は、第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、第1の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第1のダイオードと、第2の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第2のダイオードと、第1の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、第2の入力端子にゲートが接続される第1のNチャンネル電界効果トランジスタと、第2の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、第1の入力端子にゲートが接続される第2のNチャンネル電界効果トランジスタと、充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、第1および第2の入力端子の間に設けられ、コンパレータの比較結果に基づいてオン・オフが制御されるトランスミッションゲートと、を備えたことを特徴としている。

また、本発明は、第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、第1の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第1のダイオードと、第2の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第2のダイオード

と、第1の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、第2の入力端子にゲートが接続される第1のPチャンネル電界効果トランジスタと、第2の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、第1の入力端子にゲートが接続される第2のPチャンネル電界効果トランジスタと、充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、第1および第2の入力端子の間に設けられ、コンパレータの比較結果に基づいてオン・オフが制御されるトランスマッションゲートと、を備えたことを特徴としている。

また、本発明は、第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、第1の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第1のダイオードと、第2の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第2のダイオードと、第1の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、第2の入力端子にゲートが接続される第1のNチャンネル電界効果トランジスタと、第2の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、第1の入力端子にゲートが接続される第2のNチャンネル電界効果トランジスタと、充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、第1の入力端子にアノードが接続される第3のダイオードと、第2の入力端子にアノードが接続される第4のダイオードと、第3および第4のダイオードのカソードとドレインが接続され、低電位側電源ラインとソースが接続され、コンパレータの比較結果がゲートに供給される第3のNチャンネル電界効果トランジスタと、を備えたことを特徴としている。

また、本発明は、第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、第1の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第1のダイオードと、第2の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第2のダイオードと、第1の入力端子にドレインが接続され、高電位側電源ラインにソースが接続

され、第2の入力端子にゲートが接続される第1のPチャンネル電界効果トランジスタと、第2の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、第1の入力端子にゲートが接続される第2のPチャンネル電界効果トランジスタと、充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、第1の入力端子にカソードが接続される第3のダイオードと、第2の入力端子にカソードが接続される第4のダイオードと、第3および第4のダイオードのアノードとドレインが接続され、高電位側電源ラインとソースが接続され、コンパレータの比較結果がゲートに供給される第3のPチャンネル電界効果トランジスタと、を備えたことを特徴としている。

また、本発明は、第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、第1の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第1のダイオードと、第2の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第2のダイオードと、第1の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、第2の入力端子にゲートが接続される第1のNチャンネル電界効果トランジスタと、第2の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、第1の入力端子にゲートが接続される第2のNチャンネル電界効果トランジスタと、充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、第1の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、コンパレータの出力端子にゲートが接続される第3のNチャンネル電界効果トランジスタと、第2の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、コンパレータの出力端子にゲートが接続される第4のNチャンネル電界効果トランジスタと、を備えたことを特徴としている。

また、本発明の電子機器は、上記各態様の充電回路を内蔵するとともに、充電回路から給電される電力によって、動作することを特徴としている。

また、本発明の時計は、上記各態様の充電回路を内蔵するとともに、充電回路から給電される電力によって時刻を計測する時計回路とを備えたことを特徴としている。

図面の簡単な説明

図 1 は、本発明の第 1 実施形態の原理説明図である。

図 2 は、本発明の第 1 実施形態に係わる腕時計に使用される充電回路の回路図である。

図 3 は、同実施形態に係わる交流発電機とその周辺機構の構成を示す斜視図である。

図 4 は、同実施形態に係わる充電回路の充電動作を示すタイミングチャートである。

図 5 は、同実施形態に係わるリミッタトランジスタの動作説明のための処理フローチャートである。

図 6 は、本発明の第 2 実施形態に係わる腕時計に使用される充電回路の回路図である。

図 7 は、同実施形態に係わる充電回路の充電動作を示すタイミングチャートである。

図 8 は、本発明の第 3 実施形態に係わる腕時計に使用される充電回路の回路図である。

図 9 は、本発明の第 4 実施形態に係わる腕時計に使用される充電回路の回路図である。

図 10 は、第 1 実施形態の変形例に係わる充電回路の構成を示す回路図である。

図 11 は、第 2 実施形態の変形例に対する比較例に係わる充電回路の構成を示す回路図である。

図 12 は、第 2 実施形態の変形例に係わる充電回路の構成を示す回路図である。

図 13 は、変形例に係わる電子制御機械時計の機械構造を示す斜視図である。

図 14 は、変形例に係わる電子制御機械時計の電氣的構成を示すブロック図である。

図 15 は、従来の充電回路の回路図である。

図 16 は、バックゲート効果を説明するための図である。

図 17 は、第 2 実施形態の変形例に係わる充電回路のタイミングチャートである。

図 18 は、第 5 実施形態の電圧検出判別部を示す回路図である。

発明を実施するための最良の形態

A. 第 1 実施形態

1. 第 1 実施形態の原理構成

図 1 は、第 1 実施形態に係わる腕時計に使用される充電回路の原理説明図である。

充電回路 100 の主要部は、交流発電機 AG の発電電圧を整流する整流部 10、充電電流を蓄電する大容量コンデンサ 20、大容量コンデンサ 20 の充電電圧 V_a を検出し、検出した充電電圧 V_a に基づいて入力端子 AG1、AG2 を短絡するか否かを制御するための制御信号 CS を出力する電圧検出判別部 30A と、検出結果に基づいて入力端子 AG1、AG2 を短絡する短絡部 40 から構成されている。なお、図中に示す d は、寄生ダイオードである。

1-1：過充電防止動作

次に、過充電防止動作について、その概略を説明する。

充電が行われると、大容量コンデンサ 20 に充電電流 i が流れ込むので、その充電電圧 V_a が次第に上昇する。

この場合において、電圧検出判別部 30A は、充電電圧 V_a が予め定めた電圧を超過した場合に、入力端子 AG1、AG2 を短絡するための制御信号 CS が出力されるように構成され、あるいは、充電電圧 V_a が予め定めた電圧を超過したか否かを判別し、超過していると判別した場合に入力端子 AG1、AG2 を短絡するための制御信号 CS が出力されるように構成されている。

これにより、短絡部 40 が動作し、入力端子 AG1、AG2 が短絡され、例えば、端子電圧 AG1 (V_1) が上昇し、端子電圧 AG2 (V_2) が下降した場合は、図中の矢印 X で示す経路でリミッタ電流 I_{LIM} が流れる。

従って、大容量コンデンサ 20 に充電電流 i が流れ込むことがなくなり、過充電を防止できるのである。

2. 第1実施形態の構成

図2は、第1実施形態に係わる腕時計に使用される充電回路の回路図である。

充電回路100の主要部は、交流発電機AGの発電電圧を整流する整流部10、充電電流を蓄電する大容量コンデンサ20、および大容量コンデンサ20の充電電圧 V_a を検出し、充電電圧 V_a を基準電圧 V_{ref} と比較する比較部30（＝電圧検出判別部）、比較部30の比較結果に基づいて入力端子AG1、AG2を短絡する短絡部40から構成されている。なお、図中に示すdは、寄生ダイオードである。

まず、整流部10は、ブリッジ型の全波整流回路として構成されており、入力端子AG1、AG2に交流発電機AGの発電電圧が給電されるようになっている。入力端子AG1、AG2は、カソードが高電位側電源ラインVDDに接続されるダイオードD1、D2のアノードと各々接続されている。このため、入力端子AG1、AG2の端子電圧 V_1 、 V_2 が、充電電圧 V_a とダイオードD1、D2の降下電圧 V_f との合計値を上回ると、ダイオードD1、D2はオン状態になる。

また、入力端子AG1、AG2と低電位側電源ラインVSSの間には、エンハンスメント型のNチャンネルFETN1、N2が設けられている。ここで、NチャンネルFETN1のゲートは入力端子AG2に接続されており、一方、NチャンネルFETN2のゲートは入力端子AG1に接続されている。NチャンネルFETN1、N2は同一の電気的特性を有しており、それらの閾値電圧は V_t となっている。

したがって、交流発電機AGから発電電圧が給電され、端子電圧 V_2 が端子電圧 V_1 を上回り、端子電圧 V_2 が閾値電圧 V_t を越えると、NチャンネルFETN1がオン状態になる。このとき、NチャンネルFETN2はオフ状態である。また、発電電圧の振幅がごく小さければダイオードD2はオフ状態となっている。ここで、発電電圧が次第に大きくなり、端子電圧 V_2 が、充電電圧 V_a とダイオードD2の降下電圧 V_f との合計値を上回ると、ダイオードD2がオン状態になる。すると、充電電流 i が「入力端子AG2→ダイオードD2→高電位側電源ラインVDD→大容量コンデンサ20→低電位側電源ラインVSS→NチャンネルFETN1→入力端子AG1」の経路で流れ、大容量コンデンサ20に電荷が充電される。また、逆に端子電圧 V_1 が端子電圧 V_2 を上回る場合には、「入力端子AG1→ダイオードD1→高電位側電源ラインVDD→大容量コンデンサ20→低電位側電源ラインVSS→NチャンネルFET

N2→入力端子AG2」の経路で充電電流 i が流れ、大容量コンデンサ 20 に電荷が充電される。

この整流部 10 は、図 15 に示す従来の充電回路のようにコンパレータ COM1～COM4を必要としないので、充電回路の回路規模が小さいという利点があり、また、ダイオードブリッジ回路と比較して、電圧損失が少ないので、発電電圧の振幅が小さくても効率良く充電できるという利点がある。

次に、大容量コンデンサ 20 は例えば充電可能な二次電池から構成されており、一定の耐圧を有する。仮に、耐圧を越えて充電を行うと、過充電の状態となり大容量コンデンサ 20 が劣化して充電効率が低下する。

次に、比較部 30 は、コンパレータ COM、充電電圧 V_a を分圧する抵抗 R_1 , R_2 、および基準電圧 V_{ref} を発生する基準電圧発生回路 31 から構成されている。コンパレータ COM の正入力端子には基準電圧 V_{ref} が供給され、一方、その負入力端子には、抵抗 R_1 , R_2 によって分圧された電圧 V_a' ($=V_a \cdot R_2 / (R_1 + R_2)$) が供給されている。コンパレータ COM は、基準電圧 V_{ref} と電圧 V_a' とを比較して制御信号 CS を生成する。電圧 V_a' が基準電圧 V_{ref} を上回るならば制御信号 CS はローレベルになり、一方、電圧 V_a' が基準電圧 V_{ref} を下回るならば制御信号 CS はハイレベルになる。ここで、基準電圧 V_{ref} は、大容量コンデンサ 20 の耐圧を考慮して、大容量コンデンサ 20 が過充電にならないように設定する。なお、充電電圧 V_a を基準電圧 V_{ref} と直接比較せずに、電圧 V_a' と比較するようにしたのは基準電圧 V_{ref} の作り易さを考慮したためである。

次に、短絡部 40 は、リミットトランジスタ LIMTr で構成されている。リミットトランジスタ LIMTr としては、P チャンネルエンハースメント型のトランスミッションゲートトランジスタが用いられ、入力端子 AG1, AG2 に接続されている。トランスミッションゲートトランジスタは、そのゲート電圧によってオン・オフが制御され入出力に双方向性がある。この例では、P チャンネルで構成されているので、制御信号 CS がローレベルのときオン状態（接続）、制御信号 CS がハイレベルのときオフ状態（開放）となる。したがって、充電電圧 V_a が所定電圧を上回ると、入力端子 AG1, AG2 が接続されリミット電流 I_{LIM} が流れ、大容量コンデンサ 20 には充電電流 i が流れ込まないようになる。

次に、交流発電機AGとその周辺機構の構成を説明する。図3は交流発電機AGとその周辺機構の構成を示す斜視図である。図示のように、交流発電機AGは、ロータ14とステータ15を備えており、2極磁化されたディスク状のロータ14が回転するとステータ15の出力用コイル16に起電力が発生し、交流出力が取り出せるようになっている。また、図において、13は腕時計本体ケース内で旋回運動を行う回転錘であり、11は回転錘13の回転運動を発電機AGに伝達する輪列機構である。回転錘13は腕時計を装着した人の腕の振りに応じて回転し、これに伴って交流発電機AGから起電力が得られるようになっている。

交流発電機AGから出力された交流は、充電回路100で整流され、処理装置9に供給される。処理装置9は、充電回路100から放電される電力によって時計装置7を駆動する。なお、交流発電機AGが非発電状態であっても、大容量コンデンサ20から供給される電力によって処理装置9および時計装置7が駆動される。この時計装置7は、水晶発振器やカウンタ回路等で構成されており、水晶発振器で生成されるマスタクロック信号をカウンタ回路で分周し、この分周結果に基づいて時刻を計測している。

3. 第1実施形態の動作

次に、第1実施形態に係わる腕時計の動作を図面を参照しつつ説明する。

3-1：充電動作

図4は、充電回路の充電動作を示すタイミングチャートである。交流発電機AGが発電を開始すると、発電電圧が両入力端子AG1、AG2に給電される。この場合、入力端子AG1の端子電圧V1と入力端子AG2の端子電圧V2は、図4(a)、(b)に示すように、位相が反転している。なお、図中のVtは、NチャンネルFETN1、N2の閾値電圧である。

図に示すように端子電圧V1が時刻T1で閾値電圧Vtを越えると、NチャンネルFETN2がオン状態となる。この後、端子電圧V1が上昇し、時刻T2で高電位側電源ラインVDDの電圧を越え、さらにダイオードD1の降下電圧Vfだけ上昇すると(時刻T3)、ダイオードD1がオン状態となる。このとき、端子電圧V2は閾値電圧Vtを下回っているため、NチャンネルFETN1はオフ状態になっている。

したがって、ダイオードD1がオン状態となる期間Ta(T3～T4)において、「入

力端子AG1→ダイオードD1→高電位側電源ラインVDD→大容量コンデンサ20→低電位側電源ラインVSS→NチャンネルFETN2」の経路で充電電流*i*が流れ、大容量コンデンサ20に電荷が充電される。

この後、端子電圧V1が下降すると逆に端子電圧V2が上昇し、端子電圧V2は時刻T5において閾値電圧V_tを越える。すると、NチャンネルFETN1がオン状態となる。この後、端子電圧V2が上昇し、時刻T6で高電位側電源ラインVDDの電圧を越え、さらにダイオードD2の降下電圧V_fだけ上昇すると(時刻T7)、ダイオードD2がオン状態となる。このとき、端子電圧V1は閾値電圧V_tを下回っているため、NチャンネルFETN2はオフ状態になっている。したがって、ダイオードD2がオン状態となる期間T_b(T7～T8)において、「入力端子AG2→ダイオードD2→高電位側電源ラインVDD→大容量コンデンサ20→低電位側電源ラインVSS→NチャンネルFETN1」の経路で充電電流*i*が流れ、大容量コンデンサ20に電荷が充電される。これにより、発電電圧は全波整流され、図4(c)に示す充電電流*i*が得られることになる。

3-2: 過充電防止動作

次に、過充電防止動作について、図2および図5の処理フローチャートを参照しつつ説明する。

上述した充電が行われると、大容量コンデンサ20に充電電流*i*が流れ込むので、その充電電圧V_aが次第に上昇する。比較部30のコンパレータCOMは、充電電圧V_aを抵抗R1、R2で分圧した電圧V_a' (=V_a・R2/(R1+R2))と基準電圧V_{ref}とを比較して(ステップS1)、前者が後者を上回ると制御信号CSをローレベルにする。

これにより、リミットランジスタLIMTrがオフ状態からオン状態に移行するため(ステップS2)、入力端子AG1、AG2が短絡され、例えば、端子電圧AG1(V1)が上昇し、端子電圧AG2(V2)が下降した場合は、図中の矢印Xで示す経路でリミット電流I_{LIM}が流れる。

過電圧検出は、常時検出していない場合であっても、サンプリング的に検出動作を行っても良い。具体的には、コンパレータCOMおよび抵抗R1、R2はトランジスタスイッチで電源供給を停止するように構成し、数秒周期でトランジスタ

スイッチをONしてコンパレータCOMと抵抗R1、R2に電源供給して過電圧検出を行うことで検出動作に拘わる消費電流を削減することができる。

また、その場合は、サンプリング周期の間、コンパレータ出力信号を保持しておくためにコンパレータ出力にラッチ回路を設けておくが良い。

リミッタ電流ILIMが交流発電機AGに流れると、そのロータ14の回転に電磁ブレーキがかかる。したがって、腕時計を激しく動かしてもロータ14には負荷がかかるので回転数が減少し、端子電圧V1、V2が低下する。換言すれば、この充電回路100は、短絡する経路を形成することによってリミッタ電流ILIMが小さくなるという自己制御特性を有している。

ところで、過充電を防止する方法としては、リミッタトランジスタLIMTrを整流部10と大容量コンデンサ20との間に設け、充電電圧Vaが所定の電圧を越える場合にリミッタトランジスタLIMTrをオフ状態にして、整流部10と大容量コンデンサ20を切断することも考えられる。しかしながら、そのように構成すると、入力端子AG1、AG2には大きな発電電圧が発生し、リミッタトランジスタLIMTrの耐圧を大きくする必要があるが、腕時計のように小型携帯機器の充電回路では、耐圧の小さいトランジスタを用いてIC化するので、大きな耐圧のリミッタトランジスタLIMTrはIC化に適さない。この点、本実施形態では充電電圧Vaが所定電圧を越えると入力端子AG1、AG2を短絡するように構成したので、リミッタトランジスタLIMTrとして耐圧の低いものを使用することができ、容易にIC化できるという利点がある。

以上、説明したように第1実施形態によれば、整流部10をコンパレータを用いることなく構成したので、回路規模を小さくすることができ、しかも消費電流を低減することができる。

また、短絡部40をトランスミッションゲートを用いて構成し、充電電圧Vaを分圧した電圧Va'が基準電圧Vrefを上回ると、トランスミッションゲートがオン状態になるように制御したので、充電電圧Vaが大容量コンデンサ20の耐圧を越えることが無く、大容量コンデンサ20の過充電を防止できる。

この場合、短絡部40は、整流部10と大容量コンデンサ20を切断するのではなく、ダイオードD1、D2を通らない経路で発電電流を流すようにしたので、短

絡部 40 に用いられるトランジスタに耐圧の低いものを使用でき、IC 化が容易になる。また、入力端子 AG1, AG2 を短絡した場合には、ショートブレーキが掛かるので、端子電圧 V1, V2 の振幅を自動的に下げることができる。

B. 第 2 実施形態

上述した第 1 実施形態においては、発電時にリミッタトランジスタ LIMTr のソース電位がボディ電位よりもダイオード D1, D2 の降下電圧 V_f だけ上がるので、リミッタトランジスタの閾値電圧 V_t がバックゲート効果によって低下する。例えば、図 16 は一般的なエンハンスメント型 P チャネル FET の $I_{DS}-V_{GS}$ 特性を示したものである。この図から、ボディ電位 V_{sub} がソース電位 V_s に対して低下すると $I_{DS}-V_{GS}$ 特性が変化し、閾値電圧 V_t (ゲート・ソース間の絶対値) が下がることがわかる。このため、充電電圧 V_a が所定電圧に達しておらず、リミッタトランジスタ LIMTr が本来オフ状態にあるべき期間において、リミッタトランジスタ LIMTr のソース・ゲート間の抵抗値が減少して、小さなリミッタ電流 I_{LIM} が流れる場合がある。特に、発電電流が大きく降下電圧 V_f が大きくなる場合に問題となる。また、時計用 IC では、MOSFET の閾値電圧 V_t を 0.5 V 程度と低電圧に設定するため、バックゲート効果の影響が大きい。

第 2 実施形態は、このような点に鑑みてなされたものであり、充電電圧 V_a が基準電圧 V_{ref} に達していない場合に、入力端子 AG1, AG2 の短絡経路を確実に開放するものである。

1. 第 2 実施形態の構成

図 6 は、第 2 実施形態に係わる腕時計に使用される充電回路の回路図である。充電回路 101 は、第 1 実施形態の整流部 10 の代わりに低電位側電源ライン V_{SS} と高電位側電源ライン V_{DD} と逆転させた整流部 10' を用いる点、短絡部 40' を用いる点を除いて、図 2 に示す第 1 実施形態の充電回路 100 と同様に構成されている。また、交流発電機 AG とその周辺機構の構成も図 3 に示す第 1 実施形態のものと同様である。

まず、整流部 10' において、入力端子 AG1, AG2 はダイオード D1, D2 を介して低電位側電源ライン V_{SS} に接続されている。また、入力端子 AG1, AG2 と高電位側

電源ラインVDDの間には、エンハンスメント型のPチャンネルFET P1, P2が設けられている。ここで、PチャンネルFET P1のゲートは入力端子AG2に接続されており、一方、PチャンネルFET P2のゲートは入力端子AG1に接続されている。

したがって、入力端子AG1の電圧が入力端子AG2の電圧を下回り、PチャンネルFET P2のゲートソース間電圧 V_{gs} が一定値を越えると、PチャンネルFET P2がオン状態になる。さらに、入力端子AG1の電圧が低下して低電位側電源ラインVSSの電圧値よりもダイオードD1の降下電圧 V_f だけ下回ると、ダイオードD1がオン状態になる。すると、充電電流が、「入力端子AG2→PチャンネルFET P2→高電位側電源ラインVDD→大容量コンデンサ20→ダイオードD1→入力端子AG1」の経路で流れ、大容量コンデンサ20に電荷が充電される。

次に、短絡部40'は、Pチャンネルエンハンスメント型のリミッタトランジスタLIMTrおよびダイオードD3, D4から構成されている。リミッタトランジスタLIMTrのソースとボディは高電位側電源ラインVDDに、また、そのドレインはダイオードD3, D4の各アノードに接続されており、さらに、ゲートには制御信号CSが供給されるようになっている。また、ダイオードD3, D4のカソードは、入力端子AG1, AG2に接続されている。ここで、リミッタトランジスタLIMTrのボディはソースと同電位になるので、バックゲート効果によって、オフ状態における抵抗値が減少するといった不都合はない。したがって、短絡部40'は、大容量コンデンサ20に対して充電を行う場合にリミッタ電流 I_{LIM} を流すことがないので、効率良く充電することが可能となる。

この例の短絡部40'にあっては、ダイオードD3, D4が設けられているので、リミッタトランジスタLIMTrがオン状態になったとしても直ちにリミッタ電流 I_{LIM} が流れるのではなく、以下の式1、式2で与えられる条件を満たすことが必要とされる。ただし、リミッタトランジスタLIMTrのドレイン-ソース間電圧を V_{ds}' とし、ダイオードD3, D4の降下電圧を V_f とする。

$$V_2 < V_a - V_{ds}' - V_f \quad \cdots \text{式 1}$$

$$V_1 < V_a - V_{ds}' - V_f \quad \cdots \text{式 2}$$

2. 第2実施形態の動作

次に、第2実施形態に係わる腕時計の動作を図面を参照しつつ説明する。

2-1: 充電動作

図7は、充電回路の充電動作を示すタイミングチャートである。なお、図中の V_t は、PチャンネルFETP1, P2の閾値電圧である。

図に示すように端子電圧 V_1 が時刻 T_1 で閾値電圧 V_t を下回ると、PチャンネルFETP2がオン状態となる。この後、端子電圧 V_1 が下降し、時刻 T_2 で低電位側電源ライン V_{SS} を下回り、さらにダイオードD1の降下電圧 V_f だけ下降すると(時刻 T_3)、ダイオードD1がオン状態となる。このとき、端子電圧 V_2 は閾値電圧 V_t を上回っているため、PチャンネルFETP1はオフ状態になっている。したがって、ダイオードD1がオン状態となる期間 T_a ($T_3 \sim T_4$)において、「入力端子AG2 $\rightarrow$ PチャンネルFETP2 $\rightarrow$ 高電位側電源ライン V_{DD} $\rightarrow$ 大容量コンデンサ20 $\rightarrow$ 低電位側電源ライン V_{SS} $\rightarrow$ ダイオードD1」の経路で充電電流が流れ、大容量コンデンサ20に電荷が充電される。

この後、端子電圧 V_1 が上昇すると逆に端子電圧 V_2 が下降し、端子電圧 V_2 は時刻 T_5 において閾値電圧 V_t を下回る。すると、PチャンネルFETP1がオン状態となる。この後、端子電圧 V_2 が下降し、時刻 T_6 で低電位側電源ライン V_{SS} の電圧を下回り、さらにダイオードD2の降下電圧 V_f だけ下降すると(時刻 T_7)、ダイオードD2がオン状態となる。このとき、端子電圧 V_1 は閾値電圧 V_t を上回っているため、PチャンネルFETP2はオフ状態になっている。したがって、ダイオードD2がオン状態となる期間 T_b ($T_7 \sim T_8$)において、「入力端子AG1 $\rightarrow$ PチャンネルFETP1 $\rightarrow$ 高電位側電源ライン V_{DD} $\rightarrow$ 大容量コンデンサ20 $\rightarrow$ 低電位側電源ライン V_{SS} $\rightarrow$ ダイオードD2」の経路で充電電流が流れ、大容量コンデンサ20に電荷が充電される。これにより、発電電圧は全波整流され、図4(c)に示す充電電流が得られることになる。

2-2: 過充電防止動作

次に、過充電防止動作について、図6を参照しつつ説明する。上述した充電が行われると、大容量コンデンサ20に充電電流 i が流れ込むので、その充電電圧 V_a が次第に上昇する。比較部30のコンパレータCOMは、充電電圧 V_a を抵抗 R_1 , R_2 で充電電圧 V_a を分圧した電圧 $V_a' (=V_a \cdot R_2 / (R_1 + R_2))$ と基準電圧 V_{ref} とを常時比較して、前者が後者を上回ると制御信号CSをローレベルにする。する

と、リミッタトランジスタLIMTrがオフ状態からオン状態に移行する。

ここで、端子電圧 V_2 が下降して、閾値電圧 V_t を下回るとPチャンネルFET P1がオン状態になり、さらに端子電圧 V_2 が上述した式2の条件を満たすと、図中の矢印X1に示す経路でリミッタ電流 I_{LIM} が流れる。一方、端子電圧 V_1 が下降してPチャンネルFET P2がオン状態となり、さらに端子電圧 V_1 が上述した式1の条件を満たすと、図中の矢印X2に示す経路でリミッタ電流 I_{LIM} が流れる。

これにより、入力端子AG1、AG2が短絡され、端子電圧 V_1 、 V_2 が充電電圧 V_a を上回ったとしても大容量コンデンサ20に充電電流 i が流れ込まなくなり、大容量コンデンサ20の過充電を回避することが可能となる。なお、この例においても第1実施形態と同様に、リミッタ電流 I_{LIM} が交流発電機AGに流れるとロータ14に電磁ブレーキがかかるので、充電回路101は自己制御特性を有している。

3. 第2実施形態の効果

以上、説明したように第2実施形態によれば、リミッタトランジスタLIMTrのソースとボディは高電位側電源ラインVDDに接続するので、ボディ電位がソース電位を上回るといったことがないので、バックゲート効果に起因して通常動作時にリミッタ電流 I_{LIM} が流れるといったことがなくなる。この結果、充電効率をより一層高めることができる。

C. 第3実施形態

1. 第3実施形態の構成

図8は、第3実施形態に係わる腕時計に使用される充電回路の回路図である。

図8において、図2と同様の部分には同一の符号を付す。

本第3実施形態の充電回路100”が第1実施形態の充電回路100と異なる点は、短絡部40として機能するリミッタトランジスタLIMTrに代えて、入力端子AG1と低電位側電源ラインVSSとの間にNチャンネルFET N1と並列に接続され、ゲート端子がコンパレータCOMの出力端子に接続されたエンハンスメント型のNチャンネルFETであるリミッタトランジスタLIMTr1と、入力端子AG2と低電位側電源ラインVSSとの間にNチャンネルFET N2と並列に接続され、ゲート端子がコンパレータCOMの出力端子に接続されたエンハンスメント型のNチャネル

ル F E T であるリミッタトランジスタ LIMTr2 と、を備えた点である。

リミッタトランジスタ LIMTr1 と、リミッタトランジスタ LIMTr2 とは、同一の電気的特性を有しており、この例では、N チャンネルで構成されているので、制御信号 CS がローレベルのときオフ状態（開放）、制御信号 CS がハイレベルのときオン状態（接続）となる。したがって、充電電圧 V_a が所定電圧を上回ると、入力端子 AG1, AG2 が接続されリミッタ電流 I_{LIM} が流れ、大容量コンデンサ 20 には充電電流 i が流れ込まないようになる。

2. 第 3 実施形態の動作

本第 3 実施形態の充電時の動作は、基本的に第 1 実施形態と同様であるので、過充電防止動作について図 8 を参照して説明する。

充電が行われると、大容量コンデンサ 20 に充電電流 i が流れ込むので、その充電電圧 V_a が次第に上昇する。比較部 30 のコンパレータ COM は、充電電圧 V_a を抵抗 R_1 , R_2 で分圧した電圧 $V_a' (=V_a \cdot R_2 / (R_1 + R_2))$ と基準電圧 V_{ref} とを比較して、前者が後者を上回ると制御信号 CS をハイレベルにする。

すると、リミッタトランジスタ LIMTr1 およびリミッタトランジスタ LIMTr2 が同時にオフ状態からオン状態に移行するため、入力端子 AG1, AG2 が短絡され、図中の矢印 X' で示す経路でリミッタ電流 I_{LIM} が流れる。

なお、過電圧検出は、常時検出していない場合であっても、サンプリング的に検出動作を行っても良い。具体的には、コンパレータ COM および抵抗 R_1 , R_2 はトランジスタスイッチで電源供給を停止するように構成し、数秒周期でトランジスタスイッチを ON してコンパレータ COM と抵抗 R_1 , R_2 に電源供給して過電圧検出を行うことで検出動作に拘わる消費電流を削減することができる。

また、その場合は、サンプリング周期の間、コンパレータ出力信号を保持しておくためにコンパレータ出力にラッチ回路を設けておくが良い。

リミッタ電流 I_{LIM} が交流発電機 AG に流れると、そのロータ 14 の回転に電磁ブレーキがかかる。したがって、腕時計を激しく動かしてもロータ 14 には負荷がかかるので回転数が減少し、端子電圧 V_1 , V_2 が低下する。換言すれば、この充電回路 100 は、短絡する経路を形成することによってリミッタ電流 I_{LIM} が小さくなるという自己制御特性を有している。

以上、説明したように第3実施形態によれば、整流部10をコンパレータを用いることなく構成したので、回路規模を小さくすることができ、しかも消費電流を低減することができる。

また、短絡部40を二つのNチャンネルFETであるリミッタトランジスタLIMTr1およびリミッタトランジスタLIMTr2により構成し、充電電圧 V_a を分圧した電圧 V_a' が基準電圧 V_{ref} を上回ると、リミッタトランジスタLIMTr1およびリミッタトランジスタLIMTr2が同時にオン状態になるように制御したので、充電電圧 V_a が大容量コンデンサ20の耐圧を越えることが無く、大容量コンデンサ20の過充電を防止できる。

この場合、短絡部40は、整流部10と大容量コンデンサ20を切断するのではなく、ダイオードD1、D2を通らない経路で発電電流を流すようにしたので、短絡部40に用いられるトランジスタに耐圧の低いものを使用でき、IC化が容易になる。また、入力端子AG1、AG2を短絡した場合には、ショートブレーキが掛かるので、端子電圧 V_1 、 V_2 の振幅を自動的に下げることができる。

3. 第3実施形態の効果

以上、説明したように第3実施形態によれば、リミッタトランジスタLIMTrのソースとボディは高電位側電源ライン V_{DD} に接続するので、ボディ電位がソース電位を上回るといったことがないので、バックゲート効果に起因して通常動作時にリミッタ電流 I_{LIM} が流れるといったことがなくなる。この結果、充電効率をより一層高めることができる。

さらに第2実施形態と比較して、外付け素子であるリミッタ用のダイオードD3、D4を省くことが可能となり、集積回路内に回路を形成することが可能となる。

D. 第4実施形態

1. 第4実施形態の構成

図9は、第4実施形態に係わる腕時計に使用される充電回路の回路図である。図9において、図2の第1実施形態と同様の部分には同一の符号を付す。

充電回路100''の主要部は、交流発電機AGの発電電圧を整流する整流部10、充電電流を蓄電する大容量コンデンサ20、および大容量コンデンサ20

の充電電圧 V_a を検出し、充電電圧 V_a を基準電圧 V_{ref} と比較する比較部 30、比較部 30の比較結果に基づいて高電位側電源ライン V_{DD} と低電位側電源ライン V_{SS} とを短絡する短絡部 40と、逆電流を防止するための逆電流防止ダイオード D_{RP} と、から構成されている。なお、図中に示す d は、寄生ダイオードである。

この場合において、整流部 10、大容量コンデンサ 20及び比較部 30の構成は第1実施形態と同様であるので、その詳細な説明を省略する。

次に短絡部 40の構成について説明する。

短絡部 40は、リミッタトランジスタ $LIMTr$ で構成されている。リミッタトランジスタ $LIMTr$ としては、Pチャンネルエンハースメント型トランジスタが用いられ、電源ライン V_{DD} 、 V_{SS} に接続されている。この例では、Pチャンネルで構成されているので、制御信号 CS がローレベルのときオン状態（接続）、制御信号 CS がハイレベルのときオフ状態（開放）となる。したがって、充電電圧 V_a が所定電圧を上回ると、高電位側電源ライン V_{DD} と低電位側電源ライン V_{SS} とを短絡させてリミッタ電流 I_{LIM} が流れ、大容量コンデンサ 20には充電電流 i が流れ込まないようになる。

このとき、逆電流防止ダイオード D_{RP} は、リミッタ電流 I_{LIM} が充電電流 i として大容量コンデンサ 20に流れ込むのを防止している。

2. 第4実施形態の動作

次に、第4実施形態に係わる腕時計の動作を図4を参照しつつ説明する。

2-1：充電動作

交流発電機 AG が発電を開始すると、発電電圧が両入力端子 $AG1$ 、 $AG2$ に給電される。この場合、入力端子 $AG1$ の端子電圧 V_1 と入力端子 $AG2$ の端子電圧 V_2 は、図4(a)、(b)に示すように、位相が反転している。なお、図中の V_t は、Nチャンネル FET_{N1} 、 $N2$ の閾値電圧である。

図に示すように端子電圧 V_1 が時刻 T_1 で閾値電圧 V_t を越えると、Nチャンネル FET_{N2} がオン状態となる。この後、端子電圧 V_1 が上昇し、時刻 T_2 で高電位側電源ライン V_{DD} の電圧を越え、さらにダイオード D_1 の降下電圧 V_f だけ上昇すると（時刻 T_3 ）、ダイオード D_1 がオン状態となる。このとき、端子電圧 V_2 は閾値電圧 V_t を下回っているため、Nチャンネル FET_{N1} はオフ状態になっている。

したがって、ダイオードD1がオン状態となる期間Ta(T3～T4)において、「入力端子AG1→ダイオードD1→高電位側電源ラインVDD→大容量コンデンサ20→逆流防止ダイオードDRP→低電位側電源ラインVSS→NチャンネルFETN2」の経路で充電電流*i*が流れ、大容量コンデンサ20に電荷が充電される。

この後、端子電圧V1が下降すると逆に端子電圧V2が上昇し、端子電圧V2は時刻T5において閾値電圧Vtを越える。すると、NチャンネルFETN1がオン状態となる。この後、端子電圧V2が上昇し、時刻T6で高電位側電源ラインVDDの電圧を越え、さらにダイオードD2の降下電圧Vfだけ上昇すると(時刻T7)、ダイオードD2がオン状態となる。このとき、端子電圧V1は閾値電圧Vtを下回っているため、NチャンネルFETN2はオフ状態になっている。したがって、ダイオードD2がオン状態となる期間Tb(T7～T8)において、「入力端子AG2→ダイオードD2→高電位側電源ラインVDD→大容量コンデンサ20→低電位側電源ラインVSS→逆流防止ダイオードDRP→NチャンネルFETN1」の経路で充電電流*i*が流れ、大容量コンデンサ20に電荷が充電される。これにより、発電電圧は全波整流され、図4(c)に示す充電電流*i*が得られることになる。

2-2: 過充電防止動作

次に、過充電防止動作について、再び図2および図5の処理フローチャートを参照しつつ説明する。

上述した充電が行われると、大容量コンデンサ20に充電電流*i*が流れ込むので、その充電電圧Vaが次第に上昇する。比較部30のコンパレータCOMは、充電電圧Vaを抵抗R1、R2で分圧した電圧Va' ($= Va \cdot R2 / (R1 + R2)$) と基準電圧Vrefとを比較して(ステップS1)、前者が後者を上回ると制御信号CSをローレベルにする。

これにより、リミッタトランジスタLIMTrがオフ状態からオン状態に移行するため(ステップS2)、高電位側電源ラインVDDと低電位側電源ラインVSSとが短絡され、例えば、端子電圧AG1(V1)が上昇し、端子電圧AG2(V2)が下降した場合は、図中の矢印Xで示す経路でリミッタ電流ILIMが流れる。

リミッタ電流ILIMが交流発電機AGに流れると、そのロータ14の回転に電磁ブレーキがかかる。したがって、腕時計を激しく動かしてもロータ14には負荷

がかかるので回転数が減少し、端子電圧 V_1 、 V_2 が低下する。換言すれば、この充電回路100は、短絡する経路を形成することによってリミッタ電流 I_{LIM} が小さくなるという自己制御特性を有している。

以上、説明したように第4実施形態によれば、整流部10をコンパレータを用いることなく構成したので、回路規模を小さくすることができ、しかも消費電流を低減することができる。

また、短絡部40を電界効果トランジスタを用いて構成し、充電電圧 V_a を分圧した電圧 V_a' が基準電圧 V_{ref} を上回ると、リミッタトランジスタがオン状態になるように制御したので、充電電圧 V_a が大容量コンデンサ20の耐圧を越えることが無く、大容量コンデンサ20の過充電を防止できる。

E. 第5実施形態

1. 第5実施形態の構成

図18は、第1実施形態の電圧検出判別部の他の実施形態である電圧検出判別部の回路図である。図18において、図1の第1実施形態と同様の部分には同一の符号を付す。

電圧検出判別部30Aは、一端が電源 V_{DD} に接続された定電流源 $CCNST$ と、定電流源 $CCNST$ の他端にドレインD及びゲートGが共通接続されたトランジスタ Q_1 と、トランジスタ Q_1 のソースSにドレインD及びゲートGが共通接続されたトランジスタ Q_2 と、一端が電源 V_{DD} に接続されたプルダウン抵抗 R_{PD} と、プルダウン抵抗 R_{PD} の他端に入力端子が接続された第1インバータ INV_1 と、第1インバータ INV_1 の出力端子に入力端子が接続され、制御信号CSを出力する第2インバータ INV_2 と、トランジスタ Q_2 のソースS及びプルダウン抵抗 R_{PD} の他端並びに電源 V_{SS} の間に接続されたカレントミラー回路 CMC と、を備えて構成されている。

カレントミラー回路 CMC は、トランジスタ Q_2 のソースSにドレインD及びゲートGが共通接続され、ソースSが電源 V_{SS} に接続されたトランジスタ Q_D と、プルダウン抵抗 R_{PD} の他端にドレインDが接続され、トランジスタ Q_D のゲートGにゲートGが接続され、ソースSが電源 V_{SS} に接続されたトランジスタ Q_C と、を備えて構成されている。

2. 第5実施形態の動作

次に第5実施形態の電圧検出判別部30Aの動作を図1及び図18を参照して説明する。

電源電圧($V_{DD}-V_{SS}$)が低いうち、すなわち、図18においては、トランジスタQ1、トランジスタQ2及びトランジスタQDのしきい値電圧の合計電圧未満の場合には、定電流源CCNSTから電流は流れず、カレントミラー回路CMCのトランジスタQD及びトランジスタQCはオフ状態であり、第1インバータINV1の入力端子には、電源VDDをプルダウン抵抗RPDによりプルダウンした電圧V1(=“H”レベル相当)が印加され、第1インバータINV1は、“L”レベルの信号を出力する。

これにより第2インバータINV2は、制御信号CSを“H”レベルとするので、リミッタトランジスタ40は、オフ状態を保持する。

一方、電源電圧($V_{DD}-V_{SS}$)が大きくなって、所定の電圧(図18においては、トランジスタQ1、トランジスタQ2及びトランジスタQDのしきい値電圧の合計電圧)を超過すると、定電流源CCNSTからトランジスタQ1、Q2、QDを介して電源VSS側に電流が流れ、トランジスタQDのドレインD-ソースS間の電流と同じ大きさの電流がトランジスタQCのドレインD-ソースS間を流れる。

ここで、トランジスタQCに流れる電流はプルダウン抵抗RPDに流れ得る電流よりも大きくなるように設定されており、この結果、電圧V1は“L”レベルに相当する電圧となる。

これにより、第1インバータINV1は、“H”レベルの信号を出力し、第2インバータINV2は、制御信号CSを“L”レベルとするので、リミッタトランジスタ40は、オン状態となり、リミッタ電流が流れることとなる。

このように本第5実施形態の電圧検出判別部30A'は、電源電圧が低い場合には、ほとんど電流を消費することがなく、電池駆動されている携帯用電子機器などにおいて、過電圧を防止する回路として好適となっている。

E. 変形例

本発明は、上述した実施形態に限定されるものではなく、例えば、以下に述べる各種の変形が可能である。

(1) 上述した第1実施形態の充電回路100は、高電位側電源ラインVDDと低電位側電源ラインVSSを逆転させ充電回路100'として構成してもよい。図10に充電回路100'の構成を示す。この場合、充電回路100'は、整流部10の替わりに第2実施形態で説明した整流部10'を用いる点を除いて、第1実施形態の充電回路100と同様である。

(2) 上述した第2実施形態の充電回路101は、高電位側電源ラインVDDと低電位側電源ラインVSSを逆転させ充電回路101'として構成してもよい。この場合、単に整流部10'の替わりに第1実施形態で説明した整流部10を適用すると、図11に示す回路となる。ここで、端子電圧V1が端子電圧V2よりも大きくなると、矢印Yの経路でリミッタ電流ILIMが流れる。しかし、端子電圧V1の上昇に伴って、NチャンネルFETN2がオン状態となるので、大容量コンデンサ20が短絡され矢印Zの経路で短絡電流が流れるという問題がある。

そこで、充電回路101'は、図12に示すように構成する必要がある。この充電回路101'は、整流部10'の替わりに第1実施形態で説明した整流部10を用い、リミッタトランジスタLIMTrとしてエンハンスメント型のNチャンネルFETを用い、コンパレータCOMの正入力端子と負入力端子を逆転させた点を除いて、第2実施形態の充電回路101と同様である。つまり、発電電流を短絡させることにより得られるリミッタ電流を整流用のダイオードD1およびダイオードD2に流さないようにする必要がある。

この場合、充電電圧Vaを分圧した電圧Va'が基準電圧Vrefが上回ると、コンパレータCOMは制御信号CSをハイレベルにするので、リミッタトランジスタLIMTrはオン状態になる。ここで、端子電圧V1が上昇すると、図中、矢印Y'で示す経路でリミッタ電流ILIMが流れ、大容量コンデンサ20の過充電が回避される。

ここで、充電回路101'の過充電防止動作を図17に示すタイミングチャートを用いて説明する。図において制御信号CSがローレベルの期間(～T10, T20～)においては、リミッタトランジスタLIMTrはオフ状態になっているので、整流部10は、図4と同様に通常の整流動作を行い、図17(d)に示す充電電流iが大容量コンデンサ20に流れ込む。ここで、図17(a)に示すように制御信号CSがハイレベルになると、リミッタトランジスタLIMTrがオン状態になる。

この場合、入力端子AG1の端子電圧 V_1 が、図17(b)に示すようにダイオードD3の降下電圧 V_f とリミッタトランジスタLIMTrのドレイン・ソース間電圧 V_{ds} の合計だけ上昇すると、ダイオードD3がオン状態になる。すると、「入力端子AG1→ダイオードD3→リミッタトランジスタLIMTr→低電位側電源ラインVSS→NチャンネルFETN2→入力端子AG2」の経路で、図17(e)に示すリミッタ電流 I_{LIM} が流れる。一方、入力端子AG2の端子電圧 V_2 が、図17(c)に示すように上昇すると、ダイオードD4がオン状態となり、「入力端子AG2→ダイオードD4→リミッタトランジスタLIMTr→低電位側電源ラインVSS→NチャンネルFETN1→入力端子AG1」の経路でリミッタ電流 I_{LIM} が流れる。したがって、端子電圧 V_1, V_2 が上昇しても、ダイオードD1, D2がオン状態になる前にダイオードD3, D4がオン状態になるので、大容量コンデンサ20に充電電流 i が流れ込むことはなく、過充電を防止することができる。

(3) 上述した各実施形態および変形例においては、充電回路100, 101を用いた電子機器の一例として腕時計を取り上げ説明したが、本発明はこれに限定されるものではなく、例えば、置き時計、クロック等の時計、携帯型の血圧計、携帯電話機、ページャ、万歩計、電卓、携帯用パーソナルコンピュータ、電子手帳、携帯ラジオ等に適用することができる。要は電力を消費する電子機器であればどのようなものに適用してもよい。このような電子機器においては、電池がなくてもそこに内蔵される電子回路や機構系を継続して動作させることができるので、何時でも電子機器を使用することができ、また、煩わしい電池の交換を不要にできる。さらには、電池の廃棄に伴う問題が生ずることもない。

なお、蓄電作用のない電池と充電回路100, 101とを兼用してもよく、この場合は、電子機器を長時間持ち歩かなかった場合に、電池からの電力により即座に電子機器を動作させることができ、その後、使用者が電子機器を持ち歩くことによって、発電された電力によって電子機器を動作させることができる。

(4) 上述した各実施形態および変形例においては、スイッチ手段の一例とし、PチャンネルFETP1, P2、NチャンネルFETN1, N2といったユニポーラトランジスタを例示したが、PチャンネルFETP1, P2の替わりにPNP型のトランジスタ、NチャンネルFETN1, N2の替わりにNPN型のバイポーラトランジスタ

タを使用してもよい。ただし、これらのバイポーラトランジスタにあっては、エミッタ・コレクタ間の飽和電圧が0.3V程度あるのが通常であるから、交流発電機AGの起電圧が小さい場合には、上述した実施形態のようにFETを使用することが望ましい。

(5) 上述した各実施形態および変形例において、コンパレータCOMをFETを使用して構成し、充電回路100、101全体を1チップのICに内蔵するようにしてもよい。また、ダイオードD1~D4は、一方向に電流を流す一方向性素子であればどのようなものであってもよく、その種類は問わない。例えば、ゲルマニウムダイオードの他、ショットキーダイオードを使用してもよい。特に、ショットキーダイオードは、降下電圧が0.3Vと小さいので、交流発電機AGの起電圧が小さい場合に好適である。

(6) 上述した各実施形態に係わる充電回路100、101および変形例に係わる充電回路100'、101'は、ゼンマイ式発電機を備えた電子制御機械時計に応用してもよい。図13は、電子制御機械時計の機械構造を示す斜視図である。この腕時計において、ゼンマイ110はリユーズ(図示せず)に連結されており、リユーズを巻くことによって、ゼンマイ110に機械エネルギーが蓄積されるようになっている。ゼンマイ110と発電機130のロータ131の間には、増速輪列120が設けられている。増速輪列120は、分針124が固定されている二番車121、三番車122、および秒針125が固定されている四番車123等から構成されている。そして、この増速輪列120によってゼンマイ110の運動が発電機130のロータ131に伝達され、発電が行われるようになっている。ここで、発電機130は電磁ブレーキとしても作用し、増速輪列120に固定された指針を定速で回転させている。この意味において、発電機130は調速機としても機能する。

次に、図14は、第1実施形態の充電回路100を適用した電子制御機械時計の電氣的構成を示すブロック図である。図において、充電回路100は、発電機130と整流回路140とによって構成されている。発振回路160は水晶振動子161を用いてクロック信号CLKを生成している。調速回路170において、検出回路102が発電機130の発電周波数を検出すると、制御回路103は、こ

の検出結果に基づいて、ロータ 131 の回転周期がクロック信号 CLK の周期と合うように電磁ブレーキを調整してロータ 131 の回転速度を一定にするように短絡部 40 を制御している。

ここで、発電機 130 の回転制御は、交流発電機 AG のコイル両端を短絡可能な短絡部 40 でオン・オフすることで行っている。このスイッチは、上述した実施形態におけるリミッタトランジスタ LIMTr が相当する。このチョッパリングによって、スイッチをオンした時には、交流発電機 AG にショートブレーキが掛かり、かつ交流発電機 AG のコイルに電気エネルギーが蓄積される。一方、スイッチをオフすると、交流発電機 AG が動作し、コイルに蓄積されていた電気エネルギーが開放され起電圧が生じる。この時の起電圧には、スイッチをオフしていた時の電気エネルギーが加わるので、その値を高めることができる。このため、交流発電機 AG をチョッパリングで制御すると、ブレーキ時の発電電力の低下をスイッチオフ時の起電圧の高まり分で補填でき、発電電力を一定以上に保ちながら、制動トルクを増加でき、持続時間の長い電子制御式機械時計を構成することができる。この場合、チョッパリングに用いるスイッチと過充電防止のために用いるリミッタトランジスタ LIMTr とを兼用することができるので、構成を簡易にすることができる。

(7) また、上述した各実施形態および変形例における比較部 30 における比較動作は、常時行うものであったが、本発明はこれに限定されるものではなく、サンプル周期毎に比較動作を実行するようにしてもよいし、あるいは、交流発電機 AG の発電状態を検出し、交流発電機 AG が発電状態にある時のみ比較動作を行うようにしてもよい。

産業上の利用可能性

上述したように本発明によれば、充電電圧が所定の電圧を越えると、一方の入力端子から出力される発電電流を第 1 および第 2 のダイオードを通らない経路で他方の入力端子に供給するようにしたので、充電素子の過充電を防止することができる。また、スイッチ手段を制御するためにコンパレータを用いないので、回路規模を小さくすることができ、しかも低消費電力を低減することができる。

また、トランスミッションゲートを用いる場合には、これにより両入力端子を短絡するので、簡易な構成で充電素子の過充電を防止することができる。この結果、製造コストを削減でき、さらに、省スペースの要求が厳しい腕時計等の電子機器に充電回路を組み込むことが容易になる。

また、Nチャンネル電界効果トランジスタ、あるいはPチャンネル電界効果トランジスタとダイオードを介して短絡経路を形成する場合には、バックゲート効果によってオフ抵抗が低下しないので、充電電圧が所定の電圧未満の場合にリミッタ電流が流れて充電効率が下がるといったことがなく、確実に充電回路を動作させることができるという利点がある。

請求の範囲

1. 複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路に用いられる過充電防止方法であって、

前記充電素子の充電電圧を検出し、

検出された充電電圧が予め定めた所定の電圧を上回る場合には、前記複数の整流素子を介さない経路で前記一对の入力端子を短絡させること

を特徴とする過充電防止方法。

2. 複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路に用いられる過充電防止方法であって、

前記充電素子の充電電圧を検出し、

検出された充電電圧を予め定められた基準電圧と比較し、

前記充電電圧が前記基準電圧を上回る場合には、前記複数の整流素子を介さない経路で前記一对の入力端子を短絡させること

を特徴とする過充電防止方法。

3. 交流電圧が給電される各入力端子の一方の端子電圧に応じて、他方の入力端子と第1の電源ラインとを接続するか否かが制御される第1および第2のスイッチ手段と、各入力端子と第2の電源ラインとの間に各々接続された第1および第2のダイオードと、前記第1および第2の電源ライン間に接続される充電素子とを備え、前記交流電圧を整流して前記充電素子に電力を充電する充電回路に用いられる過充電防止方法であって、

前記充電素子の充電電圧を検出し、

検出された充電電圧を予め定められた基準電圧と比較し、

前記充電電圧が前記基準電圧を上回る場合には、一方の前記入力端子から流れ込む発電電流を、前記第1および第2のダイオードを通らない経路で他方の前記入力端子に供給すること

を特徴とする過充電防止方法。

4. 特許請求の範囲第1項ないし第3項のいずれかに記載の過充電防止方法で

あって、

前記充電電圧が前記基準電圧を上回る場合には、前記両入力端子を短絡させることによって、一方の前記入力端子から流れ込む発電電流を、前記第1および第2のダイオードを通らない経路で他方の前記入力端子に供給すること
を特徴とする過充電防止方法。

5. 複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路において、

前記充電素子の充電電圧を検出する充電電圧検出手段と、

前記充電電圧検出手段により検出された充電電圧が予め定めた所定の電圧を上回る場合には、前記複数の整流素子を介さない経路で前記一对の入力端子を短絡させる短絡手段と、

を備えたことを特徴とする充電回路。

6. 複数の整流素子を有し、一对の入力端子を介して外部の交流電源より入力される交流を直流に変換して出力する整流回路を用い、充電素子に電力を充電する充電回路において、

前記充電素子の充電電圧を検出する充電電圧検出手段と、

検出された充電電圧を予め定められた基準電圧と比較する比較手段と、

前記充電電圧が前記基準電圧を上回る場合には、前記複数の整流素子を介さない経路で前記一对の入力端子を短絡させる短絡手段と、

を備えたことを特徴とする充電回路。

7. 第1および第2の入力端子に給電される交流電圧を整流して第1および第2の電源ラインの間に設けられた充電素子に電荷を充電する充電回路において、

前記第1の入力端子と前記第1の電源ラインとの間に設けられ、前記第2の入力端子の電圧に基づいてオン・オフが制御される第1のスイッチ手段と、

前記第2の入力端子と前記第1の電源ラインとの間に設けられ、前記第1入力端子の電圧に基づいてオン・オフが制御される第2のスイッチ手段と、

前記第1の入力端子と前記第2の電源ラインとの間に設けられる第1のダイオードと、

前記第 2 の入力端子と前記第 2 の電源ラインとの間に設けられる第 2 のダイオードと、

前記充電素子の充電電圧を検出し、検出された充電電圧と予め定められた基準電圧とを比較する比較手段と、

前記比較手段の比較結果に基づいて、一方の前記入力端子から流れ込む発電電流を、前記第 1 および第 2 のダイオードを通らない経路で他方の前記入力端子に供給することによって、前記第 1 の入力端子と前記第 2 の入力端子とを短絡させる短絡手段と、

を備えたことを特徴とする充電回路。

8. 前記短絡手段は、前記第 1 の入力端子と前記第 2 の入力端子との間に設けられたトランジスタであることを特徴とする請求の範囲第 7 項記載の充電回路。

9. 前記短絡手段は、前記第 1 の入力端子に一端が接続される第 3 のダイオードと、前記第 2 の入力端子に一端が接続される第 4 のダイオードと、前記第 3 および第 4 のダイオードの他端と接続されるとともに前記第 1 または第 2 の電源ラインと接続されるトランジスタとを備えたことを特徴とする請求の範囲第 7 項記載の充電回路。

10. 第 1 および第 2 の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、

前記第 1 の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第 1 のダイオードと、

前記第 2 の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第 2 のダイオードと、

前記第 1 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記第 2 の入力端子にゲートが接続される第 1 の N チャンネル電界効果トランジスタと、

前記第 2 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記第 1 の入力端子にゲートが接続される第 2 の N チャンネル電界効果トランジスタと、

前記充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、前記第1および第2の入力端子の間に設けられ、前記コンパレータの比較結果に基づいてオン・オフが制御されるトランスミッションゲートと

を備えたことを特徴とする充電回路。

1 1. 第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、

前記第1の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第1のダイオードと、

前記第2の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第2のダイオードと、

前記第1の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、前記第2の入力端子にゲートが接続される第1のPチャンネル電界効果トランジスタと、

前記第2の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、前記第1の入力端子にゲートが接続される第2のPチャンネル電界効果トランジスタと、

前記充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、

前記第1および第2の入力端子の間に設けられ、前記コンパレータの比較結果に基づいてオン・オフが制御されるトランスミッションゲートと

を備えたことを特徴とする充電回路。

1 2. 第1および第2の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、

前記第1の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第1のダイオードと、

前記第2の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第2のダイオードと、

前記第 1 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記第 2 の入力端子にゲートが接続される第 1 の N チャンネル電界効果トランジスタと、

前記第 2 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記第 1 の入力端子にゲートが接続される第 2 の N チャンネル電界効果トランジスタと、

前記充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、

前記第 1 の入力端子にアノードが接続される第 3 のダイオードと、

前記第 2 の入力端子にアノードが接続される第 4 のダイオードと、

前記第 3 および第 4 のダイオードのカソードとドレインが接続され、前記低電位側電源ラインとソースが接続され、前記コンパレータの比較結果がゲートに供給される第 3 の N チャンネル電界効果トランジスタと

を備えたことを特徴とする充電回路。

13. 第 1 および第 2 の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、

前記第 1 の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第 1 のダイオードと、

前記第 2 の入力端子にカソードが接続され、低電位側電源ラインにアノードが接続される第 2 のダイオードと、

前記第 1 の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、前記第 2 の入力端子にゲートが接続される第 1 の P チャンネル電界効果トランジスタと、

前記第 2 の入力端子にドレインが接続され、高電位側電源ラインにソースが接続され、前記第 1 の入力端子にゲートが接続される第 2 の P チャンネル電界効果トランジスタと、

前記充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、

前記第 1 の入力端子にカソードが接続される第 3 のダイオードと、
前記第 2 の入力端子にカソードが接続される第 4 のダイオードと、
前記第 3 および第 4 のダイオードのアノードとドレインが接続され、前記高電位側電源ラインとソースが接続され、前記コンパレータの比較結果がゲートに供給される第 3 の P チャンネル電界効果トランジスタと

を備えたことを特徴とする充電回路。

14. 第 1 および第 2 の入力端子に給電される交流電圧を整流して高電位側電源ラインおよび低電位側電源ラインの間に設けられた充電素子に電力を充電する充電回路において、

前記第 1 の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第 1 のダイオードと、

前記第 2 の入力端子にアノードが接続され、高電位側電源ラインにカソードが接続される第 2 のダイオードと、

前記第 1 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記第 2 の入力端子にゲートが接続される第 1 の N チャンネル電界効果トランジスタと、

前記第 2 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記第 1 の入力端子にゲートが接続される第 2 の N チャンネル電界効果トランジスタと、

前記充電素子の充電電圧と予め定められた基準電圧とを比較するコンパレータと、

前記第 1 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記コンパレータの出力端子にゲートが接続される第 3 の N チャンネル電界効果トランジスタと、

前記第 2 の入力端子にドレインが接続され、低電位側電源ラインにソースが接続され、前記コンパレータの出力端子にゲートが接続される第 4 の N チャンネル電界効果トランジスタと、

を備えたことを特徴とする充電回路。

15. 請求の範囲第 5 項、第 6 項、第 7 項、第 10 項、第 11 項、第 12 項、

第 13 項、第 14 項のうちいずれか 1 項に記載の充電回路を内蔵するとともに、前記充電回路から給電される電力によって、動作することを特徴とする電子機器。

16. 請求の範囲第 5 項、第 6 項、第 7 項、第 10 項、第 11 項、第 12 項、第 13 項、第 14 項のうちいずれか 1 項に記載の充電回路を内蔵するとともに、前記充電回路から給電される電力によって時刻を計測する時計回路とを備えたことを特徴とする時計。

図 1

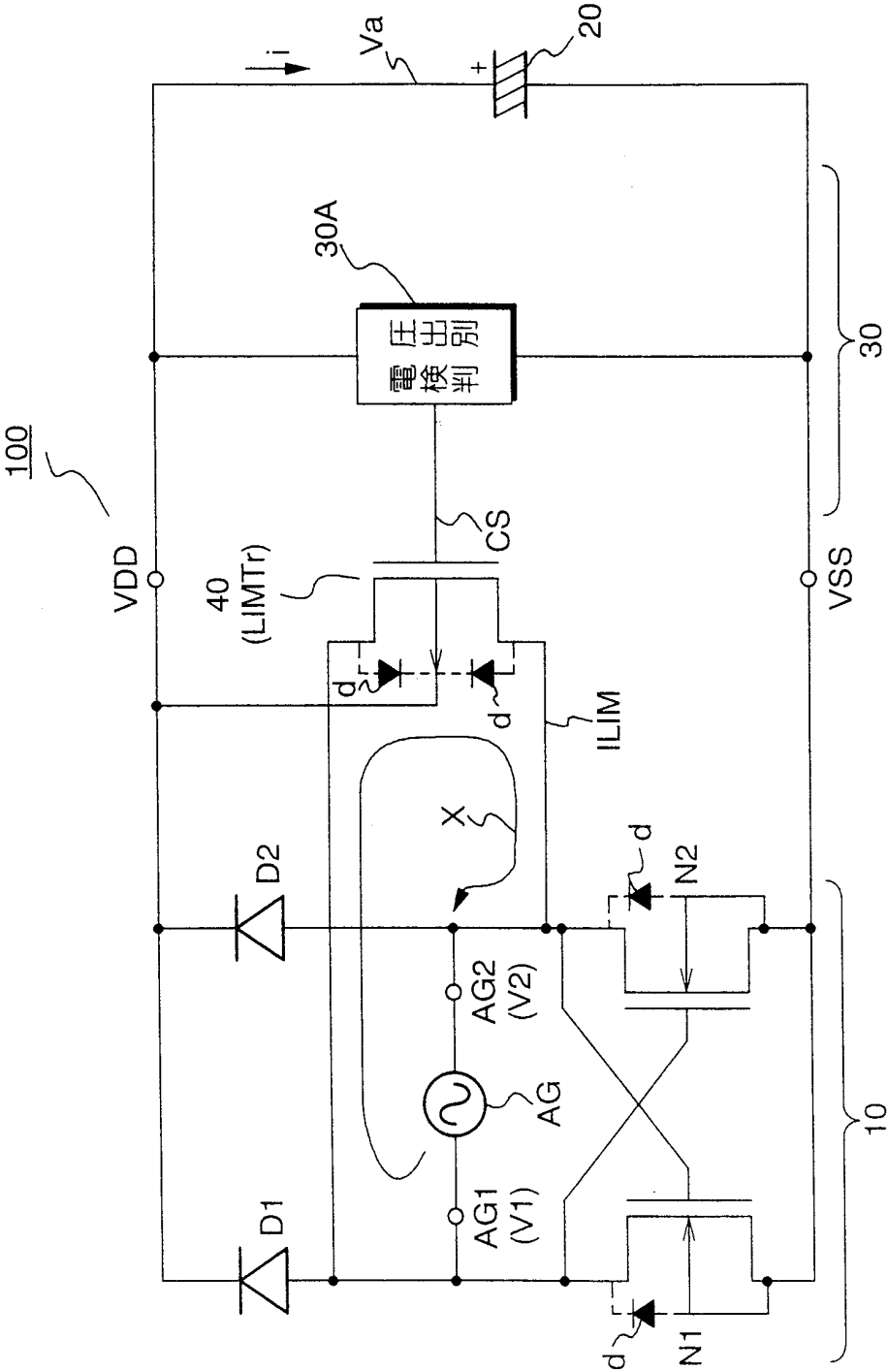


図 3

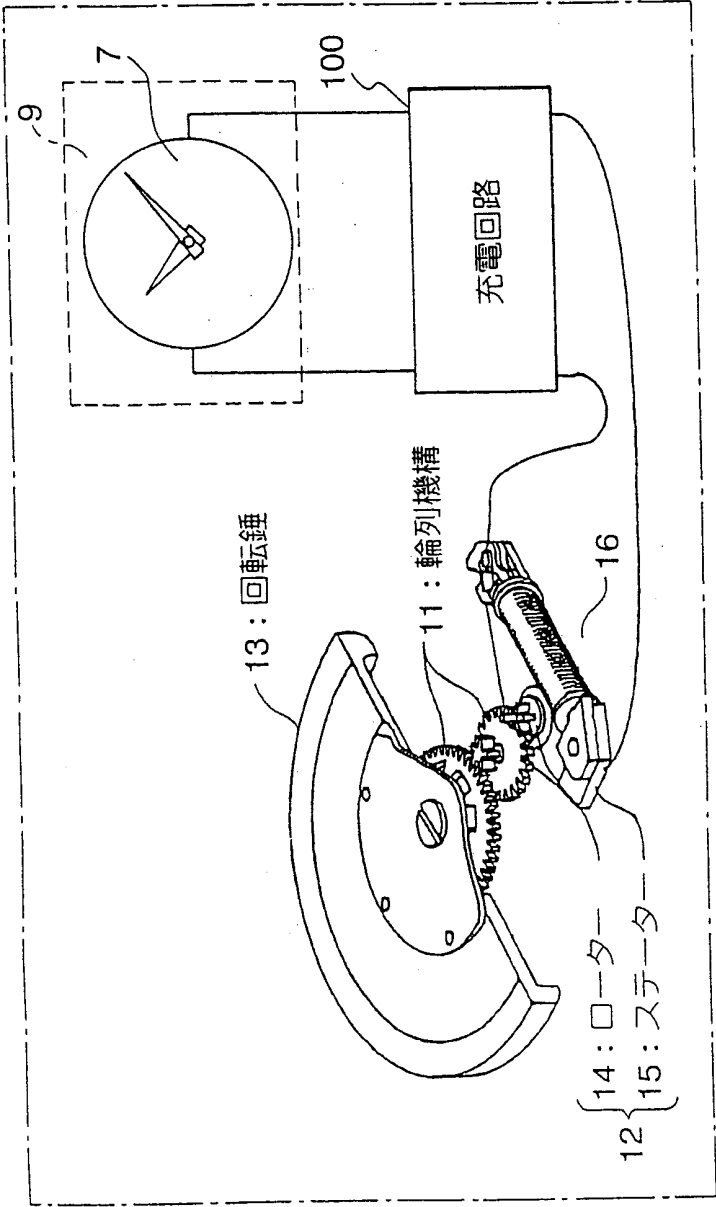


図 4

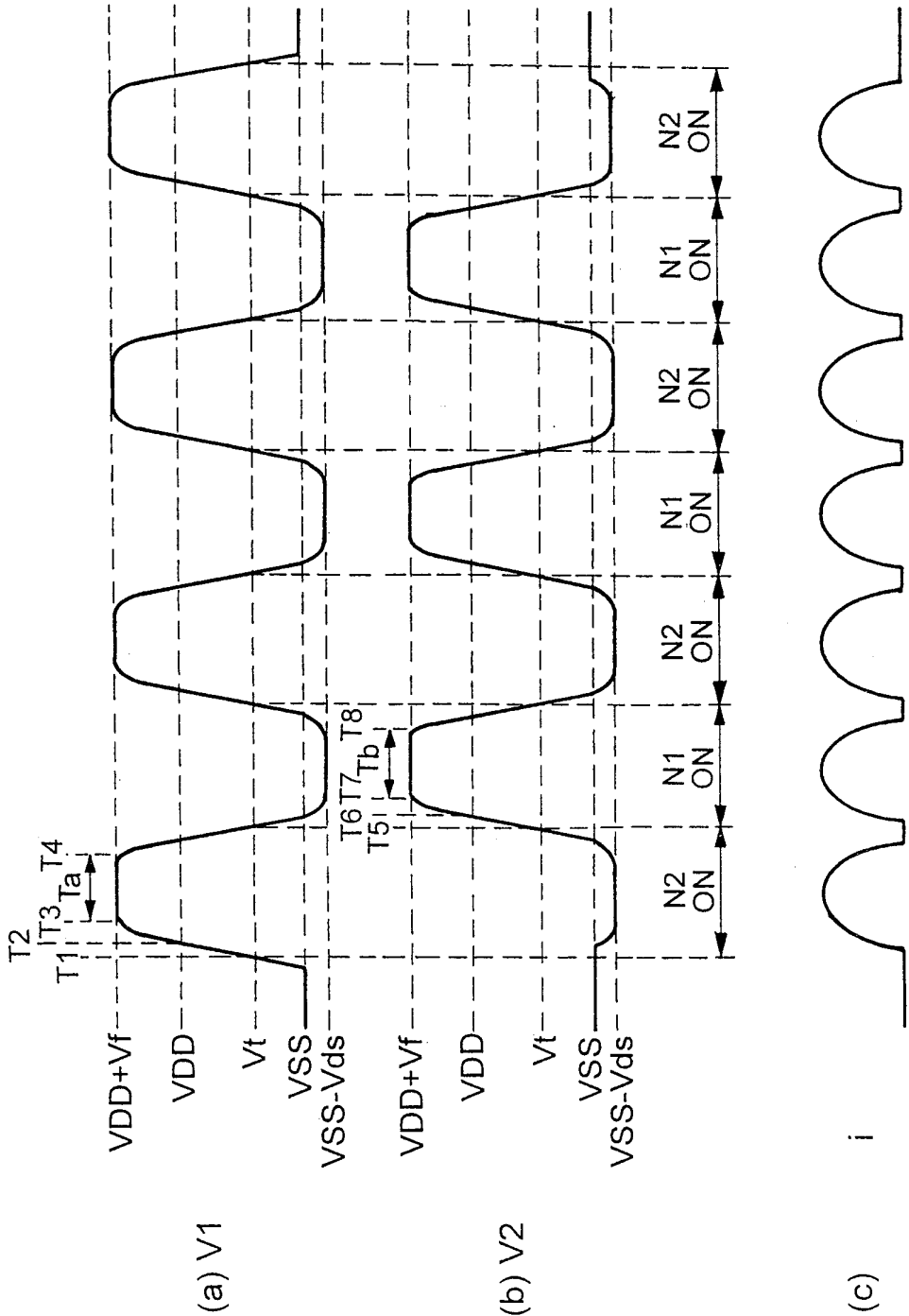


図 5

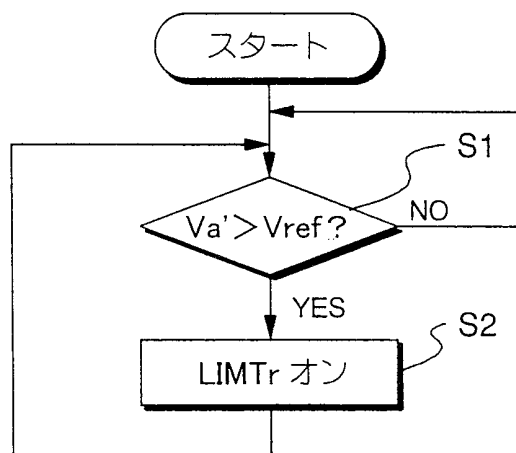


図 6

101

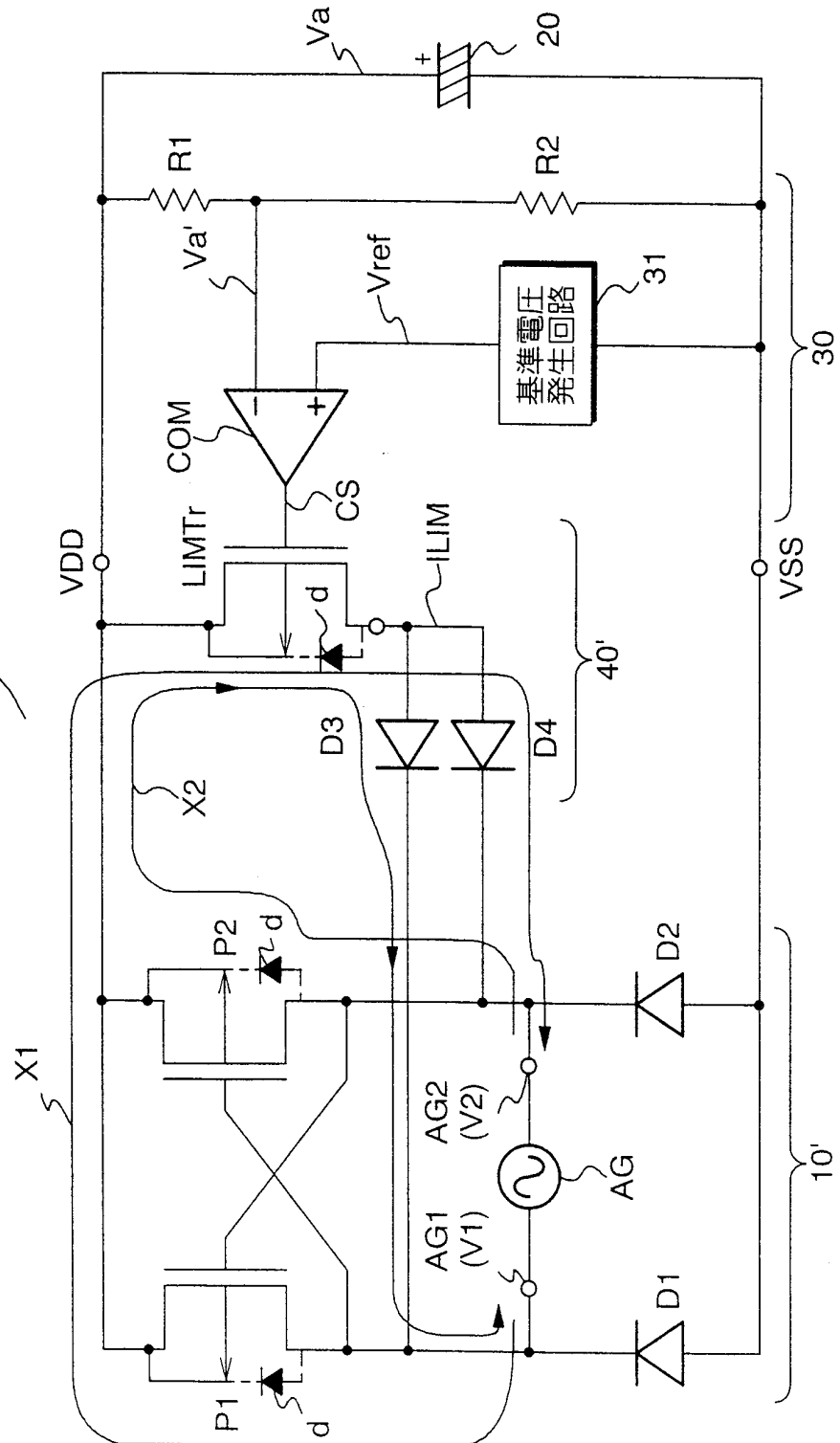


図 7

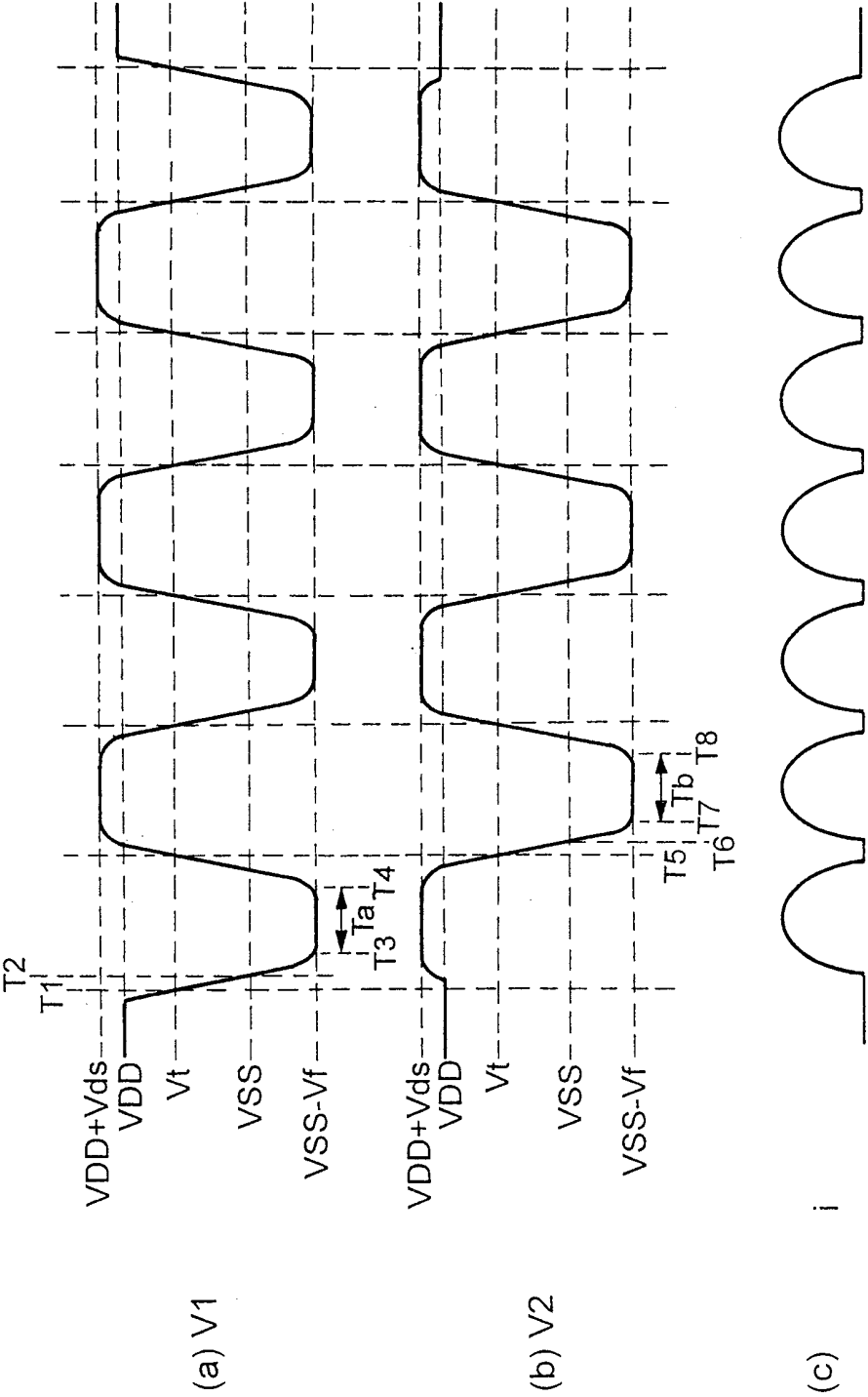


図 9

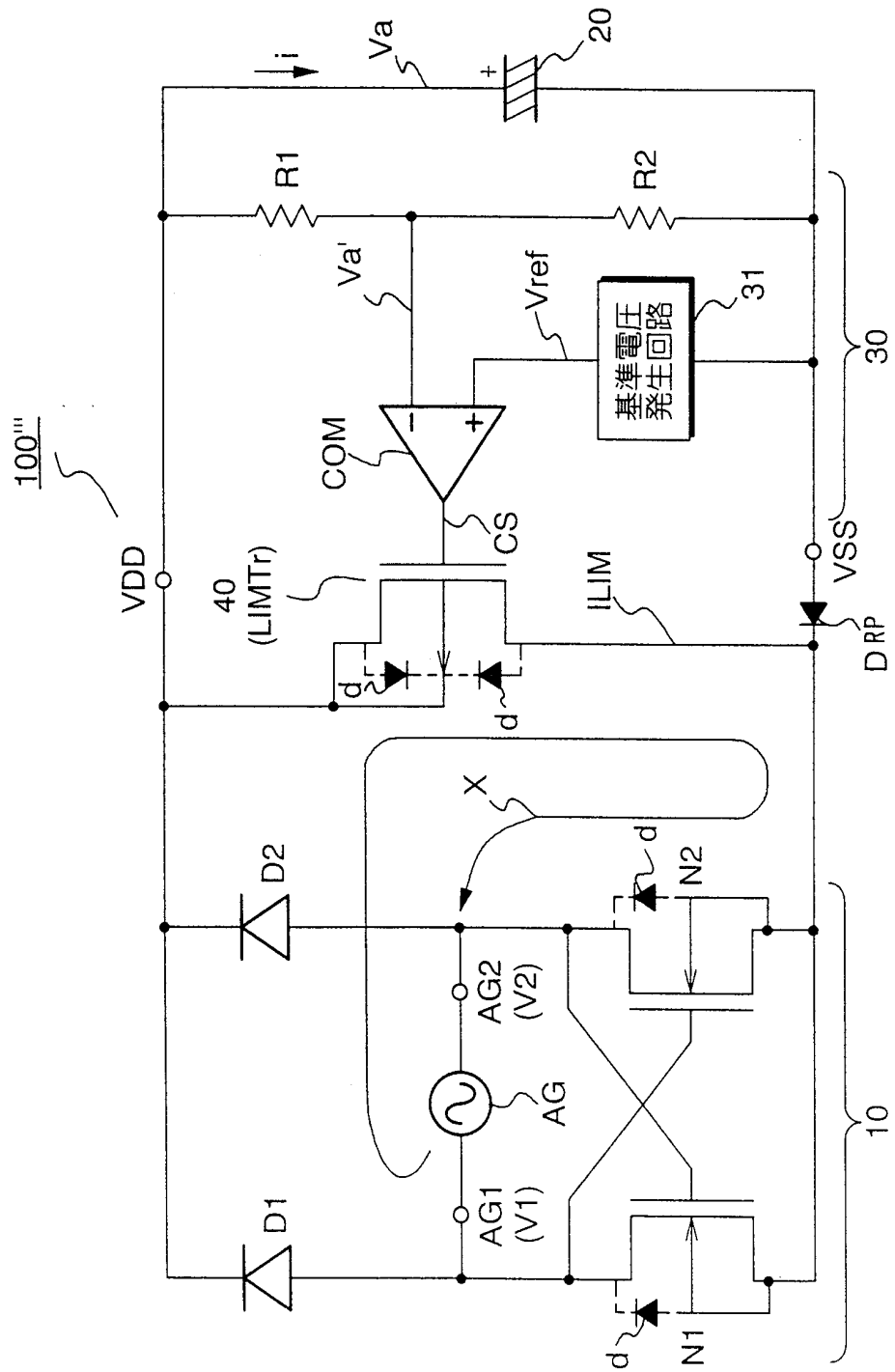


図 10

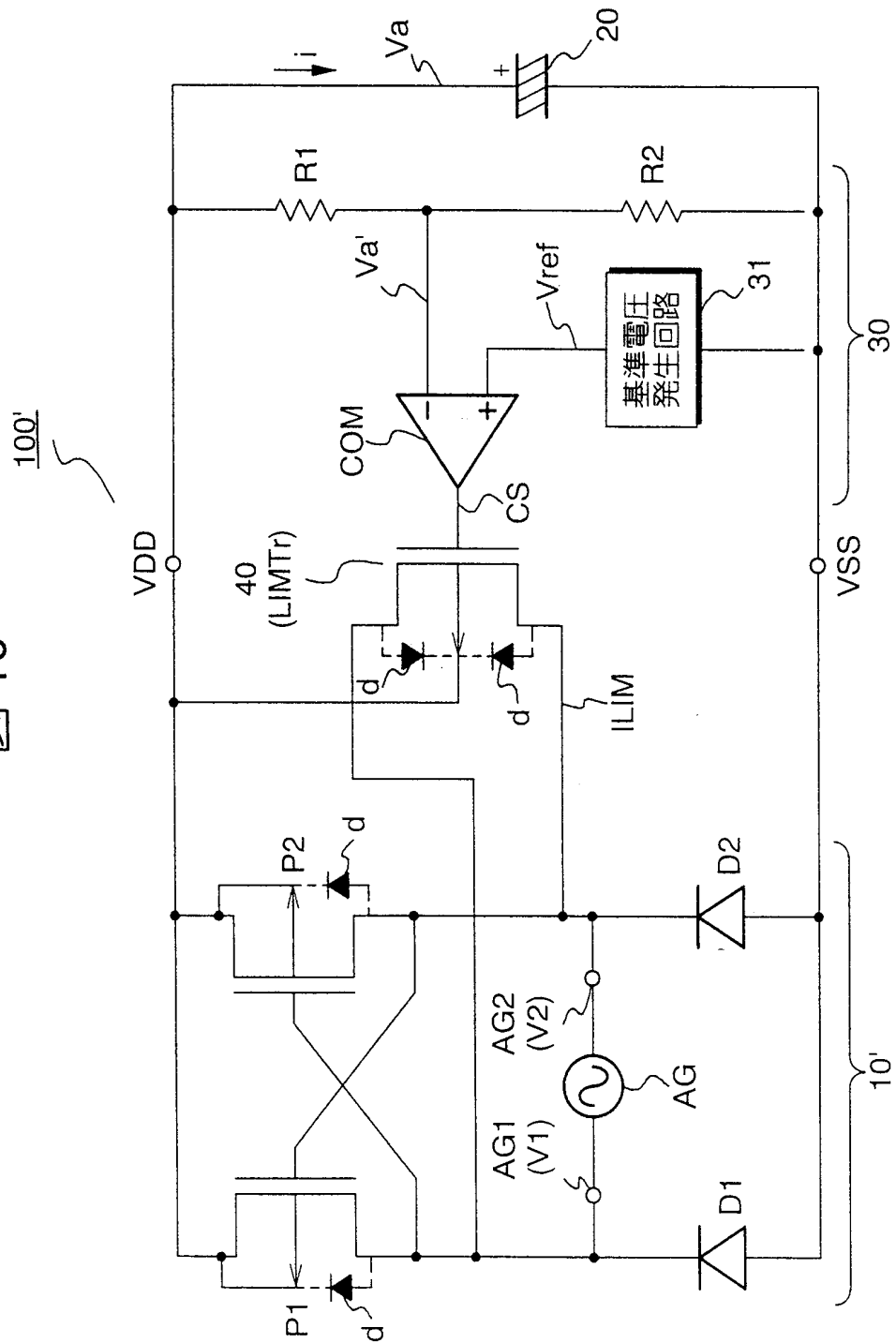
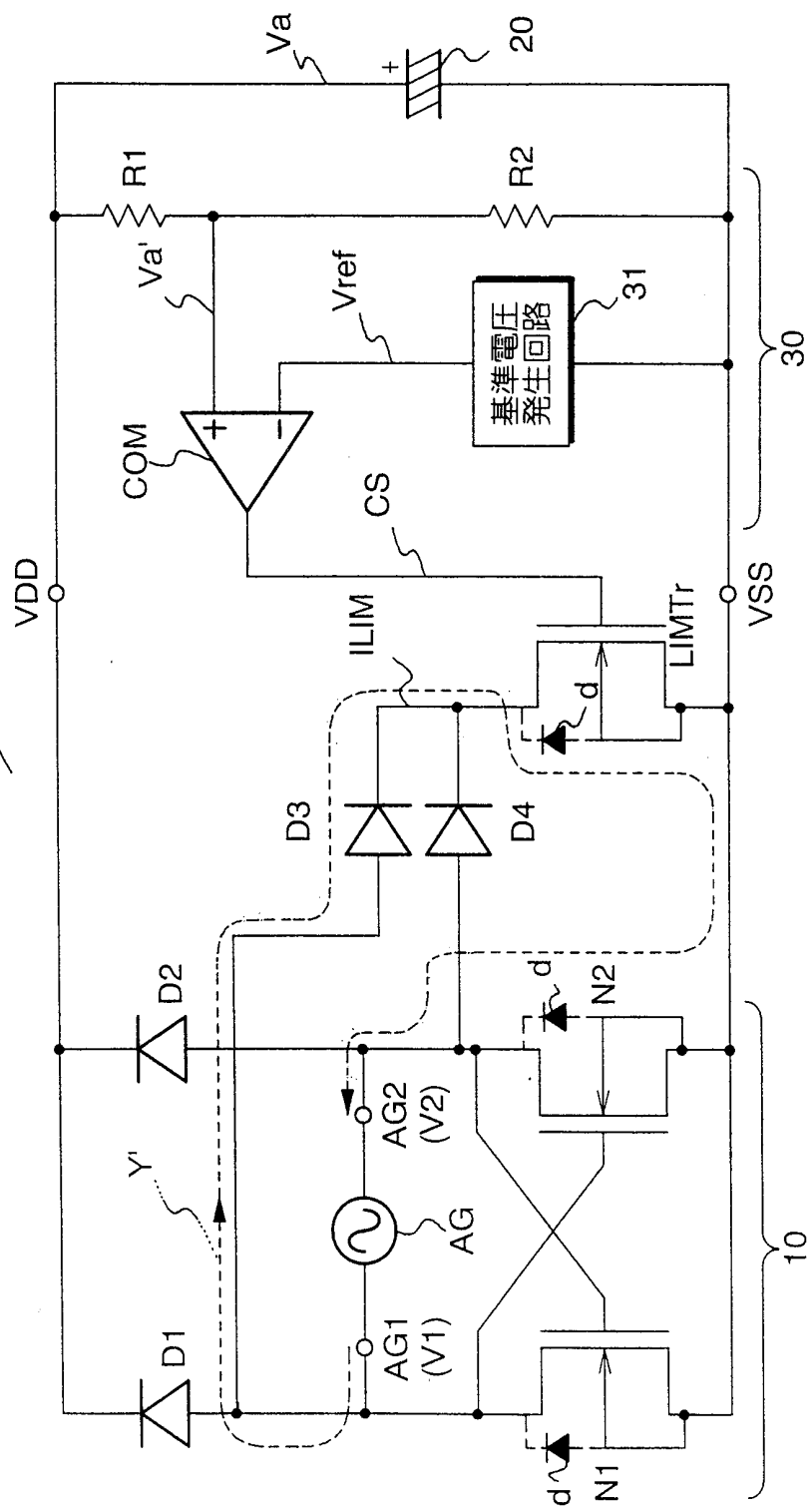


図 12

101'



13/18

図 13

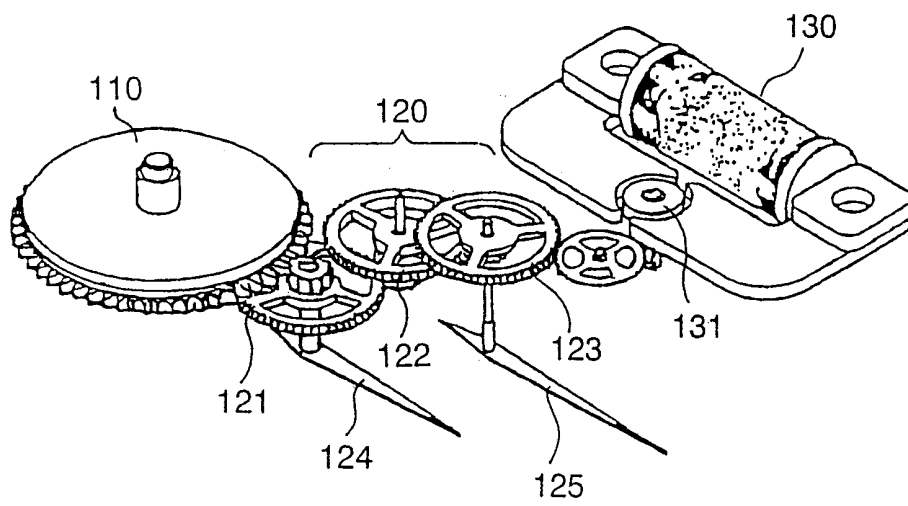


図 14

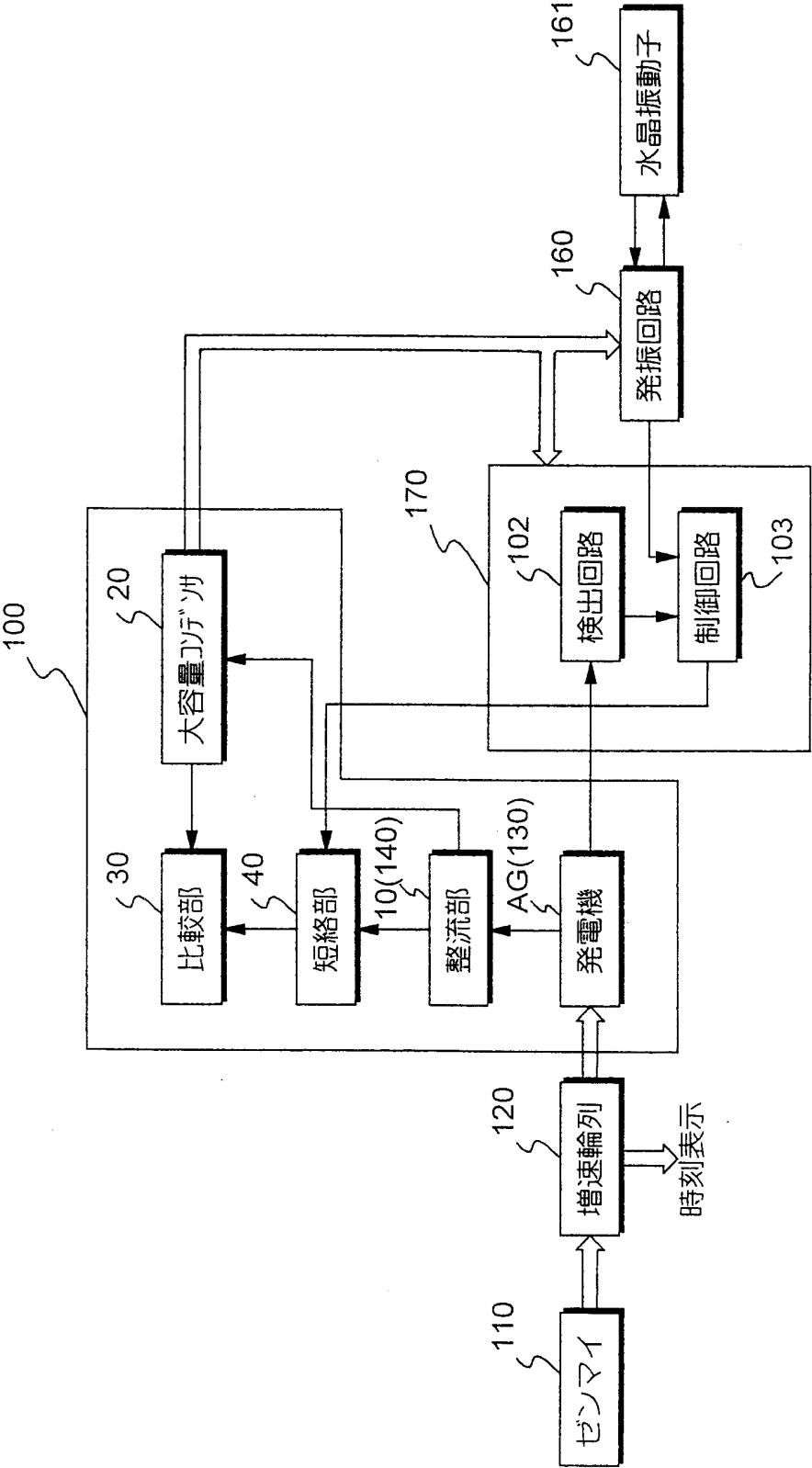


図 16

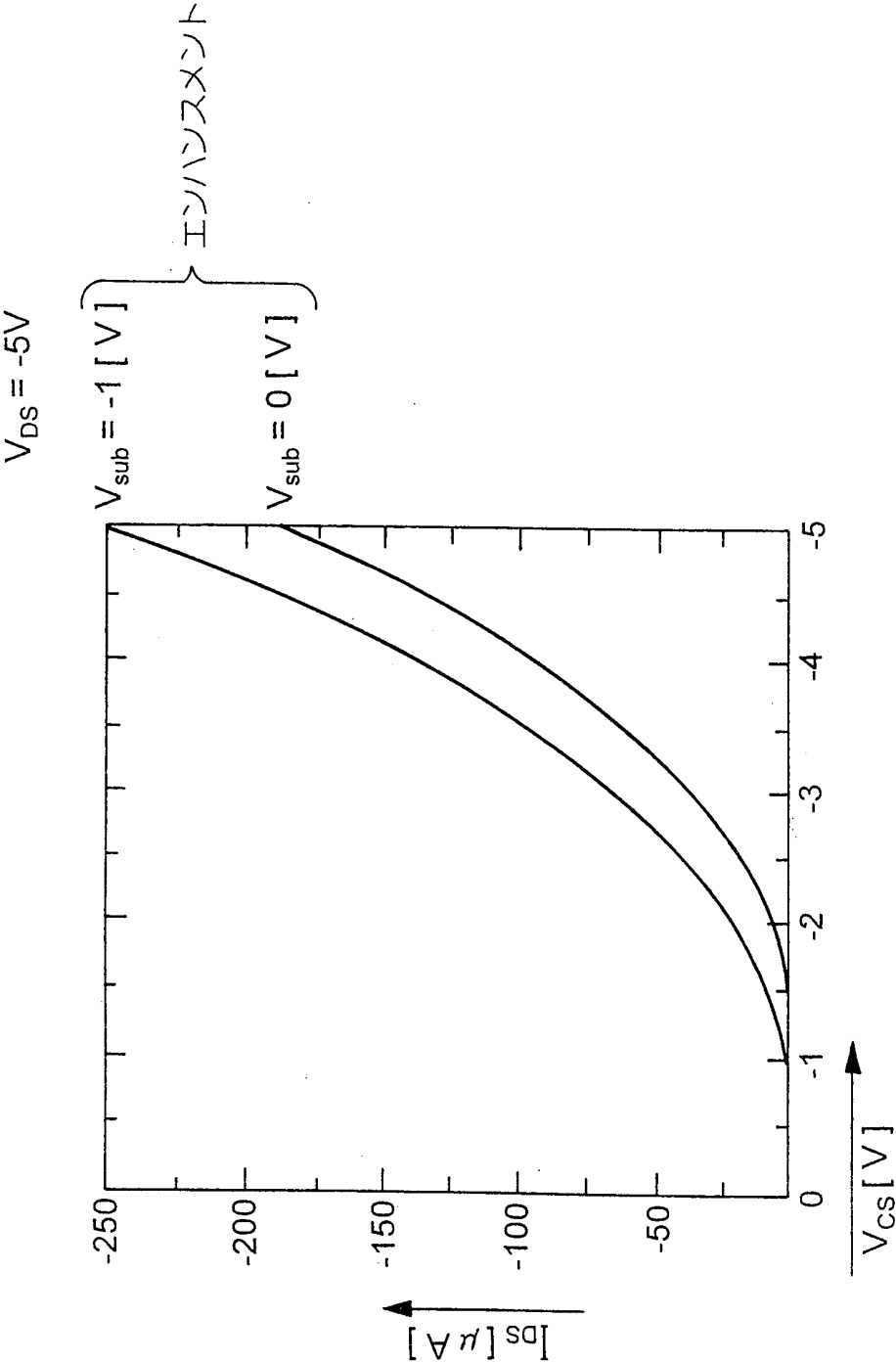
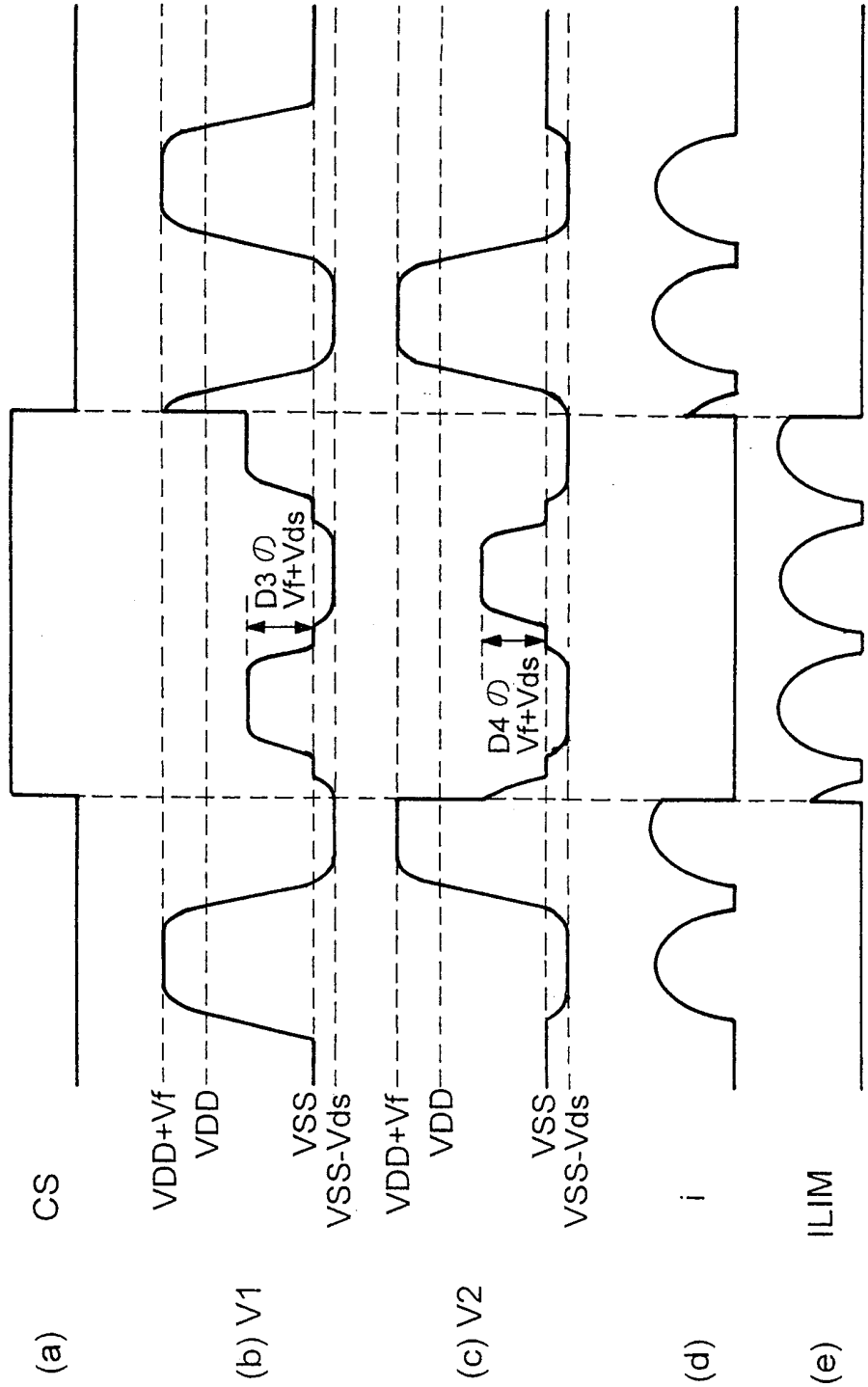


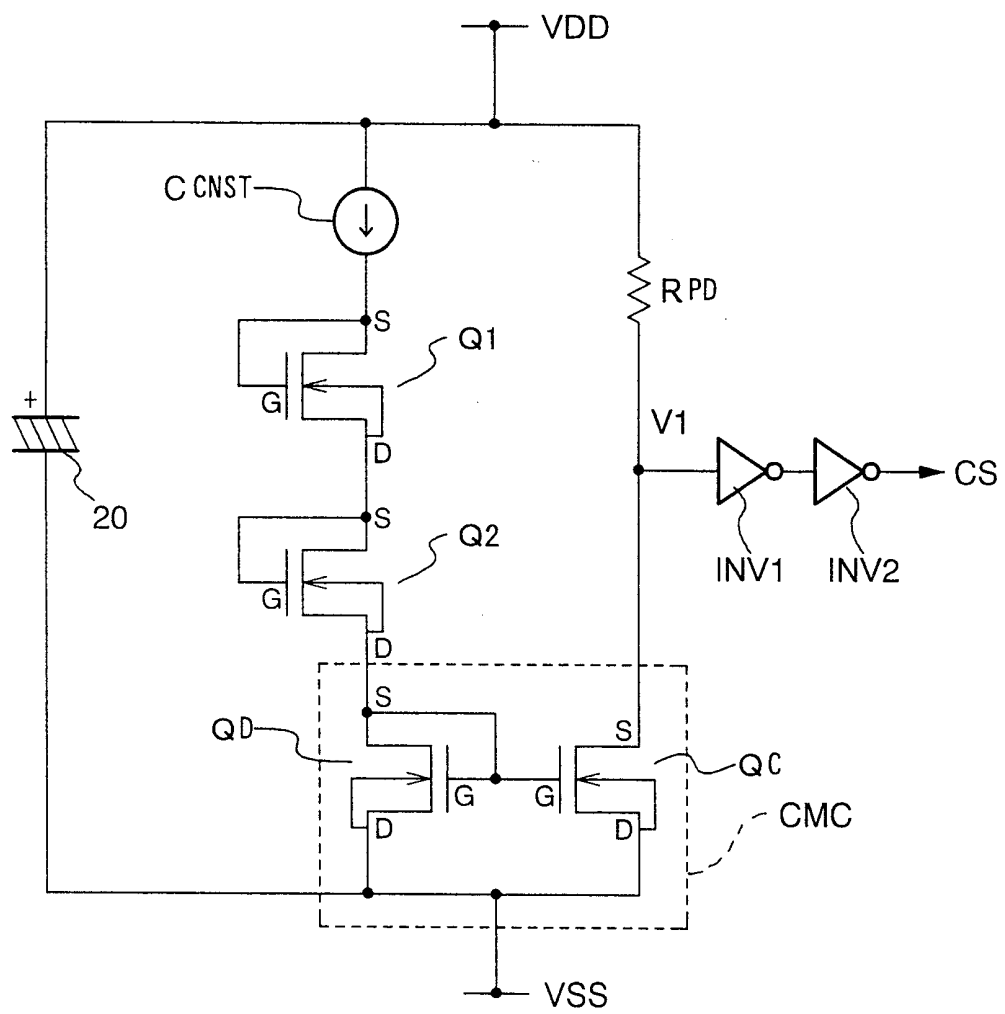
図 17



18/18

18

30A



INTERNATIONAL SEARCH REPORT

 International application No.
 PCT/JP99/01383

 A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁶ H02J1/00, H02J7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl⁶ H02J1/00, H02J7/00-7/36, G04C10/00-10/04

 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 63-137541, U (Shindengen Electric Mfg. Co., Ltd.),	1-8, 10
Y	9 September, 1988 (09. 09. 88) (Family: none)	11, 15-16
A		9, 12-14
Y	JP, 2652057, B2 (Seiko Epson Corp.), 23 May, 1997 (23. 05. 97) & WO, 89/06834	15, 16

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search
 14 June, 1999 (14. 06. 99)

 Date of mailing of the international search report
 22 June, 1999 (22. 06. 99)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 99/01383

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ H02J 1/00 , H02J 7/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ H02J 1/00 , H02J 7/00-7/36 , G04C 10/00-10/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996 年

日本国公開実用新案公報 1971-1999 年

日本国実用新案登録公報 1996-1999 年

日本国登録実用新案公報 1994-1999 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X <u>Y</u> A	J P, 63-137541, U (新電元工業株式会社) 9. 9月. 1988 (09. 09. 88) (ファミリーなし)	1-8, 10 <u>11,</u> <u>15-16</u> 9, 12-14
Y	J P, 2652057, B2 (セイコーエプソン株式会社) 23. 5月. 1997 (23. 05. 97) &WO89/06834	15, 16

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14. 06. 99

国際調査報告の発送日

22.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

矢島 伸一

印

5 T

9060

電話番号 03-3581-1101 内線 3567