



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월27일
(11) 등록번호 10-1921971
(24) 등록일자 2018년11월20일

- (51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01)
- (52) CPC특허분류
G01R 31/31715 (2013.01)
G01R 31/3171 (2013.01)
- (21) 출원번호 10-2016-7033253
- (22) 출원일자(국제) 2015년06월26일
심사청구일자 2016년11월28일
- (85) 번역문제출일자 2016년11월28일
- (65) 공개번호 10-2016-0147967
- (43) 공개일자 2016년12월23일
- (86) 국제출원번호 PCT/US2015/037990
- (87) 국제공개번호 WO 2016/003800
국제공개일자 2016년01월07일
- (30) 우선권주장
14/319,528 2014년06월30일 미국(US)
- (56) 선행기술조사문헌
KR1020130000758 A
US7496803 B2
US20050080581 A1
WO03025599 A1

(73) 특허권자
인텔 코포레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자
티루벤가담, 바라니
미국 97007 오리건주 비버톤 사우스웨스트 애플게이트 드라이브 7490
넬슨, 크리스토퍼
미국 85297 애리조나주 길버트 이스트 메이플우드 스트리트 2199

(74) 대리인
양영준, 김연송, 백만기

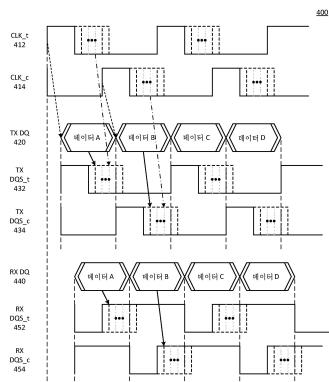
전체 청구항 수 : 총 20 항

심사관 : 권민정

(54) 발명의 명칭 I/O AC 타이밍을 위한 듀티 사이클 기반 타이밍 마지닝

(57) 요약

반전된 변조된 스트로브 또는 클록 신호로 인터페이스에 대한 I/O(입력/출력) 아이 폭을 테스트하는 것. I/O 인터페이스는 다수의 신호 라인을 포함하고, 각각의 신호 라인은 타이밍 특성을 갖는 하드웨어 I/O 버퍼를 갖는다. 시스템은 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖는 스트로브 신호를 생성하고, 후단 에지는 스트로브 신호의 듀티 사이클을 조정함으로써 변조된다. 시스템은 변조된 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하고, 여기서 반전 스트로브 신호는 변조된 후단 에지를 반전시킨 것으로부터 생성된 변조된 트리거링 에지를 갖는다. 테스트 대상 디바이스는 원본 스트로브 신호의 트리거링 에지에 기초하여 테스트 데이터를 기입하고 반전 스트로브 신호의 트리거링 에지에 기초하여 테스트 데이터를 판독한다.

대 표 도 - 도4

명세서

청구범위

청구항 1

I/O(입력/출력) 인터페이스를 테스트하기 위한 방법으로서,

테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 생성하는 단계 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지(triggering edge), 및 후단 에지(trailing edge)를 가짐 -;

상기 스트로브 신호의 둑티 사이클을 조정함으로써 상기 스트로브 신호의 상기 후단 에지를 변조하는 단계;

반전 스트로브 신호를 생성하도록 상기 변조된 후단 에지를 갖는 상기 스트로브 신호를 반전시키는 단계 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -;

상기 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 송신을 트리거하는 단계; 및

상기 반전 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 수신을 트리거하는 단계

를 포함하는 I/O 인터페이스를 테스트하기 위한 방법.

청구항 2

제1항에 있어서,

상기 스트로브 신호를 생성하는 단계는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 생성하는 단계를 추가로 포함하고, 상기 스트로브 신호의 상기 후단 에지를 변조하는 단계는 상기 스트로브 신호 및 상기 차동 스트로브 신호의 후단 에지를 변조하는 단계를 추가로 포함하며, 상기 스트로브 신호를 반전시키는 단계는 반전된 상보적인 스트로브 신호를 생성하는 단계를 추가로 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 3

제1항에 있어서,

상기 스트로브 신호의 상기 후단 에지를 변조하는 단계는 테스트 데이터 송신과 테스트 데이터 수신 사이의 스케이프(skew)를 조정하여 I/O 아이 폭(eye width)을 조정하기 위해 상기 스트로브 신호의 둑티 사이클을 조정하는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 4

제3항에 있어서,

상기 둑티 사이클을 조정하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 상기 둑티 사이클을 감소시키는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 5

제3항에 있어서,

상기 둑티 사이클을 조정하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 상기 둑티 사이클을 증가시키는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 6

제5항에 있어서,

상기 셋업 시간 파라미터를 테스트하기 위해 지연에 의해 데이터 캡처를 오프셋하는 단계를 추가로 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 7

제3항에 있어서,

상기 듀티 사이클을 조정하는 단계는 첫 번째 실패 조건(first fail condition)에 대해 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 8

제3항에 있어서,

상기 듀티 사이클을 조정하는 단계는 모두 통과 조건(all pass condition)에 대해 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 9

I/O(입력/출력) 인터페이스를 갖는 회로 디바이스로서,

각각이 상기 I/O 인터페이스의 하드웨어 I/O 버퍼에 인터페이스하는 다수의 신호 라인 - 상기 신호 라인들 각각은 테스트 소스로부터 상기 다수의 신호 라인에 분배되는 테스트 데이터 신호의 비트들을 수신하는 것임 -;

상기 테스트 데이터 신호에 대한 클록 신호로서의 스트로브 신호에의 하드웨어 인터페이스 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 에지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 및

상기 스트로브 신호의 상기 트리거링 에지에 기초하여 상기 I/O 버퍼에 기입되고, 변조된 트리거링 에지를 갖는 반전 스트로브 신호에 기초하여 상기 I/O 버퍼로부터 판독되는 데이터 비트와 예상되는 데이터 비트를 비교하는 것을 포함하여, 타이밍 파라미터를 위반하는 I/O 아이 폭에 의해 야기되는 I/O 에러들을 검출하는 에러 검출 로직

을 포함하고,

상기 반전 스트로브 신호는 수신된 스트로브 신호의 반전된 버전인, I/O 인터페이스를 갖는 회로 디바이스.

청구항 10

제9항에 있어서,

상기 에러 검출 로직은 I/O 아이 폭을 설정하기 위해 기입 트리거링과 판독 트리거링 사이에 선택된 스큐를 갖는 반전 스트로브 신호에 의해 야기되는 I/O 에러들을 검출하는 것인, I/O 인터페이스를 갖는 회로 디바이스.

청구항 11

제10항에 있어서,

상기 에러 검출 로직은 감소된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 홀드 시간 파라미터 위반에 대해 테스트하거나, 또는 증가된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 셋업 시간 파라미터 위반에 대해 테스트하는 것인, I/O 인터페이스를 갖는 회로 디바이스.

청구항 12

제10항에 있어서,

상기 에러 검출 로직은 첫 번째 실패 조건에 대해 I/O 아이의 후단 에지를 테스트하고 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하는 것인, I/O 인터페이스를 갖는 회로 디바이스.

청구항 13

I/O(입력/출력) 인터페이스를 테스트하기 위한 시스템으로서,

테스트 데이터 시퀀스를 생성하는 테스트 소스;

처리되는 다수의 별개의 회로 다이를 웨이퍼 내에 갖는 반도체 웨이퍼

를 포함하고,

각각의 회로 다이는,

각각이 I/O 인터페이스의 하드웨어 I/O 버퍼에 인터페이스하는 다수의 신호 라인 - 상기 신호 라인들 각각은 테스트 소스로부터 상기 다수의 신호 라인에 분배되는 테스트 데이터 신호의 비트들을 수신하는 것임 -;

상기 테스트 데이터 신호에 대한 클록 신호로서의 스트로브 신호에의 하드웨어 인터페이스 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 예지, 및 후단 예지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 예지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 및

상기 스트로브 신호의 상기 트리거링 예지에 기초하여 상기 I/O 버퍼에 기입되고, 변조된 트리거링 예지를 갖는 반전 스트로브 신호에 기초하여 상기 I/O 버퍼로부터 판독되는 데이터 비트와 예상되는 데이터 비트를 비교하는 것을 포함하여, 타이밍 파라미터를 위반하는 I/O 아이 폭에 의해 야기되는 I/O 에러들을 검출하는 에러 검출 로직

을 포함하고,

상기 반전 스트로브 신호는 수신된 스트로브 신호의 반전된 버전이고;

상기 테스트 데이터 시퀀스는 상기 다수의 회로 다이의 상기 I/O 인터페이스를 동시에 간접적으로 테스트하기 위해 상기 반도체 웨이퍼 상의 다수의 회로 다이 상의 신호 라인 그룹들에 분배되는, I/O 인터페이스를 테스트하기 위한 시스템.

청구항 14

제13항에 있어서,

상기 에러 검출 로직은 I/O 아이 폭을 설정하기 위해 기입 트리거링과 판독 트리거링 사이에 선택된 스큐를 갖는 반전 스트로브 신호에 의해 야기되는 I/O 에러들을 검출하는 것인, I/O 인터페이스를 테스트하기 위한 시스템.

청구항 15

제14항에 있어서,

상기 에러 검출 로직은 감소된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 홀드 시간 파라미터 위반에 대해 테스트하거나, 또는 증가된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 셋업 시간 파라미터 위반에 대해 테스트하는 것인, I/O 인터페이스를 테스트하기 위한 시스템.

청구항 16

제14항에 있어서,

상기 에러 검출 로직은 첫 번째 실패 조건에 대해 I/O 아이의 후단 예지를 테스트하고 모두 통과 조건에 대해 상기 I/O 아이의 선단 예지를 테스트하는 것인, I/O 인터페이스를 테스트하기 위한 시스템.

청구항 17

I/O(입력/출력) 인터페이스를 테스트하기 위한 방법으로서,

테스트 대상 디바이스에서 테스트 시스템으로부터, 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 수신하는 단계 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 예지, 및 후단 예지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 예지를 변조하도록 조정되는 듀티 사이클을 가짐 -;

상기 수신된 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 단계 - 상기 반전 스트로브 신호는 변조된 트리거링 예지를 가짐 -;

상기 스트로브 신호의 상기 트리거링 예지에 응답하여 상기 테스트 데이터를 기입하는 단계; 및

상기 반전 스트로브 신호의 상기 트리거링 예지에 응답하여 상기 기입된 테스트 데이터를 판독하는 단계

를 포함하는 I/O 인터페이스를 테스트하기 위한 방법.

청구항 18

제17항에 있어서,

상기 수신된 스트로브 신호를 반전시키는 단계는 I/O 아이 폭을 조정하기 위해 테스트 데이터 송신과 테스트 데이터 수신 사이에 선택된 스큐를 갖는 반전 스트로브 신호를 생성하는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 19

제18항에 있어서,

상기 반전 스트로브 신호를 생성하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 감소된 뒤티 사이클을 갖는 스트로브 신호로부터, 또는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 증가된 뒤티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 20

제18항에 있어서,

상기 반전 스트로브 신호를 생성하는 단계는 첫 번째 실패 조건에 대해 I/O 아이의 후단 에지를 테스트하고 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 단계를 포함하는, I/O 인터페이스를 테스트하기 위한 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 일반적으로 디바이스 I/O(입력/출력)에 관한 것으로, 특히 I/O 신호 타이밍 파라미터를 테스트하는 것에 관한 것이다.

[0002] 저작권 고지/허가

[0003] 이 특허 문서의 개시의 부분들은 저작권 보호 대상이 되는 자료를 포함할 수도 있다. 저작권 소유자는 특히 및 상표청의 파일 또는 기록물들에 나와 있는 대로 특히 문서 또는 특히 공개를 누구나 복제하는 것에 대해 이의를 제기하지 않지만 다른 모든 저작권 권리는 보유한다. 저작권 고지 사항은 아래에, 그리고 첨부 도면들에서 설명된 모든 데이터에 적용될 뿐만 아니라, 아래에 설명된 임의의 소프트웨어에 적용된다: Copyright © 2014, Intel Corporation, All Rights Reserved.

배경 기술

[0004]

컴퓨팅 및 전자 디바이스는, 성능이 동일하게 유지되거나 증가하는 경우에도, 계속 작아지고 있다. 컴포넌트들에 대한 기하 형상들이 작아지기 때문에 더 작은 전자 컴포넌트들에 의해 더 작은 컴퓨팅 및 전자 디바이스들이 만들어질 수 있다. 제조 프로세스는 현재 I/O 인터페이스에 많은 수의 I/O(입력/ 출력) 신호 라인이 있고 직접 AC 및 DC 성능 테스트를 위해 접촉하기 위해 실제로 가능한 것보다 신호 라인 사이의 피치가 더 작은 컴포넌트들을 생성할 수 있다. DC(직류) 성능 설정은 시그널링과 관련된 바이어싱 및/또는 전압 레벨을 지정하며, AC(교류) 성능은 인터페이스를 통한 신호 예지 타이밍을 지정하는데, 여기서 AC 성능 테스트를 마지닝이라고 부를 수 있다.

[0005]

전자 컴포넌트 및 신호 라인 간의 피치(pitch)의 소형화는 디바이스를 테스트하는 어려움을 증가시킨다. 많은 디바이스에서, 신호 라인 수와 피치가 작으면 I/O 인터페이스를 직접 테스트하는 것이 비현실적이다. 직접 테스트가 부재하여 디바이스 제조업체가 전통적인 테스트를 통해 초저의 DPM(defects per million) 목표를 달성하지 못할 수 있는 위험이 증가하였다. 이러한 위험이 현재 제시되고 있는 특정 기술 분야 중 하나는 넓은 인터페이스 메모리 디바이스이다. 사용 가능한 테스트 방법은 디바이스를 순차적으로 테스트하는 데 필요한 시간이 엄청나게 소요되는 대량 생산(예를 들어, HVM(대량 생산))에서는 실용적이지 않다.

[0006]

전자 컴포넌트 칩의 제조업체(예를 들어, DRAM(dynamic random access memory) 공급업체)는 I/O 인터페이스 또는 I/O 신호 어레이를 테스트한다. I/O AC 타이밍을 테스트하는 전통적인 방법은 특정 전자 컴포넌트 블록을 훈련시키려는 구조 테스트입니다. 구조 테스트는 회로 블록의 각각의 상이한 컴포넌트 및/또는 요소에 대해 상이한 테스트를 요구한다. 구조 테스트는 노이즈를 캡처하지 않으므로, 완전히 부정확하지 않으면 테스트 결과를 낙관적으로 만든다. 전통적인 테스트는 버스트 패턴 내에서 단일 데이터 비트에 대한 마지닝에 의존한다. 전통적인 테스트 방법은 AC 타이밍(예를 들어, 수신기에서의 셋업 및 홀드 타이밍 마진)에서 이상치(outliners)를 스크리닝하지만 속도는 매우 느리며 비용이 많이 듈다.

도면의 간단한 설명

[0007]

이하의 설명은 본 발명의 실시예의 구현 예의 예로서 주어진 예시를 갖는 도면의 논의를 포함한다. 도면은 제한이 아닌 예로서 이해되어야 한다. 본 명세서에서 사용된 바와 같이, 하나 이상의 "실시예"에 대한 언급은 본 발명의 적어도 하나의 구현 예에 포함된 특정 특징, 구조 및/또는 특성을 설명하는 것으로 이해되어야 한다. 따라서, 본 명세서에 나타나는 "일 실시예에서" 또는 "다른 실시예에서"와 같은 문구는 본 발명의 다양한 실시예 및 구현을 기술하고, 반드시 동일한 실시예를 모두 지칭하는 것은 아니다. 그러나, 그것들은 또한 반드시 상호 배타적 인 것은 아니다.

도 1은 간접 I/O 테스트를 위한 드티 사이클 기반 마지닝을 제공하는 시스템의 일 실시예의 블록도이다.

도 2는 테스트 대상 디바이스가 반전된 변조된 클록 신호를 생성하는 I/O 테스트를 위한 드티 사이클 기반 마지닝을 제공하는 시스템의 일 실시예의 블록도이다.

도 3은 상이한 타이밍 설정들로 I/O 인터페이스 테스트를 위한 드티 사이클 기반 마지닝을 제공하는 시스템의 실시예의 타이밍 다이어그램이다.

도 4는 드티 사이클 기반 마지닝으로 홀드 시간을 테스트하는 실시예의 타이밍 다이어그램이다.

도 5는 드티 사이클 기반 마지닝으로 셋업 시간을 테스트하는 실시예의 타이밍 다이어그램이다.

도 6은 간접 I/O 인터페이스 테스트를 위한 프로세스의 실시예의 흐름도이다.

도 7은 드티 사이클 기반 마지닝이 구현될 수 있는 컴퓨팅 시스템의 실시예의 블록도이다.

도 8은 드티 사이클 기반 마지닝이 구현될 수 있는 모바일 디바이스의 실시예의 블록도이다.

본 명세서에 제시된 발명 개념의 다른 잠재적인 실시예 또는 구현을 논의 할뿐만 아니라, 아래에 설명된 실시예들 중 일부 또는 전부를 묘사할 수 있는 도면의 설명을 포함하는 특정 세부 사항 및 구현에 대한 설명이 되마른다.

발명을 실시하기 위한 구체적인 내용

[0008]

본 명세서에 설명된 바와 같이, 시스템은 인터페이스에 대한 I/O (입력/ 출력) 아이 폭의 테스트를 가능하게 한

다. 시스템은 비반전 스트로브 또는 클록 신호에 대한 송신 동작을 트리거하는 동안 반전된 변조된 스트로브 또는 클록 신호를 생성하여 수신 동작을 트리거한다. I/O 인터페이스는 다수의 신호 라인을 포함하고, 이들 각각에는 타이밍 특성이 있는 하드웨어 I/O 버퍼가 있다. I/O 인터페이스의 AC(교류) 마지닝은 트리거 신호의 에지 타이밍을 나타낸다. 이 테스트는 특정 DUT(device under test)에 대한 아이 폭 사이즈(eye width size)의 예상치를 컴파일하고 I/O 채널의 작동을 예상되는 아이 폭 사이즈와 비교하여 이상치(outliers)를 검출할 수 있다. 동일한 회로 처리에서 생성된 대다수의 채널은 최소수의 이상치로, 거의 동일한 I/O 아이 폭을 야기할 것으로 예상된다.

[0009] 본 명세서에 설명된 것에 따르면, 테스트는 기능적이며, 각각의 개별 컴포넌트의 각각의 개별적인 동작을 평가하는 엄격한 구조적 테스트 대신에 DUT의 기능적 능력을 테스트한다. 기능 테스트를 통해, 테스트 시스템은 테스트 데이터를 전송하고 DUT가 다양한 상이한 타이밍 설정들로 테스트 데이터를 읽고 쓸 수 있는지 여부를 평가한다. 특정 타이밍 설정들은 I/O에서 실패를 일으킬 것으로 예상되는 반면 다른 타이밍 설정들은 통과 작업을 일으킬 것으로 예상된다. 실패 및 통과의 사용에 대해서는 아래에서 더 상세히 설명한다. 이상치 회로는 실패 할 것으로 예상되는 경우 통과를 기록하고/또는 통과할 것으로 예상되는 경우 실패를 기록하는 회로일 수 있다.

[0010] 테스트 시스템은 테스트 데이터뿐만 아니라 스트로브 신호 또는 클록 신호를 생성한다. 테스트 시스템이 클록 신호를 생성하게 함으로써, DUT는 타이밍 신호를 생성하는 회로를 포함할 필요가 없으므로 실현적 및 비용을 절약할 수 있다. 또한, 아래에 더 상세히 설명된 바와 같이, 테스트 시스템으로부터의 클록 신호는 I/O 아이 폭의 기능 테스트를 가능하게 한다. 테스트 시스템 스트로브 신호는 송신 또는 기록을 트리거하는 트리거링 에지, 및 스트로브 신호의 뉴티 사이클을 조정함으로써 변조되는 후단 에지를 갖는다. 일 실시예에서, 트리거링 에지는 상승 에지이고, 후단 에지는 스트로브의 하강 에지이다; 그러나, 시스템은 하강 에지에서 트리거하도록 설계될 수 있음을 이해할 것이다. 시스템은 변조된 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하며, 반전 스트로브 신호는 변조된 후단 에지를 반전시킴으로써 생성된 변조된 트리거링 에지를 갖는다. 테스트 시스템 또는 테스트 대상 디바이스가 반전 스트로브 신호를 생성할 수 있다. 테스트 대상 디바이스는 원본 스트로브 신호의 트리거링 에지를 기반으로 테스트 데이터를 기록하고 반전 스트로브 신호의 트리거링 에지를 기반으로 테스트 데이터를 판독한다. 일 실시예에서, 테스트 대상 디바이스는 I/O 에러를 기록하기 위한 에러 검출 회로를 포함한다.

[0011] 일 실시예에서, 마지닝 테스트는 전통적으로 사용되는 것보다 상이한 통과/실패 방법의 채택을 허용한다. 특정 회로 요소의 작동을 직접 측정하거나 아이 폭을 직접 측정하는 대신, 시스템은 I/O 아이의 선단 에지와 I/O 아이의 후단 에지를 개별적으로 테스트할 수 있다. 아이의 선단 에지와 아이의 후단 에지는 정렬될 수는 있지만, 클록 신호의 트리거링 또는 선단 에지 및 클록 신호의 후단 에지와 혼동되어서는 안 된다는 것을 이해할 것이다. 더블 데이터 레이트 구현에서, 아이의 선단 및 후단 에지는 클록 신호의 선단 에지 또는 트리거링 에지와 정렬된다. 업계에서는, 선단 에지를 일반적으로 "좌측" 에지라고 부르고 후단 에지는 "우측" 에지이며, I/O 아이 패턴 디어그램의 관찰을 참조한다. 한정 설명이 아닌 설명의 명료성을 위해, 본 명세서에서는 "좌측 에지" 및 "우측 에지"라는 용어가 I/O 시그널링 아이와 관련하여 사용된다.

[0012] 일 실시예에서, 시스템은 데이터 신호에 대한 홀드 시간을 나타내는 아이의 통과 우측 에지를 식별하기 위해 첫 번째 실패(first fail) 방법을 사용한다. 일 실시예에서, 시스템은 데이터 신호에 대한 셋업 시간을 나타내는 아이의 통과 좌측 에지를 식별하기 위해 모두 통과(all pass) 방법을 사용한다. 일 실시예에서, 시스템은 아이의 좌측 에지를 테스트하기 전에 아이의 우측 에지를 테스트한다. 첫 번째 실패 방법은 검출된 첫 번째 실패가 아이의 우측 에지에 사용할 수 있는 최장 시간을 나타내기 위해 사용되는 테스트를 지칭한다. 최장 시간은 허용되는 최장 홀드 시간이라고 할 수 있다. 모두 통과 방법은 모든 회로가 통과를 기록하는 시점이 아이의 좌측 에지에 사용할 수 있는 가장 이른 시간을 나타내는 데 사용되는 테스트를 지칭한다. 가장 이른 시간은 허용되는 최단 셋업 시간이라고 할 수 있다.

[0013] 우측 에지의 첫 번째 실패와 좌측 에지의 모두 통과 사이에는 전형적으로 작다고 가정되는 셋업 및 홀드 시간 윈도우 사이의 준안정성 윈도(metastability window)가 있다. 이 가정은 전통적으로 윈도우가 테스트 목적으로 무시되는 결과를 야기한다. 표준 플립 플롭의 준안정성 윈도우는 폭이 수 피코초일 수 있으며 프로세스, 전압 및 온도에 따라 달라질 수 있다. 따라서, 홀드 시간을 충족시키지 못하는 것이 반드시 모든 I/O 채널이 홀드 시간에 실패하면 다음 데이터에 대한 셋업 시간이 충족된다는 것을 의미하지는 않는다는 것을 이해할 것이다. 모두 통과 방법은 준안정성 윈도우의 폭에 대한 가정을 하지 않으므로 마진 측정에 대한 낙관적인 가정을 제거 한다.

- [0014] 테스트 시스템이 테스트 클록의 뒤터 사이클을 변조할 때, I/O 마지닝을 수행하기 위해 온-칩 클록이 필요하지 않다는 것을 이해할 것이다. 테스트 시스템은 테스트에서 자동화 및 시퀀싱을 허용 할 수 있으며, 이는 HVM(대량 생산)과 호환된다. 다른 테스트 방법은 너무 느리거나, 너무 많은 대역폭을 필요로 하며/또는 그렇지 않으면 병렬로 많은 디바이스를 테스트하는 데 적합하지 않다. 본 명세서에 설명된 테스트는 아이 폭을 조정하기 위해 송신 클록과 수신 클록 사이의 스큐를 동적으로 조정하는 것에 기초하므로, I/O 인터페이스의 작동을 기능적으로 테스트한다. 따라서 동적으로 스큐를 조정하는 것은 I/O 인터페이스에 대해 AC 마지닝을 수행할 수 있다.
- [0015] 본 명세서에서 설명된 테스트는 자동화될 수 있고, 따라서 각각의 I/O 채널을 직접 프로빙하지 않고도 전자 칩 자체에서 실행될 수 있다. 일 실시예에서, 테스트 대상 디바이스는 웨이퍼 테스트에서 다수의 디바이스 칩을 포함한다. 일 실시예에서, 테스트 대상 디바이스는 동일한 기판 상에 처리되는 다수의 상이한 디바이스를 포함하는 시스템 온 칩(SoC)을 포함한다. 일 실시예에서, 테스트 대상 디바이스는 일반적으로 고 대역폭 인터페이스에 의해 접속되는 단일 패키지 내에 결합 된 다수의 상이한 칩을 포함하는 멀티칩 패키지를 포함한다.
- [0016] 다수의 상이한 타입의 칩 패키징에 대한 적용에 유연성을 가질 수 있을 뿐만 아니라, 테스트는 상이한 타입의 I/O에도 적용될 수 있다. 데이터 I/O는 일반적으로 양방향이고, 이는 I/O 포트에 쓰기 및 읽기 기능이 모두 있다는 것을 의미한다. 클록 신호의 트리거링 에지에서 송신을 트리거하고 반전 클록 신호의 변조된 트리거링 에지에서 수신을 트리거하는 테스트는 쓰기 및 읽기 기능을 모두 이용할 것이다. 일부 I/O 라인 또는 편은 단방향(예를 들어, 커맨드/어드레스 라인(CA) 라인)이며, 통상 그러한 테스트를 이용할 수 없다는 것을 이해할 것이다. 일 실시예에서, 단방향 라인은 회로의 동작을 위해 차단될 수 있는 더미 송신기 또는 수신기를 포함한다. 따라서 더미 I/O는 I/O 포트를 테스트하기 위해서만 사용되고 그 후 차단될 수 있다.
- [0017] 일 실시예에서, 테스트는 공통 타이밍 신호 또는 공통 클록을 공유하는 다수의 신호 라인을 나타낼 수 있는 신호 그룹 또는 다수의 신호 라인의 그룹으로서 함께 신호 라인 상에서 수행될 수 있다. 예를 들어, 특정 메모리 디바이스에는, DQS(클록 스트로보) 신호의 공통 쌍을 공유하는 다수의 DQ(데이터 신호) 및 관련 DMI 신호가 있을 수 있다. 신호 라인 그룹에 대한 간접 테스트는 인터페이스 내의 모든 채널의 모든 신호 그룹에 대한 데이터 신호의 유효 아이 폭을 동시에 테스트 할 수 있다. 또한 테스트는 별도의 I/O 인터페이스가 각각 있는 다수의 디바이스를 병렬로 또는 동시에 테스트할 수 있다. 이 테스트는 반도체 웨이퍼의 다수의 또는 모든 회로를 대이를 테스트할 수 있다. 단일 테스트 데이터 시퀀스는 다수의 디바이스에, 각각의 디바이스의 각각의 채널에, 각각의 채널의 각각의 그룹에, 및 각각의 그룹의 각각의 신호 라인에 분배될 수 있다. 그룹에 대한 통과/실패 정보를 누적함으로써, 시스템은 테스트 결과를 테스트 소스로 다시 보내는 데 필요한 대역폭을 크게 줄일 수 있다. 각각의 신호 라인에 대한 각각의 데이터 비트의 통과 또는 실패를 표시하는 대신, 그룹이 통과 및 실패 비트 수를 나타내는 값을 되돌려 보낼 수 있다.
- [0018] 시스템은 다수의 테스트 반복에 대한 하나 이상의 타이밍 설정을 조정함으로써 데이터 아이 폭을 테스트할 수 있다. 예를 들어, 하나의 타이밍 설정을 위해 모든 신호 라인에 테스트 데이터를 분배한 다음 상이한 타이밍 설정을 위해 모든 신호 라인에 다시 분배할 수 있다. 테스트 데이터는 동일한 비트 시퀀스일 수 있지만, 신호 라인이 신호를 수신하고 샘플링하는 방법을 제어하는 상이한 I/O 인터페이스 파라미터들이 있다. 특히, 본 명세서에 설명된 바와 같이, 스트로보 신호의 후단 에지는 변조될 수 있고, 신호는 스트로보 또는 클록 신호의 변조된 선단 에지를 제공하도록 반전될 수 있다. 시스템은 각각의 타이밍 설정(예를 들어, 상이한 아이 폭 사이즈를 야기하는 상이한 뒤터 사이클)에 대해 에러 결과를 생성할 수 있고, 따라서 상이한 설정들에 대해 신호 그룹에 의해 수신된 에러의 수를 모니터링함으로써 아이의 폭을 결정할 수 있다. 테스트 시스템은 신호 그룹이 있는 모든 신호의 합성 데이터 아이 사이즈로서 아이의 폭을 측정할 수 있다. 시스템은 모든 데이터 사이클에 대해 신호 그룹의 모든 I/O 버퍼 또는 편에서 올바른 데이터를 캡처하는 테스트 반복 수를 계산할 수 있으며, 그러면 간접 아이 사이즈 폭을 제공할 수 있다. 일 실시예에서, 신호 그룹들 및 전체 디바이스들(I/O 인터페이스들)은 서로 비교되어 그들이 통계적 에러 패턴 내에 속하는지를 결정할 수 있다. 예를 들어, 시스템은 신호 그룹이 에러 수가 낮은 임계값과 높은 임계 값 내에 있을 때 테스트를 통과하는 것으로 결정할 수 있다. 에러 수가 목표 범위를 벗어나는 신호 그룹은 테스트에 실패한 것으로 간주될 수 있다.
- [0019] 일 실시예에서, 그러한 테스트는 최근 생겨난 메모리 설계를 테스트하는 데 특히 유용할 수 있다. 예를 들어, WIO2(Wide Input/Output 버전 2, JEDEC(Joint Electronic Device Engineering Council)에서 입수할 수 있는 2011년 12월의 JESD229) 및 HBM(고 대역폭 메모리, JEDEC에서 입수할 수 있는 2013년 10월의 JESD235) DRAM 설계와 같은 메모리 설계, 또는 넓은 I/O 인터페이스를 갖는 다른 메모리 디바이스. 이러한 디바이스는 디바이스 인터페이스에 많은 수의 신호 라인을 가지고 있으며, 이러한 디바이스를 생산하는 데 사용되는 제조 기술의 피

처 사이즈는 전통적인 직접 접촉 방법을 사용하여 실제적으로 테스트할 수 없는 디바이스를 야기할 있다. 예를 들어, WI02는 최대 8개의 64 비트 데이터 채널을 포함하고 H BM은 최대 8개의 128 비트 데이터 채널을 포함한다. 본 명세서에 설명된 테스트를 통해 메모리 디바이스 공급업체/제조업체는 HVM과 호환되는 생산 테스트에서 I/O 결함을 효과적으로 스크리닝할 수 있다. 메모리 디바이스 설계에 추가하여, 본 명세서에 설명된 테스트는 넓은 I/O 인터페이스로 설계된 로직 디바이스 및/또는 SOC(시스템 온 칩)에 적용될 수 있음을 이해할 것이다. 일례에서, 특정 로직 디바이스 및 SOC는 최근에 생겨난 넓은 인터페이스 메모리 디바이스와 결합하도록 설계된다. 따라서, 본 명세서에 설명된 테스트는 직접 접촉 테스트 방법을 위해 디바이스를 프로빙할 필요 없이 넓은 인터페이스 디바이스에 대한 AC 마지닝 솔루션을 제공한다. 설명된 AC 마지닝은 임의의 I/O 인터페이스에 광범위하게 적용될 수 있으며 메모리 특정 설계에만 한정되지 않는다.

[0020] 도 1은 간접 I/O 테스트를 위한 드티 사이클 기반 마지닝을 제공하는 시스템의 실시예의 블록도이다. 시스템(100)은 드티 사이클 기반 타이밍 마지닝으로 테스트될 I/O 인터페이스를 갖는 하나 이상의 테스트 대상 디바이스(DUT)(130)를 포함한다. 테스트 대상 디바이스(130)는 메모리 디바이스 또는 간접적으로 테스트 될 I/O 인터페이스를 갖는 다른 컴포넌트일 수 있다. 테스트 대상 디바이스(130)의 I/O 인터페이스는 신호 그룹들로서 구성된 다수의 신호 라인들을 포함할 수 있다. 일 실시예에서, 테스트 대상 디바이스(130)는 개별 회로다이이다. 일 실시예에서, 디바이스들은 (예를 들어, 분리 및 패키징되기 전에) 반도체 웨이퍼로서 여전히 함께 있으면서 테스트될 수 있다.

[0021] 일 실시예에서, 시스템(100)은 인터페이스(132)에 대한 신호 그룹 기반으로 유효한 I/O 타이밍 아이 마진을 동시에 측정한다. 테스트는 자동 테스트 장비(ATE)를 제조하여 신호 그룹당 최소의 오버헤드로 모든 신호 그룹의 I/O 성능을 동시에 측정하는 능력을 제공할 수 있다. 일 실시예에서, 하나의 웨이퍼 프로버 스텝핑에서 접촉된 모든 테스트 대상 디바이스(예를 들어, 모든 DRAM 다이 또는 다른 디바이스)는 동시에 테스트될 수 있다(예를 들어, 한 번에 128개 다이).

[0022] 시스템(100)은 테스트 장비 또는 테스트 시스템을 나타내는 자동화된 테스트 장비(ATE)(110)를 포함한다. 테스트 시스템은 테스트 데이터 소스, 그리고 또한 테스트 클록의 소스로서 이해될 수 있다. 자동화된 테스트 시스템(110)은 I/O 테스트를 실행하기 위한 로직(하드웨어 및/또는 소프트웨어)을 나타내는 제어기(120)를 포함한다. 제어기(120)는 테스트 데이터 및 변조된 클록을 생성할 수 있다. 일 실시예에서, 제어기(120)는 테스트 동안 사용되는 디바이스(130)와의 I/O에 대한 타이밍 설정을 제공하는 설정들(122)을 포함한다. 제어기(120)가 제어하는 타이밍 설정들 중 적어도 하나는 클록 신호의 후단 에지의 드티 사이클이다. 클록 신호의 드티 사이클을 변경하면 시스템(100)은 클록 신호를 반전시켜 변조된 트리거링 에지를 생성할 수 있다. 일 실시예에서, 자동화된 테스트 장비는 반전된 신호를 생성하고 반전 클록 신호 및 비반전 클록 신호 모두를 테스트 대상 디바이스(130)에 전송한다. 일 실시예에서, 테스트 대상 디바이스(130)는 제어기(120)로부터 수신된 비반전 클록 신호로부터 반전 클록 신호를 생성한다. I/O 타이밍 파라미터들(설정들(122))를 변경함으로써, 시스템(100)은 I/O에 대한 적절한 아이 사이즈를 결정할 수 있다. 일 실시예에서, 설정들(122)은 비반전 및 반전 신호를 가질 수 있는 송신(TxClk) 및 수신(RxClk) 클록 모두에 대한 설정들을 포함한다. TxClk는 시작 클록이라고 불릴 수 있으며 RxClk는 캡처 클록이라고 불릴 수 있다. 일 실시예에서, 설정들(122)은 TxClk와 RxClk 사이의 타이밍 또는 다른 하나에 대한 하나의 클록 신호의 스큐 위치들을 설정한다.

[0023] 제어기(120)는 하나 이상의 테스트 대상 디바이스(130)에 제공할 테스트 데이터를 생성하는 신호 생성기(124)를 포함한다. 신호 생성기(124)는 테스트중인 신호 라인들의 I/O 성능을 테스트하기 위한 특정 비트들 또는 비트 패턴들을 포함하는 테스트 데이터의 시퀀스를 생성할 수 있다. 테스트 데이터 시퀀스는 길이가 수십 비트 또는 수천 비트일 수 있다. 일 실시예에서, 제어기(120)는 각각의 테스트 반복이 상이한 타이밍 설정들(122)을 테스트하는, 다수의 테스트 반복에 걸쳐 매번 동일한 테스트 데이터 시퀀스 패턴을 전송한다. 일 실시예에서, 제어기(120)는 각각의 신호 그룹 및/또는 각각의 디바이스(130)로부터 통과/실패 표시 또는 통과/실패 결과를 수신하기 위해 각각의 테스트 반복의 끝에 단일 큐리를 전송한다.

[0024] 전술한 바와 같이, 제어기(120)는 스트로브(126)로 표현되는, 비반전 클록 신호를 생성한다. 일 실시예에서, 제어기(120)는 또한 반전 스트로브(128)를 생성한다. 스트로브 신호 또는 신호들은 데이터와 함께 테스트 대상 디바이스(130)로 전송된다. 일 실시예에서, 자동화된 테스트 장비(110)의 제어기(120)에 의해 제공된 클록 신호들은 고유의 에지 배치 정확도 에러를 가질 것으로 예상된다. 일 실시예에서, TxClk 또는 RxClk의 타이밍 에지 배치 정확도는 테스트 데이터 시퀀스가 넓은 범위의 데이터에 걸쳐 2개의 클록 사이의 스큐를 스캐닝하고 유효 데이터 아이 사이즈를 측정하는 것에 기초할 때 루프백 테스트 회로의 성능과 관련이 있는 요소가 아니다. 따라서 배치 정확도 에러는 테스트와 관련이 없으므로, 특정 타이밍 배치 대신 I/O에 대한 신호 그룹 데이터 유

효 아이의 폭을 여전히 정확하게 측정할 수 있다는 것을 알 수 있다.

[0025] 일 실시예에서, TxClk에 사용된 스트로브 신호의 둑티 사이클은 동적으로 조정된다. 클록의 후단 에지를 조정함으로써, 송신을 위한 트리거링에 대한 어떤 영향도 없을 것이다. 그러나, RxClk에 반전 스트로브 신호를 사용함으로써, 둑티 사이클을 변경하면 수신 클록의 선단 에지가 변조될 것이고, 이는 TxClk에 대한 RxClk의 에지 배치를 동적으로 조정할 것이다. 따라서, 시스템(100)은 서로에 대한 클록 신호들의 스큐를 제어할 수 있고, 아이 폭을 테스트하기 위해 상대적인 오프셋을 사용할 수 있다. 일 실시예에서, 제어기(120)는 상이한 설정들(122)에 대한 스텝 사이즈의 차이를 변경하기 위해 상이한 에지 배치 분해능을 사용할 수 있다. 거친 RxClk 에지 배치 스텝 사이즈는 아이 폭 측정의 분해능을 제한한다. 분해능 스텝 사이즈가 세밀해지면 테스트 반복 횟수가 늘어나고 테스트 시간이 길어 지지만 아이 폭 측정의 정확도는 향상된다. 일부 디바이스(130)에 대해, 비교적 거친 분해능은 충분한 아이 폭 측정을 제공할 수 있다. 다른 디바이스들(특정 DRAM들과 같은)의 경우, 디바이스들(130)은 더 세밀한 분해능을 요구하는 작은 성능 마진을 가질 수 있다. 따라서, 시스템(100)의 상이한 실시예들은 예를 들어 8개의 상이한 스큐 설정으로 아이 폭 사이즈 마진을 측정할 수 있는 반면, 다른 것들은 16개 이상의 상이한 스큐 설정으로 측정할 수 있다. 클록 지터는 측정된 데이터 유효 아이 폭을 감소시킬 수도 있다. 지터 소스는 제어기(120)로부터 디바이스(130)로 전달되는 클록의 지터 및 디바이스(130) 내부 라우팅에서 추가되는 지터를 포함한다. 적절한 테스트 회로 설계 및 디바이스 레이아웃은 지터를 감소시킬 수 있다.

[0026] 디바이스(130)는 테스트될 I/O를 나타내는 인터페이스(132)를 포함한다. 일 실시예에서, 테스트 대상 디바이스는 자동화된 테스트 장비(110)가 반전 클록 신호를 생성하게 하는 대신 제어기(120)로부터 수신된 스트로브 신호(126)로부터 반전 스트로브(134)를 생성한다. 그러한 구현은 테스트 대상 디바이스들에 부가적인 로직을 필요로 한다는 것을 이해할 것이다. 디바이스들(130)은 또한 여러 검출을 수행하기 위해 각각의 테스트 대상 디바이스 내의 하나 이상의 로직 회로들을 나타내는 테스트 로직(136)을 포함한다. 여러 검출은 디바이스들이 I/O 인터페이스(132)가 올바르게 동작하는지 여부를 결정할 수 있게 한다. 일 실시예에서, 디바이스들(130)은 테스트 시퀀스 또는 테스트 반복 동안 검출된 에러들의 수 및/또는 통과들의 수를 보고한다. 자동화된 테스트 장비(110)는 그룹 또는 디바이스에 의해 제공된 테스트 결과가 테스트의 통과 또는 실패를 나타내는지를 결정할 수 있다.

[0027] 신호 생성기(124)에 의해 생성된 테스트 데이터, 스트로브(126)에 의해 제공된 클록 신호, 반전 스트로브(128) 및/또는 반전 스트로브(134), 및 테스트 로직(136)에 의해 제공된 반전 클록 신호를 이용하여, 시스템(100)은 자동화된 테스트 장비(110)에 의한 테스트 대상 디바이스(130)의 직접 연결 또는 직접 프로빙 없이 AC 타이밍 결합들을 테스트할 수 있다. 설정들(122)은 시스템이 테스트 대상 디바이스(130)상의 온-다이 지연 고정 루프(DLL) 또는 위상 고정 루프(PLL)를 필요로 하지 않고 타이밍 마지닝을 제공 할 수 있게 한다. 또한, 일 실시예에서, 시스템(100)은 타이밍 테스트가 2개의 제어된 클록 신호(전술한 바와 같은 TxClk 및 RxClk) 사이의 상대적인 오프셋에 의해 제공되는 경우, 보상된 또는 보상되지 않은 지연 라인을 요구하지 않는다. 따라서, 시스템(100)에서의 I/O 테스트는 전통적인 테스트보다 저비용 및 저전력으로 달성될 수 있다.

[0028] 도 2는 테스트 대상 디바이스가 반전된 변조된 클록 신호를 생성하는 I/O 테스트를 위한 둑티 사이클 기반 마지닝을 제공하는 시스템의 일 실시예의 블록도이다. 시스템(200)은 도 1의 시스템(100)의 요소들의 일례일 수 있으며, 테스트 대상 디바이스 내에서 클록 및 데이터 분배 및 사용에 대한 세부 사항의 일례를 제공한다. 시스템(200)에서의 테스트는 AC 타이밍 마진 손실을 야기하는 대부분의 결함들이 링크된 드라이버/수신기 루프백 연결로 측정될 수 있다는 가정에 기초한다. 이러한 가정은 모든 테스트 대상 디바이스에 유효하지 않을 수 있음을 이해할 것이다. 따라서, 시스템(200)은 모든 시스템 구현에 반드시 존재하지는 않는 특정 예를 도시한다. 이러한 루프백 구성은 양방향 I/O 포트에서 잘 작동할 수 있다. 단방향 I/O 포트를 테스트하기 위한 실시예에서, 수신기 또는 송신기는 테스트를 위해 사용되는 더미 회로일 수 있고, 동작을 위해 디스에이블될 수 있다. 일 실시예에서, 시스템의 구성은 각각의 개별 I/O 베퍼(신호 라인 또는 I/O 포트)에 대한 여러 검출 메커니즘을 포함하고 각각의 신호 라인 그룹은 누적된 결과를 보고하기 위한 관련 그룹 여러 검출 메커니즘을 포함한다. 시스템(200)에 나타난 특정 여러 검출 로직은 다른 검출 로직으로 대체될 수 있다는 것을 이해할 것이다.

[0029] 일 실시예에서, 테스트 시스템은 테스트 모드를 트리거하고, 비트[0] 내지 비트[N-1]를 포함하는 테스트 대상 회로 디바이스는 트리거에 응답하여 테스트 모드에 들어간다. 일 실시예에서, 테스트 모드에 들어가는 부분은 카운터들 및/또는 다른 테스트 컴포넌트들을 리셋하는 것을 포함한다. 소스 패턴 생성기(210)는 테스트 데이터를 생성하는 테스트 소스이다. 일 실시예에서, 테스트 데이터는 테스트를 위해 I/O에 인가될 테스트 데이터 비트들의 패턴 또는 시퀀스를 지칭하는 테스트 데이터 워드로서 지칭될 수 있다. 일 실시예에서, 테스트 데이터

는 테스트 패턴을 생성하기 위한 LSFR(선형 피드백 시프트 레지스터)으로부터의 출력을 포함한다. 시스템(200)은 테스트 데이터를 다수의 상이한 신호 그룹(202)에 분배하고 테스트 신호를 다수의 상이한 테스트 대상 디바이스에 분배할 수 있다. 각각의 디바이스와 각각의 신호 그룹은 신호를 수신하고 통과/실패 정보를 테스트 시스템에 보고한다.

[0030] 테스트 시스템은 또한 스트로브 생성기(220)로 스트로브 신호를 생성한다. 일 실시예에서, 테스트 시스템은 시작(launch) 클록 신호(TxClk, 비반전 클록 신호) 및 캡처 클록 신호(RxClk, 비반전 클록으로부터 반전됨) 모두를 생성한다. 일 실시예에서, 테스트 시스템은 TxClk만을 생성하고, 테스트 대상 디바이스는 클록 로직(CLK)(230)으로 TxClk로부터 RxClk를 생성한다. 테스트 시스템은 스트로브의 뉴티 사이클을 조정함으로써 TxClk의 후단 에지를 변조한다. 신호의 후단 에지를 변조해도 클록의 선단 에지에서 트리거하는 송신 클록에는 영향을 주지 않는다는 것을 이해할 것이다. 그러나 후단 에지를 변조한 다음 클록 신호를 반전시키면 RxClk에 대한 선단 에지가 변조된다. 일 실시예에서, 엄격하게 제어된 스큐 또는 비행 시간을 고려하지 않고 클록 신호들은 클록 로직(230)을 통해 테스트 시스템으로부터 각각의 신호 그룹 및 회로 컴포넌트로 분배 및 라우팅된다.

[0031] 일 실시예에서, 테스트 시스템은 유효 아이 폭을 측정하기 위해 다수의 테스트 반복을 생성할 것이고, 따라서 다양한 상이한 I/O 타이밍 설정을 통해 반복할 것이다. 보다 상세하게는, 테스트 시스템은 스트로브 생성기(220)에 상이한 뉴티 사이클들을 적용하여 더 빠른 또는 더 느린 후단 에지를 갖는 TxClk를 생성한다. 일 실시예에서, 테스트 시스템은 원하는 분해능으로 I/O 아이 폭을 테스트하는 데 사용되는 뉴티 사이클 스텝들의 수와 동일한 다수의 테스트 반복을 생성한다. 테스트 반복은 주어진 타이밍 설정 또는 뉴티 사이클을 사용하여 신호 그룹에 전송되고 신호 그룹에 의해 수신되는 테스트 시퀀스 또는 데이터 워드들의 몇 개 또는 다수의 사이클을 나타낸다. 뉴티 사이클을 변경하면 테스트 대상 디바이스에 적용된 TxClk와 RxClk 사이의 스큐 설정이 조정된다. 각각의 테스트 반복에 대해, 테스트 시스템은 특정 타이밍 설정을 설정하고 여러 추적 컴포넌트들을 리셋 할 수 있다. 일 실시예에서, 신호 그룹의 모든 신호는 테스트 반복의 모든 사이클에 대해 그 테스트 반복에 대해 통과한 것으로 간주되도록 데이터를 정확하게 수신해야 한다.

[0032] 테스트 대상 디바이스는 시스템(200)에서 상세화된 신호 그룹(202)에서 N 비트 또는 N 핀을 갖는 것으로 도시된다. N은 클록 신호를 공유하는 임의의 수의 신호 라인일 수 있다. 신호 그룹에 의해 공유되는 클록 신호는 바로 테스트 장비에 의해 생성된 스트로브가 아니라, 테스트 시스템에 의해 생성된 스트로브 신호로부터 유래하는, 신호 라인들을 동작시키기 위해 디바이스에서 사용되는 클록 또는 타이밍 신호를 지칭한다는 것을 이해할 것이다. 차이점은 상이한 비트들 또는 신호 라인들이 상이한 절대 위상 지연들에서 작동할 수 있지만 이러한 지연은 TxClk 및 RxClk 모두에 동일하게 적용되어야 한다는 것을 지적하고, 이는 2개의 클록 사이의 상대적인 스큐가 실질적으로 일정하게 유지된다는 것을 의미한다. 일 실시예에서, 인터페이스 내의 모든 신호 그룹이 동일한 수의 신호 라인을 갖는 것은 아니다. 예를 들어, 도시된 신호 그룹이 일부인 테스트 대상 디바이스의 인터페이스는 N+M 비트 또는 N-M 비트를 갖는 신호 그룹을 가질 수 있으며, 여기서 M은 N보다 작은 어떤 다른 정수이다. 동일한 인터페이스의 2개의 신호 그룹이 상이한 수의 비트를 갖는 구현에서, 시스템은 신호 그룹 내의 비트 수와 일치하도록 생성기(210)로부터 적절한 수의 신호를 분배할 수 있다.

[0033] 일 실시예에서, 신호 그룹의 각각의 비트는 I/O 버퍼 로직(240)에 의해 도시된 I/O 버퍼와 관련된다. 일 실시예에서, 버퍼(240)는 표준 I/O 버퍼이며, 이는 본 명세서에 설명된 테스트를 수행하기 위해 I/O 버퍼 로직에 필요한 어떠한 변경이 반드시 존재하는 것은 아니라는 것을 의미한다. 시스템(200)에 도시된 바와 같이, 버퍼(240)의 일 실시예는 수신 래치(242)에서 테스트 신호를 수신하고, 래치(242)의 출력으로부터의 신호를 증폭기(244)를 이용해 패드(250)로 버퍼링한다. 패드(250)는 대안적으로 신호 라인을 통해 외부 디바이스와 내부 로직을 인터페이스하는 핀 또는 다른 하드웨어 요소로서 지정될 수 있다. 테스트 모드에서 구성된 바와 같이, 버퍼(240)는 증폭기(246)를 통해 래치(248)에 비트를 전송함으로써 패드(250)가 출력으로서 수신된 비트를 제공하는 루프백 구성을 수 있다. 도시된 바와 같이, TxClk는 래치(242)의 동작을 트리거하고, RxClk는 래치(248)의 동작을 트리거한다. 일 실시예에서, 테스트 데이터의 각각의 새로운 사이클 또는 비트는 TxClk 상승 에지의 상승 에지로 시작되고, 그 비트에 대한 데이터 캡처는 RxClk의 상승 에지로 트리거된다.

[0034] 테스트를 위한 래치(248)의 출력은 XOR 게이트(270)로 출력될 수 있다. 일 실시예에서, 래치(248)의 출력은 XOR 게이트(270)에서 생성기(210)로부터 수신된 착신 비트와 비교된다. XOR 게이트(270)에서의 비교 타이밍은 적절한 여러 검출을 얻는 데 중요하다는 것을 이해할 것이다. 래치들(262 및 266)은 테스트를 위한 타이밍을 보장하여 패드(250)로부터 판독된 비트들이 대응하는 착신 비트들에 대해 테스트되도록 한다. 도시된 바와 같이, 래치(262)는 TxClk에 의해 트리거되어 그 출력을 래치(266)의 입력으로 공급한다. 래치(266)는 RxClk에 의해 트리거되어 그 출력을 XOR 게이트(270)로 공급하며, 이는 올바른 비트가 XOR 게이트 수신기/드라이버 루프백

된 비트와 비교하기 위해 XOR 게이트(270)로 래칭되는 것을 보장할 것이다. 비트[0] 내지 비트[N-1] 각각은 각각의 특정 I/O 버퍼가 테스트 데이터 비트를 정확하게 수신했는지를 결정하는 유사한 신호 라인 애러 검출 메커니즘을 포함한다. 모든 신호 라인의 XOR 게이트들은 그룹 로직(280)으로 공급된다. 따라서, 신호 라인 그룹의 임의의 신호 라인상의 임의의 애러는, 통과/실패 정보를 검출하고 누적하는 카운터뿐만 아니라 로직 블록들을 포함할 수 있는, 그룹 로직(280)에서 애러를 트리거할 것이다. 일 실시예에서, 그룹 로직(280)은 통과/실패 정보를 누적할 수 있고, 따라서 각각의 사이클마다 테스트 시스템에 통과/실패 조건을 식별할 필요없이, 테스트 반복 후에 테스트 시스템에 통과/실패 정보를 반환할 수 있다.

[0035] 일 실시예에서, 시스템(200)은 래치(262)와 래치(266) 사이에 지연(264)을 적용한다. 일 실시예에서, 지연(264)은 선택적으로 적용될 수 있다. 예를 들어, 일 실시예에서, 테스트는 먼저 지연(264)을 사용하지 않고 데이터 아이의 후단 에지를 검출한 다음, 지연(264)으로 아이의 선단 에지를 테스트한다. I/O 아이 폭의 선단 에지 및 후단 에지에 대한 세부 사항들은 아래에 제공된다.

[0036] 도 3은 상이한 타이밍 설정들로 I/O 인터페이스 테스트를 위한 드티 사이클 기반 마지막을 제공하는 시스템의 일 실시예의 타이밍 다이어그램이다. 다이어그램(300)은 시스템(100) 및/또는 시스템(200)에 따른 신호 타이밍의 일례일 수 있다. 다이어그램(300)은 스트로브 신호들에서의 상이한 레벨의 드티 사이클 변조에 대한 클록 신호들, 시스템 클록 신호(Clk)(310), 및 테스트 데이터(340)에 대한 상대적인 타이밍을 도시한다. 상대적인 타이밍은 설명의 목적으로 도시되어 있고, 반드시 축척대로 도시되지는 않으며, 따라서 실제 시스템에 대한 실제 상대적인 타이밍을 반드시 대표하지는 않는다는 것을 이해할 것이다. 테스트 데이터(340)는 다이어그램(300)에서 전체 클록 사이클 폭으로 도시된다. 더블 데이터 레이트가 사용되는 실시예에서는(도 4에서와 같이), 1/2 클록 사이클 당 데이터 비트가 존재할 것이다.

[0037] 클록 신호(310)는 비교를 위해 TxClk의 후단 에지에 대한 드티 사이클의 차이를 지적하기 위한 것이다. 일 실시예에서, 테스트 시스템은 TxClk를 송신하지만 시스템 클록(310)은 송신하지 않는다. 다이어그램(300)에서 TxClk, 최단 TxClk(320) 및 최장 TxClk(350)의 두 가지 버전이 있다. 이들 2개의 클록 신호는 각각 가장 이른 RxClk(330) 및 가장 늦은 RxClk(360)에 대응한다. RxClk는 TxClk의 반전된 버전임을 알 것이다. 따라서, TxClk는 비반전 스트로브 신호일 수 있고, RxClk는 반전 스트로브 신호일 수 있다. 최단 TxClk(320) 및 최장 TxClk(350)은 설명의 목적으로 테스트 데이터(340)를 참조하여 동일한 다이어그램(300) 상에 도시되지만(전형적으로 다이어그램(300)에서 나타날 수 있는 것과는 반대로) 별개의 신호 라인들 상에서 함께 전송되지는 않을 것이다.

[0038] 도시된 바와 같이, 테스트 시스템은 최단 TxClk(320) 및 최장 TxClk(350) 모두와의 테스트 데이터(340)의 정렬에 의해 도시된 바와 같이, TxClk에 기초한 데이터를 전송한다. 선단 에지(다이어그램(300)의 상승 에지)는 동일한 상대적인 위치에 있지만, 후단 에지는 TxClk 신호에 적용된 드티 사이클에 따라 더 빨리(최단 TxClk(320)에서) 또는 더 나중에(최장 TxClk(350)에서) 온다는 것을 알 수 있다. 일 실시예에서, 총 N개의 드티 사이클 변화들에 대해, 신호들(320 및 350) 사이에 N-2개의 다른 드티 사이클 변화들이 있다.

[0039] 테스트 시스템은 TxClk에 기초하여 데이터를 전송하지만, TxClk가 전송될 때(시스템 클록(310)의 선단 에지 상에 있다고 가정됨)와 그것이 테스트 대상 디바이스 내의 작동을 트리거할 때(신호들(320 및 350)의 선단 에지에 의해 도시된 바와 같이)의 사이에 약간의 전파 지연(tProp)이 존재한다는 것을 알 것이다. tProp은 다이어그램(300)에 도시된 것보다 더 길거나 더 짧을 수 있다는 것을 이해할 것이다. 전파 지연은 신호가 분배되는 경로의 함수이다. 따라서, tProp은 상이한 신호 그룹들에 대해 상이할 것이다. 그러나, 동일한 지연(또는 실질적으로 동일한 지연)이 RxClk에도 적용될 것이고, 따라서 시스템은 각각 TxClk(320, 350)와 RxClk(330, 360) 간의 차이를 측정할 수 있다. 테스트 데이터(340)는 I/O 버퍼의 패드에서의 데이터 신호를 나타낸다. TxClk가 원본 테스트 시스템으로부터 송신되는 때(클록 310으로 도시됨)로부터의 지연 tProp은 테스트 데이터 신호(340)가 I/O 버퍼에서 보이는 때까지의 시간을 나타낸다.

[0040] 먼저 신호 TxClk(350)(최장 TxClk) 및 RxClk(360)(가장 늦은 RxClk)를 참조하면, 테스트 데이터(340)의 이전 비트의 좌측 에지와 RxClk(360)의 선단 에지 사이의 셋업 시간 tSetup이 있다. 셋업 시간은 테스트 대상 디바이스가 다음 데이터 비트의 트리거링 에지를 검출할 수 있기 위해 필요로 하는 데이터 비트들 사이의 최소 시간이다. 다이어그램(300)에서, TxClk(350)의 드티 사이클이 더 작게 조정됨에 따라, RxClk(360)의 선단 에지는 그에 상응하여 더 빨리 올 것이다. 따라서, RxClk(360)의 선단 에지는 다이어그램(300)에서 데이터 B의 좌측 에지 쪽으로 좌측으로 시프트할 것이다. 스트로브 신호들의 드티 사이클을 조정함으로써, 테스트 시스템은 데이터 B의 좌측 에지(아이 폭의 좌측 에지)를 검색할 수 있다.

- [0041] 신호 TxClk(320)(최단 TxClk) 및 RxClk(330)(가장 이른 RxClk)를 참조하면, 테스트 데이터(340)의 좌측 에지와 RxClk(330)의 선단 에지 사이에 홀드 시간 tHold가 있다. 홀드 시간은 적절한 데이터 캡처를 수행하기 위해 테스트 대상 디바이스에 대해 데이터가 있어야 하는 최소 시간이다. TxClk(320)의 뉴티 사이클이 더 커지도록 조정됨에 따라, RxClk(330)의 선단 에지는 그에 상응하여 더 늦게 올 것이다. 따라서, RxClk(330)의 선단 에지는 다이어그램(300)에서 데이터 A의 우측 에지 쪽으로 우측으로 시프트할 것이다. 스트로브 신호들의 뉴티 사이클을 조정함으로써, 테스트 시스템은 데이터 A의 우측 에지(아이 폭의 우측 에지)를 검색할 수 있다.
- [0042] 전통적인 아이 폭 테스트는 아이 폭 에지를 검출하기 위해 좌측 실패 및 우측 실패 방법을 사용한다. 전통적인 테스트는 첫 번째 실패 방법 또는 검색으로 좌측 에지를 결정하고 모두 실패(all fail) 방법 또는 검색으로 우측 에지를 결정한다. 다이어그램(300)에 대응하는 테스트 시스템은 아이의 좌측 에지(셋업 시간 또는 셋업 파라미터 위반)에 대해 모두 통과 방법 또는 검색을 사용한다. 다이어그램(300)에 대응하는 테스트 시스템은 아이의 우측 에지에 대해 첫 번째 실패(홀드 시간 또는 홀드 파라미터 위반)를 사용한다. 가장 이른 RxClk 에지(RxClk(330))는 데이터 A의 우측 에지를 테스트하는 데 사용되는 반면, 가장 늦은 RxClk 에지(RxClk(360))는 데이터 B의 좌측 에지를 테스트하는데 사용된다는 것을 알 것이다. 시스템은 올바른 데이터 비트를 테스트중인 비트와 비교하기 위해 적절한 지연을 사용해야 한다.
- [0043] 도 4는 뉴티 사이클 기반 마지막으로 홀드 시간을 테스트하는 실시예의 타이밍 다이어그램 표현이다. 다이어그램(400)은 시스템(100) 및/또는 시스템(200)에 따른 신호들에 대한 타이밍의 일례일 수 있다. 다이어그램(400)은 반드시 축척대로 도시되지는 않지만 설명을 목적으로 한 상대적인 타이밍을 도시한다. 송신 데이터 및 수신 데이터는 1/2 클록 사이클로서 도시되며, 중첩하는 상보 클록 신호들의 선단 에지들은 상이한 데이터 비트 신호들을 트리거하는 데 사용된다.
- [0044] 타이밍 신호들은 차동 신호들로서 도시되고, 따라서 타이밍 신호들은 보수들(complements)을 갖는다. 시스템 클록 신호는 클록 신호(412)(Clk_t) 및 그의 보수 신호(414)(Clk_c)로서 도시된다. 클록 신호 차동 쌍(412, 414)은 테스트 시스템에 의해 테스트 대상 디바이스에 데이터를 전송하기 위해 사용되는 클록일 수 있다. 클록 신호는 외부 기준 클록이라고 불릴 수 있으며, 테스트 대상 디바이스에 대해 외부를 지칭한다. 클록 신호(412, 414)와 송신 데이터(Tx DQ)(420) 사이에 전파 지연뿐만 아니라, 클록 신호와 수신 데이터(Rx DQ)(440) 사이에 전파 지연이 있다. Tx DQ(420)는 송신 클록 차동 쌍 신호들(432(Tx DQS_t) 및 434(Tx DQS_c))과 예지 정렬된다. 신호들(432 및 434)은 본질적으로 외부 기준 클록들(412 및 414)의 복제들이라는 것을 알 것이다.
- [0045] 일 실시예에서, 마지막 또는 타이밍 검색들은 모두 순방향으로 수행된다; 따라서, 다이어그램(400)에 도시된 바와 같은 홀드 시간 마진 유효성 검사는 도 5의 다이어그램(500)에 도시된 바와 같은 셋업 시간 마진 유효성 검사 이전에 수행될 수 있다. 셋업 시간 마진 유효성 검사 이전에 홀드 시간 마진 유효성 검사를 수행함으로써 테스트 시간을 절약할 수 있다. 일반적으로, 테스트는 입력 레퍼런스의 뉴티 사이클을 변조하고 수신기 디바이스에서 사용할 캡처 스트로브를 반전시키고, 수신기 디바이스는 착신 데이터와 스트로브의 위상 관계를 조작할 수 있다. 다이어그램(400)의 실시예에서, 클록 신호의 상승 에지는 선단 에지 또는 트리거링 에지이다.
- [0046] 다이어그램(400)에서, Tx DQS_t(432)는 데이터 A 및 데이터 C의 좌측 에지와 정렬된 상승 에지를 갖는다. 유사하게, Tx DQS_c(434)는 데이터 B 및 데이터 D의 좌측 에지와 정렬된 상승 에지를 갖는다. 다이어그램(400)은 다수의 상이한 라인들로 클록들 Tx DQS_t(432) 및 Tx DQS_c(434)의 하강 에지를 나타낸다. 다수의 상이한 라인들은 상이한 뉴티 사이클 설정들, 및 따라서 클록들의 하강 에지의 변조를 나타낸다. 명료함을 위해, 다이어그램(400)에서, 클록 신호들은 실선으로 나타낸 최소 뉴티 사이클로 도시되고, 추가 라인들은 하나의 뉴티 사이클 설정이 한 번에 사용되는 것을 나타내기 위해 파선들이고, 추가 뉴티 사이클 설정들이 다른 테스트 반복들을 위해 사용된다.
- [0047] Rx DQS_t(452) 및 Rx DQS_c(454)는 각각 Tx DQS_t(432) 및 Tx DQS_c(434)의 반전된 버전임을 알 것이다. 이와 같이, Rx DQS_t(452) 및 Rx DQS_c(454)는 그들의 상승 에지가 변조되고, 고정된 하강 에지를 갖는다. 또한, Tx 클록의 상승 에지가 각각의 데이터 비트의 좌측과 정렬되는 반면에, Rx 클록의 변조된 상승 에지는 데이터 비트의 우측 에지(홀드 측)와 더 가깝게 정렬된다는 것도 알 것이다. 따라서, Rx DQS_t(452)는 데이터 A 및 데이터 C의 우측 에지 근처에서 상승 에지를 가지며, Rx DQS_c(454)는 반전으로 인해 데이터 B 및 데이터 D의 우측 에지 근처에서 상승 에지를 갖는다.
- [0048] 일 실시예에서, 다이어그램(400)과 관련된 시스템은 최저값에서 클록 신호의 뉴티 사이클을 개시하고 다양한 테스트 반복에 걸쳐 증가할 것이다. 그에 상응하여, 반전 클록은 먼저 Rx DQ(440)에 대한 홀드 시간 마진을 샘플링한다. 뉴티 사이클은 데이터의 셋업 시간을 만족시키는 것을 보장하는 지점에서 시작되어야 한다. 뉴티 사

이클을 증가시키면 Rx DQS 클록의 상승 에지가 데이터 비트의 우측 에지에 더 가깝게 푸시된다. 듀티 사이클을 증가시키고 클록을 반전시키면 아이 측정에서 더 나은 분해능과 정밀도를 제공할 수 있음을 이해할 것이다. 시스템이 듀티 사이클을 원하는 아이 측정 분해능을 얻기 위해 충분히 작은 폴스로 줄이려고 시도하면, 그것은 실제로는 고속 I/O 설정에서 신뢰할 수 있기에 너무 작아져서 분해능에 부정적인 영향을 줄 수 있다. 반대로, 듀티 사이클을 증가시키고 신호를 반전시키면 더 정밀한 측정 신호가 생성된다.

[0049] 일 실시예에서, 테스트 시스템은 각각의 듀티 사이클 설정에 대해 임의의 I/O 포트 또는 신호 라인에서 실패가 있는지를 결정한다. 수신된 데이터가 예상 데이터와 일치하면 테스트 시스템은 듀티 사이클을 증가시켜 테스트를 다시 실행할 수 있다. 일 실시예에서, 신호 라인 그룹이 공통 클록 또는 스트로브 신호를 공유하는 신호 그룹에 대해 테스트가 실행된다. 예를 들어, WI02에서, 16개의 DQ 라인은 상보적인 DQS 스트로브들의 쌍을 공유한다. 이러한 시나리오에서, 16개의 DQ 신호 라인 중 하나만이 비교에 실패하더라도 테스트 실패를 표시하도록 테스트 시스템을 구성할 수 있다. 이러한 방법은 특정 아이 폭 설정에 대해 임의의 신호 라인(그룹의 임의의 신호 라인 또는 디바이스의 임의의 신호 라인)의 실패가 실패하는 첫 번째 실패라고 불릴 수 있다. 테스트 시스템은 마진 계산을 위해 이전 통과 반복에서 듀티 사이클 설정을 기록할 수 있다. 설명된 테스트는 단순히 홀드 시간을 측정하는 것이 아니라 데이터-스트로브 스큐, 클록 및 데이터 지터, 채널 상에 존재하는 경우 ISI(inter-symbol interference), 송신기 드라이버들의 SSO(simultaneous switching output) 노이즈, 및 온-다이 및/또는 채널 내의 회로들에 존재하는 다양한 불일치 및 비선형성의 조합된 영향을 측정할 수 있다는 것을 이해할 것이다. 홀드 시간 마진에 대한 참조는 아이의 우측에 마진을 나타내는 프록시일 수 있다.

[0050] 도 5는 듀티 사이클 기반 마지닝으로 셋업 시간을 테스트하는 실시예의 타이밍 다이어그램 표현이다. 다이어그램(500)은 시스템(100) 및/또는 시스템(200)에 따른 신호 타이밍의 일례일 수 있다. 다이어그램(500)은 반드시 축척대로 도시되지는 않았지만 설명을 목적으로 한 상대적인 타이밍을 도시한다. 송신 데이터 및 수신 데이터는 1/2 클록 사이클로서 도시되며, 중첩하는 상보 클록 신호의 선단 에지들은 상이한 데이터 비트 신호들을 트리거하는 데 사용된다. 일 실시예에서, 다이어그램(500)은 도 4의 다이어그램(400)의 확장이며, 더 큰 듀티 사이클이 사용될 때 나중에 동일한 다이어그램일 수 있다.

[0051] 일 실시예에서, 다이어그램(400)을 참조하여 기술된 반전된 클록 신호는 홀드 시간 마진의 테스트로부터 다음 데이터 비트(예를 들어, 데이터 A의 우측 에지를 테스트한 후에 데이터 B)에 대한 셋업 시간의 테스트로 스위칭할 수 있다. 상술한 바와 같이, 일 실시예에서, 아이의 우측 에지는 첫 번째 실패 방법으로 검색될 수 있다. 첫 번째 실패를 검출한 후에 듀티 사이클을 계속 증가시키면 모두 실패, 또는 모든 신호 라인이 테스트 데이터를 올바르게 수신하는 데 실패를 등록하는 결과를 야기할 것임을 이해할 것이다. 계속해서 듀티 사이클을 증가시키면 데이터 B의 셋업 시간에 대한 첫 번째 통과로 이어질 수 있다. 테스트 시스템은 모든 신호 라인이 통과 반복을 나타낼 때까지(모든 신호 라인이 테스트 데이터를 올바르게 수신함을 의미) 듀티 사이클을 계속 증가시킬 수 있다. 다이어그램(400)에서와 같이, 다이어그램(500)에서 클록의 상승 에지는 트리거링 에지로서 이해되어야 한다.

[0052] 도시된 바와 같이, 다이어그램(500)은 상이한 타이밍 신호들 및 이들의 보수들을 나타낸다. 시스템 클록 신호는 클록 신호(512)(Clk_t) 및 그의 보수 신호(514)(Clk_c)로서 도시된다. 클록 신호 차동 쌍(512, 514)은 테스트 시스템에 의해 테스트 대상 디바이스에 데이터를 전송하기 위해 사용되는 클록일 수 있다. 클록 신호는 외부 기준 클록이라고 불릴 수 있으며, 테스트 대상 디바이스에 대해 외부를 지칭한다. 클록 신호(512, 514)와 송신 데이터(Tx DQ)(520) 사이에 전파 지연뿐만 아니라, 클록 신호와 수신 데이터(Rx DQ)(540) 사이에 전파 지연이 있다. Tx DQ(520)는 송신 클록 차동 쌍 신호들(532(Tx DQS_t) 및 534(Tx DQS_c))과 에지 정렬된다. 신호들(532 및 534)은 본질적으로 외부 기준 클록들(512 및 514)의 복제들이라는 것을 알 것이다.

[0053] 다이어그램(500)에서, Tx DQS_t(532)는 데이터 A 및 데이터 C의 좌측 에지와 정렬된 상승 에지를 갖는다. 유사하게, Tx DQS_c(534)는 데이터 B 및 데이터 D의 좌측 에지와 정렬된 상승 에지를 갖는다. Tx DQS_t(532) 및 Tx DQS_c(534)는 클록 신호의 듀티 사이클을 조정함으로써 변조된다. Rx DQS_t(552) 및 Rx DQS_c(554)는 각각 Tx DQS_t(532) 및 Tx DQS_c(534)의 반전된 버전이며, 변조된 상승 에지를 갖는다. 또한, 다이어그램(500)의 Rx 클록의 상승 에지가 데이터 비트의 좌측 에지와 정렬되지만, 하나의 비트 오프셋이 있다는 것도 알 것이다. 따라서, 올바른 데이터 비트를 올바르게 캡처하고 비교하기 위해, 테스트 시스템은 듀티 사이클 변화에 의해 야기되는 시프트를 설명하기 위해 테스트 로직에 지연을 도입할 수 있다. 도시된 바와 같이, Rx DQS_t(552)는 데이터 B의 좌측 에지 근처에 상승 에지들을 갖고, Rx DQS_c(554)는 데이터 C의 좌측 에지 근처에 상승 에지들을 갖는다.

- [0054] 일 실시예에서, 다이어그램(500)과 관련된 시스템은 다양한 테스트 반복에 걸쳐 클록의 뉴티 사이클을 증가시킬 것이다. 그에 상응하여, 반전 클록은 계속 우측으로 시프트할 것이다. 이와 같이, Rx 클록은 먼저, 셋업 시간 파라미터가 모든 신호 라인에 대해 위반되는, 모두 실패 조건들을 기록할 것으로 예상된다. 궁극적으로, 다수의 테스트 반복에 걸쳐, 모든 신호 라인에 대해 셋업 시간 파라미터가 충족될 것으로 예상된다(모두 통과 조건).
- [0055] 따라서, 다이어그램(500)은 셋업 시간 또는 좌측 아이 마진 유효성 검증을 위한 타이밍 검색의 일례일 수 있다. 일 실시예에서, (예를 들어, 다이어그램(400)에 도시된 바와 같은) 데이터 A에 대한 홀드 시간 유효성 검증의 실패 포인트는 데이터 B의 셋업 시간 마진 유효성 검증을 위한 시작점으로서 사용된다. 시스템은 아이의 좌측 에지를 식별하는 모두 통과 조건을 야기하는 뉴티 사이클을 기록할 수 있다. 다이어그램들(400 및 500)에 반드시 도시되어 있는 것은 아니지만, 홀드 시간 위반 및 그 후 셋업 시간 위반을 테스트하기 위해 뉴티 사이클이 증가되는 설명된 테스트는 사용되어야 할 뉴티 사이클의 범위를 줄일 수 있음이 밝혀졌다. 이러한 테스트 프로세스는 동일한 데이터 비트의 홀드 시간까지 데이터 비트의 셋업 시간을 검출하기 위해 전체 데이터 비트를 샘플링할 필요가 없다. 그 대신 시스템은 단순히 하나의 데이터 비트의 우측 유효 에지와 후속 데이터 비트의 좌측 유효 에지 사이의 준안정 윈도우 직전부터 직후까지 측정할 수 있다.
- [0056] 도 6은 간접 I/O 인터페이스 테스트를 위한 프로세스의 실시예의 흐름도이다. 테스트 시스템은 디바이스 I/O 인터페이스의 신호 라인을 테스트하면서 한 번에 하나 이상의 디바이스에 대한 I/O 테스트를 위해 프로세스(600)를 수행한다. 제조업체는 디바이스들(602)을 제조하고 디바이스들에 대한 I/O 인터페이스 테스트를 실행한다(604). I/O 인터페이스 테스트는 제조업체가 수행하는 다수의 테스트들 중 단지 하나일 수 있다.
- [0057] 일 실시예에서, 테스트 시스템은 테스트 모드에 들어가고 테스트 대상 디바이스를 테스트 모드에 들어가도록 트리거한다(606). 테스트 모드에 들어가는 것은 테스트 동안 통과/실패 정보를 추적하는 데 사용되는 테스트 카운터를 리셋하는 것을 포함할 수 있다. 테스트 시스템은 테스트 대상 디바이스의 신호 라인들에 적용 할 테스트 신호를 생성한다(608). 테스트 신호는 I/O 인터페이스의 I/O 버퍼/신호 라인들의 기능을 테스트하기 위한 비트들의 시퀀스 또는 하나 이상의 데이터 워드일 수 있다.
- [0058] 일 실시예에서, 테스트 시스템은 특정 테스트 반복에 대한 I/O 타이밍 파라미터들을 설정한다(610). 테스트 시스템은 생성된 테스트 신호의 테스트 데이터에 대한 클록으로서 특정 타이밍 설정에 대한 스트로브 신호를 생성한다(612). 일 실시예에서, 테스트 시스템은 차동 신호를 위해 스트로브 신호(예를 들어, 데이터 스트로브) 및 그의 보수를 생성한다. 테스트 시스템은 스트로브 신호의 뉴티 사이클을 조정함으로써 스트로브 신호의 후단 에지를 변조한다(614). 일 실시예에서, I/O 타이밍 파라미터들을 설정하는 것은 스트로브 신호에 대한 변조를 설정하는 것과 동일하다. 테스트 시스템은 변조된 스트로브 신호를 반전시켜 반전 및 비반전 스트로브 신호를 생성한다(616). 일 실시예에서, 테스트 시스템은 차동 비반전 스트로브 신호 및 차동 반전 스트로브 신호를 생성한다. 일 실시예에서, 테스트 제어기는 반전 스트로브 신호를 생성하여 테스트 대상 디바이스로 전송한다. 일 실시예에서, 테스트 대상 디바이스는 비반전 스트로브 신호로부터 반전 스트로브 신호를 생성한다. 일 실시예에서, 스트로브 신호는 테스트 대상 디바이스 내의 로직 디바이스의 반전 클록 입력에 인가된다.
- [0059] 일 실시예에서, 테스트 시스템은 각각의 뉴티 사이클을 설정에 대해 다수의 테스트 사이클을 통해 다수의 테스트 반복 및 루프를 실행한다. 테스트 시스템은 각각의 테스트 대상 디바이스가 인터페이스의 신호 라인들에 적용하기 위해 I/O 인터페이스의 하나 이상의 신호 그룹에 분배하는 테스트 신호를 제공한다(618). 테스트 시스템은 또한 테스트 대상 디바이스가 사용할 하나 이상의 스트로브 신호를 전송한다. 스트로브 신호들은 테스트 대상 디바이스(들)가 I/O 인터페이스를 통해 수신된 테스트 데이터에 대한 통과/실패 정보를 생성하여 테스트 시스템이 유효한 I/O 아이 폭을 결정할 수 있게 한다.
- [0060] 일 실시예에서, 테스트는 I/O 루프 백 테스트를 포함한다. 이러한 실시예에서, 각각의 신호 라인은 테스트 데이터를 인터페이스에 기입하기 위해 비반전 스트로브 신호를 인가하고(620), 인터페이스로부터 테스트 데이터를 판독하기 위해 반전 스트로브 신호를 인가한다(622). 각각의 신호 라인은 여러 검출을 사용하여 신호 비트 또는 신호 사이클이 정확하게 수신되었는지 또는 I/O 어러가 있는지를 각각의 I/O 버퍼에 대해 결정한다(624). 일 실시예에서, 테스트 시스템은 예를 들어 모두 통과 조건 또는 첫 번째 실패 조건을 결정하기 위해 통과/실패 정보를 누적한다. 반복의 끝에, 테스트 시스템은 상이한 뉴티 사이클을 스트로브 신호들에 적용하기 위해 상이한 테스트 설정들을 적용할 것이다. 모든 테스트 설정이 적용되면 테스트가 완료된다. 따라서, 테스트의 마지막 반복에 도달하면(626 아니오 분기), 테스트 시스템은 테스트 모드를 종료하고 테스트 대상 디바이스(들)를 테스트 모드를 종료하도록 트리거한다. 그 후 테스트 시스템은 테스트 대상 디바이스(들)에 의해 제공된 통과/실패 정보를 수집하고 이를 테스트 결과로 정리한다.

실패 정보로부터 테스트 결과를 결정할 수 있다. 적용 할 설정이 더 많으면(626 예 분기), 테스트 시스템은 새로운 I/O 타이밍 파라미터를 설정하고 또 다른 테스트 반복을 실행한다(610).

[0061] 도 7은 듀티 사이클 기반 마지닝이 구현될 수 있는 컴퓨팅 시스템의 실시예의 블록도이다. 시스템(700)은, 본 명세서에 설명되는 임의의 실시예에 따른 컴퓨팅 디바이스를 나타내고, 랩톱 컴퓨터, 데스크톱 컴퓨터, 서버, 게임 또는 엔터테인먼트 제어 시스템, 스캐너, 복사기, 프린터, 라우팅 또는 스위칭 디바이스, 또는 다른 전자 디바이스일 수 있다. 시스템(700)은 프로세서(720)를 포함하고, 이것은 시스템(700)에 대한 프로세싱, 동작 관리, 및 명령어들의 실행을 제공한다. 프로세서(720)는 임의의 타입의 마이크로프로세서, 중앙 처리 장치(CPU), 프로세싱 코어, 또는 시스템(700)에 대한 프로세싱을 제공하기 위한 다른 프로세싱 하드웨어를 포함할 수 있다. 프로세서(720)는 시스템(700)의 전체 동작을 제어하며, 하나 이상의 프로그래밍 가능한 범용 또는 특수 목적 마이크로프로세서들, 디지털 신호 프로세서(DSP)들, 프로그래밍 가능한 제어기들, 주문형 집적 회로(ASIC)들, 프로그래밍 가능한 로직 디바이스(PLD)들, 또는 이와 유사한 것, 또는 이러한 디바이스들의 조합일 수 있거나, 또는 이들을 포함할 수 있다.

[0062] 메모리 서브시스템(730)은 시스템(700)의 메인 메모리를 나타내며, 프로세서(720)에 의해 실행될 코드, 또는 루틴을 실행할 시에 사용될 데이터 값들에 대한 임시 스토리지를 제공한다. 메모리 서브시스템(730)은 판독-전용 메모리(ROM), 플래시 메모리, 하나 이상의 다양한 랜덤 액세스 메모리(RAM)와 같은 하나 이상의 메모리 디바이스들, 또는 다른 메모리 디바이스들, 또는 이러한 디바이스들의 조합을 포함할 수 있다. 메모리 서브시스템(730)은, 특히, 시스템(700) 내의 명령어들의 실행을 위한 소프트웨어 플랫폼을 제공하는 운영 체제(OS)(736)를 저장 및 호스팅한다. 추가로, 다른 명령어들(738)은 메모리 서브시스템(730)에 저장되고 이로부터 실행되어 시스템(700)의 로직 및 프로세싱을 제공한다. OS(736) 및 명령어들(738)은 프로세서(720)에 의해 실행된다. 메모리 서브시스템(730)은 그것이 데이터, 명령어들, 프로그램들, 또는 다른 아이템들을 저장하는 메모리 디바이스(732)를 포함한다. 일 실시예에서, 메모리 서브시스템은, 커맨드들을 생성하여 메모리 디바이스(732)로 발행하기 위한 메모리 제어기인 메모리 제어기(734)를 포함한다. 메모리 제어기(734)가 프로세서(720)의 물리적 부분일 수 있다는 것이 이해될 것이다.

[0063] 프로세서(720) 및 메모리 서브시스템(730)은 버스/버스 시스템(710)에 연결된다. 버스(710)는, 적절한 브리지들, 어댑터들 및/또는 제어기들에 의해 접속되는, 임의의 하나 이상의 별도의 물리적 버스들, 통신 라인들/인터페이스들, 및/또는 점-대-점 접속들을 나타내는 추상적 개념(abstraction)이다. 따라서, 버스(710)는, 예를 들어, 시스템 버스, PCI(Peripheral Component Interconnect) 버스, 하이퍼전송(HyperTransport) 또는 산업 표준 아키텍처(ISA; industry standard architecture) 버스, 소형 컴퓨터 시스템 인터페이스(SCSI; small computer system interface) 버스, 범용 직렬 버스(USB; universal serial bus), 또는 전기 전자 기술자 협회(IEEE; Institute of Electrical and Electronics Engineers) 표준 1394 버스(일반적으로 "파이어와이어(Firewire)"라고 지칭됨) 중 하나 이상을 포함할 수 있다. 버스(710)의 버스들은 또한 네트워크 인터페이스(750) 내의 인터페이스들에 대응할 수 있다.

[0064] 시스템(700)은 또한 버스(710)에 연결되는 하나 이상의 입력/출력(I/O) 인터페이스(들)(740), 네트워크 인터페이스(750), 하나 이상의 내부 대용량 스토리지 디바이스(들)(760), 및 주변 장치 인터페이스(770)를 포함한다. I/O 인터페이스(740)는 사용자가 시스템(700)과 상호작용하는 하나 이상의 인터페이스 컴포넌트들(예를 들어, 비디오, 오디오 및/또는 영수자 인터페이싱)을 포함할 수 있다. 네트워크 인터페이스(750)는 하나 이상의 네트워크들을 통해 원격 디바이스들(예를 들어, 서버들, 다른 컴퓨팅 디바이스들)과 통신하는 능력을 시스템(700)에 제공한다. 네트워크 인터페이스(750)는 이더넷 어댑터, 무선 상호접속 컴포넌트들, USB(범용 직렬 버스), 또는 다른 유선 또는 무선 표준-기반 또는 사유 인터페이스들을 포함할 수 있다.

[0065] 스토리지(760)는 하나 이상의 자기, 솔리드 스테이트, 또는 광학 기반 디스크들, 또는 조합과 같은 비휘발성 방식으로 대용량의 데이터를 저장하기 위한 임의의 종래의 매체일 수 있거나 이를 포함할 수 있다. 스토리지(760)는 코드 또는 명령어들 및 데이터(762)를 지속적인 상태로 유지한다(즉, 값은 시스템(700)에의 전력이 중단에도 불구하고 유지된다). 스토리지(760)는 포괄적으로 "메모리"인 것으로 간주될 수 있지만, 메모리(730)는 프로세서(720)에 명령들을 제공하기 위한 실행 또는 동작 메모리이다. 스토리지(760)는 비휘발성인 데 반하여, 메모리(730)는 휘발성 메모리를 포함할 수 있다(즉, 데이터의 값 또는 상태는 시스템(700)에의 전력이 중단되면 불화정적이다).

[0066] 주변 장치 인터페이스(770)는 위에서 구체적으로 언급되지 않은 임의의 하드웨어 인터페이스를 포함할 수 있다. 주변 장치들은 일반적으로 시스템(700)에 종속적으로 접속하는 디바이스들을 지칭한다. 종속적 접속은, 동작이

실행되며 사용자가 상호작용하는 소프트웨어 및/또는 하드웨어 플랫폼을 시스템(700)이 제공하는 것이다.

[0067] 일 실시예에서, 시스템(700)의 하나 이상의 회로 컴포넌트는 적절한 I/O 아이 폭을 결정하기 위해 듀티 사이클 기반 마지닝으로 기능적으로 테스트되는 I/O 인터페이스들을 포함한다. 일 실시예에서, 시스템(700)의 요소들은 다른 칩과 별별로 테스트되는 SOC 또는 멀티칩 패키지에 포함된다. 일 실시예에서, 컴포넌트들은 비반전 스트로브 또는 클록 신호에서 송신 동작을 트리거하면서 수신 동작을 트리거하기 위해 반전된 변조된 스트로브 또는 클록 신호를 생성하는 테스트 시스템에 의해 테스트된다. 스트로브 신호의 듀티 사이클을 조정함으로써, 스트로브 신호의 후단 에지는 스트로브 신호의 선단 에지(트리거링 에지)에 대해 조정된다. 듀티 사이클 조정된 스트로브 신호를 반전시킴으로써, 테스트는 듀티 사이클의 변화에 의해 스트로브 신호의 후단 에지로 변조된 선단 에지(트리거링 에지)를 갖는 반전 스트로브 신호를 생성한다. 변조된 트리거링 에지는 더 정밀한 테스트 신호들을 제공할 수 있다. 일 실시예에서, 인터페이스 테스트는 신호 그룹들 내의 I/O 인터페이스를 테스트하는 것을 포함하며, 각각의 신호 그룹은 테스트 시스템(도시되지 않음)에 전송할 통과/실패 정보를 누적한다.

[0068] 도 8은 듀티 사이클 기반 마지닝이 구현될 수 있는 모바일 디바이스의 실시예의 블록도이다. 디바이스(800)는 컴퓨팅 태블릿, 모바일폰 또는 스마트폰, 무선 가능 이-리더(wireless-enabled e-reader), 웨어러블 컴퓨팅 디바이스, 또는 다른 모바일 디바이스와 같은 모바일 컴퓨팅 디바이스를 나타낸다. 컴포넌트들 중 특정한 것들이 일반적으로 도시되어 있으며, 이러한 디바이스의 모든 컴포넌트들이 디바이스(800)에 도시된 것은 아니라는 점이 이해될 것이다.

[0069] 디바이스(800)는 프로세서(810)를 포함하고, 이것은 디바이스(800)의 주요 프로세싱 동작들을 수행한다. 프로세서(810)는 마이크로프로세서들, 애플리케이션 프로세서들, 마이크로컨트롤러들, 프로그래밍 가능한 로직 디바이스들, 또는 다른 프로세싱 수단과 같은 하나 이상의 물리적 디바이스들을 포함할 수 있다. 프로세서(810)에 의해 수행되는 프로세싱 동작들은 애플리케이션들 및/또는 디바이스 기능들이 실행되는 운영 플랫폼 또는 운영 체제의 실행을 포함한다. 프로세싱 동작들은 인간 사용자에 의한 또는 다른 디바이스들에 의한 I/O(입력/ 출력)에 관련되는 동작들, 전력 관리에 관련되는 동작들, 및/또는 디바이스(800)를 또 다른 디바이스에 접속하는 것에 관련되는 동작들을 포함한다. 이러한 프로세싱 동작들은 또한 오디오 I/O 및/또는 디스플레이 I/O에 관련되는 동작들을 포함할 수 있다.

[0070] 일 실시예에서, 디바이스(800)는, 컴퓨팅 디바이스에 오디오 기능들을 제공하는 것과 관련되는 하드웨어(예를 들어, 오디오 하드웨어 및 오디오 회로들) 및 소프트웨어(예를 들어, 드라이버들, 코덱들) 컴포넌트들을 나타내는, 오디오 서브시스템(820)을 포함한다. 오디오 기능들은 스피커 및/또는 헤드폰 출력뿐만 아니라 마이크로폰 입력을 포함할 수 있다. 이러한 기능들을 위한 디바이스들은 디바이스(800) 내에 통합되거나, 또는 디바이스(800)에 접속될 수 있다. 일 실시예에서, 사용자는 프로세서(810)에 의해 수신되고 처리되는 오디오 커맨드들을 제공하는 것에 의해 디바이스(800)와 상호작용한다.

[0071] 디스플레이 서브시스템(830)은 사용자가 컴퓨팅 디바이스와 상호작용하기 위한 시각적 및/또는 촉각적 디스플레이를 제공하는 하드웨어(예를 들어, 디스플레이 디바이스들) 및 소프트웨어(예를 들어, 드라이버들) 컴포넌트들을 나타낸다. 디스플레이 서브시스템(830)은, 사용자에게 디스플레이를 제공하는 데 사용되는 특정 스크린 또는 하드웨어 디바이스를 포함하는 디스플레이 인터페이스(832)를 포함한다. 일 실시예에서, 디스플레이 인터페이스(832)는 디스플레이에 관련되는 적어도 일부 프로세싱을 수행하기 위한 프로세서(810)와는 별개인 로직을 포함한다. 일 실시예에서, 디스플레이 서브시스템(830)은 출력 및 입력 양자 모두를 사용자에게 제공하는 터치스크린 디바이스를 포함한다.

[0072] I/O 제어기(840)는 사용자와의 상호작용에 관련되는 하드웨어 디바이스들 및 소프트웨어 컴포넌트들을 나타낸다. I/O 제어기(840)는 오디오 서브시스템(820) 및/또는 디스플레이 서브시스템(830)의 일부분인 하드웨어를 관리하도록 동작할 수 있다. 추가로, I/O 제어기(840)는 사용자가 시스템과 상호작용할 수 있는 디바이스(800)에 접속하는 추가 디바이스들에 대한 접속점을 예시한다. 예를 들어, 디바이스(800)에 부착될 수 있는 디바이스들은, 마이크로폰 디바이스들, 스피커 또는 스테레오 시스템들, 비디오 시스템들 또는 다른 디스플레이 디바이스, 키보드 또는 키패드 디바이스들, 또는 카드 판독기들 또는 다른 디바이스들과 같이 특정 애플리케이션들과 함께 사용하기 위한 다른 I/O 디바이스들을 포함할 수 있다.

[0073] 위에서 언급된 바와 같이, I/O 제어기(840)는 오디오 서브시스템(820) 및/또는 디스플레이 서브시스템(830)과 상호작용할 수 있다. 예를 들어, 마이크로폰 또는 다른 오디오 디바이스를 통한 입력은 디바이스(800)의 하나 이상의 애플리케이션들 또는 기능들에 대한 입력 또는 커맨드들을 제공할 수 있다. 추가로, 오디오 출력이 디스플레이 출력 대신에 또는 디스플레이 출력에 추가하여 제공될 수 있다. 또 다른 예에서, 디스플레이 서브시

스템이 터치스크린을 포함하는 경우, 디스플레이 디바이스는 또한, I/O 제어기(840)에 의해 적어도 부분적으로 관리될 수 있는 입력 디바이스로서 작용한다. 또한, I/O 제어기(840)에 의해 관리되는 I/O 기능들을 제공하기 위해 디바이스(800) 상에 추가적인 버튼들 또는 스위치들이 존재할 수 있다.

[0074] 일 실시예에서, I/O 제어기(840)는 가속도계, 카메라, 광 센서 또는 다른 환경 센서, 자이로스코프, GPS(global positioning system) 또는 디바이스(800)에 포함될 수 있는 다른 하드웨어와 같은 디바이스들을 관리한다. 입력은 (노이즈에 대한 필터링, 밝기 검출을 위한 디스플레이들의 조정, 카메라에 대한 플래시의 적용, 또는 다른 특징들과 같이) 그 동작들에 영향을 주기 위해 환경적 입력을 시스템에 제공하는 것뿐만 아니라, 직접적인 사용자 상호작용의 일부일 수 있다. 일 실시예에서, 디바이스(800)는 배터리 전력 사용량, 배터리의 충전, 및 절전 동작에 관련되는 특징들을 관리하는 전력 관리(850)를 포함한다.

[0075] 메모리 서브시스템(860)은 디바이스(800)에서 정보를 저장하는 메모리 디바이스(들)(862)를 포함한다. 메모리 서브시스템(860)은 비휘발성(메모리 디바이스에 대한 전력이 중단되는 경우 상태가 변경되지 않음) 및/또는 휘발성(메모리 디바이스에 대한 전력이 중단되는 경우 상태가 불확정적임) 메모리 디바이스들을 포함할 수 있다. 메모리(860)는 애플리케이션 데이터, 사용자 데이터, 음악, 사진들, 문서들 또는 다른 데이터뿐만 아니라, 시스템(800)의 애플리케이션들 및 기능들의 실행과 관련된 시스템 데이터(장기적 또는 일시적)를 저장할 수 있다. 일 실시예에서, 메모리 서브시스템(860)은 (또한 시스템(800)의 제어의 일부로서 고려될 수 있고, 잠재적으로 프로세서(810)의 일부로서 고려될 수 있는) 메모리 제어기(864)를 포함한다. 메모리 제어기(864)는 커맨드들을 생성하고 메모리 디바이스(862)에 발행하는 스케줄러를 포함한다.

[0076] 연결(connectivity)(870)은 디바이스(800)가 외부 디바이스들과 통신할 수 있게 하는 하드웨어 디바이스들(예를 들어, 무선 및/또는 유선 커넥터들 및 통신 하드웨어) 및 소프트웨어 컴포넌트들(예를 들어, 드라이버들, 프로토콜 스택들)을 포함한다. 외부 디바이스는 다른 컴퓨팅 디바이스들, 무선 액세스 포인트들 또는 기지국들과 같은 별개의 디바이스들은 물론, 헤드셋들, 프린터들, 또는 다른 디바이스들과 같은 주변 장치들과 같은 별개의 디바이스들일 수 있다.

[0077] 연결(870)은 다수의 상이한 타입들의 연결을 포함할 수 있다. 일반화하기 위해, 디바이스(800)는 셀룰러 연결(872) 및 무선 연결(874)을 갖는 것으로 도시된다. 셀룰러 연결(872)은 일반적으로, GSM(global system for mobile communications) 또는 변형물들 또는 파생물들, CDMA(code division multiple access) 또는 변형물들 또는 파생물들, TDM(time division multiplexing) 또는 변형물들 또는 파생물들, LTE(long term evolution - "4G"라고도 지칭됨), 또는 다른 셀룰러 서비스 표준들을 통해 제공되는 것과 같이, 무선 캐리어들에 의해 제공되는 셀룰러 네트워크 연결을 지칭한다. 무선 연결(874)은 셀룰러가 아닌 무선 연결을 지칭하고, 개인 영역 네트워크들(예컨대, 블루투스), 로컬 영역 네트워크(예컨대, WiFi), 및/또는 광역 네트워크(예컨대, WiMax), 또는 다른 무선 통신을 포함할 수 있다. 무선 통신은 비고체 매체를 통해 변조된 전자기 복사를 사용하여 데이터를 전송하는 것을 나타낸다. 유선 통신은 고체 통신 매체를 통해 발생한다.

[0078] 주변 장치 접속들(880)은, 하드웨어 인터페이스들 및 커넥터들뿐만 아니라, 주변 장치 접속들을 이루기 위한 소프트웨어 컴포넌트들(예를 들어 드라이버들, 프로토콜 스택들)을 포함한다. 디바이스(800)가 다른 컴퓨팅 디바이스들에 대한 주변 디바이스("~로"(882))일 수 있을 뿐만 아니라, 그에 접속된 주변 디바이스들("~로부터"(884))을 가질 수 있다는 점이 모두 이해될 것이다. 디바이스(800)는 일반적으로, 디바이스(800) 상의 콘텐츠를 관리하는 것(예를 들어, 다운로드 및/또는 업로드, 변경, 동기화)과 같은 목적으로 다른 컴퓨팅 디바이스들에 접속하기 위한 "도킹" 커넥터를 가진다. 추가로, 도킹 커넥터는 디바이스(800)가 예를 들어 시청각 또는 다른 시스템들에 대한 콘텐츠 출력을 제어할 수 있게 하는 특정 주변 장치들에 디바이스(800)가 접속할 수 있게 할 수 있다.

[0079] 사유 도킹 커넥터 또는 다른 사유 접속 하드웨어에 더하여, 디바이스(800)는 공통 또는 표준-기반 커넥터들을 통해 주변 장치 접속들(880)을 수행할 수 있다. 공통 타입들은 USB(범용 직렬 버스) 커넥터(다수의 상이한 하드웨어 인터페이스 중 임의의 것을 포함할 수 있음), MDP(MiniDisplayPort)를 포함하는 디스플레이포트(DisplayPort), HDMI(High Definition Multimedia Interface), Firewire 또는 다른 타입을 포함할 수 있다.

[0080] 일 실시예에서, 시스템(800)의 하나 이상의 회로 컴포넌트는 적절한 I/O 아이 폭을 결정하기 위해 듀티 사이클 기반 마지닝으로 기능적으로 테스트되는 I/O 인터페이스들을 포함한다. 일 실시예에서, 시스템(800)의 요소들은 다른 칩과 별별로 테스트되는 SOC 또는 멀티칩 패키지에 포함된다. 일 실시예에서, 컴포넌트들은 비반전 스트로브 또는 클록 신호에서 송신 동작을 트리거하면서 수신 동작을 트리거하기 위해 반전된 변조된 스트로브 또는 클록 신호를 생성하는 테스트 시스템에 의해 테스트된다. 스트로브 신호의 듀티 사이클을 조정함으로써, 스

트로브 신호의 후단 에지는 스트로브 신호의 선단 에지(트리거링 에지)에 대해 조정된다. 듀티 사이클 조정된 스트로브 신호를 반전시킴으로써, 테스트는 듀티 사이클의 변화에 의해 스트로브 신호의 후단 에지로 변조된 선단 에지(트리거링 에지)를 갖는 반전 스트로브 신호를 생성한다. 변조된 트리거링 에지는 더 정밀한 테스트 신호들을 제공할 수 있다. 일 실시예에서, 인터페이스 테스트는 신호 그룹들 내의 I/O 인터페이스를 테스트하는 것을 포함하며, 각각의 신호 그룹은 테스트 시스템(도시되지 않음)에 전송할 통과/실패 정보를 누적한다.

[0081] 일 양태에서, I/O(입력/출력) 인터페이스를 테스트하는 방법은 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 생성하는 단계 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 가짐 -; 상기 스트로브 신호의 듀티 사이클을 조정함으로써 상기 스트로브 신호의 상기 후단 에지를 변조하는 단계; 상기 변조된 후단 에지를 갖는 상기 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 단계 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -; 상기 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 송신을 트리거하는 단계; 및 상기 반전 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 수신을 트리거하는 단계를 포함한다.

[0082] 일 실시예에서, 생성하는 단계는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 생성하는 단계를 추가로 포함하고, 상기 스트로브 신호의 상기 후단 에지를 변조하는 단계는 상기 스트로브 신호 및 그의 보수의 상기 후단 에지를 변조하는 단계를 추가로 포함하며, 상기 스트로브 신호를 반전시키는 단계는 반전된 상보적인 스트로브 신호를 생성하는 단계를 추가로 포함한다. 일 실시예에서, 상기 스트로브 신호의 상기 후단 에지를 변조하는 단계는 테스트 데이터 송신과 테스트 데이터 수신 사이의 스큐를 조정하여 I/O 아이 폭을 조정하기 위해 상기 스트로브 신호의 듀티 사이클을 조정하는 단계를 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 상기 듀티 사이클을 감소시키는 단계를 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 상기 듀티 사이클을 증가시키는 단계를 포함한다. 일 실시예에서, 상기 방법은 상기 셋업 시간 파라미터를 테스트하기 위해 지연에 의해 데이터 캡처를 오프셋하는 단계를 추가로 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 단계는 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 단계를 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 단계는 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 단계를 포함한다.

[0083] 일 양태에서, 테스트될 I/O(입력/출력) 인터페이스를 갖는 회로 디바이스는 각각이 상기 I/O 인터페이스의 하드웨어 I/O 버퍼에 인터페이스하는 다수의 신호 라인 - 상기 신호 라인들 각각은 테스트 소스로부터 상기 다수의 신호 라인에 분배되는 테스트 데이터 신호의 비트들을 수신하는 것임 -; 상기 테스트 데이터 신호에 대한 클록 신호로서 스트로브 신호에의 하드웨어 인터페이스 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 에지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 및 상기 스트로브 신호의 상기 트리거링 에지에 기초하여 상기 I/O 버퍼에 기입되고 변조된 트리거링 에지를 갖는 반전 스트로브 신호에 기초하여 상기 I/O 버퍼로부터 판독되는 데이터 비트와 예상되는 데이터 비트를 비교하는 것을 포함하여, 타이밍 파라미터를 위반하는 I/O 아이 폭에 의해 야기되는 I/O 에러들을 검출하는 에러 검출 로직을 포함하고, 상기 반전 스트로브 신호는 수신된 스트로브 신호의 반전된 버전이다.

[0084] 일 실시예에서, 상기 스트로브 신호는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 포함하고, 상기 스트로브 신호의 상기 변조된 후단 에지는 상기 스트로브 신호 및 그의 보수의 후단 에지를 추가로 포함한다. 일 실시예에서, 상기 에러 검출 로직은 I/O 아이 폭을 설정하기 위해 기입 트리거링과 판독 트리거링 사이에 선택된 스큐를 갖는 반전 스트로브 신호에 의해 야기되는 I/O 에러들을 검출하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 감소된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 홀드 시간 파라미터 위반에 대해 테스트하거나, 또는 증가된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 셋업 시간 파라미터 위반에 대해 테스트하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 또한 상기 셋업 시간 파라미터를 테스트하기 위해 지연에 의해 데이터 캡처를 오프셋하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하는 것이다.

[0085] 일 양태에서, 테스트될 하드웨어 I/O(입력/출력) 인터페이스를 갖는 시스템은 테스트 데이터 시퀀스를 생성하는 테스트 소스; 처리되는 다수의 별개의 회로 다이를 갖는 반도체 웨이퍼를 포함하고, 각각의 회로 다이는 상기 I/O 인터페이스의 하드웨어 I/O 버퍼에 인터페이스하는 다수의 신호 라인 - 상기 신호 라인들 각각은 테스트 소

스로부터 상기 다수의 신호 라인에 분배되는 테스트 데이터 신호의 비트들을 수신하는 것임 -; 상기 테스트 데이터 신호에 대한 클록 신호로서 스트로브 신호에의 하드웨어 인터페이스 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 에지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 및 상기 스트로브 신호의 상기 트리거링 에지에 기초하여 상기 I/O 버퍼에 기입되고 변조된 트리거링 에지를 갖는 반전 스트로브 신호에 기초하여 상기 I/O 버퍼로부터 판독되는 데이터 비트와 예상되는 데이터 비트를 비교하는 것을 포함하여, 타이밍 파라미터를 위반하는 I/O 아이 폭에 의해 야기되는 I/O 에러들을 검출하는 에러 검출 로직을 포함하고, 상기 반전 스트로브 신호는 수신된 스트로브 신호의 반전된 버전이고; 상기 테스트 데이터 시퀀스는 상기 다수의 회로 다이의 상기 I/O 인터페이스를 동시에 간접적으로 테스트하기 위해 상기 반도체 웨이퍼 상의 다수의 회로 다이 상의 신호 라인 그룹들에 분배된다.

[0086] 일 실시예에서, 상기 스트로브 신호는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 포함하고, 상기 스트로브 신호의 상기 변조된 후단 에지는 상기 스트로브 신호 및 그의 보수의 후단 에지를 추가로 포함한다. 일 실시예에서, 상기 에러 검출 로직은 I/O 아이 폭을 설정하기 위해 기입 트리거링과 판독 트리거링 사이에 선택된 스큐를 갖는 반전 스트로브 신호에 의해 야기되는 I/O 에러들을 검출하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 감소된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 홀드 시간 파라미터 위반에 대해 테스트하거나, 또는 증가된 듀티 사이클을 갖는 스트로브 신호로부터의 상기 반전 스트로브 신호에 기초하여 셋업 시간 파라미터 위반에 대해 테스트하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 또한 상기 셋업 시간 파라미터를 테스트하기 위해 지연에 의해 데이터 캡처를 오프셋하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하는 것이다. 일 실시예에서, 상기 에러 검출 로직은 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하는 것이다.

[0087] 일 양태에서, 실행될 때 I/O(입력/출력) 인터페이스를 테스트하는 동작들을 수행하는 콘텐츠가 저장된 컴퓨터 판독가능 스토리지 매체를 포함하는 제조물로서, 상기 동작들은: 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 생성하는 것 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 가짐 -; 상기 스트로브 신호의 듀티 사이클을 조정함으로써 상기 스트로브 신호의 상기 후단 에지를 변조하는 것; 상기 변조된 후단 에지를 갖는 상기 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 것 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -; 상기 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 송신을 트리거하는 것; 및 상기 반전 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 수신을 트리거하는 것을 포함한다.

[0088] 일 실시예에서, 생성하는 것에 대한 콘텐츠는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 생성하는 것에 대한 콘텐츠를 추가로 포함하고, 상기 스트로브 신호의 상기 후단 에지를 변조하는 것에 대한 콘텐츠는 상기 스트로브 신호 및 그의 보수의 상기 후단 에지를 변조하는 것에 대한 콘텐츠를 추가로 포함하며, 상기 스트로브 신호를 반전시키는 것에 대한 콘텐츠는 반전된 상보적인 스트로브 신호를 생성하는 것에 대한 콘텐츠를 추가로 포함한다. 일 실시예에서, 상기 스트로브 신호의 상기 후단 에지를 변조하는 것에 대한 콘텐츠는 테스트 데이터 송신과 테스트 데이터 수신 사이의 스큐를 조정하여 I/O 아이 폭을 조정하기 위해 상기 스트로브 신호의 듀티 사이클을 조정하는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 것에 대한 콘텐츠는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 상기 듀티 사이클을 감소시키는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 것에 대한 콘텐츠는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 상기 듀티 사이클을 증가시키는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 셋업 시간 파라미터를 테스트하기 위해 지연에 의해 데이터 캡처를 오프셋하는 것에 대한 콘텐츠를 추가로 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 것에 대한 콘텐츠는 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 것에 대한 콘텐츠는 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 것에 대한 콘텐츠를 포함한다.

[0089] 일 양태에서, I/O(입력/출력) 인터페이스를 테스트하는 장치는 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 생성하는 수단 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 가짐 -; 상기 스트로브 신호의 듀티 사이클을 조정함으로써 상기 스트로브 신호의 상기 후단 에지를 변조하는 수단; 상기 변조된 후단 에지를 갖는 상기 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 수단 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -; 상기 스트로브 신호의 상기 트리거링 에지

에서 테스트 데이터 송신을 트리거하는 수단; 및 상기 반전 스트로브 신호의 상기 트리거링 에지에서 테스트 데이터 수신을 트리거하는 수단을 포함한다.

[0090] 일 실시예에서, 생성하는 수단은 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 생성하는 수단을 추가로 포함하고, 상기 스트로브 신호의 상기 후단 에지를 변조하는 수단은 상기 스트로브 신호 및 그의 보수의 상기 후단 에지를 변조하는 수단을 추가로 포함하며, 상기 스트로브 신호를 반전시키는 수단은 반전된 상보적인 스트로브 신호를 생성하는 수단을 추가로 포함한다. 일 실시예에서, 상기 스트로브 신호의 상기 후단 에지를 변조하는 수단은 테스트 데이터 송신과 테스트 데이터 수신 사이의 스큐를 조정하여 I/O 아이 폭을 조정하기 위해 상기 스트로브 신호의 듀티 사이클을 조정하는 수단을 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 수단은 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 상기 듀티 사이클을 감소시키는 수단을 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 수단은 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 상기 듀티 사이클을 증가시키는 수단을 포함한다. 일 실시예에서, 상기 셋업 시간 파라미터를 테스트하기 위해 지연에 의해 데이터 캡처를 오프셋하는 수단을 추가로 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 수단은 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 수단을 포함한다. 일 실시예에서, 상기 듀티 사이클을 조정하는 수단은 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하는 수단을 포함한다.

[0091] 일 양태에서, I/O(입력/출력) 인터페이스를 테스트하는 방법은 테스트 대상 디바이스에서 테스트 시스템으로부터, 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 수신하는 단계 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 에지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 상기 수신된 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 단계 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -; 상기 스트로브 신호의 상기 트리거링 에지에 응답하여 상기 테스트 데이터를 기입하는 단계; 및 상기 반전 스트로브 신호의 상기 트리거링 에지에 응답하여 상기 기입된 테스트 데이터를 판독하는 단계를 포함한다.

[0092] 일 실시예에서, 수신하는 단계는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 수신하는 단계를 추가로 포함하고, 상기 스트로브 신호를 반전시키는 단계는 반전된 상보적인 스트로브 신호를 생성하는 단계를 추가로 포함한다. 일 실시예에서, 상기 수신된 스트로브 신호를 반전시키는 단계는 I/O 아이 폭을 조정하기 위해 테스트 데이터 송신과 테스트 데이터 수신 사이에 선택된 스큐를 갖는 반전 스트로브 신호를 생성하는 단계를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 감소된 듀티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 단계를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 단계는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 증가된 듀티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 단계를 포함한다. 일 실시예에서, 상기 셋업 시간 파라미터를 테스트하기 위해 상기 기입된 데이터를 판독하기 전에 지연을 트리거함으로써 데이터 캡처를 오프셋하는 단계를 추가로 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 단계는 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 단계를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 단계는 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 단계를 포함한다.

[0093] 일 양태에서, 실행될 때 I/O(입력/출력) 인터페이스를 테스트하는 동작들을 수행하는 콘텐츠가 저장된 컴퓨터 판독가능 스토리지 매체를 포함하는 제조물로서, 상기 동작들은: 테스트 대상 디바이스에서 테스트 시스템으로부터, 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 수신하는 것 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 에지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 상기 수신된 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 것 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -; 상기 스트로브 신호의 상기 트리거링 에지에 응답하여 상기 테스트 데이터를 기입하는 것; 및 상기 반전 스트로브 신호의 상기 트리거링 에지에 응답하여 상기 기입된 테스트 데이터를 판독하는 것을 포함한다.

[0094] 일 실시예에서, 수신하는 것에 대한 콘텐츠는 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 수신하는 것에 대한 콘텐츠를 추가로 포함하고, 상기 스트로브 신호를 반전시키는 것에 대한 콘텐츠는 반전된 상보적인 스트로브 신호를 생성하는 것에 대한 콘텐츠를 추가로 포함한다. 일 실시예에서, 상기 수신된 스트로브

신호를 반전시키는 것에 대한 콘텐츠는 I/O 아이 폭을 조정하기 위해 테스트 데이터 송신과 테스트 데이터 수신 사이에 선택된 스큐를 갖는 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 감소된 듀티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠는 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 증가된 듀티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠는 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠를 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠는 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 것에 대한 콘텐츠를 포함한다.

[0095] 일 양태에서, I/O(입력/출력) 인터페이스를 테스트하는 장치는 테스트 대상 디바이스에서 테스트 시스템으로부터, 테스트 데이터 신호를 송신 및 수신하기 위한 클록 신호로서 스트로브 신호를 수신하는 수단 - 상기 스트로브 신호는 기입을 트리거하는 트리거링 에지, 및 후단 에지를 갖고, 상기 스트로브 신호는 상기 스트로브 신호의 후단 에지를 변조하도록 조정되는 듀티 사이클을 가짐 -; 상기 수신된 스트로브 신호를 반전시켜 반전 스트로브 신호를 생성하는 수단 - 상기 반전 스트로브 신호는 변조된 트리거링 에지를 가짐 -; 상기 스트로브 신호의 상기 트리거링 에지에 응답하여 상기 테스트 데이터를 기입하는 수단; 및 상기 반전 스트로브 신호의 상기 트리거링 에지에 응답하여 상기 기입된 테스트 데이터를 판독하는 수단을 포함한다.

[0096] 일 실시예에서, 수신하는 수단은 더블 데이터 레이트 디바이스에 대한 차동 스트로브 신호를 수신하는 수단을 추가로 포함하고, 상기 스트로브 신호를 반전시키는 수단은 반전된 상보적인 스트로브 신호를 생성하는 수단을 추가로 포함한다. 일 실시예에서, 상기 수신된 스트로브 신호를 반전시키는 수단은 I/O 아이 폭을 조정하기 위해 테스트 데이터 송신과 테스트 데이터 수신 사이에 선택된 스큐를 갖는 반전 스트로브 신호를 생성하는 수단을 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 수단은 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 홀드 시간 파라미터에 실패하게 하도록 감소된 듀티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 수단을 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 수단은 상기 반전 스트로브 신호가 상기 I/O 아이 폭이 셋업 시간 파라미터에 실패하게 하도록 증가된 듀티 사이클을 갖는 스트로브 신호로부터 상기 반전 스트로브 신호를 생성하는 수단을 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 수단은 첫 번째 실패 조건에 대해 상기 I/O 아이의 후단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 수단을 포함한다. 일 실시예에서, 상기 반전 스트로브 신호를 생성하는 수단은 모두 통과 조건에 대해 상기 I/O 아이의 선단 에지를 테스트하기 위해 상기 I/O 아이 폭을 조정하기 위해 상기 반전 스트로브 신호를 생성하는 수단을 포함한다.

[0097] 본 명세서에 예시된 흐름도들은 다양한 프로세스 액션들의 시퀀스의 예를 제공한다. 흐름도들은 소프트웨어 또는 펌웨어 루틴에 의해 실행될 동작들뿐 아니라 물리적 동작들을 나타낼 수 있다. 일 실시예에서, 흐름도는, 하드웨어 및/또는 소프트웨어로 구현될 수 있는 유한 상태 머신(FSM)(finite state machine)의 상태를 예시할 수 있다. 특정 시퀀스 또는 순서로 도시되지만, 달리 명시되지 않는다면, 액션들의 순서는 수정될 수 있다. 따라서, 예시된 실시예들은 단지 예로서 이해되어야 하고, 프로세스는 상이한 순서로 수행될 수 있고, 일부 액션들은 병렬로 수행될 수 있다. 추가로, 다양한 실시예들에서 하나 이상의 액션들이 생략될 수 있으며; 따라서, 모든 실시예에 모든 액션들이 요구되는 것은 아니다. 다른 프로세스 흐름들이 가능하다.

[0098] 다양한 동작 또는 기능이 본 명세서에 기술되어 있는 한, 이들은 소프트웨어 코드, 명령어, 구성, 및/또는 데이터로서 기술되거나 정의될 수 있다. 그 콘텐츠는 직접 실행 가능한("액체" 또는 "실행 가능" 형태), 소스 코드, 또는 차이 코드(difference code)("델타(delta)" 또는 "패치(patch)" 코드)일 수 있다. 본 명세서에 설명된 실시예들의 소프트웨어 콘텐츠는 그 콘텐츠가 저장된 제조물을 통해, 또는 통신 인터페이스를 동작시켜 그 통신 인터페이스를 통해 데이터를 송신하는 방법을 통해 제공될 수 있다. 머신 판독가능 스토리지 매체는 머신이 설명된 기능들 또는 동작들을 수행하게 할 수 있고, 기록가능한/기록가능하지 않은 매체(예를 들어,

ROM(read only memory), RAM(random access memory), 자기 디스크 스토리지 매체, 광 스토리지 매체, 플래시 메모리 디바이스 등)와 같은, 머신(예를 들어, 컴퓨팅 디바이스, 전자 시스템 등)에 의해 액세스 가능한 형태로 정보를 저장하는 임의의 메커니즘을 포함한다. 통신 인터페이스는 메모리 버스 인터페이스, 프로세서 버스 인터페이스, 인터넷 접속, 디스크 제어기 등과 같은 다른 디바이스와 통신하기 위해 유선, 무선, 광학 등의 임의의 매체와 인터페이스하는 임의의 메커니즘을 포함한다. 통신 인터페이스는 소프트웨어 콘텐츠를 기술하는 데이터 신호를 제공하기 위해 통신 인터페이스를 준비하기 위해 구성 파라미터들을 제공하고 및/또는 신호들을 송신함으로써 구성될 수 있다. 통신 인터페이스는 통신 인터페이스에 전송되는 하나 이상의 커맨드 또는 신호를 통해 액세스 될 수 있다.

[0099]

본 명세서에 설명된 다양한 컴포넌트들은 설명된 동작 또는 기능을 수행하기 위한 수단일 수 있다. 본 명세서에 설명된 각각의 컴포넌트는 소프트웨어, 하드웨어 또는 이들의 조합을 포함한다. 컴포넌트들은 소프트웨어 모듈, 하드웨어 모듈, 특수 목적 하드웨어(예를 들어, 애플리케이션 특정 하드웨어, 주문형 집적 회로(ASIC), 디지털 신호 프로세서(DSP) 등), 내장형 제어기, 하드웨어 회로 등으로서 구현될 수 있다.

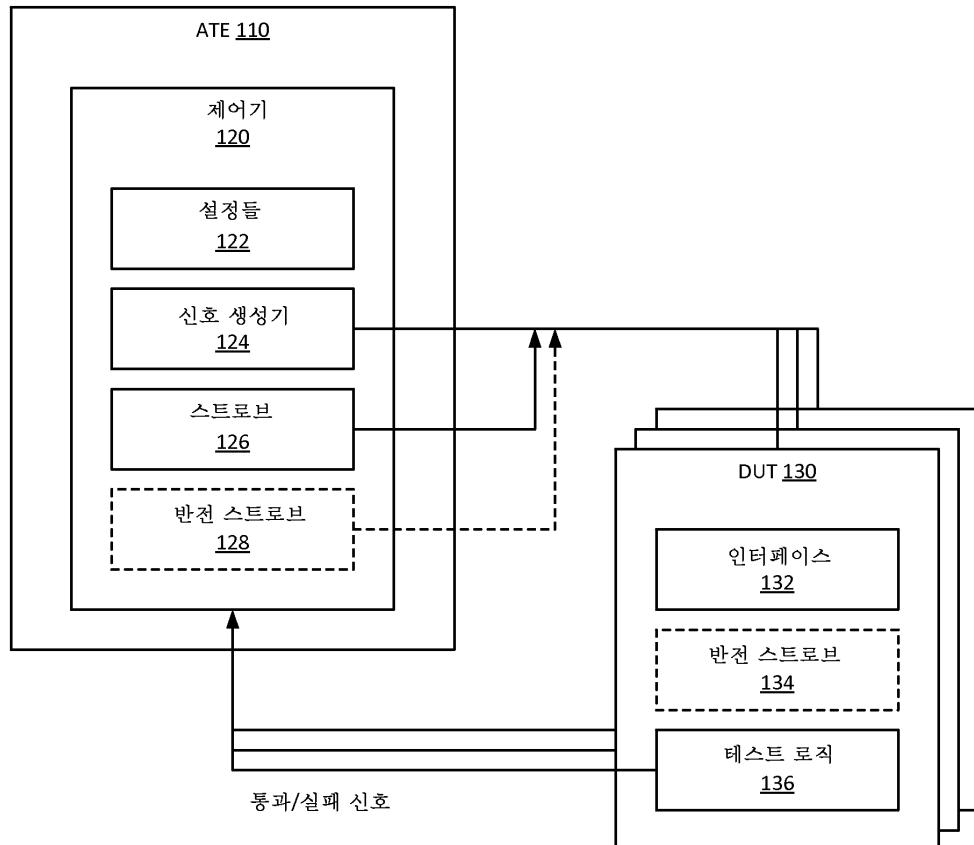
[0100]

본 명세서에 설명된 것 이외에, 본 발명의 범위를 벗어나지 않으면서 본 발명의 개시된 실시예들 및 구현예들에 대한 다양한 수정이 이루어질 수 있다. 따라서, 본 명세서의 예시들 및 예들은 제한적인 의미가 아니라 예시적인 것으로 해석되어야 한다. 본 발명의 범위는 다음의 청구범위에 관련해서만 평가되어야 한다.

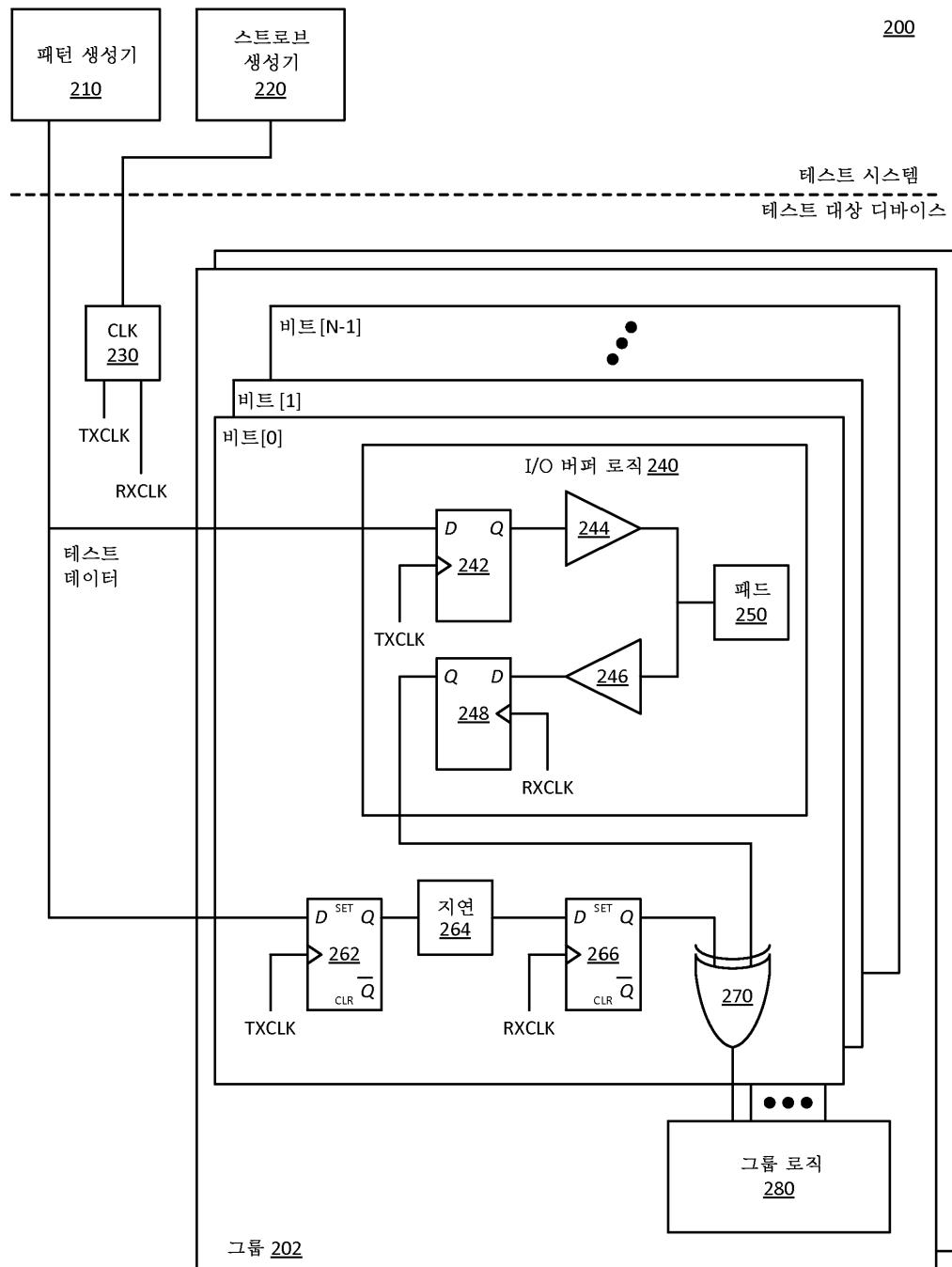
도면

도면1

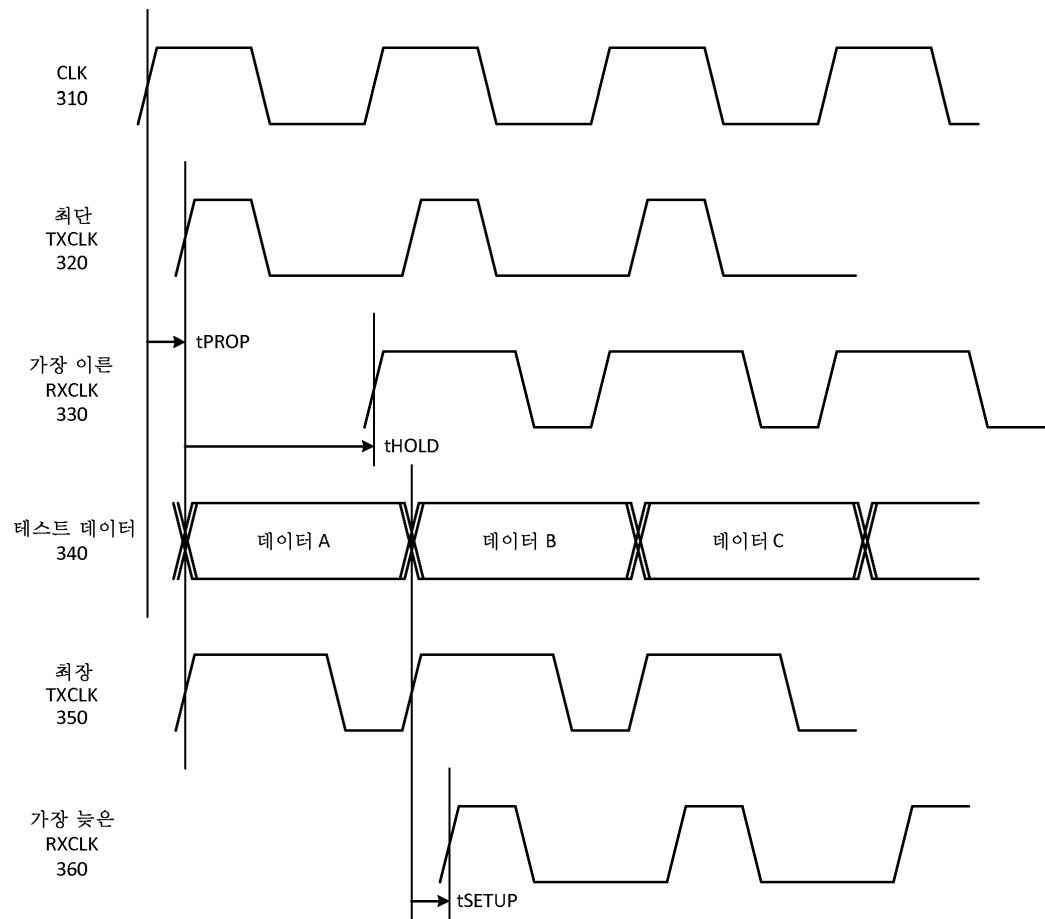
100



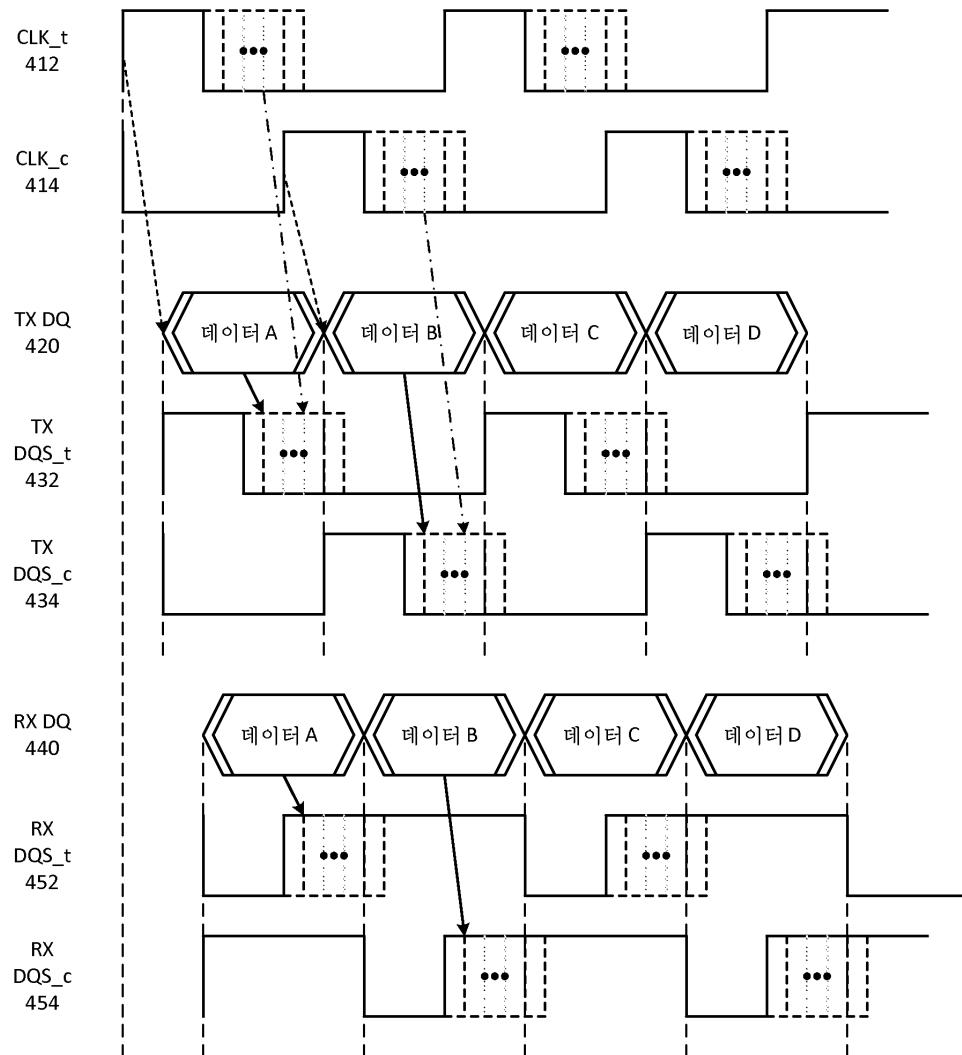
도면2



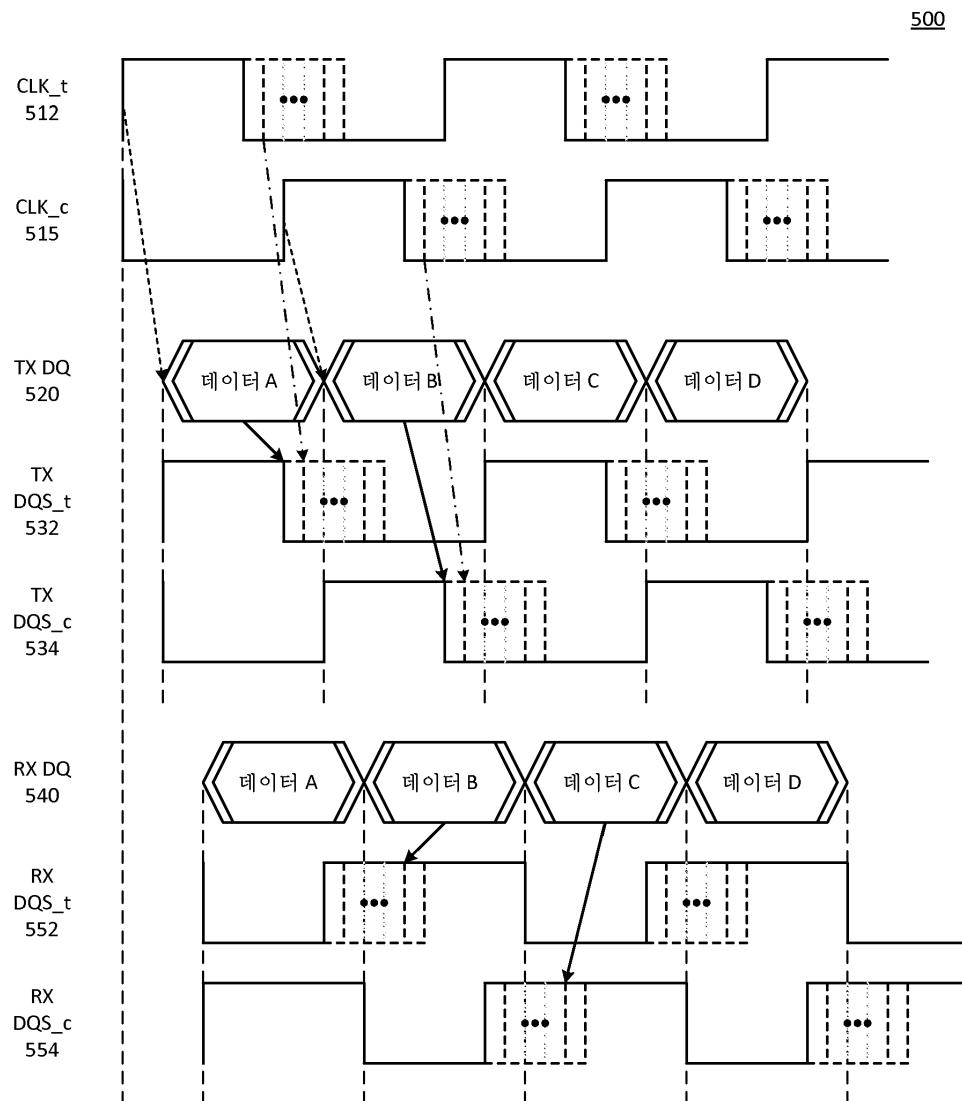
도면3

300

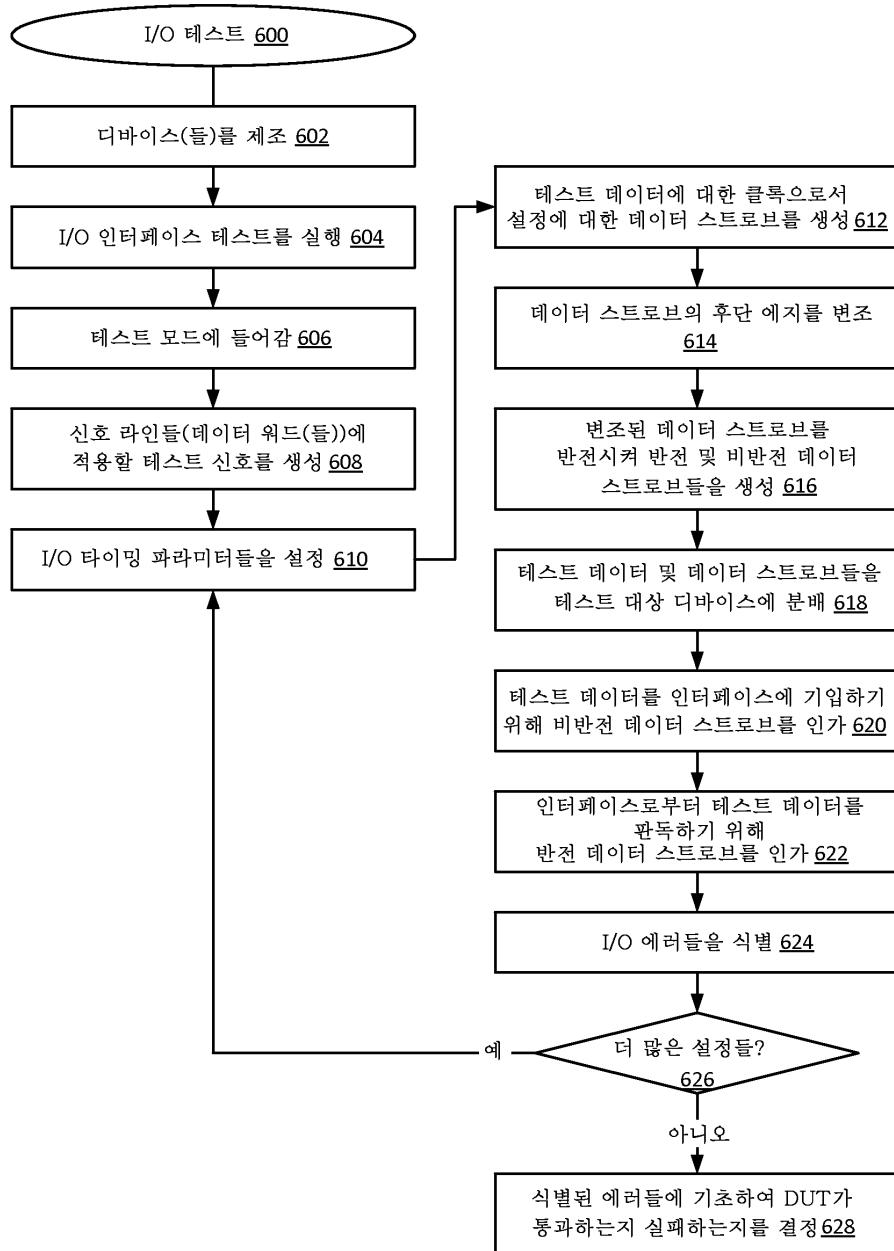
도면4

400

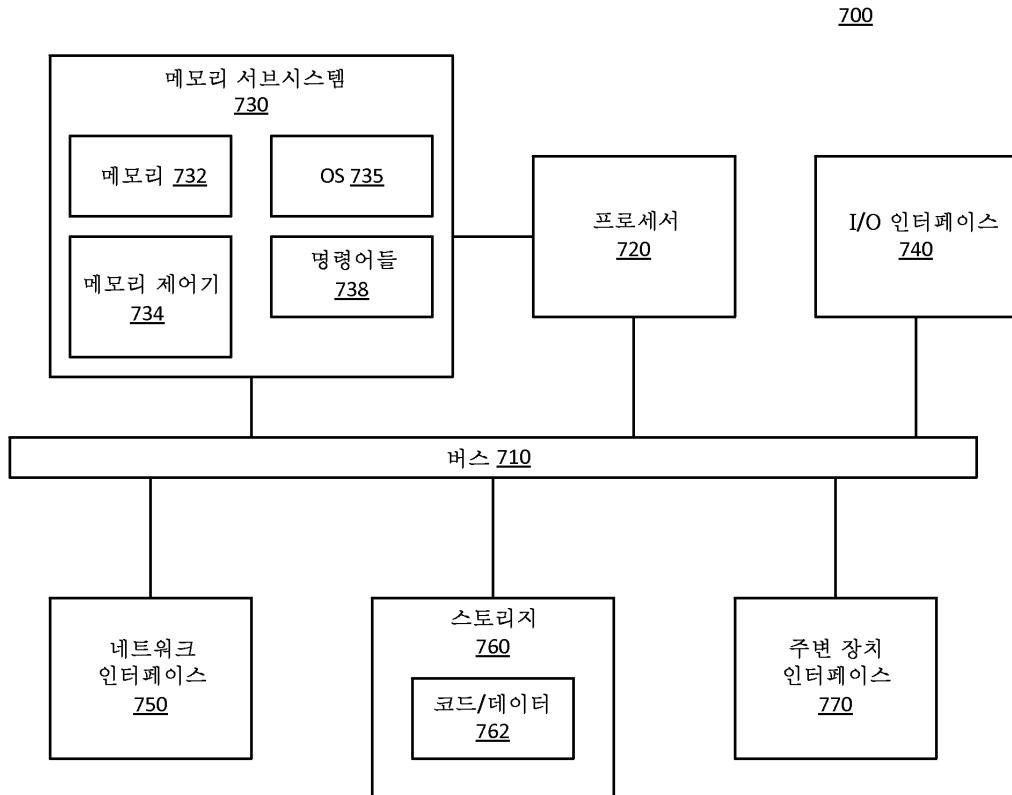
도면5



도면6



도면7



도면8

