

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年2月28日(2023.2.28)

【国際公開番号】WO2022/209346

【出願番号】特願2022-529718(P2022-529718)

【国際特許分類】

H 0 1 L 2 9 / 7 8 (2 0 0 6 . 0 1)

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 K

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 2 L

H 0 1 L 2 9 / 7 8 6 5 6 A

H 0 1 L 2 9 / 7 8 6 5 3 C

10

【手続補正書】

【提出日】令和4年5月20日(2022.5.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

20

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、
半導体層と、

前記半導体層の裏面に接触して形成された金属層と、

前記半導体層の内部の第1の半導体層内領域に形成された第1の縦型MOSトランジスタと、

30

前記内部の、前記半導体層の平面視において前記第1の半導体層内領域に隣接した第2の半導体層内領域に形成された第2の縦型MOSトランジスタと、

前記半導体層の上面の第1の半導体層上面領域に形成された、前記第1の縦型MOSトランジスタのソース電極に接続された1以上の第1のソースパッド、および、前記第1の縦型MOSトランジスタのゲート電極に接続された第1のゲートパッドと、

前記上面の、前記半導体層の平面視において前記第1の半導体層上面領域に隣接した第2の半導体層上面領域に形成された、前記第2の縦型MOSトランジスタのソース電極に接続された1以上の第2のソースパッド、および、前記第2の縦型MOSトランジスタのゲート電極に接続された第2のゲートパッドと、を備え、

前記第1の半導体層内領域と前記第2の半導体層内領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、

40

前記第1の半導体層上面領域と前記第2の半導体層上面領域とは、前記半導体層の平面視において、前記半導体層を面積で二等分する一方と他方であって、

前記半導体層は、半導体基板を有し、

前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域として機能し、

前記半導体層は、前記半導体層の平面視において矩形であり、

前記半導体層の平面視において、

前記第1のゲートパッドの中心と前記第2のゲートパッドの中心とを結ぶ第1の仮想直線は、前記半導体層の中心を通り、前記半導体層の各辺となす角が45度であり、

50

前記第 1 の半導体層上面領域と前記第 2 の半導体層上面領域との境界線である上面境界線の長さは、前記半導体層の長辺の長さよりも長く、

前記上面境界線は、前記長辺の伸びる長辺方向、および、前記半導体層の短辺の伸びる短辺方向において単調に変化する

半導体装置。

【請求項 2】

前記半導体層は、前記半導体層の平面視において正方形である

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 のゲートパッドは、前記半導体層の平面視において、前記第 1 のゲートパッドと、前記半導体層の 4 つの辺のうち最近接する第 1 の辺および第 2 の辺との間に、前記 1 以上の第 1 のソースパッドが一部でも挟まれないように配置され、

前記第 2 のゲートパッドは、前記半導体層の平面視において、前記第 2 のゲートパッドと、前記半導体層の 4 つの辺のうち最近接する第 3 の辺および第 4 の辺との間に、前記 1 以上の第 2 のソースパッドが一部でも挟まれないように配置される

請求項 2 に記載の半導体装置。

【請求項 4】

前記上面境界線と前記第 1 の辺または前記第 2 の辺との交点を第 1 の交点とし、前記上面境界線と前記第 3 の辺または前記第 4 の辺との交点を第 2 の交点とする場合において、前記第 1 の交点と前記第 2 の交点とを結ぶ第 2 の仮想直線と前記第 1 の仮想直線との、前記半導体層の平面視においてなす角は、45 度より大きく 90 度以下である

請求項 3 に記載の半導体装置。

【請求項 5】

前記角は、60 度以上 90 度以下である

請求項 4 に記載の半導体装置。

【請求項 6】

前記上面境界線と前記第 1 の辺または前記第 2 の辺との交点を第 1 の交点とし、前記上面境界線と前記第 3 の辺または前記第 4 の辺との交点を第 2 の交点とする場合において、前記第 1 の交点と前記第 2 の交点とを結ぶ第 2 の仮想直線と前記第 1 の仮想直線との、前記半導体層の平面視においてなす角は、0 度以上 45 度未満である

請求項 3 に記載の半導体装置。

【請求項 7】

前記角は、0 度以上 22 度未満である

請求項 6 に記載の半導体装置。

【請求項 8】

前記半導体層の平面視において、

前記半導体層の 4 つの辺のうち、前記第 1 のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有する辺を第 1 の辺とし、前記第 1 のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有さない辺を第 2 の辺とし、前記第 2 のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有する辺を第 3 の辺とし、前記第 2 のゲートパッドと最近接する辺であり、かつ、前記上面境界線との交点を有さない辺を第 4 の辺とし、前記第 1 の辺と前記第 4 の辺とがなす頂点を第 1 の頂点とし、前記第 2 の辺と前記第 3 の辺とがなす頂点を第 2 の頂点とし、前記上面境界線と前記第 1 の辺との交点を第 1 の交点とし、前記上面境界線と前記第 3 の辺との交点を第 2 の交点とする場合に、

前記第 1 の頂点と前記第 1 の交点との距離は、前記半導体層の辺の長さの $1/N$ (N は、3 以上の整数) 以上であり、かつ、前記第 2 のゲートパッドの最大径よりも長く、前記第 2 の頂点と前記第 2 の交点との距離は、前記半導体層の辺の長さの $1/N$ 以上であり、かつ、前記第 1 のゲートパッドの最大径よりも長く、

前記上面境界線は、前記第 2 の辺に平行な $N - 1$ 本の線分と、前記第 1 の辺に平行な N

10

20

30

40

50

- 2本の線分とが交互に接続されてなる
請求項2に記載の半導体装置。

【請求項9】

Nは、3、4、または、5のいずれかである
請求項8に記載の半導体装置。

【請求項10】

前記1以上の第1のソースパッドは複数であり、
前記1以上の第1のソースパッドのそれぞれは、前記半導体層の平面視において、前記第1の辺に平行な方向に長手方向を有する長方形または長円形であり、前記第1の辺に平行に縞状に形成され、

10

前記1以上の第2のソースパッドは複数であり、
前記1以上の第2のソースパッドのそれぞれは、前記半導体層の平面視において、前記第1の辺に平行な方向に長手方向を有する長方形または長円形であり、前記第1の辺に平行に縞状に形成される

請求項8または請求項9に記載の半導体装置。

【請求項11】

前記1以上の第1のソースパッドは1つであり、前記第1のゲートパッドの領域を除く前記第1の半導体層上面領域の略全面に配置され、

前記1以上の第2のソースパッドは1つであり、前記第2のゲートパッドの領域を除く前記第2の半導体層上面領域の略全面に配置される

20

請求項3に記載の半導体装置。

【請求項12】

前記1以上の第1のソースパッドは複数であり、

前記1以上の第1のソースパッドのそれぞれは、他の第1のソースパッドと対向する辺のそれぞれが、前記上面境界線に直交するまたは平行する辺となる形状であり

前記1以上の第2のソースパッドは複数であり、

前記1以上の第2のソースパッドのそれぞれは、他の第2のソースパッドと対向する辺のそれぞれが、前記上面境界線に直交するまたは平行する辺となる形状である

請求項3に記載の半導体装置。

【請求項13】

30

請求項1に記載の第1の半導体装置と、

前記第1の半導体装置がフェイスダウン実装された実装基板と、を備え、

前記実装基板は、前記第1の半導体装置の前記第1のゲートパッドに電氣的に接続される第1の導体を通す第1のビアと、前記第1の半導体装置の前記第2のゲートパッドに電氣的に接続される第2の導体を通す第2のビアと、を有する

半導体モジュール。

【請求項14】

前記実装基板の平面視において、

前記第1のビアの中心と前記第2のビアの中心とは、前記第1の半導体装置の前記第1の仮想直線上に位置する

40

請求項13に記載の半導体モジュール。

【請求項15】

前記第1の半導体装置は、請求項3に記載の半導体装置であって、

前記実装基板の平面視において、

前記第1のビアの中心は、前記第1の半導体装置の、(1)前記第1の仮想直線上、(2)前記第1の辺が伸びる方向に前記第2の辺を超えた、前記第1の半導体装置の外側、かつ、前記第2の辺が伸びる方向において、前記第1のゲートパッドの中心と前記第1の辺との間、または、(3)前記第2の辺が伸びる方向に前記第1の辺を超えた、前記第1の半導体装置の外側、かつ、前記第1の辺が伸びる方向において、前記第1のゲートパッドの中心と前記第2の辺との間のいずれかに位置し、

50

前記第 2 のビアの中心は、前記第 1 の半導体装置の、(1) 前記第 1 の仮想直線上、(2) 前記第 3 の辺が伸びる方向に前記第 4 の辺を超えた、前記第 1 の半導体装置の外側、かつ、前記第 4 の辺が伸びる方向において、前記第 2 のゲートパッドの中心と前記第 3 の辺との間、または、(3) 前記第 4 の辺が伸びる方向に前記第 3 の辺を超えた、前記第 1 の半導体装置の外側、かつ、前記第 3 の辺が伸びる方向において、前記第 2 のゲートパッドの中心と前記第 4 の辺との間のいずれかに位置する

請求項 1.3 に記載の半導体モジュール。

【請求項 1 6】

前記第 1 の半導体装置は、請求項 4 に記載の半導体装置であって、

前記実装基板の平面視において、

前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第 1 の表面に、前記長手方向が伸びる方向に並ぶ、前記第 1 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する第 1 の金属配線と、前記第 1 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する第 2 の金属配線とを有し、

前記第 1 の半導体装置は、前記第 2 の仮想直線と前記長手方向が伸びる方向とのなす角が、15 度以上 75 度以下となる向きに、前記第 1 の表面に実装される

請求項 1.5 に記載の半導体モジュール。

【請求項 1 7】

さらに、請求項 4 に記載の第 2 の半導体装置を備え、

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記第 1 の半導体装置に対して、前記長手方向が伸びる方向のうちの、前記第 1 の延伸方向と逆向きの第 2 の延伸方向に平行移動した位置で、前記第 1 の半導体装置の前記第 2 の仮想直線と、前記第 2 の半導体装置の前記第 2 の仮想直線とが平行になる向きであり、かつ、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され

前記実装基板は、さらに、前記第 1 の表面に、前記第 2 の金属配線に対して前記第 2 の延伸方向に並ぶ、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する第 3 の金属配線を有し、

前記第 2 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する

請求項 1.6 に記載の半導体モジュール。

【請求項 1 8】

さらに、請求項 4 に記載の第 2 の半導体装置を備え、

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記第 1 の半導体装置に対して、前記長手方向が伸びる方向と直交する方向に平行移動した位置で、前記第 1 の半導体装置の前記第 2 の仮想直線と、前記第 2 の半導体装置の前記第 2 の仮想直線とが直角になる向きであり、かつ、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され

前記第 1 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合し、

前記第 2 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合し、

10

20

30

40

50

前記第 2 の半導体装置の前記第 2 のゲートパッドは、前記第 2 の導体に電氣的に接続される

請求項 1.6 に記載の半導体モジュール。

【請求項 19】

さらに、請求項 4 に記載の第 2 の半導体装置を備え、

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記第 1 の半導体装置に対して、前記第 1 の半導体装置の前記第 2 の仮想直線の伸びる方向に略平行移動した位置で、前記第 1 の半導体装置の前記第 2 の仮想直線と、前記第 2 の半導体装置の前記第 2 の仮想直線とが一直線上または平行になる向きであり、かつ、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 1 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合し、

前記第 2 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する

請求項 1.6 に記載の半導体モジュール。

【請求項 20】

さらに、請求項 4 に記載の第 2 の半導体装置を備え、

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記実装基板の、前記第 1 の表面に対向する第 2 の表面に、前記半導体基板の平面視において、前記第 1 の半導体装置の前記第 1 の半導体層上面領域と前記第 2 の半導体装置の前記第 1 の半導体層上面領域とが 50% を上回って重なり、かつ、前記第 1 の半導体装置の前記第 2 の半導体層上面領域と前記第 2 の半導体装置の前記第 2 の半導体層上面領域とが 50% を上回って重なる位置に、前記第 2 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の延伸方向側に位置する向きに、フェイスダウン実装され、

前記第 2 の半導体装置の前記第 1 のゲートパッドは、前記第 1 の導体に電氣的に接続され、

前記第 2 の半導体装置の前記第 2 のゲートパッドは、前記第 2 の導体に電氣的に接続される

請求項 1.6 に記載の半導体モジュール。

【請求項 21】

前記第 1 の半導体装置は、請求項 6 に記載の半導体装置であって、

前記実装基板の平面視において、

前記実装基板は、少なくとも前記半導体装置を実装する箇所において一定の幅を持って長手方向に伸びる形状であり、前記実装基板の第 1 の表面に、前記長手方向が伸びる方向に並ぶ、前記第 1 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合する第 1 の金属配線と、前記第 1 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合する第 2 の金属配線とを有し、

前記第 1 の半導体装置は、前記第 1 の半導体装置の各辺と前記長手方向が伸びる方向とのなす角が 45 度となる向きに、前記実装基板にフェイスダウン実装される

請求項 1.5 に記載の半導体モジュール。

【請求項 22】

さらに、請求項 6 に記載の第 2 の半導体装置を備え、

前記第 1 の半導体装置は、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記第 1 の表面にフェイスダウン実装され、

請求項 1.6 に記載の半導体モジュール。

前記実装基板の平面視において、

前記第 1 の半導体装置は、さらに、前記第 1 の半導体装置の前記第 1 のゲートパッドの位置が、前記長手方向が伸びる方向のうちの第 1 の延伸方向側に位置する向きに、前記第 1 の表面にフェイスダウン実装され、

前記第 2 の半導体装置は、前記第 1 の半導体装置に対して、前記長手方向が伸びる方向と直交する方向に平行移動した位置で、前記第 1 の半導体装置の前記第 2 の仮想直線と、前記第 2 の半導体装置の前記第 2 の仮想直線とが平行になる向きに、前記第 1 の表面にフェイスダウン実装され

前記第 1 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 1 のソースパッドの全てと接合し、

10

前記第 2 の金属配線は、さらに、前記第 2 の半導体装置の前記 1 以上の第 2 のソースパッドの全てと接合し、

前記半導体基板は、さらに、前記第 2 の半導体装置の前記第 1 のゲートパッドに電氣的に接続される第 3 の導体を通す第 3 のビアと、前記第 2 の半導体装置の前記第 2 のゲートパッドに電氣的に接続される第 4 の導体を通す第 4 のビアと、を有し、

前記第 1 のビアと前記第 2 のビアと前記第 3 のビアと前記第 4 のビアとは、前記実装基板の前記長手方向が伸びる方向において、前記第 1 の金属配線と前記第 2 の金属配線との間に位置する

請求項 2_1 に記載の半導体モジュール。

20

30

40

50