



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월25일  
(11) 등록번호 10-1159305  
(24) 등록일자 2012년06월18일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/> <b>GO1R 31/26</b> (2006.01) <b>H01L 21/66</b> (2006.01)</p> <p>(21) 출원번호 <b>10-2009-7022852</b></p> <p>(22) 출원일자(국제) <b>2008년01월17일</b><br/>                 심사청구일자 <b>2009년11월05일</b></p> <p>(85) 번역문제출일자 <b>2009년10월30일</b></p> <p>(65) 공개번호 <b>10-2009-0133129</b></p> <p>(43) 공개일자 <b>2009년12월31일</b></p> <p>(86) 국제출원번호 <b>PCT/US2008/051355</b></p> <p>(87) 국제공개번호 <b>WO 2008/150555</b><br/>                 국제공개일자 <b>2008년12월11일</b></p> <p>(30) 우선권주장<br/>                 11/757,338 2007년06월01일 미국(US)</p> <p>(56) 선행기술조사문헌<br/>                 US03882391 A</p> | <p>(73) 특허권자<br/> <b>시놉시스, 인크.</b><br/>                 미합중국, 캘리포니아 94043, 마운틴뷰, 이스트 미들필드로드 700</p> <p>(72) 발명자<br/> <b>모로즈 빅터</b><br/>                 미국 캘리포니아 95070 사라토가 보우랩 로드 17035<br/> <b>프라마니크 디펜카르</b><br/>                 미국 캘리포니아 95070 사라토가 웨이버리 코트 12667<br/>                 (뒷면에 계속)</p> <p>(74) 대리인<br/> <b>박장원</b></p> |
|---|--|

전체 청구항 수 : 총 12 항

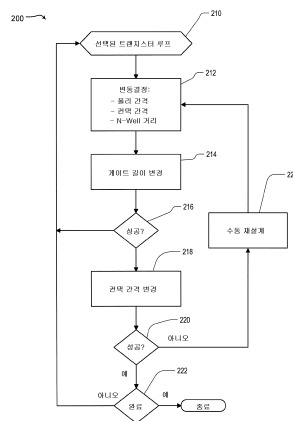
심사관 : 장석환

(54) 발명의 명칭 **MOSFET 집적 회로에서 공정-유도 성능 변동을 보상하는 방법**

**(57) 요약**

MOSFET 집적 회로에서 문턱 전압 및 구동 전류의 공정-유도 성능 변동을 보상하기 위한 자동화 방법이 개시된다. 본 방법의 첫 번째 단계는 어레이로부터 분석할 트랜지스터를 선택하는 단계이다. 본 방법은 원하는 어레이의 트랜지스터 사이를 루프한다. 다음으로, 선택된 트랜지스터의 설계가 분석되는 바, 이는 레이아웃의 근접성에 의해 유도되는 문턱 전압 변동을 결정하는 단계 및 레이아웃의 근접성에 의해 유도되는 구동 전류 변동을 결정하는 단계를 포함한다. 이후, 본 방법은 트랜지스터 게이트의 길이를 변경함으로써 임의의 결정된 변동을 보상하고자 시도한다. 본 방법은 컨택 간격을 변경함으로써 임의의 보상 부족을 식별하는 단계를 더 포함할 수 있다.

**대표도 - 도6**



(72) 발명자

싱헬 키쇼어

미국 캘리포니아 95035 밀피타스 캘린도 코트 901

린 자이-웨이

미국 캘리포니아 94539 프레몬트 산 모레노 코트  
39847

---

## 특허청구의 범위

### 청구항 1

MOSFET 집적 회로에서 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 자동화 방법으로서, 분석을 위한 트랜지스터 어레이를 선택하는 단계와; 그리고

상기 트랜지스터 어레이의 설계를 분석하는 단계를 포함하고,

여기서, 상기 분석 단계는,

레이아웃 근접성으로 인해 유도된 문턱 전압 변동을 결정하고, 레이아웃 근접성으로 인해 유도된 구동 전류 변동을 결정하는 단계와; 그리고

상기 트랜지스터 어레이의 게이트 피치를 변경함으로써 임의의 결정된 변동들을 보상하는 단계를 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 자동화 방법.

### 청구항 2

제 1 항에 있어서,

상기 분석 단계는 컨택 간격을 변경함으로써 임의의 보상 부족을 식별하는 단계를 더 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 자동화 방법.

### 청구항 3

제 1 항에 있어서,

모든 트랜지스터 어레이들이 분석될 때 까지, 분석을 위한 트랜지스터 어레이들을 계속해서 선택하는 단계를 더 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 자동화 방법.

### 청구항 4

제 1 항에 있어서,

트랜지스터 어레이들의 선택된 부분이 분석될 때 까지, 분석을 위한 트랜지스터 어레이들을 계속해서 선택하는 단계를 더 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 자동화 방법.

### 청구항 5

MOSFET 집적 회로에서의 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템으로서,

프로세서, 데이터 저장부 및 디스플레이 수단을 포함하는 디지털 컴퓨터와; 그리고

상기 데이터 저장부에 저장된 컴퓨터 프로그램을 포함하고,

여기서, 상기 컴퓨터 프로그램은,

분석을 위한 트랜지스터 어레이를 선택하는 단계와; 그리고

상기 트랜지스터 어레이의 설계를 분석하는 단계를 수행하도록 구성되고,

상기 분석 단계는,

레이아웃 근접성으로 인해 유도된 문턱 전압 변동을 결정하고, 레이아웃 근접성으로 인해 유도된 구동 전류 변동을 결정하는 단계와; 그리고

상기 트랜지스터 어레이의 게이트 피치를 변경함으로써 임의의 결정된 변동들을 보상하는 단계를 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

### 청구항 6

제 5 항에 있어서,

상기 분석 단계는 컨택 간격을 변경함으로써 임의의 보상 부족을 식별하는 단계를 더 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**청구항 7**

제 5 항에 있어서,

모든 트랜지스터 어레이들이 분석될 때 까지, 분석을 위한 트랜지스터 어레이들을 계속해서 선택하는 단계를 더 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**청구항 8**

제 5 항에 있어서,

트랜지스터 어레이들의 선택된 부분이 분석될 때 까지, 분석을 위한 트랜지스터 어레이들을 계속해서 선택하는 단계를 더 포함하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**청구항 9**

MOSFET 집적 회로에서의 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템으로서,

분석을 위한 트랜지스터 어레이를 선택하는 수단과; 그리고

상기 트랜지스터 어레이의 설계를 분석하는 수단을 포함하고,

상기 분석 수단은,

레이아웃 근접성으로 인해 유도된 문턱 전압 변동을 결정하고, 레이아웃 근접성으로 인해 유도된 구동 전류 변동을 결정하며; 그리고

상기 트랜지스터 어레이의 게이트 피치를 변경함으로써 임의의 결정된 변동들을 보상하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**청구항 10**

제 9 항에 있어서,

상기 분석 수단은 컨택 간격을 변경함으로써 임의의 보상 부족을 더 식별하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**청구항 11**

제 9 항에 있어서,

상기 선택 수단은, 모든 트랜지스터 어레이들이 분석될 때 까지, 분석을 위한 트랜지스터 어레이들을 계속해서 선택하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**청구항 12**

제 9 항에 있어서,

상기 선택 수단은, 트랜지스터 어레이들의 선택된 부분이 분석될 때 까지, 분석을 위한 트랜지스터 어레이들을 계속해서 선택하는 것을 특징으로 하는 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 시스템.

**명세서**

**기술분야**

본 발명은 집적 회로 디바이스들에 관한 것으로서, 특히 트랜지스터 어레이에서의 성능 변동의 보상에 관한 것이다.

[0001]

**배경 기술**

- [0002] 통상의 집적 회로 설계에서, 설계자는 채널의 폭 및 길이에 의해 결정되는 MOSFET 게이트의 성능 특성에 의존할 수 있다.
- [0003] 여기에서 이용되는 "성능 특성"은 당해 기술분야의 당업자의 그 용어에 대해 일반적으로 이해하는 것에 해당함을 이해해야 한다. 특히, 이 용어는 설계중인 MOSFET의 구동 전류와 문턱 전압 모두를 포함한다.
- [0004] 스트레인 공학(strain engineering)(본 출원의 양수인에 의해 소유되며 본원의 참조로서 통합되는 미국 특허 출원 번호 11/291,294(명칭: "Analysis of Stress Impact on Transistor Performance", 출원일: 2005년 12월 1일)) 등의 기술들과 관련된 sub-100nm의 피쳐 사이즈(feature size)의 출현에 의해, 집적 회로 어레이에서 다른 MOSFET 소자와 같은 이웃 소자들의 근접, 컨택 등에 의해 추가적인 변동이 발생한다는 것이 발견되었다.
- [0005] 현재의 설계 기술에서는 효과적인 방법으로 그러한 변동을 극복할 수 없다. 보통, 설계자들이 MOSFET 집적 회로를 레이아웃하기 위해 시뮬레이션에 의해 작업하며, 그리고 프로토타입(prototype)이 실리콘으로 제작된 후, 예상치 못한 변동을 처음으로 인식하게 되는 것이 일반적으로 실제 회로의 실패이다. 이러한 상황은 비용이 많이 들고 시간을 소모적인 재설계 노력을 필요로 한다. 따라서, 당해 기술은 공정-유도 변동들의 문제를 해소하기 위한 방법들 및 시스템들을 제공함으로써 보다 편리하고 효율적인 설계를 달성할 수 있는 기회를 제공한다.

**발명의 상세한 설명**

- [0006] 본 발명의 일 양상은 MOSFET 집적 회로에서 문턱 전압 및 구동 전류의 공정-유도 변동을 보상하기 위한 자동화 방법이다. 본 방법의 첫 번째 단계는 어레이로부터 분석할 트랜지스터를 선택하는 단계이다. 본 방법은 원하는 어레이의 트랜지스터 사이를 루프(loop)한다. 다음으로, 선택된 트랜지스터의 설계가 분석되는 바, 이는 레이아웃의 근접성에 의해 유도되는 문턱 전압 변동을 결정하는 단계 및 레이아웃의 근접성에 의해 유도되는 구동 전류 변동을 결정하는 단계를 포함한다. 이후, 본 방법은 트랜지스터 게이트의 길이를 변경함으로써 임의의 결정된 변동을 보상하고자 시도한다. 본 방법은 컨택 간격(contact spacing)을 변경함으로써 임의의 보상 부족을 식별하는 단계를 더 포함할 수 있다.

**실시 예**

- [0014] 이하, 도면을 참조하여 발명의 상세한 설명에 대해 기술한다. 바람직한 실시예들은 본 발명을 예시적으로 설명하기 위해 기술되는 것으로서, 그 권리범위를 제한하기 위함이 아니며, 권리범위는 청구항들에 의해 한정된다. 당해 기술분야의 당업자라면 하기의 설명에 대한 다양한 변형예들을 인식할 것이다.
- [0015] 청구되는 발명은 우선 도 1a에 도시된 MOS 트랜지스터(10)를 고찰함으로써 가장 잘 이해될 수 있다. 도 1a에는 평면도(상단부)와 A-A 선을 따라 절취한 단면도 모두를 보여준다. 여기에서, 확산 영역(12)은 이러한 확산 영역에 형성된 소스 영역(16) 및 드레인 영역(18)을 포함하며, 이 영역들 간의 갭은 게이트(14)에 의해 덮여진다. 게이트(14) 아래에 있는 영역은 채널(20)이다. 스페이서(spacer)(22)들이 게이트(14)의 양쪽에 놓이고(평면도에서는 표시되지 않았음). 나이트라이드 캡 층(nitride cap layer)(24)이 전체 구조 위에 형성된다. MOSFET은 STI(Shallow Trench Isolation) 영역(26)에 의해 주변 소자들과 전기적으로 분리되는 바, 상기 STI는 트랜지스터의 양 측에 형성되며, 일반적으로 산화물 기반의 절연 물질을 갖는다. 이해될 사항으로서, 이러한 구성요소들 및 전체 MOS 디바이스와 관련된 물질 및 제조 기술들은 당해 기술분야에 잘 알려져 있기 때문에, 여기에서는 더 이상 상세히 설명하지 않는다. 어레이(array)는 부분 공핍형 SOI(Partially Depleted, Silicon-on-Insulator; PDSOI MOSFET) 기판에 형성될 것으로 예상되지만, 본 출원에서 교시하는 바는 벌크 구성에도 적용된다. 도면들은 벌크 MOSFET 디바이스들을 도시한다.
- [0016] 상기 인용된 참고문헌에 기술된 바와 같이, 이러한 다수의 구성 요소들은 어떠한 종류의 기계적 응력들을 유발하고, 이러한 기계적 응력들이 실리콘 및 다른 물질의 압전 성질로부터 발생하는 성능 변동을 야기한다. 예를 들어, 채널 도펀트와 마찬가지로 실리콘, 나이트라이드 캡(nitride cap) 및 STI 물질의 차등 수축률은 다양한 응력을 일으킨다. 이러한 응력에 대처하는 방법이 인용된 특허에서 설명되며, '스트레인(strain) 공학'으로 칭해진다.
- [0017] 도 2a는 sub-100nm 시스템의 개발자가 직면하게 되는 제 1 문제를 나타낸다. 여기에는, 2개의 MOSFET 집적 회로(50, 52)가 평면도에 표시되고, 각각은 소스 영역(16) 및 드레인 영역(18)이 형성된 확산 영역을 덮고 있는

3개의 게이트 영역(14)을 갖는다. 폴리실리콘 게이트들은 동일한 폭 및 길이를 갖고, 조성물에 있어서 동일하다. 유일한 차이는 어레이(50)의 게이트들은 S1 피치(pitch)로 비교적 좁게 이격되어 있는 반면, 어레이(52)의 게이트들은 S2의 거리로 보다 넓게 이격되어 있다는 것이다. 종래의 설계 및 분석하에서는, 둘 모두 동일한 구동 전류 및 문턱 전압의 성능 특성을 보일 것이다.

[0018] 하지만, 도 2b에 나타낸 바와 같이, 이러한 결과는 발생하지 않는다. 이온 변화를 폴리간(poly-to-poly) 거리의 함수로 나타낸 바와 같이, 간격을 증가시킴으로써 이온 변화(즉, 여기에서 홀(hole)들로 구성되는 전류 흐름에서의 변화)가 현저하게 증가하고, 특히 낮은 레벨에서 가파른 기울기를 갖는다. 따라서, 도 2a의 어레이가 동일하게 동작할 것으로 예상하는 설계자는 상당히 다른 결과에 매우 놀라게 될 것이다.

[0019] 제 2 문제점은 도 3에 나타나며, 이는 각각 동일한 확산 영역 위에 형성된 동일한 게이트를 갖는 3개의 MOSFET 트랜지스터를 묘사한다. 그러나, 여기에서, 컨택들은 게이트로부터 다른 거리에 위치한다. MOSFET(60)의 4개의 컨택들은 게이트로부터 180nm에 위치하고, MOSFET(62)의 컨택들은 90nm, MOSFET(64)의 컨택들은 60nm에 위치한다. 트랜지스터(60)의 출력 플롯을 보면, 채널 영역 전체에 걸쳐 균일한 출력을 볼 수 있는 반면에, 트랜지스터(62)는 다소의 변동을 보이고, 트랜지스터(64)는 매우 다르고, 상대적으로 균일하게 분포된 것이 아니라 단지 채널의 끝에만 집중된 높은 출력을 갖는다. 인용된 특허 출원에서 교시된 바와 같이, 다른 출력은 다른 성능으로 이어진다. 다시 말하면, 종래 설계 기술은 이러한 세 개의 트랜지스터를 동일한 것으로 다루고 동일한 결과를 예상한다. 그 결과는 매우 의외이고, 아마도 치명적일 것이다.

[0020] 도 4는 실제 MOSFET 집적 회로의 보다 큰 부분을 묘사한다. 이 도면은 두 개의 칩 표면 영역들을 포함하는 바, 이들은 STI에 의해 분리되며 다수의 확산 영역을 갖는다. 당해 기술분야에 알려진 바와 같이, 칩 영역들은 n-웰 또는 p-웰로 칭해지는 다른 유형의 물질로 이루어진 영역들을 포함하고, 두 형태 모두 CMOS 구성을 용이하게 한다. 여기에서, 두 영역의 하단부는 n-웰이고, 그 경계가 표시되어 있다. 확산 영역으로부터 웰 경계까지의 거리는, 이온 변화 대신에 MOSFET 문턱 전압에 영향을 미친다는 점을 제외하고는 폴리 간격을 다르게 함으로써 생성되는 효과와 유사한 방식으로, 성능에 영향을 미친다는 것이 발견되었다. 따라서, 도 4의 수직 화살표 A 및 B로 표시된 거리 변동은 폴리 간격 및 컨택 간격의 그것과는 유사하지만 분리된 효과를 생성할 것으로 기대할 수 있다.

[0021] 도 4는 또한 복잡한 전형적인 설계를 도시하고, 여기에서 몇몇의 다른 폴리 간격이 수평화살표(1-5)로 표시되어 있고, 그리고 컨택 간격에서 다수의 차이를 관찰할 수 있다

[0022] 이들 각 영향은 테스트 설계 실험을 통하여 하나의 모델로 정리될 수 있고, 이는 잠재적인 문제들을 표시하고 보상 메커니즘을 계산하기 위해 사용될 수 있는 관계를 생성한다. 도 4의 실시예에서 폴리 간격 및 이온 변화 간에 맺어져 있는 관계를 보여주는 도 5c의 차트에서 그러한 모델의 결과들을 볼 수 있다. 비슷한 모델들이 컨택 간격 및 n-웰 경계 거리에 대해 얻어질 수 있다.

[0023] 상기에 논의된 모델 외에, 여기에 설명된 다음의 원리들에 따른 주의 깊은 조사에 의해, 다른 변동이 발견될 수 있으며, 그리고 그러한 변동은 여기 설명된 것과 동일한 방법으로 복수의 모델로 단순화되고 분석될 수 있다. 본 발명의 이러한 실시예들은 이하의 특허청구범위의 청구항에 기재된 바와 같은 본 발명의 사상 내에 있다.

[0024] 그 존재가 상기와 비슷한 방법으로 발견될 수 있는 변동 뿐만 아니라, 상기에 논의된 모든 변동들은, 물질 또는 소자 그 자체의 고유한 특성으로부터라기 보다, 폴리 간격과 같은 공정 변수들로부터 유래한다. 그러므로, 그러한 변동은 본 문서에서 “공정-유도(process-induced)” 변동으로 칭하여, 이를 다른 원인으로부터 기인한 변동들과 구별한다.

[0025] 당해 기술분야에 알려진 바와 같이, 게이트 길이의 변화는 도 5a의 곡선에 반영된 바와 같은 성능 변화를 발생시킨다. 그러나, 도 4의 실제적인 예에서, 폴리 간격의 변동은 성능 차이로 이어진다. 그러나, 도 4의 실제적인 예를 들면, 예시적인 트랜지스터(T1 및 T2)에서 폴리 간격이 다른 것을 볼 수 있고, 이 폴리 간격은, 이 트랜지스터들을 도 2b에서 이전에 표시된 곡선에 위치시키는 도 5b의 곡선에 나타난 바와 같이, 각각 2 및 3 단위(unit)로 지정된 값을 갖는다. 트랜지스터(T2)의 성능 특성이 전체 설계에서 사용된 표준 값을 나타낸다고 가정하면, 트랜지스터(T1)의 성능이 약 10% 더 높은, 상당한 변동을 볼 수 있을 것이다. 장치 전체에 걸쳐 그러한 분석을 수행하면, 종래의 분석에 의존하는 문제점들을 나타낸다.

[0026] 본 발명은 그러한 변동을 보상하기 위해 도 5a 및 5b 관계들을 함께 사용한다. 도 5c는 하단 축의 폴리 간격으로 인한 변동과 상단 축의 게이트 길이로 인한 변동, 그리고 교차하는 곡선들을 나타낸다. 설계에서 T2의

성능이 기준점으로 선택되었다는 상기 기술에 기초하여, 그 장치의 게이트 길이는 45nm임을 알 수 있다. 하지만, 화살표로 표시된 바와 같이, T1의 게이트 길이를 45nm에서 52nm로 증가시킴으로써 폴리 간격 변화로 인한 성능의 증가가 완전히 상쇄될 수 있고, 이는 두 장치 모두 동일한 성능 특성을 갖는 것으로 귀착한다.

- [0027] 다시 말해, 발생하는 변동의 모델을 형성한 다음, 또 다른 변동을 보상하기 위해 그러한 변동을 사용하여, 한 디바이스에서 다른 디바이스에 이르기까지 균일한 성능을 야기할 수 있다.
- [0028] 그러나, 폴리 간격 변화의 완전한 보상을 위해, 이온 변화와 게이트 길이의 관계는, 도 5b에 나타난 바와 같은 폴리 간격으로 인한 변동과 여기에 병치된다(juxtaposed).
- [0029] 도 6은 그러한 결과를 성취하기 위한 자동화 방법(200)의 일 실시예를 나타낸다. 이 실시예는 본 출원의 양수인이 출시한 SEISMOS 소프트웨어와 같은 자동화된 집적 회로 설계 시스템의 일 부분으로 작용한다. 다른 실시예들은 독립형으로 또는 다른 설계 환경 내에서 작동하는 모듈로서 작용하도록 구성될 수 있다는 것을 이해할 수 있을 것이다. 그러한 모든 경우에서, 본 발명의 시스템의 작용 원리는 동일하다. 그러한 시스템들은 퍼스널 컴퓨터에서 서버 기반 시스템에 이르는 디지털 컴퓨터 시스템의 범위에서 작동할 수 있다. 그러한 디바이스들의 선택 및 작동은 충분히 당해 기술분야의 당업자의 기술 수준 안에 있다.
- [0030] 또한, 달성되는 기능에 영향을 미치지 않으면서, 많은 단계들이 결합되거나, 병렬로 수행되거나 또는 다른 순서로 수행될 수 있다는 것을 이해할 것이다. 어떤 경우에는 일정한 다른 변경이 있는 경우에만 단계의 재배열이 동일한 결과를 달성할 것이고, 어떤 경우에는 일정한 조건을 만족하는 경우에만 단계의 재배열이 동일한 결과를 달성할 수 있을 것이다.
- [0031] 첫째로, 단계(210)에서, 설계자가 지시하는 바에 따라, 컴퓨터 프로그램은 MOSFET 집적 회로의 트랜지스터들, 또는 선택된 개별 트랜지스터들을 통하여 루프하는 과정을 제어한다. 본 방법은, 단계(212)에서, 관련된 변수 값을 찾은 다음, 관련 모델로부터 상응하는 변동 양을 획득함으로써, 분석중인 디바이스에 존재하는 변동을 결정하는 것으로 시작된다. 예를 들어, 상기에서 논의된 도 4의 트랜지스터(T1)의 예에서, 설계 시스템 내의 데이터에 직접 포함되어 있거나 또는 설계 과정에 관여하는 TCAD 시스템의 작동에 의해, 게이트 물질의 관련된 폴리간 간격을 결정함으로써, 시스템은 폴리 간격으로 인한 변동을 결정한다.
- [0032] 변동을 결정하는 프로세스 단계는 모든 알려진 모델 구조에 작용할 수 있고, 또는 설계자가 단지 모델들 중 일부분만을 사용하는 것을 선택할 수 있다. 어떤 경우에도, 물리적 값/변동 결과 단계(212)는 원하는 변동 정보가 결정될 때까지 계속된다.
- [0033] 그런 다음, 단계(214)에서, 도 5c와 관련하여 설명한 바와 같이, 설명된 실시예는 게이트 길이를 변경함으로써 보상을 시도하도록 진행한다. 대부분의 경우는 게이트 길이를 변경함으로써 보상할 수 있을 것으로 예상된다. 또한, 이 파라미터는 상대적으로 변경하기 쉬워서, 복잡한 제작 공정이 최소한으로 억제되는 보상이 진행하도록 한다. 단계(216)에서 결정하는 바와 같이, 그러한 예상 결과가 획득되면, 시스템은 테스트할 다음 트랜지스터 처리로 이동한다.
- [0034] 단계(218)에서 나타난 바와 같이, 추가 보상이 필요하면 컨택 간격이 변경될 수 있다. 그러한 과정은 보정 데이터(corrective data)를 제공하는 컨택 간격 모델을 사용하여, 정확히 도 5c에 보여진 바와 같이 진행한다. 그러한 데이터는 여기에 나타나지 않았지만, 당업자는 상기 교시에 따라 특정 시스템을 위한 데이터를 쉽게 얻을 수 있을 것이다. 단계(220)에서 그러한 동작의 성공을 테스트한다.
- [0035] 단계(224)에서 나타난 바와 같이, 어떤 자동화 단계도 예상 변동을 보상하는데 성공하지 못한 경우에는, 수동의 재설계가 필요하다. 물론 그러한 “안전장치(fail safe)” 메커니즘을 갖는 것이 필요하지만, 현재까지의 조사 결과는 상기 설명된 방법들이 대단히 많은 상황에서 적절한 보상을 제공하기에 충분함을 나타낸다.
- [0036] 본 발명의 다른 실시예는, 단지 게이트 길이만을 변경함으로써 폴리 간격만을 보상하는 것이, 이차적인 고려 및 단계가 전적으로 생략될 수 있을 정도로 굉장히 낮은 비용으로 기존 상황에 비해 개선을 제공할 가능성을 기대할 것이다. 다른 실시예들은 요구되는 다른 일단의 진단 및 보상 메커니즘을 사용할 수 있다.
- [0037] 상기 실시예들은, 본 발명의 원리 및 그것의 실제적인 적용을 가장 잘 설명하여, 그에 따라 당업자가 다양한 실시예에 대해 적용되고 예상되는 특정 사용에 적합한 다양한 변형예를 갖는 발명을 이해할 수 있도록 하기 위하여 선택되고 기술되었다. 본 발명의 범위는 다음의 청구항 및 그 균등물로 한정되는 것으로 의도된다.
- [0038] 본 발명은 상기에서 상세히 설명된 바람직한 실시예들과 예제들을 참조하여 개시되었지만, 이러한 예들은 한정적 의미가 아니라 예시적 의미로 의도된 것이라는 것을 이해할 것이다. 당해 기술분야의 당업자는 쉽게 변

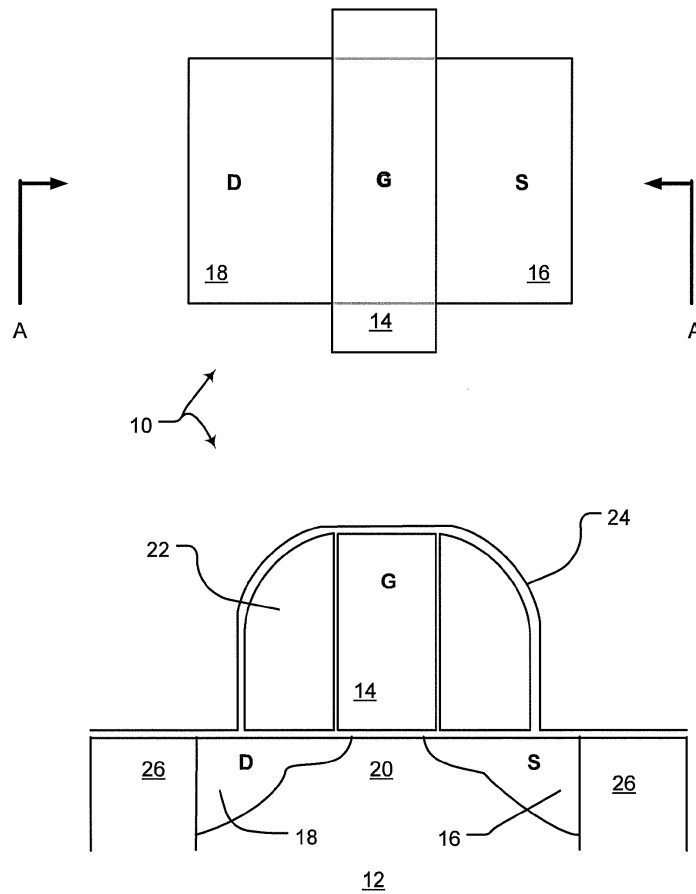
형하고 결합할 수 있고, 이러한 변형 및 결합은 본 발명의 사상 및 이하의 청구항 범위 내에 있는 것으로 여겨진다.

**도면의 간단한 설명**

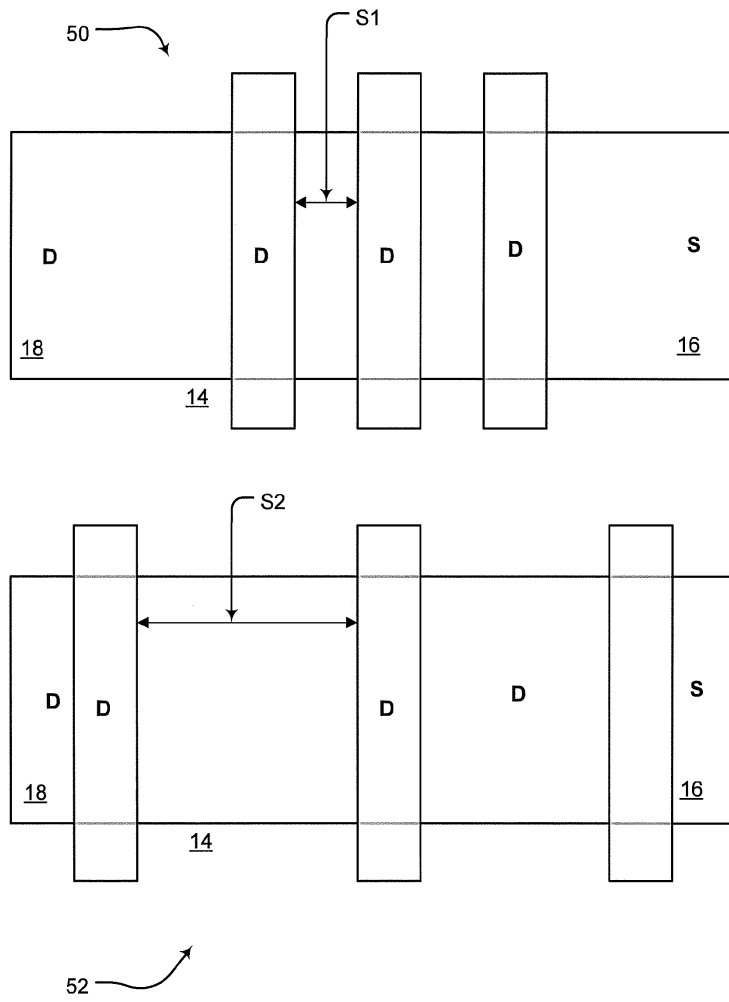
- [0007] 도 1은 응력-관련 성능 변동의 원인을 보여주는 MOSFET 트랜지스터를 도시한다.
- [0008] 도 2a는 집적 회로 레이아웃의 일부의 평면도이다.
- [0009] 도 2b는 MOSFET 성능을 게이트 간격의 함수로서 나타낸 차트이다.
- [0010] 도 3은 결과적인 응력 패턴들을 나타내는, 다른 컨택 간격을 같은 3개의 MOSFET 트랜지스터를 도시한다.
- [0011] 도 4는 다양한 유형의 공정-유도 변동을 보이는 집적 회로의 더 큰 부분을 묘사한다.
- [0012] 도 5a-5c는 게이트 길이에 대한 이온 변화, 폴리 간격(poly spacing)에 대한 이온 변화, 및 이러한 관계들의 결합을 나타냄으로써, 본 발명의 방법을 도시한다.
- [0013] 도 6은 공정-유도 변동을 보상하는 청구된 과정의 일 실시예를 묘사한다.

**도면**

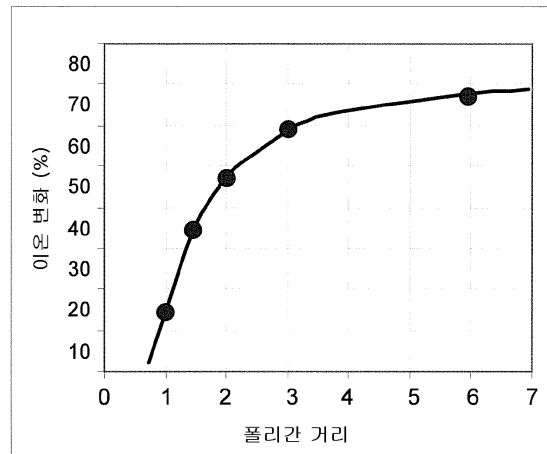
**도면1**



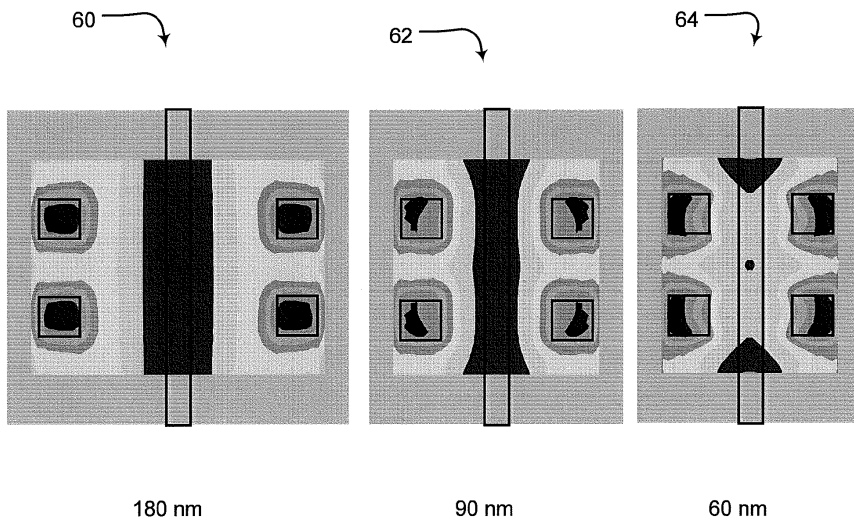
도면2a



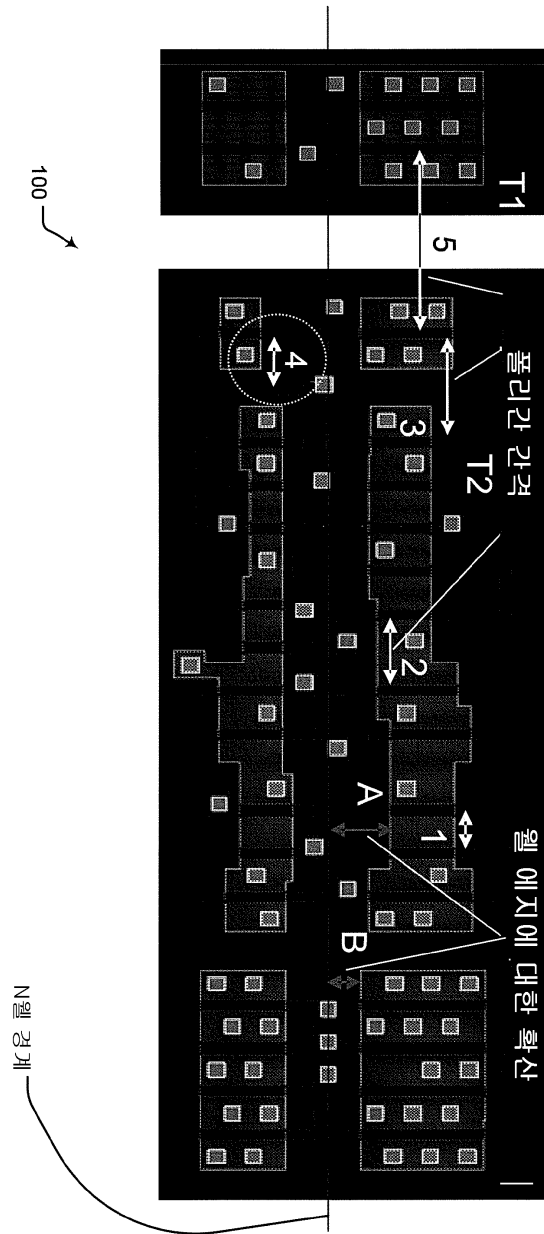
도면2b



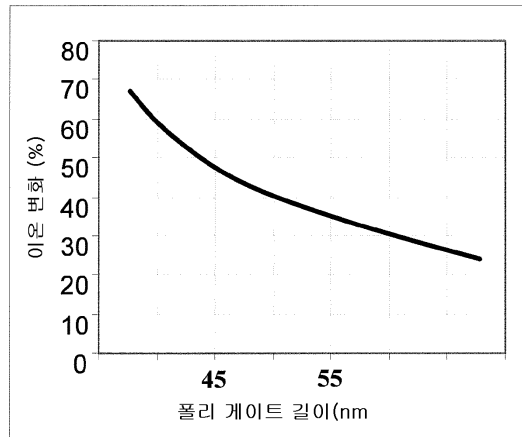
도면3



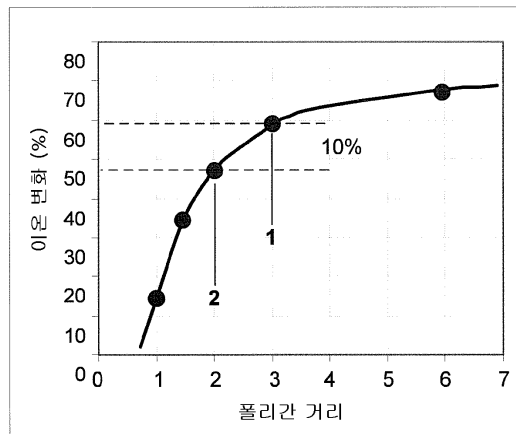
도면4



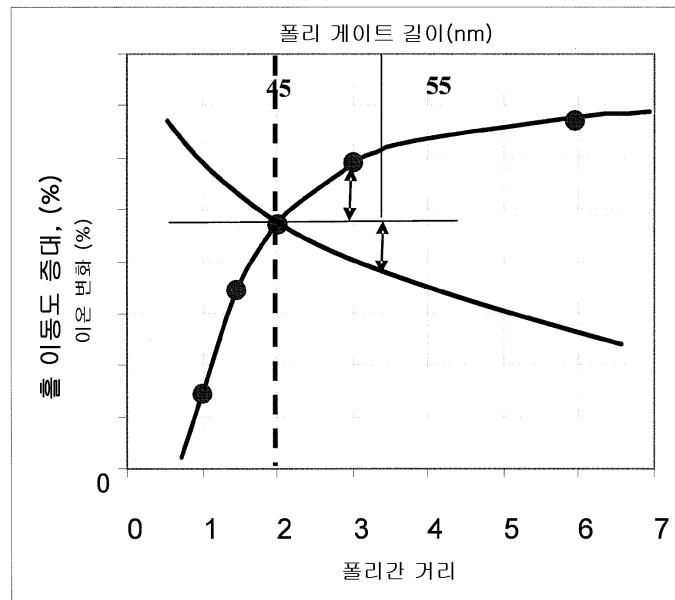
도면5a



도면5b



도면5c



도면6

