



(12)发明专利

(10)授权公告号 CN 103018977 B

(45)授权公告日 2016.08.17

(21)申请号 201210546652.6

(22)申请日 2012.12.14

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 杨静 宁策

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(56)对比文件

CN 102709237 A, 2012.10.03,
CN 102651342 A, 2012.08.29,
CN 102629585 A, 2012.08.08,
JP H1062816 A, 1998.03.06,

审查员 李轲

(51) Int. Cl.

G02F 1/1343(2006.01)

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

H01L 27/12(2006.01)

H01L 21/77(2006.01)

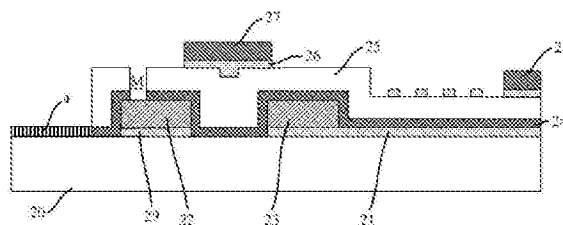
权利要求书2页 说明书8页 附图7页

(54)发明名称

一种阵列基板及其制造方法

(57)摘要

本发明涉及液晶显示装置的制造领域,特别涉及一种阵列基板及其制造方法,用于解决现有基于ADS结构的TFT-LCD制作工艺复杂且效率低的问题。本发明实施例阵列基板的每个像素区域包括:位于衬底基板上的漏电极、源电极以及与该漏电极搭接的像素电极,其中像素电极采用单壁碳纳米管材料;位于漏电极、源电极及像素电极上的有源层;位于有源层上的栅绝缘层;以及位于栅绝缘层上的栅极和公共电极,该公共电极具有狭缝状结构。本发明实施例采用三次构图工艺即可制备而成阵列基板,简化了制造工艺,提高了制造效率,且降低了制造成本。



1. 一种阵列基板,包括多个像素区域,其特征在于,每个所述像素区域包括:

位于衬底基板上的漏电极、源电极以及与所述漏电极搭接的像素电极,其中,所述像素电极采用单壁碳纳米管材料;

位于所述漏电极、所述源电极及所述像素电极上的有源层;

位于所述有源层上的栅绝缘层,其中,所述有源层采用金属氧化物半导体材料,且所述有源层中未与所述栅绝缘层接触的部分经氧化处理后具有绝缘特性;以及

位于所述栅绝缘层上的栅极和公共电极,该公共电极具有狭缝状结构,其中,所述栅极在与所述栅绝缘层接触的表面有凸起结构,且所述凸起结构与所述有源层在所述源电极和漏电极之间形成的凹陷结构相适配。

2. 如权利要求1所述的阵列基板,其特征在于,所述公共电极采用单壁碳纳米管材料。

3. 如权利要求1所述的阵列基板,其特征在于,所述漏电极和所述源电极与所述像素电极位同层设置,且采用相同的材料;或,

所述漏电极和所述源电极均采用金属材料,且所述源电极与所述衬底基板之间形成有辅助电极,所述辅助电极与所述像素电极同层设置且采用相同的材料。

4. 如权利要求2所述的阵列基板,其特征在于,所述栅极与所述公共电极同层设置,且采用相同的材料;或

所述栅极采用金属材料;且所述栅极和所述栅绝缘层之间形成有透明电极,所述透明电极与所述公共电极同层设置且采用相同的材料。

5. 如权利要求1所述的阵列基板,其特征在于,所述栅绝缘层和所述有源层上与所述源电极对应的位置具有贯穿所述栅绝缘层和所述有源层的过孔。

6. 一种阵列基板的制造方法,其特征在于,该方法包括:

通过一次构图工艺,在衬底基板上形成像素电极、漏电极和源电极,其中,所述像素电极采用的材料为单壁碳纳米管;

通过一次构图工艺,在形成有所述像素电极、所述漏电极和所述源电极的衬底基板上,形成有源层和栅绝缘层,具体包括:在形成有所述像素电极、所述漏电极和所述源电极的衬底基板上,沉积金属氧化物薄膜,作为所述有源层,在所述有源层上沉积绝缘薄膜,作为所述栅绝缘层,通过一次构图工艺刻除位于显示区域的栅绝缘层,并形成贯穿所述栅绝缘层及所述有源层的过孔以露出所述源电极,对所述有源层中未与所述栅绝缘层接触的部分进行氧化处理,使其具有绝缘特性;

通过一次构图工艺,在形成有所述栅绝缘层和所述有源层的衬底基板上,形成栅极和公共电极,该公共电极具有狭缝状结构,其中,形成的栅极在与形成的栅绝缘层接触的表面有凸起结构,且所述凸起结构与所述有源层在所述源电极和漏电极之间形成的凹陷结构相适配。

7. 如权利要求6所述的方法,其特征在于,所述在衬底基板上形成像素电极、漏电极和源电极,包括:

在衬底基板上依次沉积第一单壁碳纳米管薄膜和第一金属薄膜,并通过一次构图工艺在沉积有第一单壁碳纳米管薄膜和第一金属薄膜的衬底基板上形成像素电极、漏电极和源电极;或

在衬底基板上沉积第一单壁碳纳米管薄膜,并通过一次构图工艺在沉积有第一单壁碳

纳米管薄膜的衬底基板上形成像素电极、漏电极和源电极。

8. 如权利要求6或7所述的方法,其特征在于,所述形成栅极和公共电极,包括:

在形成栅绝缘层和有源层的衬底基板上,依次沉积第二单壁碳纳米管薄膜和第二金属薄膜,并通过一次构图工艺在沉积有第二单壁碳纳米管薄膜和第二金属薄膜的衬底基板上形成栅极和公共电极;或

在形成栅绝缘层和有源层的衬底基板上,沉积第二单壁碳纳米管薄膜,并通过一次构图工艺在沉积有第二单壁碳纳米管薄膜的衬底基板上形成栅极和公共电极。

一种阵列基板及其制造方法

技术领域

[0001] 本发明涉及液晶显示装置的制造领域,特别涉及一种阵列基板及其制造方法。

背景技术

[0002] 液晶显示器(LCD,Liquid Crystal Display)具有体积小、重量轻、功耗低、辐射低及制造成本低等特点,已被广泛应用于各种电子设备中,如显示器、电视、手机、数码相机等数字电子设备。其中,TFT-LCD(Thin Film Transistor LiquidCrystal Display,薄膜晶体管液晶显示器)是一种主要的平板显示装置(FPD,Flat Panel Display)。

[0003] 根据驱动液晶的电场方向,TFT-LCD分为垂直电场型、水平电场型和多维电场型。其中,垂直电场型TFT-LCD需要在阵列基板上形成像素电极,在彩膜基板上形成公共电极;水平电场型和多维电场型TFT-LCD需要在阵列基板上同时形成像素电极和公共电极。垂直电场型TFT-LCD包括:扭曲向列TN(Twist Nematic)型TFT-LCD;水平电场型TFT-LCD包括:共平面切换IPS(In-Plane Switching)型TFT-LCD;多维电场型TFT-LCD包括:高级超维场转换技术(ADvanced Super Dimension Switch,简称ADS)型TFT-LCD。

[0004] 以ADS结构为例,ADS技术主要通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高TFT-LCD产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。

[0005] 然而,现有的基于ADS结构的TFT-LCD阵列基板通常都需要经过4次或5次mask工艺(掩模曝光工艺);由于制作工艺比较复杂,生产效率也会受到影响。

[0006] 综上所述,现有基于ADS结构的TFT-LCD阵列基板通常都需要经过4次或5次掩膜工艺,制作工艺复杂,效率低。

发明内容

[0007] 本发明实施例提供了一种阵列基板及其制造方法,用于解决现有技术中基于ADS结构的TFT-LCD通常都需要经过4次或5次掩膜工艺,制作工艺复杂,效率低的问题。

[0008] 本发明实施例提供了一种阵列基板,包括多个像素区域,其中,每个所述像素区域包括:

[0009] 位于衬底基板上的漏电极、源电极以及与所述漏电极搭接的像素电极,其中,所述像素电极采用单壁碳纳米管材料;

[0010] 位于所述漏电极、所述源电极及所述像素电极上的有源层;

[0011] 位于所述有源层上的栅绝缘层;以及

[0012] 位于所述栅绝缘层上的栅极和公共电极,该公共电极具有狭缝状结构。

[0013] 优选的,所述公共电极采用单壁碳纳米管材料。

[0014] 优选的,所述有源层采用金属氧化物半导体材料;且所述有源层中未与所述栅绝

缘层接触的部分经氧化处理后具有绝缘特性。

[0015] 优选的,所述漏电极和所述源电极与所述像素电极采用相同的材料,且所述漏电极与所述像素电极为一体结构;或,

[0016] 所述漏电极和所述源电极均采用金属材料,且所述源电极与所述衬底基板之间形成有辅助电极,所述辅助电极与所述像素电极同层设置且采用相同的材料。

[0017] 优选的,所述栅极与所述公共电极同层设置,且所述栅极与所述公共电极采用相同的材料;或

[0018] 所述栅极采用金属材料;且所述栅极和所述栅绝缘层之间形成有透明电极,所述透明电极与所述公共电极同层设置且采用相同的材料。

[0019] 优选的,所述栅绝缘层和所述有源层上与所述源电极对应的位置具有贯穿所述栅绝缘层和所述有源层的过孔。

[0020] 本发明实施例提供了一种阵列基板的制造方法,包括:

[0021] 通过一次构图工艺,在衬底基板上形成像素电极、漏电极和源电极;其中,所述像素电极采用的材料为单壁碳纳米管;

[0022] 通过一次构图工艺,在形成有所述像素电极、所述漏电极和所述源电极的衬底基板上,形成有源层和栅绝缘层;

[0023] 通过一次构图工艺,在形成有所述栅绝缘层和所述有源层的衬底基板上,形成栅极和公共电极,该公共电极具有狭缝状结构。

[0024] 优选的,所述在衬底基板上形成像素电极、漏电极和源电极,包括:

[0025] 在衬底基板上依次沉积第一单壁碳纳米管薄膜和第一金属薄膜,并通过一次构图工艺在沉积有第一单壁碳纳米管薄膜和第一金属薄膜的衬底基板上形成像素电极、漏电极和源电极;或

[0026] 在衬底基板上沉积第一单壁碳纳米管薄膜,并通过一次构图工艺在沉积有第一单壁碳纳米管薄膜的衬底基板上形成像素电极、漏电极和源电极。

[0027] 优选的,所述形成有源层和栅绝缘层,包括:

[0028] 在形成有所述像素电极、所述漏电极和所述源电极的衬底基板上,沉积金属氧化物薄膜,作为所述有源层;

[0029] 在所述金属氧化物薄膜上沉积绝缘薄膜,作为所述栅绝缘层,通过一次构图工艺刻除位于显示区域的栅绝缘层,并形成贯穿所述栅绝缘层及所述有源层的过孔以露出所述源电极;

[0030] 对所述有源层中未与所述栅绝缘层接触的部分进行氧化处理,使其具有绝缘特性。

[0031] 优选的,所述形成栅极和公共电极,包括:

[0032] 在形成栅绝缘层和有源层的衬底基板上,依次沉积第二单壁碳纳米管薄膜和第二金属薄膜,并通过一次构图工艺在沉积有第二单壁碳纳米管薄膜和第二金属薄膜的衬底基板上形成栅极和公共电极;或

[0033] 在形成栅绝缘层和有源层的衬底基板上,沉积第二单壁碳纳米管薄膜,并通过一次构图工艺在沉积有第二单壁碳纳米管薄膜的衬底基板上形成栅极和公共电极。

[0034] 本发明实施例采用三次构图工艺即可制备而成阵列基板,简化了制造工艺,提高

了制造效率,且降低了制造成本,由于本发明实施例的阵列基板省略了钝化层的制备,进一步简化了制造工艺,降低了制造成本。

附图说明

- [0035] 图1为现有的TFT-LCD阵列基板的剖面结构示意图;
- [0036] 图2为本发明实施例的第一种阵列基板的剖面结构示意图;
- [0037] 图3为本发明实施例的第二种阵列基板的剖面结构示意图;
- [0038] 图4为本发明实施例的阵列基板制造方法流程图;
- [0039] 图5为本发明实施例的第一种阵列基板制造方法流程图;
- [0040] 图6A~图6I为本发明实施例的第一种阵列基板制造过程中的剖面结构示意图;
- [0041] 图7为本发明实施例的第二种阵列基板制造方法流程图;
- [0042] 图8A~图8G为本发明实施例的第二种阵列基板制造过程中的剖面结构示意图。

具体实施方式

[0043] 本发明实施例提供了一种阵列基板及其制造方法,不仅提高了TFT-LCD阵列基板的特性,还降低了制造成本。

[0044] 下面结合说明书附图对本发明实施例作进一步详细描述。

[0045] 本发明实施例的阵列基板,包括多个像素区域,每个像素区域包括:

[0046] 位于衬底基板上的漏电极、源电极以及与该漏电极搭接的像素电极,其中该像素电极采用单壁碳纳米管材料;

[0047] 位于漏电极、源电极及像素电极上的有源层;

[0048] 位于有源层上的栅绝缘层;以及

[0049] 位于栅绝缘层上的栅极和用于驱动液晶旋转的公共电极,该公共电极具有狭缝状结构。

[0050] 本发明实施例中,绝缘栅层采用氧化铝 Al_2O_3 、氮化铝AlN或氮化硅 SiN_x ;

[0051] 本发明实施例中,公共电极采用氧化铟锡ITO或碳纳米管CNTs等材料;优选的,公共电极采用单壁碳纳米管SWCNT(single-walled carbon nanotube)材料。

[0052] 本发明实施例中,有源层采用非晶氧化物材料,具体可以为铟镓锌氧化物IGZO (Indium Gallium Zinc Oxide)、氧化锌ZnO或铟锌氧化物IZO(Indium ZincOxide)等;

[0053] 为了降低制造成本,优选的,本发明实施例阵列基板中的像素电极与公共电极采用相同材料。

[0054] 在具体制造过程中,像素电极与漏电极、源电极可以采用不同材料,如像素电极采用ITO或CNTs材料,而漏电极、源电极采用金属薄膜。

[0055] 在具体制造过程中,公共电极与栅极可以采用不同材料,如公共电极采用ITO或CNTs材料制作,而栅极采用金属薄膜(如铜Cu、铝Al、钼Mo或钛Ti等金属中的一种或合金)。

[0056] 下面以像素电极与公共电极均采用SWCNT材料,栅极、漏电极、源电极采用金属薄膜为例,对本发明实施例的第一种阵列基板的结构进行详细说明,其剖面结构如图2所示,包括:

[0057] 衬底基板20,位于衬底基板20上的像素电极21,位于该像素电极21上且与该像素

电极21搭接的漏电极23以及与该漏电极23位于同一层的源电极22,位于像素电极21、源电极22和漏电极23上的有源层24,位于该有源层24上的栅绝缘层25,位于该栅绝缘层25上且用于驱动液晶旋转的公共电极26,位于该公共电极26上的栅极27及与栅极27位于同一层且采用相同材料的存储电容28;其中,源电极22与漏电极23的位置可以互换,不会影响TFT的性能。

[0058] 本实施例中,衬底基板20与源电极23之间还形成有辅助电极29,该辅助电极29与像素电极21同层设置且采用相同的材料;该辅助电极能够减少源电极和数据线的电阻值。

[0059] 本实施例中,栅绝缘层25和有源层24上与源电极23对应的位置具有贯穿该栅绝缘层25和有源层24的过孔M。

[0060] 在本发明实施例中,数据线可以是与源电极23一体制作,也可以是在源电极23完成之后另行制作并通过过孔M与源电极23连接。

[0061] 本实施例阵列基板的源电极、漏电极及栅极均为金属材质,因此,在工作时不会产生延迟。

[0062] 由于阵列基板包括多个像素区域,有源层24的部分区域会与除该有源层24所在的像素区域之外的其他像素区域接触,如图2所示的有源层24的裸露部分a,从而影响阵列基板的性能,因此,对有源层24的裸露部分a进行氧化处理,使有源层24中与其他像素区域接触的部分具有绝缘特性。

[0063] 在具体制造过程中,为了简化制造工艺,降低制造成本,漏电极、源电极可以与像素电极同层设置,且与像素电极采用相同的材料。

[0064] 在具体制造过程中,为了简化制造工艺,降低成本,栅极可以与公共电极同层设置,且与公共电极采用相同的材料。

[0065] 下面以像素电极与漏电极、源电极位于同一层且均采用SWCNT材料,且公共电极与栅极同层设置且均采用SWCNT材料为例,对本发明实施例的第二种阵列基板的结构进行详细说明,其剖面结构如图3所示,包括:衬底基板30,位于衬底基板30上且同层设置的像素电极31、漏电极33和源电极32,位于像素电极31、漏电极33和源电极32上的有源层34,位于该有源层34上的栅绝缘层35,位于该栅绝缘层35上且用于驱动液晶旋转的公共电极36,位于该公共电极36上的栅极37及与该栅极37同层设置且采用相同材料的存储电容38;其中,漏电极33与源电极32的位置可以互换,不会影响TFT的性能。

[0066] 本实施例的顶栅型TFT-LCD阵列基板的像素电极、源电极、漏电极、栅极及公共电极均为透明材质,从而能够提高开口率;但是,在工作过程中会产生延时,因此,本实施例阵列基板只适用于小尺寸的液晶显示面板。

[0067] 由于阵列基板包括多个像素区域,有源层34的部分区域会与除该有源层34所在的像素区域之外的其他像素区域接触,如图3所示的有源层34的裸露部分b,从而影响阵列基板的性能,因此,对有源层34的裸露部分进行氧化处理,使有源层34中与其他像素区域接触的部分具有绝缘特性。

[0068] 本发明实施例提供了阵列基板的制造方法,如图4所示,该方法包括以下步骤:

[0069] S401、通过一次构图工艺,在衬底基板上形成像素电极、漏电极和源电极,其中,像素电极采用的材料为单壁碳纳米管材料;

[0070] S402、通过一次构图工艺,在形成有像素电极、漏电极和源电极的衬底基板上,形

成有源层和栅绝缘层；

[0071] S403、通过一次构图工艺，在形成有栅绝缘层和有源层的衬底基板上，形成栅极和用于驱动液晶旋转的公共电极。

[0072] 在具体制造过程中，S401中形成像素电极、漏电极和源电极可根据以下两种方式实现：

[0073] 方式一：在衬底基板上依次沉积第一单壁碳纳米管薄膜和第一金属薄膜，并通过一次构图工艺在沉积有第一单壁碳纳米管薄膜和第一金属薄膜的衬底基板上形成像素电极、漏电极和源电极；

[0074] 方式二：在衬底基板上沉积第一单壁碳纳米管，并通过一次构图工艺在沉积有第一单壁碳纳米管薄膜的衬底基板上形成像素电极、漏电极和源电极。

[0075] 采用方式一形成的像素电极与漏电极、源电极的材质不同，即像素电极采用单壁碳纳米管材料，漏电极和源电极采用金属材料；采用方式二形成的像素电极、漏电极和源电极的材质相同，即均为单壁碳纳米管材料，因此能够提高开口率，但仅适用小尺寸液晶显示面板。

[0076] 在具体制造过程中，S402中形成有源层和栅绝缘层，进一步包括：

[0077] 形成有像素电极、漏电极和源电极的衬底基板上，沉积金属氧化物薄膜，作为有源层；

[0078] 在有源层上沉积绝缘薄膜，作为栅绝缘层，通过一次构图工艺刻除位于显示区域的栅绝缘层，并形成贯穿该栅绝缘层及有源层的过孔以露出源电极；

[0079] 对有源层中未与栅绝缘层接触的部分进行氧化处理，使其具有绝缘特性，以免由于有源层与其他像素区域接触而影响阵列基板性能。

[0080] 在具体制造过程中，S403中形成栅极和公共电极可根据以下两种方式实现：

[0081] 方式A：在形成栅绝缘层和有源层的衬底基板上，依次沉积第二单壁碳纳米管薄膜和第二金属薄膜，并通过一次构图工艺在沉积有第二单壁碳纳米管薄膜和第二金属薄膜的衬底基板上形成栅极和公共电极；

[0082] 方式B：在形成栅绝缘层和有源层的衬底基板上，沉积第二单壁碳纳米管薄膜，并通过一次构图工艺在沉积有第二单壁碳纳米管薄膜的衬底基板上形成栅极和公共电极。

[0083] 采用方式A形成的栅极和公共电极的材质不同，即栅极采用金属材料，公共电极采用单壁碳纳米管材料；采用方式B形成的栅极和公共电极的材质相同，即都是单壁碳纳米管材料，因此能提高开口率，但只适用小尺寸液晶显示面板。

[0084] 下面以图2所示的第一种阵列基板的结构为例，对阵列基板的制造方法进行详细说明，本实施例中S401采用方式一制作，且S403采用方式A制作，如图5所示，包括以下步骤：

[0085] S501、在衬底基板上沉积第一单壁碳纳米管薄膜（即第一SWCNT薄膜）和第一金属薄膜，通过第一次构图工艺形成源电极、漏电极和第一单壁碳纳米管薄膜层（即与漏电极搭接的像素电极及位于源电极与衬底基板之间的辅助电极）；

[0086] 首先，利用roll to roll工艺在衬底基板20上沉积厚度为200nm~600nm的第一SWCNT薄膜50，优选的，沉积厚度为200nm的第一SWCNT薄膜；利用磁控溅射工艺在第一SWCNT薄膜50之上沉积厚度为200nm~400nm的第一金属薄膜51，如图6A所示；

[0087] 然后，在第一金属薄膜51之上涂覆第一光刻胶层52，并采用灰色或半色调掩模板

对该光刻胶进行曝光,显影得到如图6B所示的图形,其中,图中的WP为无光刻胶区域,HP为部分保留光刻胶区域,NP为完全保留光刻胶区域;并对沉积有第一SWCNT薄膜50、第一金属薄膜51和第一光刻胶层52的衬底基板20进行第一次刻蚀,形成源电极22和漏电极23,并进行灰化处理;

[0088] 最后,对形成了源电极22和漏电极23的衬底基板20进行第二次刻蚀,将像素电极区域的第一SWCNT薄膜50刻蚀掉150nm,形成第一SWCNT薄膜层21(即与漏电极搭接的像素电极及位于源电极与衬底基板之间的辅助电极,其厚度均为50nm),如图6C所示。

[0089] S502、在形成有源电极、漏电极和第一SWCNT薄膜层的衬底基板上沉积有源层薄膜,及控制氧气流量在原位(即有源层)上沉积具有氧化物特性的栅绝缘层薄膜,并通过第二次构图工艺形成有源层和栅绝缘层;

[0090] 在具体制造过程中,先利用磁控溅射在形成有源电极、漏电极和第一SWCNT薄膜层的衬底基板上沉积厚度为30nm~70nm的非晶氧化物薄膜53(如IGZO薄膜、ZnO薄膜或IZO薄膜)作为有源层,优选的,沉积厚度为50nm的非晶氧化物薄膜作为有源层;然后控制氧气流量为50%~70%在原位(即有源层)上沉积厚度为300nm~500nm具有氧化物特性的薄膜54作为栅绝缘层,优选地,在有源层上沉积厚度为400nm的具有氧化物特性的薄膜作为栅绝缘层,如图6D所示;

[0091] 通过本次构图工艺形成,其中,第一次干刻将数据线接口上方的栅绝缘层25刻去,第二次湿刻刻去数据线接口上方的有源层24,将数据线露出,形成如图6E所示的VIAHole过孔55;当然,VIAHole也可以在像素区域中的PAD区域形成;

[0092] 最后,对有源层24中与其他像素区域接触的部分a(即有源层中未与栅绝缘层接触的部分)进行氧气O₂的离子注入,使其具有绝缘特性,如图6F所示。

[0093] S503、在形成有源层和栅绝缘层的衬底基板上沉积第二SWCNT薄膜和第二金属薄膜,并通过第三次构图工艺形成栅极,栅线和第二SWCNT薄膜层(即公共电极);

[0094] 在具体制造过程中,首先,利用roll to roll工艺在形成有源层和栅绝缘层的衬底基板上沉积厚度为30~60nm的第二SWCNT薄膜56,优选的,沉积厚度为40nm的第二SWCNT薄膜;利用磁控溅射沉积厚度为200nm~400nm的第二金属薄膜57,如图6G所示;

[0095] 然后,在第二金属薄膜上涂覆第二光刻胶层58,并采用灰色或半色调掩模板对该第二光刻胶层58进行曝光,显影得到如图6H所示的图形,其中图中WP为无光刻胶区域,HP为部分保留光刻胶区域,NP为完全保留光刻胶区域;

[0096] 最后,对沉积有第二SWCNT薄膜56、第二金属薄膜57和第二光刻胶层58的衬底基板20进行第一次刻蚀,形成栅极27和栅线(图中未示)图形及存储电容28,并进行灰化处理;再进行第二次刻蚀,形成第二SWCNT薄膜层26,如图6I所示。

[0097] 下面以图3所示的第二种阵列基板的结构为例,对阵列基板的制造方法进行详细说明,本实施例中S401采用方式二制作,且S403采用方式B制作,如图7所示,包括以下步骤:

[0098] S701、在衬底基板上沉积第一SWCNT薄膜,通过第一次构图工艺形成源电极、漏电极和第一SWCNT薄膜层(即像素电极),其中,漏电极与像素电极为一体结构;

[0099] 在具体制造过程中,首先利用roll to roll工艺在衬底基板30上沉积厚度为200nm的第一SWCNT薄膜80,如图8A所示;

[0100] 然后,在第一SWCNT薄膜80上涂覆第一光刻胶层81,并采用灰色或半色调掩模板对

该第一光刻胶层81进行曝光,显影得到如图8B所示的图形,其中,图中的WP为无光刻胶区域,HP为部分保留光刻胶区域,NP为完全保留光刻胶区域;

[0101] 最后,对沉积有第一SWCNT薄膜80和第一光刻胶层81的衬底基板30进行第一次刻蚀,形成源电极32和漏电极33,并进行灰化处理;再进行第二次刻蚀,将像素电极区域的第一SWCNT薄膜80刻蚀掉150nm,形成第一SWCNT薄膜层31(即像素电极,其厚度为50nm),如图8C所示。

[0102] S702、在形成有源电极、漏电极和第一SWCNT薄膜层的衬底基板上,沉积有源层薄膜和栅绝缘层薄膜,通过第二次构图工艺形成有源层和栅绝缘层,并经过刻蚀在PAD区域形成VIAHole;

[0103] 在具体制造过程中,首先利用磁控溅射沉积厚度为50nm非晶氧化物薄膜(如IGZO薄膜、ZnO薄膜或IZO薄膜)作为有源层34;

[0104] 然后利用磁控溅射在有源层上沉积厚度为400nm的栅绝缘层35,栅绝缘层可以为 Al_2O_3 ,AlN或采用PECVD沉积厚度为400nm的 SiN_x ;

[0105] 本实施例中通过本次构图工艺在PAD区域形成VIA Hole(图中未示);当然,也可以通过第一次干刻将数据线接口上方的栅绝缘层刻去,第二次湿刻刻去数据线接口上方的有源层,将数据线露出,形成VIA Hole;

[0106] 最后,对有源层与其他像素区域接触的部分b(即有源层中未与栅绝缘层接触的部分)进行 O_2 的离子注入,使其具有绝缘特性,如图8D所示。

[0107] S703、在形成有源层和栅绝缘层的衬底基板上沉积第二SWCNT薄膜,并通过第三次构图工艺形成栅极、栅线和第二SWCNT薄膜层(即公共电极);

[0108] 在具体制造过程中,首先,利用roll to roll工艺沉积厚度为200nm的第二SWCNT薄膜82,如图8E所示;

[0109] 然后,在第二SWCNT薄膜82上涂覆第二光刻胶层83,并采用灰色或半色调掩模板对该第二光刻胶层83进行曝光,显影得到图形,如图8F所示,其中WP为无光刻胶区域,HP为部分保留光刻胶区域,NP为完全保留光刻胶区域;

[0110] 最后,对沉积有第二SWCNT薄膜82和第二光刻胶层83的衬底基板30进行一次刻蚀,形成栅极37和栅线(图中未示)图形、存储电容38和第二SWCNT薄膜层36,如图8G所示。

[0111] 需要说明的是,图5给出了S401采用方式一且S403采用方式A进行制造的实施例,图7给出了S401采用方式二且S403采用方式B进行制造的实施例,当然,还可以采用其他的组合方式进行制造,如S401采用方式一且S403采用方式B进行制造,或S401采用方式二且S403采用方式A进行制造,或者本领域技术人员所熟知的其他制造方式,此处不再一一举例。

[0112] 本发明实施例采用三次构图工艺即可制备而成阵列基板,简化了制造工艺,提高了制造效率,由于每一次构图工艺中分别包括掩膜、曝光、显影、刻蚀和剥离等工艺,其中刻蚀工艺又包括干法刻蚀和湿法刻蚀,所以构图工艺的次数可以衡量制造TFT-LCD阵列基板的繁简程度,减少构图工艺的次数就意味着制造成本的降低;本发明实施例阵列基板的制造方法采用三次构图工艺,从而能有效降低制造成本;另外,由于本发明实施例阵列基板省略了钝化层的制备,进一步简化了制造工艺,降低了制造成本。

[0113] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造

性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0114] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

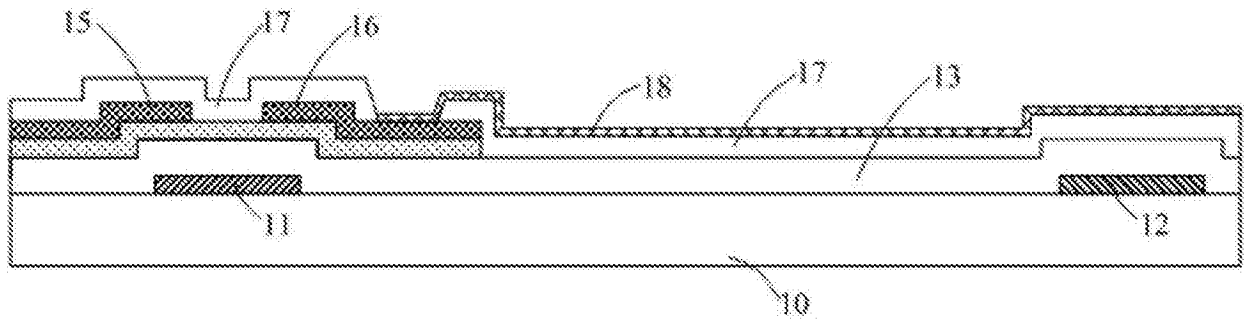


图1

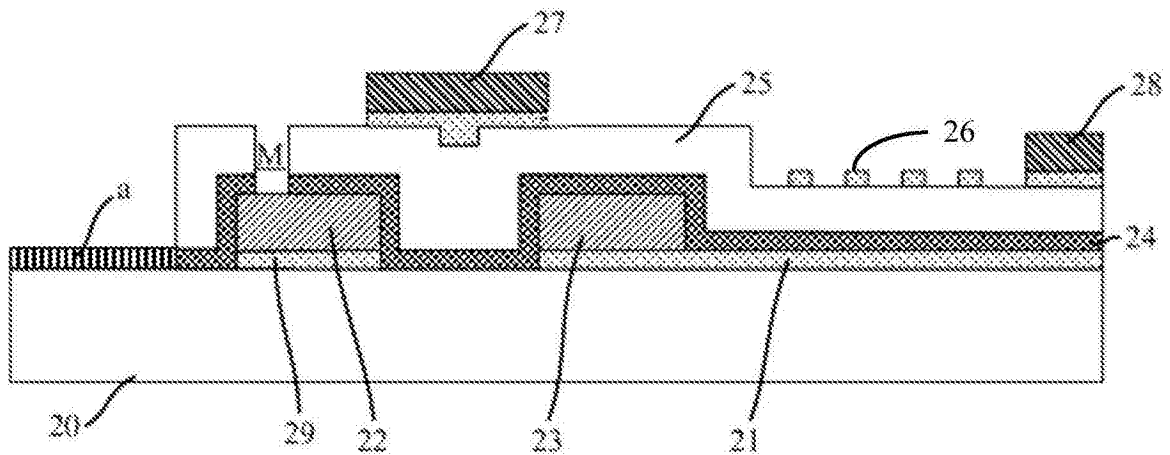


图2

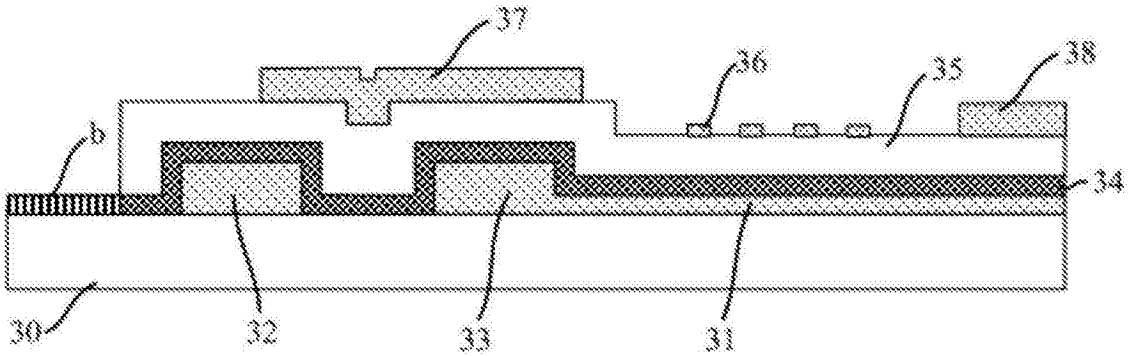


图3

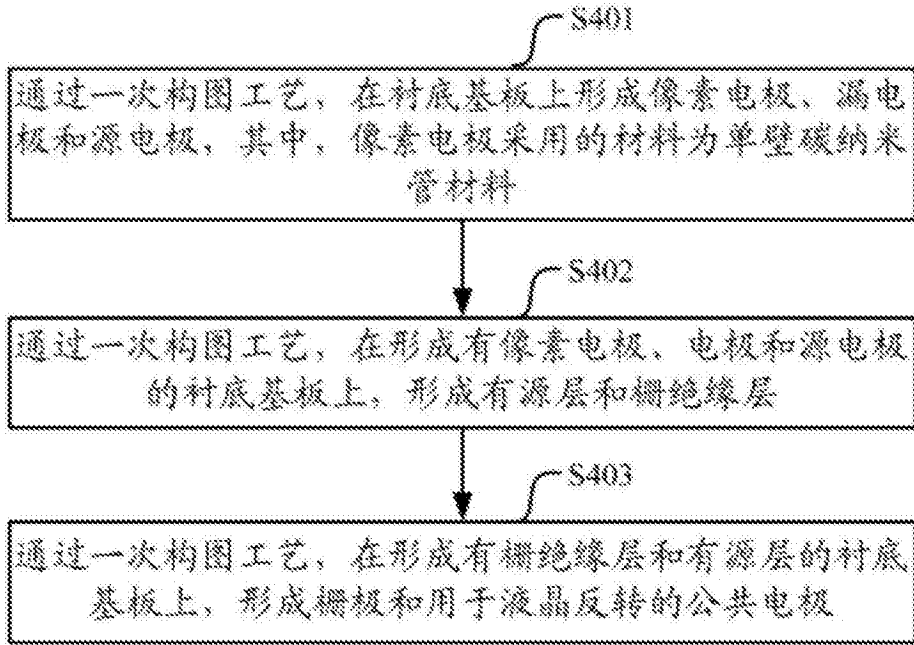


图4

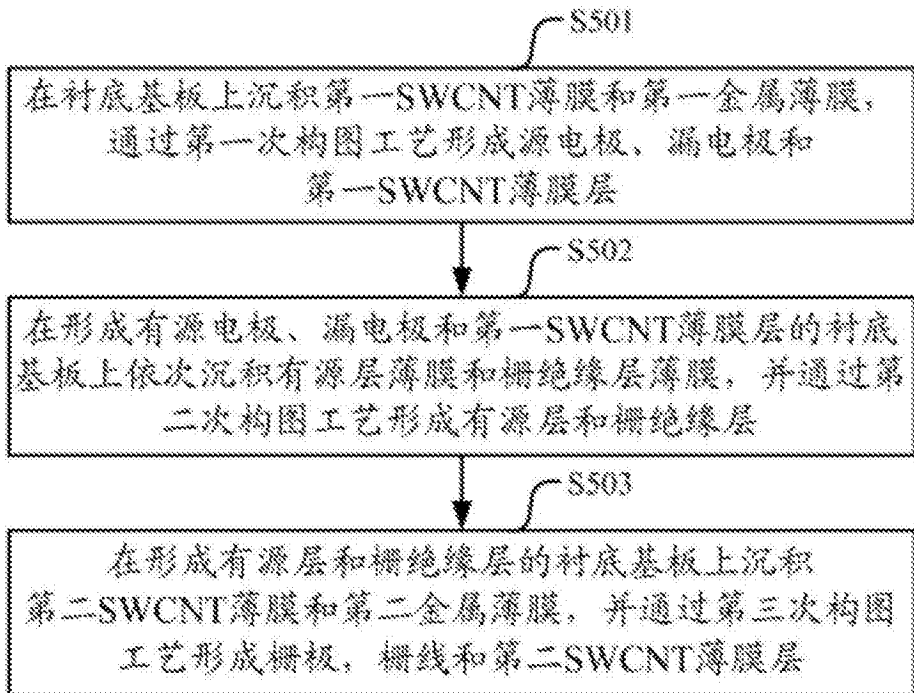


图5

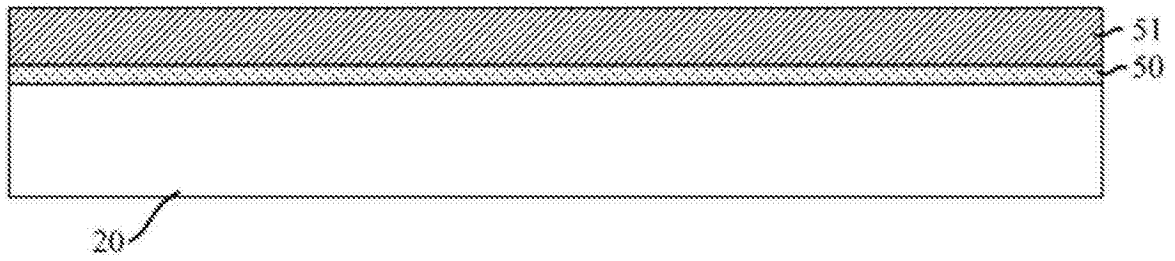


图6A

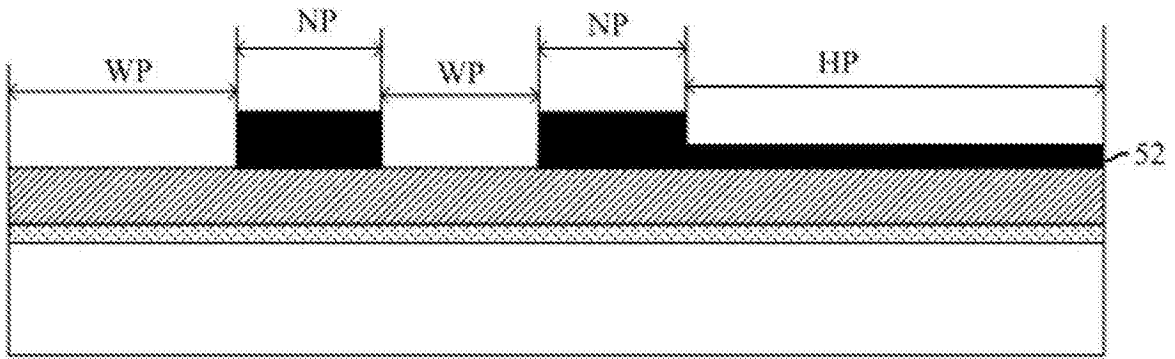


图6B

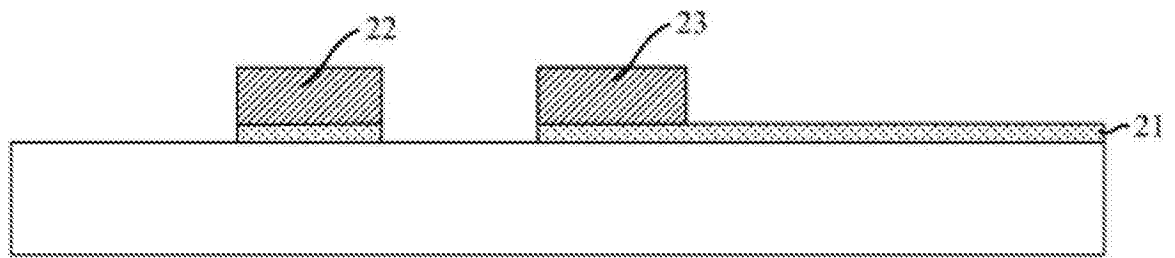


图6C

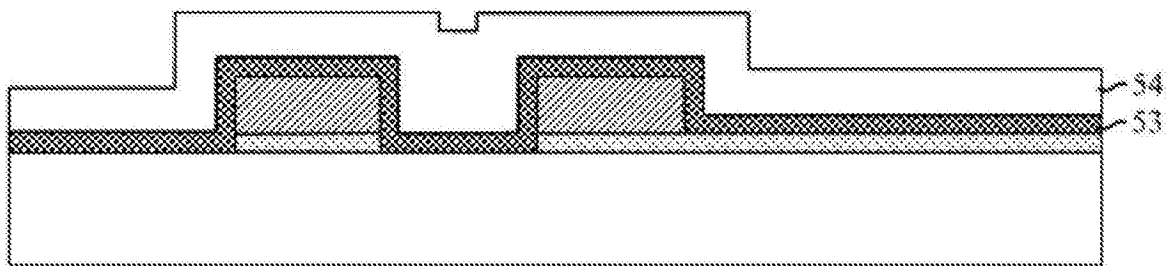


图6D

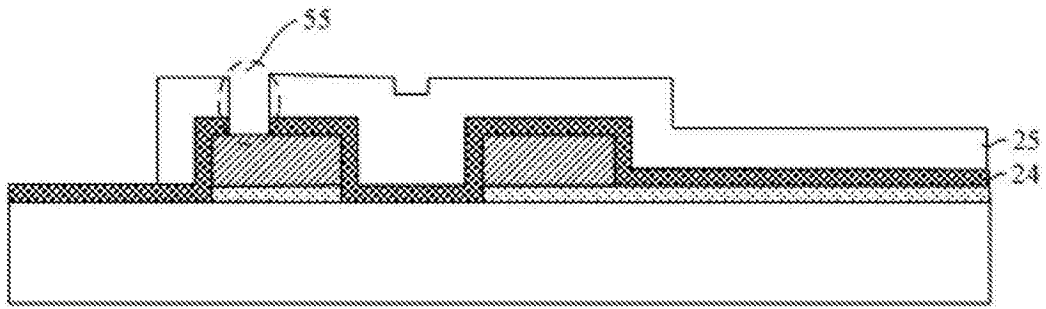


图6E

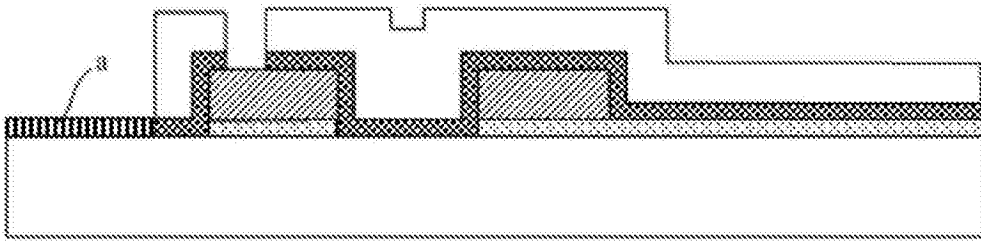


图6F

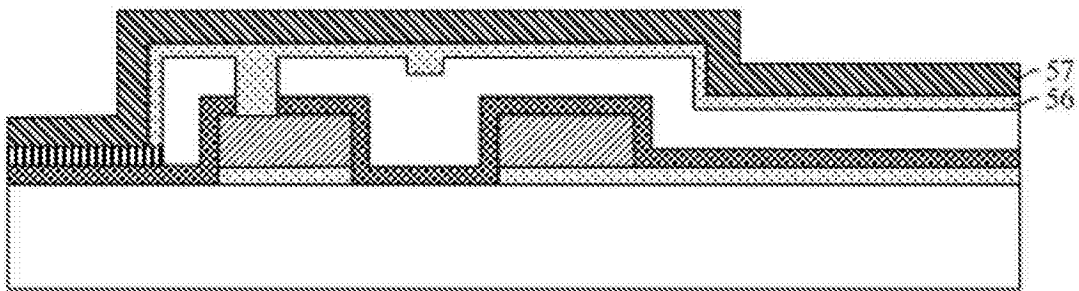


图6G

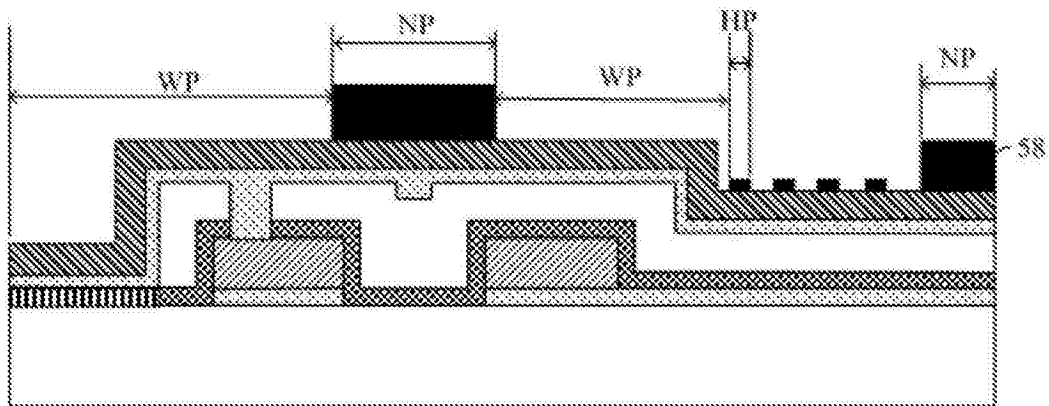


图6H

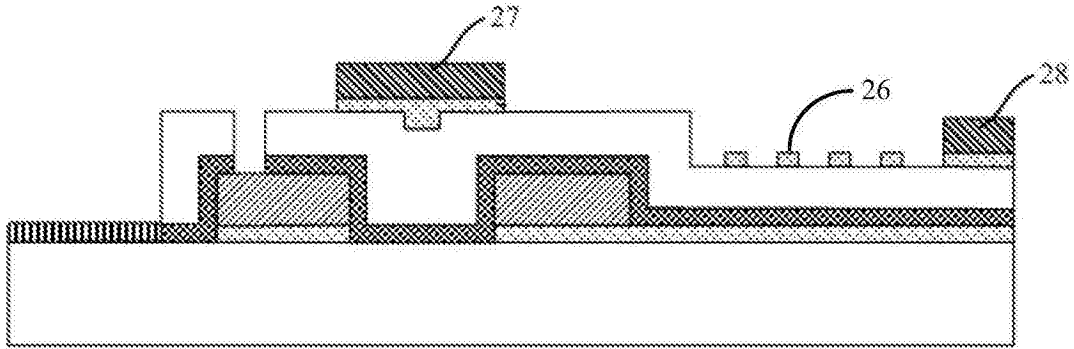


图6I

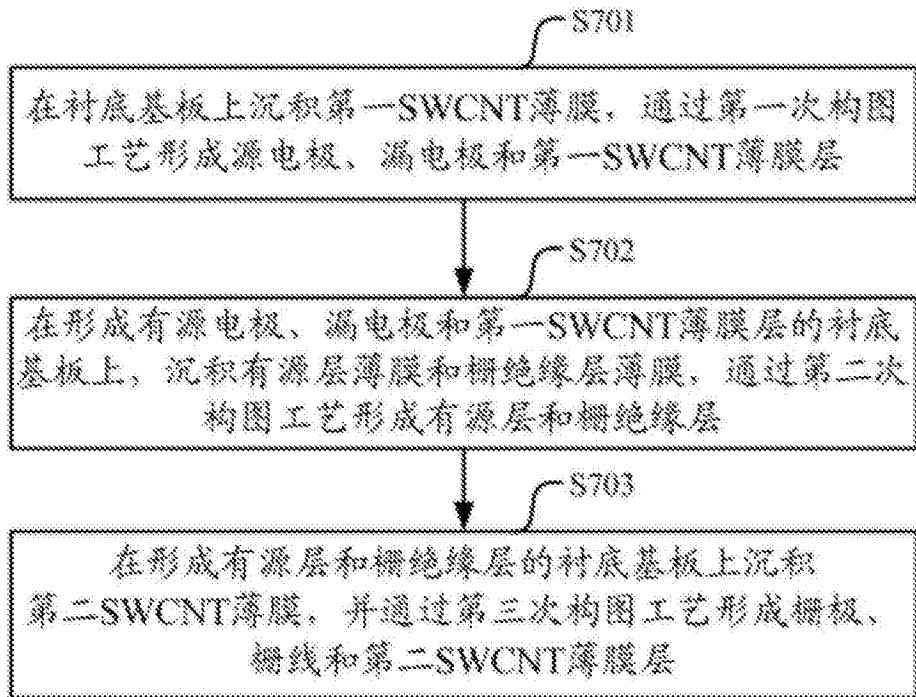


图7

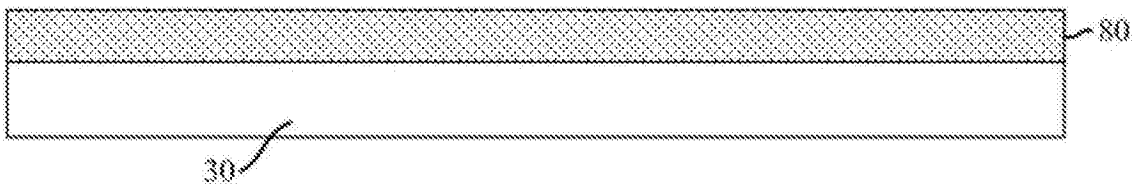


图8A

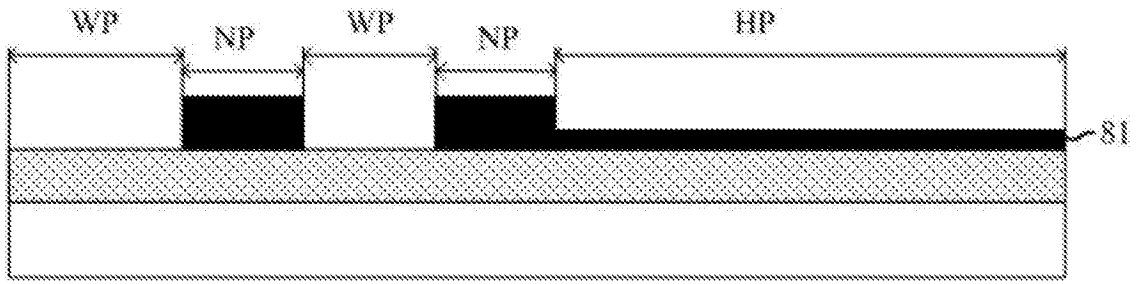


图8B

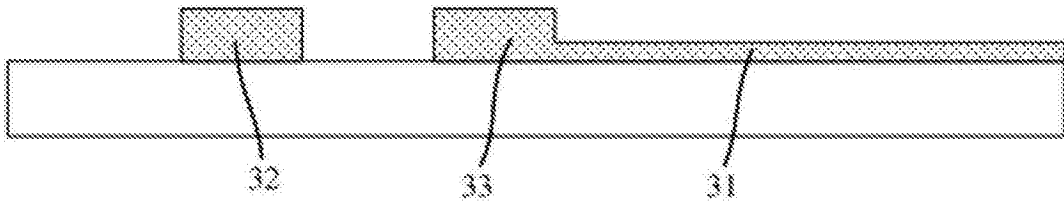


图8C

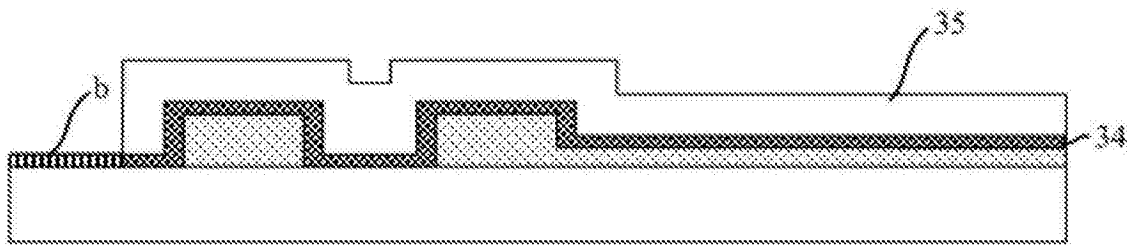


图8D

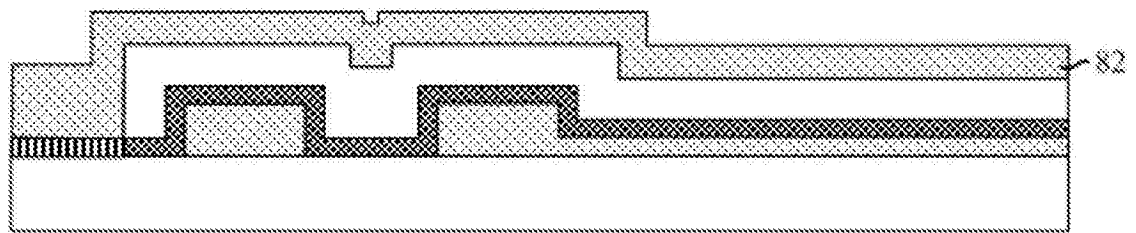


图8E

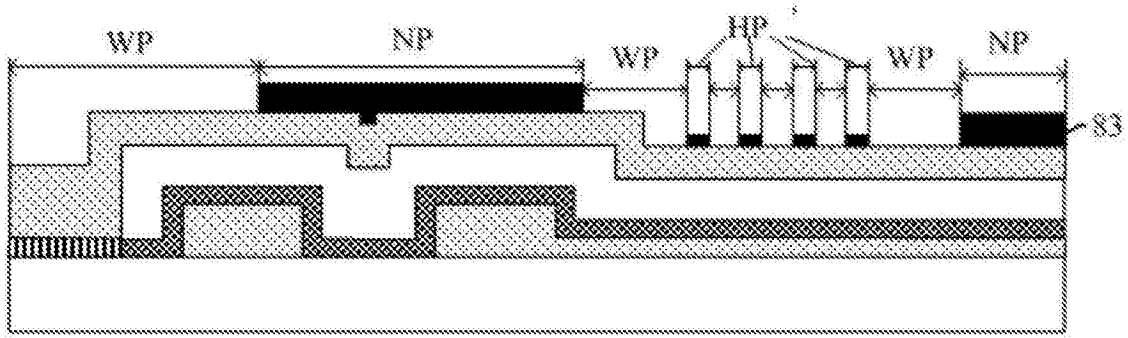


图8F

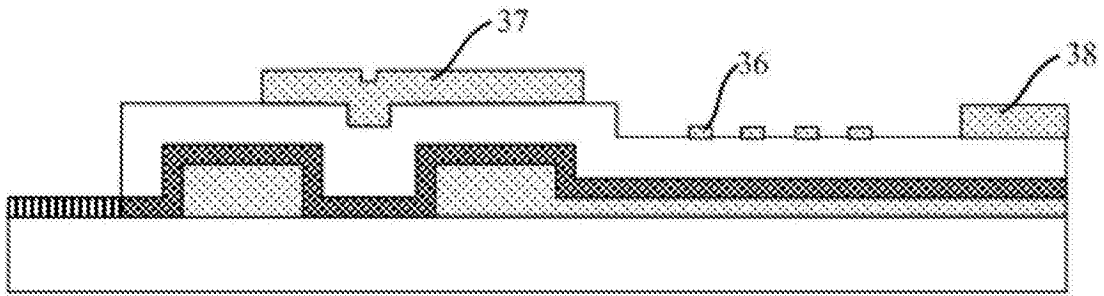


图8G