

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成28年5月19日(2016.5.19)

【公開番号】特開2015-15423(P2015-15423A)
 【公開日】平成27年1月22日(2015.1.22)
 【年通号数】公開・登録公報2015-005
 【出願番号】特願2013-142535(P2013-142535)
 【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成28年3月29日(2016.3.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板内に形成され、第1の幅の第1領域及び前記第1の幅よりも太い第2の幅の第2領域を有し、第1方向に伸びる第1の活性領域と、

前記基板内に形成され、前記第1の活性領域の前記第2領域と並行して伸びる第2の活性領域と、

前記基板に形成され、前記第1の活性領域及び前記第2の活性領域のそれぞれを画定する素子分離絶縁膜と、を備え、

前記第1の活性領域の前記第2領域又は前記第2の活性領域は、平面視で前記第1方向と交わる第2方向に向かって凹む凹形状を有することを特徴とする半導体装置。

【請求項2】

前記基板上に形成され、前記第1の活性領域の前記第2領域及び前記第2の活性領域を跨ぐ複数のゲート電極を備え、

前記複数のゲート電極の間における前記第1の活性領域の前記第2領域又は前記第2の活性領域は、前記凹形状を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記複数のゲート電極は、複数の駆動トランジスタのゲート電極及び複数の負荷トランジスタのゲート電極を含み、

前記複数の駆動トランジスタの前記ゲート電極の間における前記第1の活性領域の前記第2領域又は前記複数の負荷トランジスタの前記ゲート電極の間における前記第2の活性領域は、前記凹形状を有することを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記第1の活性領域の前記第2領域上には接地電圧を印加する接地コンタクトが形成され、

前記第2の活性領域上には電源電圧を印加する電源コンタクトが形成されていることを特徴とする請求項1から3の何れか一項に記載の半導体装置。

【請求項 5】

前記第 1 の活性領域及び前記第 2 の活性領域に形成されたエピタキシャル層を有することを特徴とする請求項 1 から 4 の何れか一項に記載の半導体装置。

【請求項 6】

第 1 の基板と、前記第 1 の基板内に形成され、第 1 の幅の第 1 領域及び前記第 1 の幅よりも太い第 2 の幅の第 2 領域を有し、第 1 方向に伸びる第 1 の活性領域と、前記第 1 の基板内に形成され、前記第 1 の活性領域の前記第 2 領域と並行して伸びる第 2 の活性領域と、前記第 1 の基板に形成され、前記第 1 の活性領域及び前記第 2 の活性領域のそれぞれを画定する第 1 の素子分離絶縁膜と、前記第 1 の活性領域及び前記第 2 の活性領域に形成されたエピタキシャル層と、を有する第 1 の半導体装置と、

第 2 の基板と、前記第 2 の基板内に形成され、第 3 の幅の第 3 領域及び前記第 3 の幅よりも太い第 4 の幅の第 4 領域を有し、第 3 方向に伸びる第 3 の活性領域と、前記第 2 の基板内に形成され、前記第 3 の活性領域の前記第 3 領域と並行して伸びる第 4 の活性領域と、前記第 2 の基板に形成され、前記第 3 の活性領域及び前記第 4 の活性領域のそれぞれを画定する第 2 の素子分離絶縁膜と、を有する第 2 の半導体装置と、

を備え、

前記第 1 の活性領域の前記第 2 領域又は前記第 2 の活性領域は、平面視で前記第 1 方向と交わる第 2 方向に向かって凹む凹形状を有することを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

次に、フォトレジスト膜 62 をマスクとしてイオン注入を行い、半導体基板 2 における NMOS トランジスタ形成領域に、埋め込み N ウェル 33 を形成する。例えば、以下の条件でイオン注入を行うことにより、半導体基板 2 に埋め込み N ウェル 33 を形成してもよい。

・イオン種：リンイオン (P⁺) , 加速エネルギー：700 keV , ドーズ量：1.5 × 10¹³ cm⁻²

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

次いで、例えば、薬液を用いたウェット処理又はアッシングにより、フォトレジスト膜 62 を除去する。次に、例えば、弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜 61 を除去する。次に、図 7 に示す工程において、フォトリソグラフィにより、半導体基板 2 における NMOS トランジスタ形成領域を露出し、他を覆うフォトレジスト膜 63 を形成する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

次いで、図 14A ~ 図 14C に示す工程において、フォトリソグラフィにより、半導体基板 2 における NMOS トランジスタ形成領域を露出し、他を覆うフォトレジスト膜 (図示せず) を形成する。次に、フォトレジスト膜及びゲート電極 11A、11B、12A、

1 2 B をマスクとして、イオン注入を行う。イオン注入を選択的に行うことにより、半導体基板 2 における N M O S トランジスタ形成領域に、N 型エクステンション領域 3 5 を形成する。例えば、以下の条件でイオン注入を行うことにより、半導体基板 2 に N 型エクステンション領域 3 5 を形成してもよい。

・イオン種：砒素イオン，加速エネルギー：1.5 keV，ドーズ量： 1.0×10^{15} cm⁻²

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

次いで、フォトリソグラフィにより、半導体基板 2 における P M O S トランジスタ形成領域を露出し、他を覆うフォトレジスト膜（図示せず）を形成する。次に、フォトレジスト膜及びゲート電極 1 3 A ~ 1 3 D をマスクとして、イオン注入を行う。イオン注入を選択的に行うことにより、半導体基板 2 における P M O S トランジスタ形成領域に、P 型エクステンション領域 4 4 を形成する。例えば、以下の条件でイオン注入を行うことにより、半導体基板 2 に P 型エクステンション領域 4 4 を形成してもよい。

・イオン種：ボロンイオン，加速エネルギー：0.5 keV，ドーズ量： 3.2×10^{14} cm⁻²

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

半導体基板 2 0 2 は、例えば、シリコン基板である。半導体基板 2 0 2 は、「第 2 の基板」の一例である。図 1 9 に示すように、半導体基板 2 0 2 内には、活性領域 2 0 3 ~ 2 0 6 が形成されている。また、半導体基板 2 0 2 には、素子分離絶縁膜 2 0 7 が形成されている。素子分離絶縁膜 2 0 7 は、「第 2 の素子分離絶縁膜」の一例である。活性領域 2 0 3 ~ 2 0 6 は、素子分離絶縁膜 2 0 7 によって画定されている。例えば、半導体基板 2 0 2 に形成された溝に酸化膜を埋め込むことによって、半導体基板 2 0 2 に素子分離絶縁膜 2 0 7 が形成される。活性領域 2 0 3、2 0 4 は、第 3 方向 V に向かって伸びている。活性領域 2 0 3 は、「第 3 の活性領域」の一例である。活性領域 2 0 4 は、「第 4 の活性領域」の一例である。第 3 方向 V は、半導体基板 2 0 2 の平面方向であって、ゲート電極 2 1 1 A、2 1 1 B、2 1 2 A、2 1 2 B と交わる方向である。すなわち、第 3 方向 V は、ゲート電極 2 1 1 A、2 1 1 B、2 1 2 A、2 1 2 B のゲート長方向である。