



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

228 803

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 14 09 82
(21) PV 6594-82

(51) Int. Cl.³ G 05 B 15/02

(40) Zveřejněno 27 05 83

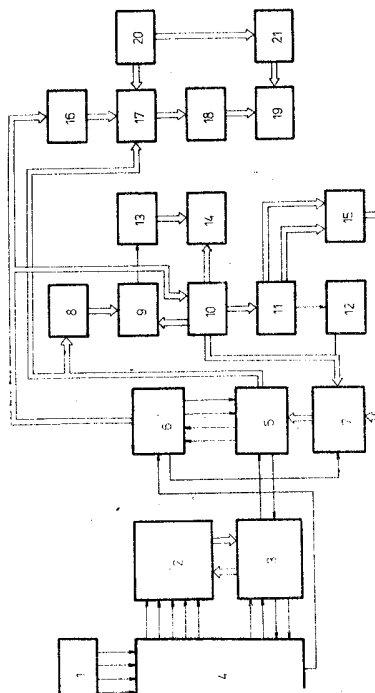
(45) Vydáno 01 01 86

(75)

Autor vynálezu ŠNÉVAJS IVO ing.,
DOLEŽAL VLADIMÍR ing. CSc., KOLÍN

(54) Zapojení obvodů pro spojení ovládacího panelu s CNC systémem

Zapojení obvodů slouží k seriovému přenosu dat mezi ovládacím panelem a centrální jednotkou číselového řídicího systému pro řízení pracovních strojů. Obvody obsahují dva seriové asynchronní přijímače/vysílače dat, mezi nimiž dochází k přenosu informací seriovým způsobem. Ovládací prvky panelu jsou uspořádány maticově a nečiní problém je rozšiřovat. Řídicí obvody, paměti vstupních a výstupních stavů a multiplexerní sdružování informací na panelu umožňují konstrukci CNC řízení s minimem realizujících prvků.



Vynález se týká zapojení obvodů pro spojení ovládacího panelu s CNC systémem.

Dosud známá spojení ovládacího panelu s centrální jednotkou NC řídicího systému se dělí podle způsobu přenosu informací na paralelní, seriová nebo serioparalelní. Výhodou paralelního způsobu je jednoduchost řídicí logiky a rychlost přenosu, nevýhodou je nutnost realizovat spojení kabelem s desítkami žil, čímž se komplikuje zejména dálkové spojení a klesá spolehlivost. Výhodou seriového způsobu je jednoduchost realizace spojení kabelem se třemi resp. více vodiči, nevýhodou jsou složité řídicí obvody, zabezpečující správnost přenosu informace a složitý protokol přenosu zpráv, který musí zajišťovat opravu přenášené informace v případě vzniku chyby při přenosu a dále snížení rychlosti přenosu informací. Serioparalelní způsob přenosu slučuje výhody i nevýhody obou uvedených způsobů. Nevýhodou známých zapojení obvodů pro spojení ovládacího panelu s NC systémy je také to, že se obtížně rozšiřuje počet prvků na panelu v případě potřeby, navíc u paralelního způsobu je nutno zvětšovat počet vodičů spojovacího kabelu. U seriového a serioparalelního způsobu zapojení se rovněž obtížně mění přiřazení kódové informace k jednotlivým prvkům panelu v případě potřeby.

Mnohé z těchto nevýhod odstraňuje zapojení obvodů podle vynálezu, jehož podstata spočívá v tom, že první až čtvrtý výstup adresového dekodéru vede na první až čtvrtý vstup bloku řízení zápisu, jehož první až pátý výstup vede na první až pátý adresovací vstup paměti vstupních/výstupních stavů, jejíž výstupy vedou na paralelní vstupy prvního seriového asynchronního přijímače/vysílače, jehož paralelní výstupy vedou na datové vstupy paměti vstupních/výstupních stavů, přičemž první a druhý řídicí výstup prvního seriového asynchronního přijímače/vysílače vedou na pátý a šestý vstup bloku řízení zápisu, jeho první a druhý řídicí vstup

je spojen s šestým a sedmým výstupem bloku řízení zápisu, jeho seriový výstup je spojen se seriovým vstupem druhého seriového asynchronního přijímače/vysílače a konečně jeho seriový vstup je spojen se seriovým výstupem druhého seriového asynchronního přijímače/vysílače, přičemž paralelní výstupy druhého seriového asynchronního přijímače/vysílače jsou spojeny datovým kanálem se vstupy první pevné paměti a s datovými vstupy paměti indikovaných znaků, jeho první a druhý řídicí vstup je spojen s prvním a druhým řídicím výstupem bloku řízení přenosu a konečně jeho paralelní vstupy jsou spojeny s výstupy multiplexeru, přičemž paralelní výstupy bloku řízení přenosu vedou adresovým kanálem na vstupy řadiče panelu a dále na vstupy třetí pevné paměti a jeho synchronizační vstup vede na synchronizační výstup bloku řízení zápisu, přičemž stavové výstupy řadiče panelu vedou na první datové vstupy multiplexeru, jeho první budicí výstupy vedou na řádkové budicí vstupy matice signálů, jeho druhé budicí vstupy vedou na řádkové budicí vstupy matice tlačítek a konečně jeho adresovací výstupy vedou na první paralelní vstupy posuvného registru, jehož druhé paralelní vstupy vedou na výstupy první pevné paměti, přičemž seriový výstup posuvného registru vede na vstup bloku budičů signálů, jehož paralelní výstupy vedou na sloupcové vstupy matice signálů, přičemž synchronizační výstup matice tlačítek vede na vstup číslicového filtru, řádkové a sloupcové výstupy matice tlačítek vedou na adresovací vstupy druhé pevné paměti, jejíž výstupy vedou na druhé datové vstupy multiplexeru, přičemž výstup číslicového filtru vede k jednomu z prvních datových vstupů multiplexeru, jehož adresovací vstup je spojen s přepínacím výstupem bloku řízení přenosu, přičemž zapojení dále obsahuje řadič alfanumerické indikace, jehož adresovací výstupy jsou spojeny s prvními adresovacími vstupy paměti indikovaných znaků a jeho budicí výstupy jsou spojeny se vstupy bloku budičů indikace, jehož výstupy jsou spojeny s adresovými vstupy bloku alfanumerických zobrazovačů, přičemž výstupy třetí pevné paměti vedou na druhé adresovací vstupy paměti indikovaných znaků, jejíž výstupy vedou na vstupy třetí pevné paměti, jejíž výstupy vedou na datové vstupy bloku alfanumerických zobrazovačů.

Hlavní výhodou tohoto zapojení je to, že maticové uspořádání prvků s plošnou a předchozí i následnou kódovou transformací umožňuje pružně přizpůsobit rozmístění řídicích a indikačních prvků panelu měnícím se požadavkům, bez dalších zásahů do struktury

panelu. Použitím zvláštního synchronizačního kanálu spojeného s blokováním zpětného přenosu umožňuje vynález přenos zpráv s vysokou spolehlivostí na značnou vzdálenost s minimem realizačních prvků a bez potřeby komplikovaného přenosového protokolu.

Příklad zapojení obvodů podle vynálezu je uveden na obr. 1. První až čtvrtý výstup adresového dekodéru 1 vede na první až čtvrtý vstup bloku řízení zápisu 4, jehož první až pátý výstup vede na první až pátý adresovací vstup paměti vstupních/výstupních stavů 2. Její výstupy vedou na paralelní vstupy prvního seriového asynchronního přijímače/vysílače 3, jehož paralelní výstupy vedou na datové vstupy paměti vstupních/výstupních stavů 2. První a druhý řídicí výstup prvního seriového asynchronního přijímače/vysílače 3 vedou na pátý a šestý vstup bloku řízení zápisu 4, jeho první a druhý řídicí vstup je spojen s šestým a sedmým výstupem bloku řízení zápisu 4, jeho seriový výstup je spojen se seriovým vstupem druhého seriového asynchronního přijímače/vysílače 2 a konečně jeho seriový vstup je spojen se seriovým výstupem druhého seriového asynchronního přijímače/vysílače 2. Paralelní výstupy druhého seriového asynchronního přijímače/vysílače 2 jsou spojeny datovým kanálem se vstupy první pevné paměti 8 a s datovými vstupy paměti indikovaných znaků 17, jeho první a druhý řídicí výstup je spojen s prvním a druhým vstupem bloku řízení přenosu 6, jeho první a druhý řídicí vstup je spojen s prvním a druhým řídicím výstupem bloku řízení přenosu 6 a konečně jeho paralelní vstupy jsou spojeny s výstupy multiplexeru 7. Paralelní výstupy bloku řízení přenosu 6 vedou adresovým kanálem na vstupy řadiče panelu 10 a dále na vstupy třetí pevné paměti 16 a jeho synchronizační vstup vede na synchronizační výstup bloku řízení zápisu 4. Stavové výstupy řadiče panelu 10 vedou na první datové vstupy multiplexeru 7, jeho první budící výstupy vedou na řádkové budící vstupy matice signálů 14, jeho druhé budící vstupy vedou na řádkové budící vstupy matice tlačítek 11 a konečně jeho adresovací výstupy vedou na první paralelní vstupy posuvného registru 9, jehož druhé paralelní vstupy vedou na výstupy první pevné paměti 8. Seriový výstup posuvného registru 9 vede na vstup bloku budičů signálů 13, jehož paralelní výstupy vedou na sloupcové vstupy matice signálů 14. Synchronizační výstup matice tlačítek 11 vede na vstup číslicového filtru 12. Řádkové a sloupcové výstupy matice tlačítek 11 vedou na adresovací vstupy druhé pevné paměti 15, jejíž výstupy vedou na druhé datové vstupy multi-

plexeru 7. Výstup číslicového filtru 12 vede k jednomu z prvních datových vstupů multiplexeru 7, jehož adresovací vstup je spojen s prepínacím výstupem bloku řízení přenosu 6. Zapojení dále obsahuje řadič alfanumerické indikace 20, jehož adresovací výstupy jsou spojeny s prvními adresovacími vstupy paměti indikovaných znaků 17 a jeho budicí výstupy jsou spojeny se vstupy bloku budičů indikace 21, jehož výstupy jsou spojeny s adresovými vstupy bloku alfanumerických zobrazovačů 19. Výstupy třetí pevné paměti 16 vedou na druhé adresovací vstupy paměti indikovaných znaků 17, jejíž výstupy vedou na vstupy třetí pevné paměti 18, jejíž výstupy vedou na datové vstupy bloku alfanumerických zobrazovačů 19.

Funkce zapojení obvodů dle vynálezu je následující. Centrální jednotka CNC systému komunikuje s pamětí vstupních/výstupních stavů 2 přes její sběrnicový systém, který umožňuje rychlou obousměrnou komunikaci prostřednictvím adresového dekodéru 1. Cyklus čtení nebo zápisu do paměti vstupních/výstupních stavů 2 probíhá v každém repetičním výpočtovém cyklu CNC systému pouze jedenkrát a je zakončen příkazem charakteru startu přenosu na panel. Přenos dat mezi prvním 3 a druhým 2 seriovým asynchronním přijímačem/vysílačem je určen jejich strukturou.

Vlastní komunikace s panelem CNC systému je autonomní, je zahájena aktivací synchronizačního výstupu bloku řízení zápisu 4 mající charakter začátku zprávy, současně tento signál nastavuje blok řízení přenosu 6 do počátečního stavu.

Blok řízení zápisu 4 přepíše první znak uložený v paměti vstupních/výstupních stavů 2 prostřednictvím jejich paralelních výstupů do vstupního paralelního registru prvního seriového asynchronního přijímače/vysílače 3, který je seriově přenesen přes svůj seriový výstup do druhého seriového asynchronního vysílače/přijímače 2, jehož jeden řídicí výstup je aktivován ukončením přijímaného znaku a je vyhodnocen v bloku řízení přenosu 6, který v případě, že byl přenesený znak přijat správně, o čemž ho informuje druhý řídicí výstup druhého seriového asynchronního přijímače/vysílače 2, aktivuje adresovací kanál vedený na vstupy řadiče panelu 10 a dále na vstupy třetí pevné paměti 16. V závislosti na stavu adresového kanálu, který může být modifikován změnou struktury bloku řízení přenosu 6, je poslední přijatý znak zapsán buď do paměti indikovaných znaků 17 s další transformací danou obsahem třetí pevné paměti 16, nebo do příslušné buňky posuvného registru 9 adresované stavem

výstupního datového kanálu druhého seriového asynchronního přijímače/vysílače 5, který je transformován první pevnou pamětí 8. Tak je zajištěna libovolná kódová dostupnost každého indikačního prvku na panelu CNC systému. Flexibilita v rozmístění indikačních prvků klávesnice je zajištěna jejich maticovým uspořádáním v bloku matice signálů 14, který je řízen blokem budičů signálů 13. Kódovou transformaci dat pro blok alfanumerických zobrazovačů 19 zajišťuje třetí pevná paměť 18, která transformuje kód uložený v paměti indikovaných znaků 17, adresované mimo okamžik zápisu řadičem alfanumerické indikace 20, který současně řídí blok budičů indikace 21. Současně s přijetím prvního správného znaku druhým seriovým asynchronním vysílačem/přijímačem 5 blok řízení přenosu 6 generuje na svém prvním výstupu signál zahajující přenos dat z druhého seriového asynchronního vysílače/přijímače 5 na první seriový asynchronní vysílač/přijímač 3, který po přijetí znaku aktivuje své dva řídicí výstupy vedoucí na blok řízení zápisu 4, který prostřednictvím svých výstupů zajistí přepis dat do paměti vstupních/výstupních stavů 2. Vstupní datový kanál druhého seriového asynchronního přijímače/vysílače 5 je přepínán multiplexem 7 v závislosti na stavu adresové sběrnice bloku řízení přenosu 6 a stavu řadiče panelu 10 na výstupy stavových signálů, výstup z číslicového filtru 12 nebo na výstupy druhé pevné paměti 15, která transformuje pevný kód matice tlačítek 11. Číslicový filtr 12 odstraňuje přechodové stavy vznikající při činnosti spínacích prvků. Příjem chybného znaku aktivuje druhý výstup seriového asynchronního přijímače/vysílače 5, blok řízení přenosu 6 zablokuje svou adresovou sběrnici a neumožní příjem ani vyslání dalších znaků, totéž zabezpečí po odvysílání úplné zprávy přes seriový výstup seriového asynchronního přijímače/vysílače 5. Počet přijatých znaků je kontrolován v bloku řízení zápisu 4, jehož stav je možno sejmut v příslušném datovém kanálu daném adresovým dekodérem 1.

Zapojení dle předmětu vynálezu lze s výhodou využít zejména při konstrukci NC a CNC systémů, u nichž je často vyžadován oddělitelný ovládací panel, se kterým centrální jednotka řídicího systému komunikuje do vzdálenosti až několika desítek metrů.

PŘEDMĚT VYNÁLEZU

228 803

Zapojení obvodů pro spojení ovládacího panelu s CNC systé-
mam vyznačené tím, že první až čtvrtý výstup adresového dekodéru
(1) je veden na první až čtvrtý vstup bloku řízení zápisu (4), je-
hož první až pátý výstup je veden na první až pátý adresovací vstup
paměti vstupních/výstupních stavů (2), jejíž výstupy jsou vedeny
na paralelní vstupy prvního seriového asynchronního přijímače/vy-
sílače (3), jehož paralelní výstupy jsou vedeny na datové vstupy
paměti vstupních/ výstupních stavů (2), přičemž první a druhý ří-
dicí výstup prvního seriového asynchronního přijímače/vysílače (3)
jsou vedeny na pátý a šestý vstup bloku řízení zápisu (4), jeho
první a druhý řídicí vstup je spojen s šestým a sedmým výstupem blo-
ku řízení zápisu (4), jeho seriový výstup je spojen se seriovým
vstupem druhého seriového asynchronního přijímače/vysílače (5) a
konečně jeho seriový vstup je spojen se seriovým výstupem druhého
seriového asynchronního přijímače/vysílače (5), přičemž paralelní
výstupy druhého seriového asynchronního přijímače/vysílače (5) jsou
spojeny datovým kanálem se vstupy první pevné paměti (8) a s datový-
mi vstupy paměti indikovaných znaků (17), jeho první a druhý řídicí
výstup je spojen s prvním a druhým vstupem bloku řízení přenosu (6),
jeho první a druhý řídicí vstup je spojen s prvním a druhým řídicím
výstupem bloku řízení přenosu (6) a konečně jeho paralelní vstupy
jsou spojeny s výstupy multiplexeru (7), přičemž paralelní výstupy
bloku řízení přenosu (6) jsou vedeny adresovým kanálem na vstupy
řadiče panelu (10) a dále na vstupy třetí pevné paměti (16) a jeho
synchronizační vstup je připojen na synchronizační výstup bloku ří-
zení zápisu (4), přičemž stavové výstupy řadiče panelu (10) jsou
vedeny na první datové vstupy multiplexeru (7), jeho první budicí
výstupy jsou připojeny na řádkové budicí vstupy matice signálů (14),
jeho druhé budicí vstupy jsou vedeny na řádkové budicí vstupy matice
tlačítek (11) a konečně jeho adresovací výstupy jsou vedeny na první
paralelní vstupy posuvného registru (9), jehož druhé paralelní vstu-
py jsou vedeny na výstupy první pevné paměti (8), přičemž seriový
výstup posuvného registru (9) je veden na vstup bloku budičů signálů
(13), jehož paralelní výstupy vedou na sloupcové vstupy matice signá-
lů (14), přičemž synchronizační výstup matice tlačítek (11) je veden
na vstup číslicového filtru (12), řádkové a sloupcové výstupy matice
tlačítek (11) jsou vedeny na adresovací vstupy druhé pevné paměti (15),

jejíž výstupy jsou vedeny na druhé datové vstupy multiplexeru (7), přičemž výstup číslicového filtru (12) je veden k jednomu z prvních datových vstupů multiplexeru (7), jehož adresovací vstup je spojen s přepínacím výstupem bloku řízení přenosu (6), přičemž zapojení dále obsahuje řadič alfanumerické indikace (20), jehož adresovací výstupy jsou spojeny s prvními adresovacími vstupy paměti indikovaných znaků (17) a jeho budicí výstupy jsou spojeny se vstupy bloku budičů indikace (21), jehož výstupy jsou spojeny s adresovými vstupy bloku alfanumerických zobrazovačů (19), přičemž výstupy třetí pevné paměti (16) jsou vedeny na ^{adresu} adresovací vstupy paměti indikovaných znaků (17), jejíž výstupy jsou vedeny na vstupy třetí pevné paměti (18), jejíž výstupy jsou vedeny na datové vstupy bloku alfanumerických zobrazovačů (19).

