

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-12925
(P2007-12925A)

(43) 公開日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 6 1	5 B O 1 5
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 3 8 1	5 C O O 6
HO 1 L 27/11 (2006.01)	G 1 1 C 11/34 3 4 5	5 C O 8 0
G 1 1 C 11/41 (2006.01)	G O 9 G 3/20 6 3 1 Z	5 F O 8 3
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 1 M	

審査請求 未請求 請求項の数 18 O L (全 38 頁) 最終頁に続く

(21) 出願番号	特願2005-192684 (P2005-192684)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成17年6月30日 (2005.6.30)	(74) 代理人	100090479 弁理士 井上 一
		(74) 代理人	100090387 弁理士 布施 行夫
		(74) 代理人	100090398 弁理士 大淵 美千栄
		(74) 代理人	100101649 弁理士 伊奈 達也
		(74) 代理人	100104710 弁理士 竹腰 昇

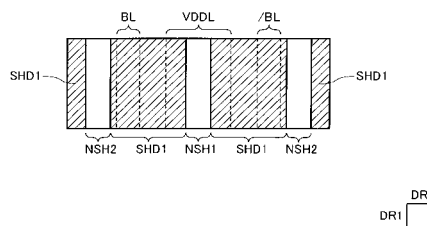
最終頁に続く

(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【要約】 (修正有)

【課題】 ビット線の上層に比較的大きな電圧を供給するための配線を施しても、ビット線を保護して誤検出を防止できる集積回路装置及びそれを搭載する電子機器を提供すること。

【解決手段】 集積回路装置に設けられる表示メモリは、複数のワード線が形成される金属配線層には、メモリセルに第1の電源電圧を供給するための複数の第1の電源供給配線が形成され、複数のビット線 B L が形成される金属配線層には、複数のメモリセルに第2の電源電圧 V D D を供給するための複数の第2の電源供給配線 V D D L が形成される。複数のビット線 B L の上層には複数のビット線保護用配線 S H D が形成され、複数のビット線 B L の各々と複数のビット線保護用配線 S H D の各々とは平面視で重なる領域を含む。複数のビット線保護用配線 S H D の上層には、表示メモリ以外の回路に第3の電源電圧を供給するための第3の電源供給配線が形成されている。



【選択図】 図32

【特許請求の範囲】

【請求項 1】

複数の走査線及び複数のデータ線を有する表示パネルに表示される少なくとも一部のデータを格納する表示メモリを含む集積回路装置であって、

前記表示メモリは、複数のワード線と、複数のビット線と、複数のメモリセルと、を含み、

前記複数のワード線が形成される金属配線層には、前記複数のメモリセルに第 1 の電源電圧を供給するための複数の第 1 の電源供給配線が形成され、

前記複数のビット線が形成される金属配線層には、前記複数のメモリセルに前記第 1 の電源電圧よりも電圧の高い第 2 の電源電圧を供給するための複数の第 2 の電源供給配線が形成され、

前記複数のビット線の上層には複数のビット線保護用配線が形成され、前記複数のビット線の各々と前記複数のビット線保護用配線の各々とは、平面視で重なる領域を含み、

前記複数のビット線保護用配線の上層には、前記集積回路装置に設けられた回路のうち、前記表示メモリ以外の回路に前記第 2 の電源電圧よりも電圧の高い第 3 の電源電圧を供給するための第 3 の電源供給配線が形成されていることを特徴とする集積回路装置。

10

【請求項 2】

請求項 1 において、

前記複数のビット線と前記ビット線保護用配線とがそれぞれ形成される各層の間の層に前記複数のワード線が形成され、前記複数のビット線の各々と前記複数のワード線の各々とは、平面視で重なる領域を含むことを特徴とする集積回路装置。

20

【請求項 3】

請求項 2 において、

前記複数のビット線の各々と前記複数の第 1 の電源供給配線の各々とは、平面視で重なる領域を含むことを特徴とする集積回路装置。

【請求項 4】

請求項 3 において、

前記複数のメモリセルの各々は、短辺及び長辺を有し、

前記複数のメモリセルの各々では、

前記複数のビット線は前記複数のメモリセルの前記短辺の延びる第 1 の方向に沿って形成され、

前記複数のワード線は前記複数のメモリセルの前記長辺の延びる第 2 の方向に沿って形成されていることを特徴とする集積回路装置。

30

【請求項 5】

請求項 4 において、

前記複数のメモリセルの各々では、前記複数の第 1 の電源供給配線のうちの 2 本が配置されていることを特徴とする集積回路装置。

【請求項 6】

請求項 4 または 5 において、

前記複数の第 1 の電源供給配線が形成される領域の上層には、前記複数のビット線保護用配線が形成されない保護用配線非形成領域が設けられていることを特徴とする集積回路装置。

40

【請求項 7】

請求項 4 または 5 において、

前記複数の第 2 の電源供給配線が形成される領域の上層には、前記複数のビット線保護用配線が形成されない保護用配線非形成領域が設けられていることを特徴とする集積回路装置。

【請求項 8】

請求項 7 において、

前記複数のビット線保護用配線の各々は、前記第 1 の方向に沿って延在形成されている

50

ことを特徴とする集積回路装置。

【請求項 9】

請求項 8 において、

前記保護用配線非形成領域は、前記第 1 の方向に沿って延在形成されていることを特徴とする集積回路装置。

【請求項 10】

請求項 6 において、

前記複数のビット線保護用配線の各々は、前記第 2 の方向に沿って延在形成されていることを特徴とする集積回路装置。

【請求項 11】

請求項 10 において、

前記保護用配線非形成領域は、前記第 2 の方向に沿って延在形成されていることを特徴とする集積回路装置。

【請求項 12】

請求項 11 において、

前記複数のメモリセルの各々では、前記複数の第 1 の電源供給配線のうちの 2 本が配置され、前記複数のビット線保護用配線の一つの前記第 1 の方向での両端部が、前記 2 本の第 1 の電源供給線と平面視で重なる領域を含むことを特徴とする集積回路装置。

【請求項 13】

請求項 6 乃至 12 のいずれかにおいて、

前記複数のビット線保護用配線には、前記第 1 及び第 2 の電源電圧のいずれか一方が供給されていることを特徴とする集積回路装置。

【請求項 14】

請求項 6 乃至 13 のいずれかにおいて、

前記複数のビット線保護用配線は、前記第 1 及び第 2 の電源供給配線のいずれか一方と電気的に接続されていることを特徴とする集積回路装置。

【請求項 15】

複数の走査線及び複数のデータ線を有する表示パネルに表示される少なくとも一部のデータを格納する表示メモリを含む集積回路装置であって、

前記表示メモリは、複数のワード線と、複数のビット線と、複数のメモリセルと、を含み、

前記複数のワード線が形成される金属配線層には、前記複数のメモリセルに第 1 の電源電圧を供給するための複数の第 1 の電源供給配線が形成され、

前記複数のビット線が形成される金属配線層には、前記複数のメモリセルに前記第 1 の電源電圧よりも電圧の高い第 2 の電源電圧を供給するための複数の第 2 の電源供給配線が形成され、

前記複数のビット線の上層には前記複数のワード線が形成され、前記複数のビット線の各々と前記複数のワード線の各々とは平面視で重なる領域を含み、かつ、前記複数のビット線の各々と前記複数の第 1 の電源供給配線の各々とは平面視で重なる領域を含み、

前記複数のワード線の上層には、前記集積回路装置に設けられた回路のうち、前記表示メモリ以外の回路に前記第 2 の電源電圧よりも電圧の高い第 3 の電源電圧を供給するための第 3 の電源供給配線が形成されていることを特徴とする集積回路装置。

【請求項 16】

請求項 1 乃至 15 のいずれかに記載の集積回路装置と、表示パネルと、を含むことを特徴とする電子機器。

【請求項 17】

請求項 16 において、

前記集積回路装置は、前記表示パネルを形成する基板に実装されていることを特徴とする電子機器。

【請求項 18】

10

20

30

40

50

請求項 17 において、

前記集積回路装置の前記複数のワード線が、前記表示パネルに設けられた前記複数のデータ線が延びる方向と平行になるように前記表示パネルを形成する基板に前記集積回路装置が実装されていることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及び電子機器に関する。

【背景技術】

【0002】

近年、電子機器の普及に伴い、電子機器に搭載される表示パネルの高解像度化の需要が増大している。それに伴い、表示パネルを駆動する駆動回路には高機能が要求される。しかしながら、高機能を搭載する駆動回路には、多種の回路が必要であり、表示パネルの高解像度化に比例して、その回路規模及び回路の複雑さが増大する傾向にある。従って、高機能を維持したまま又はさらなる高機能の搭載に伴う駆動回路のチップ面積の縮小化が難しく、製造コスト削減を妨げる。

【0003】

また、小型電子機器においても、高解像度化された表示パネルが搭載され、その駆動回路に高機能が要求される。しかしながら、小型電子機器にはそのスペースの都合上、あまり回路規模を大きくすることができない。従って、チップ面積の縮小と高機能の搭載の両立が難しく、製造コストの削減又はさらなる高機能の搭載が困難である。

【0004】

特に表示メモリを内蔵したチップの小型化に際しては、メモリセルに接続されるビット線に微小電流が流れるため、周囲のノイズの影響を受けやすく、ビット線の電位が不安定となって誤検出を引き起こす点が制約となっている。

【特許文献 1】特開 2001-222276 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、たとえビット線の上層に比較的大きな電圧を供給するための配線を施して、表示メモリを含む集積回路装置内のレイアウトの自由度を高め、あるいはその小型化を図っても、ビット線を保護して誤検出を防止できる集積回路装置及びそれを搭載する電子機器を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一態様に係る集積回路装置は、複数の走査線及び複数のデータ線を有する表示パネルに表示される少なくとも一部のデータを格納する表示メモリを含む集積回路装置であって、前記表示メモリは、複数のワード線と、複数のビット線と、複数のメモリセルとを含み、前記複数のワード線が形成される金属配線層には、前記複数のメモリセルに第 1 の電源電圧を供給するための複数の第 1 の電源供給配線が形成され、前記複数のビット線が形成される金属配線層には、前記複数のメモリセルに前記第 1 の電源電圧よりも電圧の高い第 2 の電源電圧を供給するための複数の第 2 の電源供給配線が形成され、前記複数のビット線の上層には複数のビット線保護用配線が形成され、前記複数のビット線の各々と前記複数のビット線保護用配線の各々とは、平面視で重なる領域を含み、前記複数のビット線保護用配線の上層には、前記集積回路装置に設けられた回路のうち、前記表示メモリ以外の回路に前記第 2 の電源電圧よりも電圧の高い第 3 の電源電圧を供給するための第 3 の電源供給配線が形成されている。

【0007】

本発明では、複数のビット線と第 3 の電源供給配線との間には、ビット線保護用配線が

10

20

30

40

50

存在しているので、複数のビット線と第3の電源供給配線とが容量カップリングされることを防止できる。よって、例えば第3の電源供給配線の電位が上昇した場合に、容量カップリングに起因してビット線の電位も上昇してしまう事態を防止できる。こうして、ビット線の電位が不安定になることを防止でき、メモリセルの記憶データが誤検出されることがない。

【0008】

本発明では、前記複数のビット線と前記ビット線保護用配線とがそれぞれ形成される各層の間の層に前記複数のワード線が形成され、前記複数のビット線の各々と前記複数のワード線の各々とは、平面視で重なる領域を含むことができる。

【0009】

複数のワード線は、一垂直走査期間のうち、一水平走査期間だけ選択電位となり、他の期間は非選択電位で一定であるので、複数のワード線もまたビット線保護用配線と同等のシールド機能を発揮できる。

【0010】

本発明では、前記複数のビット線の各々と前記複数の第1の電源供給配線の各々とは、平面視で重なる領域を含むことができる。メモリセルに供給される第1の電源電圧は一定（例えばVSS）であるので、第1の電源供給配線もまたビット線保護用配線と同等のビット線保護機能を発揮できる。

【0011】

本発明では、前記複数のメモリセルの各々は、短辺及び長辺を有し、前記複数のメモリセルの各々では、前記複数のビット線は前記複数のメモリセルの前記短辺の延びる第1の方向に沿って形成され、前記複数のワード線は前記複数のメモリセルの前記長辺の延びる第2の方向に沿って形成されてもよい。本発明が適用されるメモリセルレイアウトの一例を定義したものである。

【0012】

上述のレイアウトの場合、前記複数のメモリセルの各々では、前記複数の第1の電源供給配線のうちの2本を配置することができる。この場合、各メモリセル内のビット線は、ビット線保護用配線、ワード線及び2本の第1の電源供給配線によって、第3の電源供給配線との容量カップリングを防止できる。

【0013】

本発明では、前記複数の第1の電源供給配線または前記複数の第2の電源供給配線が形成される領域の上層には、前記複数のビット線保護用配線が形成されない保護用配線非形成領域を設けることができる。これにより、ビット線保護用配線の形成後の工程による熱処理等で、ビット線保護用配線の下層でガスが発生しても、保護用配線非形成領域を介してガスを排出でき、メモリセルの配線等の破損を防ぐことができる。

【0014】

本発明では、前記複数のビット線保護用配線の各々を、複数のビット線の延びる第1の方向に沿って延在形成することができる。こうすると、複数のビット線の各々と複数のビット線保護用配線の各々を、平面視で完全に覆うことができる。

【0015】

この場合、前記保護用配線非形成領域もまた、前記第1の方向に沿って延在形成することができるので、ビット線の上層に保護用配線非形成領域が形成されることがない。

【0016】

本発明では、前記複数のビット線保護用配線の各々を、前記第1の方向でなく、前記第2の方向に沿って延在形成してもよい。この場合、前記保護用配線非形成領域も、前記第2の方向に沿って延在形成されるので、ビット線の一部の上層に保護用配線非形成領域が存在することになる。しかし、この保護用配線非形成領域を、ワード線または第1の電源供給配線と平面視で重なる領域に配置すれば、ワード線または第1の電源供給配線によりビット線保護機能を確保できる。

【0017】

10

20

30

40

50

その一例として、前記複数のメモリセルの各々では、前記複数の第1の電源供給配線のうちの2本が配置され、前記複数のビット線保護用配線の一つの前記第1の方向での両端部が、前記2本の第1の電源供給線と平面視で重なる領域を含むことができる。こうすると、複数のビット線と第3の電源供給配線との間には、平面視において必ずビット線保護用配線が第1の電源供給配線が存在することになる。

【0018】

本発明では、前記複数のビット線保護用配線には、前記第1及び第2の電源電圧のいずれか一方を供給することができる。こうすると、複数のビット線保護用配線がフローティング電位とならずに一定電位となるので、容量カップリングを防止するビット線保護機能が高まる。このためには、前記複数のビット線保護用配線を、前記第1及び第2の電源供給配線のいずれか一方と電氣的に接続してもよい。

10

【0019】

本発明の他の態様に係る集積回路装置は、複数の走査線及び複数のデータ線を有する表示パネルに表示される少なくとも一部のデータを格納する表示メモリを含む集積回路装置であって、前記表示メモリは、複数のワード線と、複数のビット線と、複数のメモリセルとを含み、前記複数のワード線が形成される金属配線層には、前記複数のメモリセルに第1の電源電圧を供給するための複数の第1の電源供給配線が形成され、前記複数のビット線が形成される金属配線層には、前記複数のメモリセルに前記第1の電源電圧よりも電圧の高い第2の電源電圧を供給するための複数の第2の電源供給配線が形成され、前記複数のビット線の上層には前記複数のワード線が形成され、前記複数のビット線の各々と前記複数のワード線の各々とは平面視で重なる領域を含み、かつ、前記複数のビット線の各々と前記複数の第1の電源供給配線の各々とは平面視で重なる領域を含み、前記複数のワード線の上層には、前記集積回路装置に設けられた回路のうち、前記表示メモリ以外の回路に前記第2の電源電圧よりも電圧の高い第3の電源電圧を供給するための第3の電源供給配線が形成されている。

20

【0020】

本発明では、ビット線保護用配線を設けなくても、複数のワード線及び複数の第1の電源供給配線によって、複数のビット線と第3の電源供給配線との容量カップリングを防止できる。

【0021】

また、本発明は、上記記載の集積回路装置と、表示パネルとを含む電子機器に関する。この場合、前記集積回路装置は前記表示パネルを形成する基板に実装されてもよい。さらに、前記集積回路装置の前記複数のワード線が、前記表示パネルに設けられた前記複数のデータ線が延びる方向と平行になるように前記表示パネルを形成する基板に前記集積回路装置が実装されてもよい。

30

【発明を実施するための最良の形態】

【0022】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。なお、以下の図において同符号のものは同様の意味を表す。

40

【0023】

1. 表示ドライバ

図1(A)は、表示ドライバ20(広義には集積回路装置)が実装された表示パネル10を示す。本実施形態では、表示ドライバ20や、表示ドライバ20が実装された表示パネル10を小型電子機器(図示せず)に搭載することができる。小型電子機器には例えば携帯電話、PDA、表示パネルを有するデジタル音楽プレーヤー等がある。表示パネル10は例えばガラス基板上に複数の表示画素が形成される。その表示画素に対応して、Y方向に伸びる複数のデータ線(図示せず)及びX方向に伸びる走査線(図示せず)が表示パネル10に形成される。本実施形態の表示パネル10に形成される表示画素は液晶素子で

50

あるが、これに限定されず、E L (Electro-Luminescence) 素子等の発光素子であってもよい。また、表示画素はトランジスタ等を伴うアクティブ型であっても、トランジスタ等を伴わないパッシブ型であっても良い。例えば、表示領域 1 2 にアクティブ型が適用された場合、液晶画素はアモルファス T F T であっても良いし、低温ポリシリコン T F T であっても良い。

【 0 0 2 4 】

表示パネル 1 0 は、例えば X 方向に P X 個のピクセル、Y 方向に P Y 個のピクセルの表示領域 1 2 を持つ。例えば、表示パネル 1 0 が Q V G A 表示に対応する場合は、 $P X = 240$ 、 $P Y = 320$ となり、表示領域 1 2 は 240×320 ピクセルで示される。なお、表示パネル 1 0 の X 方向のピクセル数 P X とは、白黒表示の場合にはデータ線本数に一致する。ここではカラー表示の場合、R 用サブピクセル、G 用サブピクセル、B 用サブピクセルの計 3 サブピクセルを合わせて 1 ピクセルが構成される。よって、カラー表示の場合、データ線の本数は $(3 \times P X)$ 本となっている。従って、カラー表示の場合、「データ線に対応する画素数」は「X 方向のサブピクセルの数」を意味する。各サブピクセルは階調に応じてそのビット数が決定され、例えば 3 つのサブピクセルの階調値をそれぞれ G ビットとしたとき、1 ピクセルの階調値 = 3 G となる。各サブピクセルが 6 4 階調 (6 ビット) を表現する場合には、1 ピクセルのデータ量は $6 \times 3 = 18$ ビットとなる。

10

【 0 0 2 5 】

なお、ピクセル数 P X 及び P Y は、例えば $P X > P Y$ でも良いし、 $P X < P Y$ でも良いし、 $P X = P Y$ でも良い。

20

【 0 0 2 6 】

表示ドライバ 2 0 のサイズは、X 方向の長さ C X、Y 方向の長さ C Y に設定される。そして、長さ C X である表示ドライバ 2 0 の長辺 I L は、表示領域 1 2 の表示ドライバ 2 0 側の一边 P L 1 と平行である。即ち、表示ドライバ 2 0 は、その長辺 I L が表示領域 1 2 の一边 P L 1 と平行になるように表示パネル 1 0 に実装される。

【 0 0 2 7 】

図 1 (B) は表示ドライバ 2 0 のサイズを示す図である。長さ C Y である表示ドライバ 2 0 の短辺 I S と表示ドライバ 2 0 の長辺 I L の比は、例えば 1 : 1 0 に設定される。つまり、表示ドライバ 2 0 は、その長辺 I L に対して、その短辺 I S が非常に短く設定される。このように細長い形状に形成することで、表示ドライバ 2 0 の Y 方向のチップサイズを極限まで小さくすることができる。

30

【 0 0 2 8 】

なお、前述の比 1 : 1 0 は一例であり、これに限定されない。例えば 1 : 1 1 でも良いし、1 : 9 でもよい。

【 0 0 2 9 】

なお、図 1 (A) では表示領域 1 2 の X 方向の長さ L X 及び Y 方向の長さ L Y が示されているが、表示領域 1 2 の縦横のサイズ比は図 1 (A) に限定されない。表示領域 1 2 は、例えば長さ L Y が長さ L X よりも短く設定されてもよい。

【 0 0 3 0 】

また、図 1 (A) によると、表示領域 1 2 の X 方向の長さ L X は表示ドライバ 2 0 の X 方向の長さ C X と等しい。特に図 1 (A) に限定はされないが、このように長さ L X 及び長さ C X が等しく設定されるのが好ましい。その理由として、図 2 (A) を示す。

40

【 0 0 3 1 】

図 2 (A) に示す表示ドライバ 2 2 は方向 X の長さが C X 2 に設定されている。この長さ C X 2 は、表示領域 1 2 の一边 P L 1 の長さ L X よりも短いため、図 2 (A) に示すように、表示ドライバ 2 2 と表示領域 1 2 とを接続する複数の配線を方向 Y に平行に設けることができない。このため、表示領域 1 2 と表示ドライバ 2 2 との距離 D Y 2 を余分に設ける必要がある。これは表示パネル 1 0 のガラス基板のサイズを無駄に要するため、コスト削減を妨げる。そして、より小型の電子機器に表示パネル 1 0 を搭載する場合、表示領域 1 2 以外の部分が大きくなり、電子機器の小型化の妨げにもなる。

50

【0032】

これに対して、図2(B)に示すように本実施形態の表示ドライバ20は、その長辺ILの長さCXが表示領域12の一辺PL1の長さLXに一致するように形成されているため、表示ドライバ20と表示領域12との間の複数の配線を方向Yに平行に設けることができる。これにより、表示ドライバ20と表示領域12との距離DYを図2(A)の場合に比べて短くすることができる。さらに、表示ドライバ20のY方向の長さISが短いので、表示パネル10のガラス基板のY方向のサイズが小さくなり、電子機器の小型化に寄与できる。

【0033】

なお、本実施形態では、表示ドライバ20の長辺ILの長さCXが、表示領域12の一辺PL1の長さLXに一致するように形成されるが、これに限定されない。

10

【0034】

上述のように、表示ドライバ20の長辺ILを表示領域12の一辺PL1の長さLXに合わせ、短辺ISを短くすることで、チップサイズの縮小を達成しながら、距離DYの短縮も可能となる。このため、表示ドライバ20の製造コスト及び表示パネル10の製造コストの削減が可能となる。

【0035】

図3(A)及び図3(B)は、本実施形態の表示ドライバ20のレイアウトの構成例を示す図である。図3(A)に示すように、表示ドライバ20には、X方向に沿ってデータ線ドライバ100(広義にはデータ線ドライバブロック)、RAM200(広義には集積回路装置又はRAMブロック)、走査線ドライバ300、G/A回路400(ゲートアレイ回路、広義には自動配線回路)、階調電圧発生回路500、電源回路600が配置されている。これらの回路は、表示ドライバ20のブロック幅ICYに収まるように配置されている。そして、これらの回路を挟むように出力PAD700及び入出力PAD800が表示ドライバ20に設けられている。出力PAD700及び入出力PAD800は、方向Xに沿って形成され、出力PAD700は表示領域12側に設けられている。なお、入出力PAD800には、例えばホスト(例えばMPU、BBE(Base-Band-Engine)、MGE、CPU等)による制御情報を供給するための信号線や電源供給線等が接続される。

20

【0036】

なお、表示パネル10の複数のデータ線は複数のブロック(例えば4つ)に分割され、一つのデータ線ドライバ100は、1ブロック分のデータ線を駆動する。

30

【0037】

このようにブロック幅ICYを設け、それに収まるように各回路を配置することによって、ユーザーのニーズに柔軟に対応できる。具体的には、駆動対象となる表示パネル10のX方向のピクセル数PXが変わると、画素を駆動するデータ線の数も変わるため、それに合わせてデータ線ドライバ100及びRAM200を設計する必要がある。また、低温ポリシリコン(LTPS) TFTパネル用表示ドライバでは、走査線ドライバ300をガラス基板に形成できるため、走査線ドライバ300を表示ドライバ20に内蔵させない場合もある。

【0038】

本実施形態では、データ線ドライバ100やRAM200だけを変更したり、走査線ドライバ300をはずしたりするだけで、表示ドライバ20を設計することが可能となる。このため、元となるレイアウトを生かすことができ、最初から設計し直す手間が省くことができるので、設計コストの削減が可能となる。

40

【0039】

また、図3(A)では、2つのRAM200が隣接するように配置されている。これにより、RAM200に用いられる一部の回路を共用することが可能となり、RAM200の面積を縮小することができる。詳しい作用効果については後述する。また、本実施形態では図3(A)の表示ドライバ20に限定されない。例えば、図3(B)に示す表示ドライバ24のようにデータ線ドライバ100とRAM200が隣接し、2つのRAM200

50

が隣接しないように配置されても良い。

【0040】

また、図3(A)及び図3(B)では、一例としてデータ線ドライバ100及びRAM200が各4つ設けられている。これは、表示ドライバ20に対して、データ線ドライバ100及びRAM200を4つ(4BANK)設けることで、1水平走査期間(例えば1H期間とも呼ぶ)に駆動されるデータ線の数を4分割することができる。例えば、ピクセル数PXが240である場合、R用サブピクセル、G用サブピクセル、B用サブピクセルを考慮すると1H期間に例えば720本のデータ線を駆動する必要がある。本実施形態では、この数の4分の1である180本のデータ線を各データ線ドライバ100が駆動すればよい。BANK数を増やすことで、各データ線ドライバ100が駆動するデータ線の本数を減らすこともできる。なお、BANK数とは、表示ドライバ20内に設けられたRAM200の数と定義する。また、各RAM200を合わせた合計の記憶領域を表示メモリの記憶領域と定義し、表示メモリは少なくとも表示パネル10の1画面分の画像を表示するためのデータを格納することができる。

10

【0041】

図4は、表示ドライバ20が実装された表示パネル10の一部を拡大する図である。表示領域12は複数の配線DQLによって表示ドライバ20の出力PAD700と接続されている。この配線はガラス基板に設けられた配線であっても良いし、フレキシブル基板等にて形成され、出力PAD700と表示領域12とを接続する配線であっても良い。

【0042】

RAM200はそのY方向の長さがRYに設定されている。本実施形態では、この長さRYは、図3(A)のブロック幅ICYと同じに設定されているが、これに限定されない。例えば、長さRYはブロック幅ICY以下に設定されても良い。

20

【0043】

長さRYに設定されるRAM200には、複数のワード線WLと、複数のワード線WLを制御するワード線制御回路240が設けられている。また、RAM200には、複数のビット線BL、複数のメモリセルMC及びそれらを制御する制御回路(図示せず)が設けられている。RAM200のビット線BLはX方向に平行になるように設けられている。即ち、ビット線BLは表示領域12の一辺PL1に平行になるように設けられている。また、RAM200のワード線WLは方向Yに平行になるように設けられている。即ち、ワード線WLは複数の配線DQLと平行になるように設けられている。

30

【0044】

RAM200のメモリセルMCはワード線WLの制御により読み出しが行われ、その読み出されたデータがデータ線ドライバ100に供給される。即ち、ワード線WLが選択されると、Y方向に沿って配列された複数のメモリセルMCに格納されているデータがデータ線ドライバ100に供給されることになる。

【0045】

図5は、図3(A)のA-A断面を示す断面図である。A-A断面はRAM200のメモリセルMCが配列されている領域の断面である。RAM200の形成される領域には、例えば5層の金属配線層が設けられている。図5では、例えば第1金属配線層ALA、その上層の第2金属配線層ALB、さらに上層の第3金属配線層ALC、第4金属配線層ALD、第5金属配線層ALEが示されている。第5金属配線層ALEには、例えば階調電圧発生回路500から階調電圧が供給される階調電圧用配線292(広義には第3の電源供給配線)が形成されている。また、第5金属配線層ALEには、電源回路600から供給される電圧や、外部から入出力PAD800を経由して供給される電圧等を供給するための電源用配線294(広義には第3の電源供給配線)が形成されている。本実施形態のRAM200は例えば第5金属配線層ALEを使用せずに形成できる。このため、前述のように第5金属配線層ALEに様々な配線を形成することができる。

40

【0046】

また、第4金属配線層ALDにはシールド層290(広義にはビット線保護用配線層)

50

が形成されている。これにより、RAM 200のメモリセルMCの上層の第5金属配線層ALEに様々な配線が形成されても、RAM 200のメモリセルMCに与える影響を緩和することができる。なお、ワード線制御回路240等のRAM 200の制御回路が形成されている領域の第4金属配線層ALDには、これらの回路の制御用の信号配線が形成されても良い。

【0047】

第3金属配線層ALCに形成されている配線296は、例えばワード線WLや電圧VSS用配線（広義には第1の電源供給配線）に用いられる。また、第2金属配線層ALBに形成されている配線298は、例えばビット線BLや電圧VDD用配線（広義には第2の電源供給配線）として用いることができる。また、第1金属配線層ALAに形成されている配線299は、RAM 200の半導体層に形成されている各ノードとの接続に用いることができる。

10

【0048】

なお、上述の構成を変更して、第3金属配線層ALCにビット線用の配線を形成し、第2金属配線層ALBにワード線用の配線を形成するようにしても良い。

【0049】

以上のようにRAM 200の第5金属配線層ALEに様々な配線を形成することができるので、図3(A)や図3(B)に示すように多種の回路ブロックをX方向に沿って配列することができる。

【0050】

2. データ線ドライバ

2.1. データ線ドライバの構成

図6(A)は、データ線ドライバ100を示す図である。データ線ドライバ100は出力回路104、DAC 120及びラッチ回路130を含む。DAC 120はラッチ回路130にラッチされているデータに基づいて階調電圧を出力回路104に供給する。ラッチ回路130には、例えばRAM 200から供給されたデータが格納される。例えば階調度がGビットに設定されている場合には、各ラッチ回路130にはGビットのデータが格納される。階調電圧は、階調度に応じて複数種類生成され、階調電圧発生回路500からデータ線ドライバ100に供給される。例えば、データ線ドライバ100に供給された複数の階調電圧は各DAC 120に供給される。各DAC 120はラッチ回路130にラッチされているGビットのデータに基づいて、階調電圧発生回路500から供給された複数種類の階調電圧から対応する階調電圧を選択し、出力回路104に出力する。

20

30

【0051】

出力回路104は、例えばオペアンプ（広義には演算増幅器）で構成されるが、これに限定されない。図6(B)に示すように出力回路104の代わりに出力回路102をデータ線ドライバ100に設けても良い。この場合、階調電圧発生回路500には複数のオペアンプが設けられている。

【0052】

図7はデータ線ドライバ100に設けられている複数のデータ線駆動セル110を示す図である。各データ線ドライバ100は複数のデータ線を駆動し、データ線駆動セル110は複数のデータ線のうちの1本を駆動する。例えば、データ線駆動セル110は、一ピクセルを構成するR用サブピクセル、G用サブピクセル及びB用サブピクセルのいずれか一つを駆動する。即ち、X方向のピクセル数PXが240の場合には、表示ドライバ20には、合計 $240 \times 3 = 720$ 個のデータ線駆動セル110が設けられていることになる。そして、この場合には各データ線ドライバ100には、例えば4BANK構成である場合、180個のデータ線駆動セル110が設けられている。

40

【0053】

データ線駆動セル110は、例えば出力回路140、DAC 120及びラッチ回路130を含むが、これに限定されない。例えば、出力回路140は外部に設けられても良い。なお、出力回路140は、図5の出力回路104でも良いし、図6の出力回路102でも

50

よい。

【 0 0 5 4 】

例えば、R用サブピクセル、G用サブピクセル及びB用サブピクセルのそれぞれの階調度を示す階調データがGビットに設定されている場合、RAM 200からは、データ線駆動セル110にGビットのデータが供給される。ラッチ回路130は、Gビットのデータをラッチする。DAC 120はラッチ回路130の出力に基づいて、出力回路140を介して階調電圧を出力する。これにより、表示パネル10に設けられているデータ線を駆動することができる。

【 0 0 5 5 】

2.2. 一水平走査期間での複数回読み出し

図8に本実施形態に係る比較例の表示ドライバ24を示す。この表示ドライバ24は、表示ドライバ24の一辺DLLが表示パネル10の表示領域12側の一辺PL1と対向するように実装される。表示ドライバ24には、Y方向の長さよりもX方向の長さの方が長く設定されているRAM 205及びデータ線ドライバ105が設けられている。RAM 205及びデータ線ドライバ105のX方向の長さは、表示パネル10のピクセル数PXが増加するに従って、長くなる。RAM 205には複数のワード線WL及びビット線BLが設けられている。RAM 205のワード線WLはX方向に沿って延在形成され、ビット線BLはY方向に沿って延在形成されている。即ち、ワード線WLはビット線BLよりも非常に長く形成される。また、ビット線BLはY方向に沿って延在形成されているため、表示パネル10のデータ線と平行であり、表示パネル10の一辺PL1と直交する。

【 0 0 5 6 】

この表示ドライバ24は1H期間に1回だけワード線WLを選択する。そして、ワード線WLの選択によってRAM 205から出力されるデータをデータ線ドライバ105がラッチし、複数のデータ線を駆動する。表示ドライバ24では、図8に示すようにワード線WLがビット線BLに比べて非常に長いため、データ線ドライバ100及びRAM 205の形状がX方向に長くなり、表示ドライバ24に他の回路を配置するスペースを確保するのが難しい。そのため、表示ドライバ24のチップ面積の縮小を妨げる。また、その確保等に関する設計時間も無駄に要してしまうため、設計コスト削減を妨げる。

【 0 0 5 7 】

図8のRAM 205は例えば図9(A)に示すようにレイアウトされる。図9(A)によると、RAM 205は2分割され、そのうちの一つのX方向の長さは例えば「12」であるのに対し、Y方向の長さは「2」である。従って、RAM 205の面積を「48」と示すことができる。これらの長さの値は、RAM 205の大きさを示す上での比率の一例を示すものであり、実際の大きさを限定するものではない。なお、図9(A)～図9(D)の符号241～244はワード線制御回路を示し、符号206～209はセンスアンプを示す。

【 0 0 5 8 】

これに対して、本実施形態では、RAM 205を複数に分割し90度回転した状態でレイアウトすることができる。例えば、図9(B)に示すようにRAM 205を4分割して90度回転した状態にレイアウトすることができる。4分割されたうちの一つであるRAM 205-1は、センスアンプ207とワード線制御回路242を含む。また、RAM 205-1のY方向の長さが「6」であり、X方向の長さが「2」である。よって、RAM 205-1の面積は「12」となり、4ブロックの合計面積が「48」となる。しかしながら、表示ドライバ20のY方向の長さCYを短くしたいため、図9(B)の状態では都合が悪い。

【 0 0 5 9 】

そこで、本実施形態では、図9(C)及び図9(D)に示すように1H期間に複数回読み出しを行うことでRAM 200のY方向の長さRYを短くすることができる。例えば、図9(C)では、1H期間に2回読み出しを行う場合を示す。この場合、1H期間にワード線WLを2回選択するため、例えばY方向に配列されたメモリセルMCの数を半分にす

10

20

30

40

50

ることができる。これにより、図9(C)に示すようにRAM200のY方向の長さを「3」とすることができる。その代わりに、RAM200のX方向の長さは「4」となる。即ち、RAM200の合計の面積が「48」となり、図9(A)のRAM205とメモリセルMCが配列されている領域の面積が等しくなる。そして、これらのRAM200を図3(A)や図3(B)に示すように自由に配置することができるため、非常に柔軟にレイアウトが可能となり、効率的なレイアウトができる。

【0060】

なお、図9(D)は、3回読み出しを行った場合の一例を示す。この場合、図9(B)のRAM205-1のY方向の長さ「6」を3分の1にすることができる。即ち、表示ドライバ20のY方向の長さCYをより短くしたい場合には、1H期間の読み出し回数を調整することで実現可能となる。

10

【0061】

上述のように本実施形態では、ブロック化されたRAM200を表示ドライバ20に設けることができる。本実施形態では、例えば4BANKのRAM200を表示ドライバ20に設けることができる。この場合、各RAM200に対応するデータ線ドライバ100-1~100-4は図10に示すように対応するデータ線DLを駆動する。

【0062】

具体的には、データ線ドライバ100-1はデータ線群DLS1を駆動し、データ線ドライバ100-2はデータ線群DLS2を駆動し、データ線ドライバ100-3はデータ線群DLS3を駆動し、データ線ドライバ100-4はデータ線群DLS4を駆動する。なお、各データ線群DLS1~DLS4は、表示パネル10の表示領域12に設けられた複数のデータ線DLを例えば4ブロックに分割したうちの1ブロックである。このように4BANKのRAM200に対応して、4つのデータ線ドライバ100-1~100-4を設け、それぞれに対応するデータ線を駆動させることで、表示パネル10の複数のデータ線を駆動することができる。

20

【0063】

2.3. データ線ドライバの分割構造

図4に示すRAM200のY方向の長さRYは、Y方向に配列されるメモリセルMCの数だけでなく、データドライバ線100のY方向の長さにも依存する場合がある。

【0064】

本実施形態では、図4のRAM200の長さRYを短くするために、一水平走査期間での複数回読み出し、例えば2回読み出しを前提として、データ線ドライバ100が、図11(A)に示すように第1のデータ線ドライバ100A(広義には第1の分割データ線ドライバ)及び第2のデータ線ドライバ100B(広義には第2の分割データ線ドライバ)の分割構造で形成されている。図11(A)に示すMは、1回のワード線選択によってRAM200から読み出されるデータのビット数である。

30

【0065】

例えば、ピクセル数PXが240であり、ピクセルの階調度が18ビットであり、RAM200のBANK数が4BANKである場合、1H期間に1回だけ読み出す場合では、各RAM200から $240 \times 18 \div 4 = 1080$ ビットのデータがRAM200から出力されなければならない。

40

【0066】

しかしながら、表示ドライバ100のチップ面積縮小のためには、RAM200の長さRYを短くしたい。そこで、図11(A)に示すように、例えば1H期間に2回読み出しとして、データ線ドライバ100A及び100BをX方向に分割する。そうすることで、Mを $1080 \div 2 = 540$ に設定することができ、RAM200の長さRYをおよそ半分にすることができる。

【0067】

なお、データ線ドライバ100Aは表示パネル10のデータ線のうちの一部のデータ線を駆動する。また、データ線ドライバ100Bは、表示パネル10のデータ線のうち、デ

50

ータ線ドライバ100Aが駆動するデータ線以外のデータ線の一部を駆動する。このように、各データ線ドライバ100A、100Bは表示パネル10のデータ線をシェアして駆動する。

【0068】

具体的には、図11(B)に示すように1H期間に例えばワード線WL1及びWL2を選択する。即ち、1H期間に2回ワード線を選択する。そして、A1のタイミングでラッチ信号SLAを立ち下げる。このラッチ信号SLAは例えばデータ線ドライバ100Aに供給される。そして、データ線ドライバ100Aはラッチ信号SLAの例えば立ち下がりエッジに応じてRAM200から供給されるMビットのデータをラッチする。

【0069】

また、A2のタイミングでラッチ信号SLBを立ち下げる。このラッチ信号SLBは例えばデータ線ドライバ100Bに供給される。そして、データ線ドライバ100Bはラッチ信号SLBの例えば立ち下がりエッジに応じてRAM200から供給されるMビットのデータをラッチする。

【0070】

さらに具体的には、図12に示すようにワード線WL1の選択によってM個のメモリセル群MCS1に格納されているデータがセンスアンプ回路210を介してデータ線ドライバ100A及び100Bに供給される。しかしながら、ワード線WL1の選択に対応してラッチ信号SLAが立ち下がるため、M個のメモリセル群MCS1に格納されているデータはデータ線ドライバ100Aにラッチされる。

【0071】

そして、ワード線WL2の選択によってM個のメモリセル群MCS2に格納されているデータがセンスアンプ回路210を介してデータ線ドライバ100A及び100Bに供給されるが、ワード線WL2の選択に対応してラッチ信号SLBが立ち下がる。このため、M個のメモリセル群MCS2に格納されているデータはデータ線ドライバ100Bにラッチされる。

【0072】

このようにすると、Mを例えば540ビットに設定した場合、1H期間で2回読み出しを行うため、各データ線ドライバ100A、100Bには、M=540ビットのデータがラッチされることになる。即ち、合計1080ビットのデータがデータ線ドライバ1000にラッチされることになり、前述の例で必要である1H期間に1080ビットを達成できる。そして、1H期間に必要なデータ量をラッチすることができ、且つ、RAM200の長さRYをおよそ半分短くすることができる。これにより、表示ドライバ20のブロック幅ICYを短くすることができるので、表示ドライバ20の製造コスト削減が可能となる。

【0073】

なお、図11(A)及び図11(B)では、一例として1H期間に2回の読み出しを行う例が図示されているが、これに限定されない。例えば、1H期間に4回読み出しを行うこともできるし、それ以上に設定することもできる。例えば4回読み出しの場合には、データ線ドライバ100を4段に分割することができ、さらにRAM200の長さRYを短くすることができる。この場合、前述を例に取れば、M=270に設定することができ、4段に分割されたデータ線ドライバのそれぞれに270ビットのデータがラッチされる。つまり、RAM200の長さRYをおよそ4分の1にしなが、1H期間に必要な1080ビットの供給を達成することができる。

【0074】

また、図11(B)のA3及びA4に示すように、データ線イネーブル信号等(図示せず)による制御に基づいてデータ線ドライバ100A及び100Bの出力を立ち上げても良いし、A1及びA2に示すタイミングで、各データ線ドライバ100A、100Bがラッチした後にそのままデータ線に出力するようにしても良い。また、各データ線ドライバ100A、100Bにもう一段ラッチ回路を設けて、A1及びA2でラッチしたデータに

10

20

30

40

50

基づく電圧を次の1H期間に出力するようにしても良い。こうすれば、1H期間に読み出しを行う回数を、画質劣化の心配なしに増やすことができる。

【0075】

なお、ピクセル数PYが320（表示パネル10の走査線が320本）であり、1秒間に60フレームの表示画行われる場合、1H期間は図11（B）に示すように約52μsecである。求め方としては、1sec÷60フレーム÷320=52μsecである。これに対して、ワード線の選択は図11（B）に示すようにおよそ40nsecで行われる。つまり、1H期間に対して十分に短い期間に複数回のワード線選択（RAM200からのデータ読み出し）が行われるため、表示パネル10に対する画質の劣化に問題は生じない。

10

【0076】

また、Mの値は、次式で得ることができる。なお、BNKは、BANK数を示し、Nは1H期間に行われる読み出し回数を示し、ピクセル数PX×3とは、表示パネル10の複数のデータ線に対応する画素数（本実施形態ではサブピクセル数）を意味し、データ線本数DLNと一致する。

【数1】

$$M = \frac{PX \times 3 \times G}{BNK \times N}$$

【0077】

なお、本実施形態ではセンスアンプ回路210はラッチ機能を有するが、これに限定されない。例えばセンスアンプ回路210はラッチ機能を有さないものであっても良い。

20

【0078】

2.4. データ線ドライバの細分割

図13は、1ピクセルを構成する各サブピクセルのうち、一例としてR用サブピクセルについてRAM200とデータ線ドライバ100の関係を説明するための図である。

【0079】

例えば各サブピクセルの階調のGビットが64階調である6ビットに設定された場合、R用サブピクセルのデータ線駆動セル110A-R及び110B-Rには、6ビットのデータがRAM200から供給される。6ビットのデータを供給するために、RAM200のセンスアンプ回路210に含まれる複数のセンスアンプ211のうち例えば6つのセンスアンプ211が各データ線駆動セル110に対応する。

30

【0080】

例えば、データ線駆動セル110A-RのY方向の長さSCYは、6つのセンスアンプ211のY方向の長さSAYに納める必要がある。同様に各データ線駆動セル110のY方向の長さは6つのセンスアンプ211の長さSAYに納める必要がある。長さSCYを6つのセンスアンプ211の長さSAYに納めることができない場合には、データ線ドライバ100のY方向の長さが、RAM200の長さRYよりも大きくなってしまい、レイアウト的に効率の悪い状態になってしまう。

【0081】

RAM200はプロセス的に微細化が進み、センスアンプ211のサイズも小さい。一方、図7に示すように、データ線駆動セル110には複数の回路が設けられている。特に、DAC120やラッチ回路130は回路サイズが大きくなり、小さく設計することが難しい。さらに、DAC120やラッチ回路130は入力されるビット数が増えると大きくなる。つまり、長さSCYを6つのセンスアンプ211のトータル長さSAYに納めることが困難である場合がある。

40

【0082】

これに対して、本実施形態では、1H内読み出し回数Nで分割されたデータ線ドライバ100A, 100Bをさらにk（kは2以上の整数）分割し、X方向にスタックすることができる。図14は、1H期間にN=2回読み出しを行うように設定されたRAM200

50

において、データ線ドライバ100A及び100Bがそれぞれ $k = 2$ 分割されてスタックされた構成例を示す。なお、図14では、2回読み出しに設定されたRAM200についての構成例であり、これに限定されない。例えば $N = 4$ 回読み出しに設定されている場合には、データ線ドライバはX方向において $N \times k = 4 \times 2 = 8$ 段に分割される。

【0083】

図13の各データ線ドライバ100A、100Bは、図14に示すように、それぞれが、データ線ドライバ100A1及び100A2、データ線ドライバ100B1及び100B2に分割されている。そして、データ線駆動セル110A1-R等はそのY方向の長さがSCY2に設定されている。長さSCY2は、図14によるとセンスアンプ211が $G \times 2$ 個配列された場合のY方向の長さSAY2に収まるように設定されている。つまり、各データ線駆動セル110を形成する際に、図13に比べてY方向に許容される長さが拡大され、レイアウト的に効率の良い設計が可能である。

10

【0084】

次に図14における構成の動作を説明する。例えばワード線WL1が選択されると、各センスアンプブロック210-1、210-2、210-3、210-4等を介して計Mビットのデータがデータ線ドライバ100A1、100A2、100B1、100B2の少なくともいずれかに供給される。このとき、例えば、センスアンプブロック210-1から出力されるGビットのデータは、例えばデータ線駆動セル110A1-R及び110B1-Rに供給される。そして、センスアンプブロック210-2から出力されるGビットのデータは、例えばデータ線駆動セル110A2-R及び110B2-Rに供給される。

20

【0085】

このとき、図11(B)に示すタイミングチャートと同様に、ワード線WL1が選択されたときに対応してラッチ信号SLA(広義には第1のラッチ信号)が立ち下がる。そして、このラッチ信号SLAはデータ線駆動セル110A1-Rを含むデータ線ドライバ100A1及びデータ線駆動セル110A2-Rを含むデータ線ドライバ100A2に供給される。従って、ワード線WL1の選択によってセンスアンプブロック210-1から出力されるGビットのデータ(メモリセル群MCS11に格納されているデータ)はデータ線駆動セル110A1-Rにラッチされる。同様に、ワード線WL1の選択によってセンスアンプブロック210-2から出力されるGビットのデータ(メモリセル群MCS12

30

【0086】

センスアンプブロック210-3、210-4についても上記と同様であり、データ線駆動セル110A1-Gにはメモリセル群MCS13に格納されているデータがラッチされ、データ線駆動セル110A2-Gにはメモリセル群MCS14に格納されているデータがラッチされる。

【0087】

また、ワード線WL2が選択される場合は、ワード線WL2の選択に対応してラッチ信号SLBが(広義には第Nのラッチ信号)立ち下がる。そして、このラッチ信号SLBはデータ線駆動セル110B1-Rを含むデータ線ドライバ100B1及びデータ線駆動セル110B2-Rを含むデータ線ドライバ100B2に供給される。従って、ワード線WL2の選択によってセンスアンプブロック210-1から出力されるGビットのデータ(メモリセル群MCS21に格納されているデータ)はデータ線駆動セル110B1-Rにラッチされる。同様に、ワード線WL2の選択によってセンスアンプブロック210-2から出力されるGビットのデータ(メモリセル群MCS22に格納されているデータ)はデータ線駆動セル110B2-Rにラッチされる。データ線駆動セル110A1-BはB用サブピクセルのデータがラッチされるB用データ線駆動セルである。

40

【0088】

ワード線WL2の選択においても、センスアンプブロック210-3、210-4については上記と同様であり、データ線駆動セル110B1-Gにはメモリセル群MCS23

50

に格納されているデータがラッチされ、データ線駆動セル 1 1 0 B 2 - G にはメモリセル群 M C S 2 4 に格納されているデータがラッチされる。

【 0 0 8 9 】

このようにデータ線ドライバ 1 0 0 A、1 0 0 B が分割された場合において、R A M 2 0 0 に格納されるデータを図 1 5 (B) に示す。図 1 5 (B) に示すように R A M 2 0 0 には、Y 方向に沿って R 用サブピクセルデータ、R 用サブピクセルデータ、G 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータ、B 用サブピクセルデータ・・・という順番でデータが格納される。一方、図 1 3 のような構成の場合には、図 1 5 (A) に示すように R A M 2 0 0 には、Y 方向に沿って R 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータ、R 用サブピクセルデータ・・・という順番でデータが格納される。

10

【 0 0 9 0 】

なお、図 1 3 では長さ S A Y は 6 つのセンスアンプ 2 1 1 に示されているが、これに限定されない。例えば、階調度が 8 ビットの場合には長さ S A Y は 8 つのセンスアンプ 2 1 1 の長さに相当する。

【 0 0 9 1 】

また、図 1 4 では一例として各データ線ドライバ 1 0 0 A、1 0 0 B をそれぞれ $k = 2$ 分割する構成が示されているが、これに限定されない。例えば $k = 3$ 分割でも良いし、 $k = 4$ 分割でも良い。そして、例えばデータ線ドライバ 1 0 0 A を $k = 3$ 分割した場合、3 分割されたものに同じラッチ信号 S L A を供給するようにすればよい。また、1 H 期間内読み出し回数と等しい分割数 N の変形例として、 $N = 3$ 分割した場合には、それぞれを R 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータのドライバとすることができる。その構成を図 1 6 に示す。図 1 6 では、3 つに分割されたデータ線ドライバ 1 0 1 A 1、1 0 1 A 2、1 0 1 A 3 が示されている。データ線ドライバ 1 0 1 A 1 は、データ線駆動セル 1 1 1 A 1 を含み、データ線ドライバ 1 0 1 A 2 は、データ線駆動セル 1 1 1 A 2 を含み、データ線ドライバ 1 0 1 A 3 は、データ線駆動セル 1 1 1 A 3 を含む。

20

【 0 0 9 2 】

そして、ワード線 W L 1 の選択に対応してラッチ信号 S L A が立ち下がる。前述と同様にラッチ信号 S L A は、各データ線ドライバ 1 0 1 A 1、1 0 1 A 2、1 0 1 A 3 に供給される。

30

【 0 0 9 3 】

このようにすると、ワード線 W L 1 の選択によって、メモリセル群 M C S 1 1 に格納されているデータが例えば R 用サブピクセルデータとしてデータ線駆動セル 1 1 1 A 1 に格納される。同様にメモリセル群 M C S 1 2 に格納されているデータが例えば G 用サブピクセルデータとしてデータ線駆動セル 1 1 1 A 2 に格納され、メモリセル群 M C S 1 3 に格納されているデータが例えば B 用サブピクセルデータとしてデータ線駆動セル 1 1 1 A 3 に格納される。

【 0 0 9 4 】

従って、図 1 5 (A) のように R A M 2 0 0 に書き込まれるデータを Y 方向で R 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータという順番に配列することができる。この場合も、各データ線ドライバ 1 0 1 A 1、1 0 1 A 2、1 0 1 A 3 をさらに k 分割することができる。

40

【 0 0 9 5 】

3 . R A M

3 . 1 . メモリセル

3 . 1 . 1 . メモリセルの構成

各メモリセル M C は例えば S R A M (Static-Random-Access-Memory) で構成することができる。図 1 7 (A) にメモリセル M C の回路の一例を示す。メモリセル M C は、例えば一方のインバータ I N V の出力が他方のインバータ I N V の入力に接続され、互いの入

50

出力が接続された2つのインバータINVを含む。この2つのインバータINVによりフリップフロップが構成される。インバータINVには例えば電圧VSS（広義には第1の電源電圧）及び電圧VDD（広義には第2の電源電圧）が供給される。また、メモリセルMCは、2つのインバータINVで構成されるフリップフロップに保持されるデータをビット線BL、/BLに供給するための転送トランジスタTTRを含む。

【0096】

図17(B)及び図17(C)にメモリセルのレイアウト例を示す。図17(B)は横型セルのレイアウト例であり、図17(C)は縦型セルのレイアウト例である。ここで横型セルは図17(B)に示すように、各メモリセルMC内においてワード線WLの長さMCYがビット線BL、/BLの長さMCXよりも長いセルである。一方、縦型セルは図17(C)に示すように、各メモリセルMC内においてビット線BL、/BLの長さMCXの方がワード線WLの長さMCYよりも長いセルである。なお図17(C)では、ポリシリコン層にて形成されるサブワード線SWLと金属層で形成されたメインワード線MWLとが示されているが、メインワード線MWLを裏打ちとして使用している。

10

【0097】

横型メモリセルMCは、図17(B)に示すように、メモリセルMCはビット線BL及びビット線/BLを含み、これらは、例えば第2金属層にて形成されて、方向DR1（広義には第1の方向）に沿って延在形成されている。さらにビット線BL、/BLが形成される層と同層に第2の電源供給配線VDDLが方向DR1（広義には第1の方向）に沿って延在形成されている。この第2の電源供給配線VDDによってメモリセルMCのインバータINVに電圧VDDが供給される。

20

【0098】

横型メモリセルMCは、ビット線よりも例えば上層（例えば第3の金属層）に形成されたワード線WLを含み、このワード線WLは方向DR2（広義には第2の方向）に沿って延在形成されている。また、ワード線WLが形成される層と同層に例えば2本の第1の電源供給配線VSSL1、VSSL2が方向DR2（広義には第2の方向）に沿って延在形成されている。この第1の電源供給配線VSSLによってメモリセルMCのインバータINVに電圧VSSが供給される。

【0099】

一方、縦型メモリセルMCは、図17(C)に示すように、メモリセルMCはメインワード線MWLとサブワード線SWLを含み、これらは方向DR2に沿って延在形成されている。なお、サブワード線SWLは例えばポリシリコン等の導電体で形成され、例えば図17(A)の転送トランジスタTTRのゲート電極を含んでも良い。また、メインワード線MWLが形成される層と同層に第2の電源供給配線VDDLが方向DR2に沿って延在形成されている。縦型メモリセルMCのビット線BL及びビット線/BLは、メインワード線MWLが形成される層の上層にて、方向DR1に沿って延在形成されている。さらにビット線BL、/BLが形成される層と同層に第1の電源供給配線VSSL1、VSSL2が方向DR1に沿って延在形成されている。

30

【0100】

3.1.2.メモリセルのシールド配線

図31(A)及び図31(B)は、メモリセルMCのデータの読み出しを説明する図であり、説明の簡略化のため、メモリセルMCにデータ“1”が保持されている場合を示す。図31(A)のA11に示すようにワード線WLの選択によりワード線WLの電位が上昇する。そしてA12に示すタイミングでワード線WLの電位がHighレベルに到達すると、例えばビット線/BLの電位がHighレベルからLowレベルに向かって下降する。具体的には、図17(A)のワード線WLの選択により転送トランジスタTTRがオン状態となり、メモリセルMCの保持データに基づく電圧が2つのインバータINVによってビット線BL、/BLに供給される。

40

【0101】

そして例えばセンスアンプ211をイネーブルに設定するセンスアンプイネーブル信号

50

S A E が図 3 1 (A) の A 1 3 に示すように立ち上がると、A 1 4 のタイミングでビット線 B L、/ B L の電位差がセンスアンプ 2 1 1 によって検出される。例えば、この場合にはビット線 / B L の電位がビット線 B L の電位よりも低いため例えばデータ “ 1 ” がセンスアンプ 2 1 1 によって検出される。ビット線 B L、/ B L の電位差に基づいてデータ “ 1 ”、データ “ 0 ” は定義されるが、どの状態にデータ “ 1 ” 又はデータ “ 0 ” を割り当てるかは、図 3 1 (A) には限定されない。ビット線 B L の電位がビット線 / B L の電位より低い場合をデータ “ 1 ” に定義しても良いが、説明の明確化のために本実施形態では、図 3 1 (A) に示すようにビット線 B L の電位がビット線 / B L の電位より高い状態をデータ “ 1 ” に定義する。

【 0 1 0 2 】

メモリセル M C に保持されているデータは、上記のように正確に検出することができる。これに対して、図 3 1 (B) は異常なデータが検出されるケースを示す。図 3 1 (B) に示すケースは、メモリセル M C が配列されている領域の上層に電圧 V D D よりも大きな電圧（広義には第 3 の電源電圧）が供給される第 3 の電源供給配線 G L が形成されている場合であり、G L は / B L の上層に / B L と平面的に重なるように配線されているものとする。

【 0 1 0 3 】

図 3 1 (B) の A 1 5 に示すようにワード線 W L の選択によりワード線 W L の電位が上昇する。そして A 1 6 に示すタイミングでワード線 W L の電位が H i g h レベルに到達すると、例えばビット線 / B L の電位が H i g h レベルから L o w レベルに向かって下降する。その後、A 1 7 に示すように第 3 の電源供給配線 G L に信号が供給されることで、その電位が H i g h レベルよりも上回ってしまうと、その電位が下降し続けていたビット線 / B L の電位は A 1 8 に示すように急激に上昇してしまう。これは、ビット線 / B L と第 3 の電源供給配線 G L との間の容量カップリングによる。ビット線 / B L の上層に第 3 の電源供給配線 G L が形成されることで、ビット線 / B L と電源供給配線 G L との間の層間絶縁膜による容量が形成される。第 3 の電源供給配線 G L の電位が上昇すると、その容量によるカップリングでビット線 / B L の電位も上昇してしまう。即ち、ビット線 B L、/ B L の上層に第 3 の電源供給配線 G L が形成されると、ビット線 B L、/ B L の電位が不安定になる。

【 0 1 0 4 】

その後、センスアンプイネーブル信号 S A E が立ち上がるとセンスアンプ 2 1 1 でビット線 B L、/ B L の電位差が検出される。ところが、この場合、A 1 8 に示すように電位が上昇したビット線 / B L の電位は、A 1 9 に示すようにビット線 B L の電位よりも低いレベルまで下がりきらず、結果としてビット線 B L の電位よりもビット線 / B L の電位が高い状態でセンスアンプ 2 1 1 に電位差の検出が行われる。

【 0 1 0 5 】

これにより、センスアンプ 2 1 1 は、ビット線 B L の電位がビット線 / B L の電位よりも低いと判断し、データ “ 0 ” を検出する。つまり、本来データ “ 1 ” として検出されるべきメモリセル M C から、データ “ 0 ” のデータが検出され、異常な値が検出されてしまう。

【 0 1 0 6 】

このような現象に対して、本実施形態では、図 3 2 に示すように横型メモリセル M C にシールド配線 S H D 1（広義にはビット線保護用配線）を設けることで上記のような異常な読み出しを防止することができる。

【 0 1 0 7 】

シールド配線 S H D 1 は、例えば図 5 のシールド層 2 9 0 に形成される配線である。シールド配線 S H D 1 は、ビット線 B L、/ B L が形成される領域の上層を覆うように形成されている。例えば、ビット線 B L、/ B L は横型メモリセルの場合には第 2 金属配線層 A L B に形成され、シールド配線 S H D 1 はその上層の第 4 金属配線層 A L D に形成されている。そして、このシールド配線 S H D 1 に電圧 V S S を供給することで、第 3 の電源

10

20

30

40

50

供給配線 G L との容量カップリングによる影響を防ぐことができる。

【0108】

また、シールド配線 S H D 1 は、ビット線 B L、/ B L が延在形成される方向 D R 1 に沿って延在形成されている。図 3 2 に示すように、シールド配線 S H D 1 が形成されないシールド配線非形成領域 N S H 1, N S H 2 (広義には保護用配線非形成領域) が設けられている。このようなシールド配線非形成領域 N S H 1, N S H 2 を所々に設けることで、メモリセル M C の製造工程上で発生するガスを放出することができる。これにより、後工程による熱処理等でシールド配線 S H D 1 の下層でガスが発生しても、メモリセル M C の配線等の破損を防ぐことができる。

【0109】

なお、図 3 2 に示されるシールド配線非形成領域 N S H 1, N S H 2 は、ビット線 B L、/ B L が延びる方向 D R 1 に沿って延びるように設けられている。シールド配線非形成領域 N S H 1, N S H 2 は、平面的に見て、ビット線 B L、/ B L が形成されていないビット線非形成領域内の上層に設けられている。

【0110】

図 3 2 のシールド配線 S H D 1 は、第 2 の電源供給配線 V D D L の一部の上層を覆うようには形成されていない、つまり平面的に見て第 2 の電源供給配線 V D D L の形成領域内にシールド配線非形成領域 N S H 1, N S H 2 が設けられているが、これに限定されない。例えば、シールド配線 S H D 1 は第 2 の電源供給配線 V D D L の全部を覆っても良いし (つまり図 3 2 に示すシールド配線非形成領域 N S H 1 を設けない例)、覆わなくても良い。前者の場合でも、シールド配線 S H D 1 が形成されないシールド配線非形成領域 N S H 2 が確保されることが好ましい。

【0111】

図 3 3 は、複数のメモリセル M C とシールド配線 S H D 2 (図 3 2 に示すシールド配線非形成領域 N S H 1 を設けない場合のシールド配線) との関係を示す図である。各メモリセル M C のビット線 B L、/ B L は方向 X に沿って延在形成されている。その上層を覆うようにシールド配線 S H D 2 が方向 X に沿って延在形成されている。そして、隣合う 2 本のシールド配線 S H D 2 間にシールド配線非形成領域 N S H 2 (広義には保護用配線非形成領域) が方向 X に沿って延びるように形成されている。

【0112】

複数のシールド配線 S H D 2 は、フローティング電位とするよりも、シールド効果を発揮するために一定電位とすることが好ましい。このため、シールド配線 S H D 2 には、V D D 電位または V S S 電位が供給されるか、あるいは第 1 の電源供給配線 V S S L 1, V S S L 2 または第 2 の電源供給配線 V D D L と接続されることが好ましい。

【0113】

図 1 7 (B) に示す横型セルの場合、第 2 の電源供給配線 V D D L が方向 X に沿って延在形成され、電圧 V D D を各メモリセル M C に供給することになる。よって、シールド配線 S H D 2 を第 2 の電源供給配線 V D D L と電氣的に接続することで、方向 X に沿って延びる太い電源供給線を形成することができ、各メモリセル M C に安定した電源供給が可能となる。

【0114】

また、図 3 4 に本実施形態の変形例を示す。図 3 4 に示すようにシールド配線 S H D 3 は、ワード線 W L 及び第 1 の電源供給配線 V S S L 1, V S S L 2 が延びる方向 D R 2 に沿って延在形成されてもよい。この場合も、シールド配線非形成領域 N S H が方向 D 2 に沿って設けられる。しかし、図 3 4 では、シールド配線非形成領域 N S H は第 1 の電源供給配線 V S S L 1, V S S L 2 (ハッチング領域) の上層である。換言すれば、シールド配線 S H D 3 の方向 D R 1 の幅方向両端部が、第 1 の電源供給配線 V S S L 1, V S S L 2 と平面視で重なっている。このため、ビット線 B L、/ B L とシールド配線非形成領域 N S H とが対向する領域には必ず第 2 の電源供給配線 V S S L 1, V S S L 2 が存在するので、シールド配線非形成領域 N S H に代わって第 1 の電源供給配線 V S S L 1, V S S

10

20

30

40

50

L 2 によりシールド効果を維持できる。

【 0 1 1 5 】

図 3 4 の例では、シールド配線 S D H 3 と第 2 の電源供給配線 V S S L 1 , V S S L 2 とを電氣的に接続すれば、方向 D R 2 に沿って延びる太い電源供給線を形成することができ、各メモリセル M C に安定した電源供給が可能となる。

【 0 1 1 6 】

なお、図 3 4 のシールド配線 S H D 2 を D R 1 方向で 2 分割して、ワード線 W L 上に沿ってシールド配線非形成領域 N S H を形成しても良い。1 本のワード線 W L は一垂直走査期間のうちの一水平走査期間を除いて一定の非選択電位（例えば V S S 電位）に維持されるので、このシールド配線非形成領域 N S H はワード線 W L によりシールドできるからである。

10

【 0 1 1 7 】

さらに言えば、図 1 7 (B) の横型メモリセルの場合には、ビット線 B L , / B L の上層に、2 本の第 1 の電源供給配線 V S S L 1 , V S S L 2 とワード線 W L が存在するため、必ずしも上述のシールド配線 S H D を設けなくてもよい。ビット線の上層の 2 本の第 1 の電源供給配線 V S S L 1 , V S S L 2 とワード線 W L とによって、ビット線 B L , / B L をシールド保護できる効果があるからである。

【 0 1 1 8 】

図 1 7 (C) の縦型メモリセルの場合は、ビット線 B L , / B L の上層には 2 本の第 1 の電源供給配線 V S S L 1 , V S S L 2 とワード線 W L が存在しないため、図 3 1 ~ 図 3 4 と同様にしてシールド配線 S H D を設ければよい。

20

【 0 1 1 9 】

3 . 2 . 横型メモリセルとセンスアンプとの関係

図 1 8 は、横型セル M C とセンスアンプ 2 1 1 との関係を示している。図 1 7 (B) に示す横型セル M C は、図 1 8 に示すようにビット線対 B L , / B L が X 方向に沿って配列される。よって、横型セル M C の長手辺の長さ M C Y が Y 方向長さとなる。一方、センスアンプ 2 1 1 も、回路レイアウト上、図 1 8 に示すように Y 方向にて所定の長さ S A Y 3 を要する。よって、横型セルの場合には、図 1 8 の通り、一つのセンスアンプ 2 1 1 に 1 ビット分のメモリセル M C (X 方向では P Y 個) を配置し易い。従って、式 (4) にて説明したように、1 H 期間内に各 R A M 2 0 0 から読み出される総ビット数を M とした場合、図 1 9 に示すように、R A M 2 0 0 の Y 方向には M 個のメモリセル M C を配列すればよい。図 1 3 ~ 図 1 6 にて、R A M 2 0 0 が Y 方向にて M 個のメモリセル M C と M 個のセンスアンプ 2 1 1 とを有する例は、横型セルを用いた場合に適用できる。なお、図 1 9 に示すような横型セルの場合であって、1 H 期間に異なるワード線 W L を 2 回選択して読み出しが行われる場合には、R A M 2 0 0 の X 方向に配列されるメモリセル M C の数は、ピクセル数 P Y × 読み出し回数 (2 回) である。ただし、横型のメモリセル M C の X 方向の長さ M C X は比較的短いので、X 方向に配列されるメモリセル M C の個数が増えても、R A M 2 0 0 の X 方向のサイズが大きくなる。

30

【 0 1 2 0 】

なお、横型セルを用いることの利点として、R A M 2 0 0 の Y 方向の長さ M C Y の自由度が増えることである。横型セルの場合、Y 方向長さは調整可能であるので、Y 方向と X 方向の各長さの比率として、2 : 1 または 1 . 5 : 1 などのセルレイアウトを用意しておくことができる。この場合、Y 方向に配列する横型セルの個数を例えば 1 0 0 個とした場合に、上記比率によって R A M 2 0 0 の Y 方向長さ M C Y を種々設計できる利点がある。

40

【 0 1 2 1 】

これに対して、図 1 7 (C) に示す縦型セルを用いると、センスアンプ 2 1 1 の Y 方向の個数によって、R A M 2 0 0 の Y 方向長さ M C Y が支配的となり、自由度は少ない。

【 0 1 2 2 】

3 . 3 . 複数の縦型セルに対するセンスアンプの共用

図 2 1 (A) に示すようにセンスアンプ 2 1 1 の Y 方向の長さ S A Y 3 は、縦型のメモ

50

リセルMCの長さMCYよりも十分に大きい。このため、ワード線WLを選択する際に、一つのセンスアンプ211に対して1ビット分のメモリセルMCを対応させるレイアウトでは、効率が悪い。

【0123】

そこで、図21(B)に示すように、ワード線WLの選択において、一つのセンスアンプ211に対して複数ビット分(例えば2ビット)のメモリセルMCを対応させる。これにより、センスアンプ211の長さSAY3とメモリセルMCの長さMCYの差を問題とせず、効率的にメモリセルMCをRAM200に配列することができる。

【0124】

図21(B)によると、選択型センスアンプSSAは、センスアンプ211と、スイッチ回路220と、スイッチ回路230を含む。選択型センスアンプSSAには、ビット線対BL、/BLが例えば2組接続されている。

【0125】

スイッチ回路220は、選択信号COLA(広義にはセンスアンプ用選択信号)に基づいて、一方の組のビット線対BL、/BLをセンスアンプ211に接続する。同様にスイッチ回路230は、選択信号COLBに基づいて、他方の組のビット線対BL、/BLをセンスアンプ211に接続する。なお、選択信号COLA、COLBは、例えばその信号レベルが排他的に制御される。具体的には、選択信号COLAがスイッチ回路220をアクティブに設定する信号に設定された場合には、選択信号COLBはスイッチ回路230をノンアクティブに設定する信号に設定される。即ち、選択型センスアンプSSAは例えば2組のビット線対BL、/BLによって供給される2ビット(広義にはNビット又はLビット)のデータのうちのいずれか1ビットのデータを選択して対応するデータを出力する。

【0126】

図22に選択型センスアンプSSAが設けられたRAM200を示す。図22では、一例として、1H期間に2回(広義にはN回)読み出しを行う場合であり、例えば階調度のGビットが6ビットである場合の構成が示されている。このような場合、RAM200には、図23に示すようにM個の選択型センスアンプSSAが設けられる。従って、1回のワード線WLの選択によってデータ線ドライバ100に供給されるデータは計Mビットである。これに対して、図23のRAM200にはメモリセルMCがY方向においてM×2個配列されている。そして、X方向では、図19の場合とは異なり、ピクセル数PYと同じ個数のメモリセルMCが配列されている。図23のRAM200では、選択型センスアンプSSAに2組のビット線対BL、/BLが接続されているため、RAM200のX方向に配列されるメモリセルMCの数はピクセル数PYと同じ個数でよい。

【0127】

これにより、メモリセルMCの長さMCXが長さMCYより長い縦型セルの場合では、X方向に配列されるメモリセルMCの個数を減ずることで、RAM200のX方向のサイズを大きくならないようにすることができる。

【0128】

3.4. 縦型メモリセルからの読み出し動作

次に図22に示す縦型メモリセルが配列されたRAM200の動作を説明する。このRAM200に対する読み出しの制御方法は例えば2つあり、まずその一つを図24(A)、図24(B)のタイミングチャートを用いて説明する。

【0129】

図24(A)のB1に示すタイミングで選択信号COLAがアクティブに設定され、B2に示すタイミングでワード線WL1が選択される。このとき、選択信号COLAがアクティブであるため、選択型センスアンプSSAはA側のメモリセルMC、つまりメモリセルMC-1Aのデータを検出して出力する。そして、B3のタイミングでラッチ信号SLAが立ち下がると、データ線駆動セル110A-Rは、メモリセルMC-1Aに格納されているデータをラッチする。

10

20

30

40

50

【0130】

また、B4のタイミングで選択信号COLBがアクティブに設定され、B5に示すタイミングでワード線WL1が選択される。このとき、選択信号COLBがアクティブであるため、選択型センスアンプSSAはB側のメモリセルMC、つまりメモリセルMC-1Bのデータを検出して出力する。そして、B6のタイミングでラッチ信号SLBが立ち下がると、データ線駆動セル110B-Rは、メモリセルMC-1Bに格納されているデータをラッチする。なお、図24(A)では、2回読み出しのうち、2回ともワード線WL1が選択される。

【0131】

これにより、1H期間の2回読み出しによるデータ線ドライバ100のデータラッチが完了する。 10

【0132】

また、図24(B)には、ワード線WL2が選択される場合のタイミングチャートが示されている。動作は上記と同様であり、その結果、ワード線WL2がB7やB8に示すように選択される場合には、メモリセルMC-2Aのデータがデータ線駆動セル110A-Rにラッチされ、メモリセルMC-2Bのデータがデータ線駆動セル110B-Rにラッチされる。

【0133】

これにより、図24(A)の1H期間とは異なる1H期間での2回読み出しによるデータ線ドライバ100のデータラッチが完了する。 20

【0134】

このような読み出し方法に対して、RAM200の各メモリセルMCには、図25に示すようにデータが格納される。例えば、データRA-1~RA-6はデータ線駆動セル110A-Rに供給するためのR画素の6ビットのデータであり、データRB-1~RB-6はデータ線駆動セル110B-Rに供給するためのR画素の6ビットのデータである。

【0135】

図25に示すように、例えばワード線WL1に対応するメモリセルMCには、Y方向に沿って、データRA-1(データ線ドライバ100Aがラッチするためのデータ)、RB-1(データ線ドライバ100Bがラッチするためのデータ)、RA-2(データ線ドライバ100Aがラッチするためのデータ)、RB-2(データ線ドライバ100Bがラッチするためのデータ)、RA-3(データ線ドライバ100Aがラッチするためのデータ)、RB-3(データ線ドライバ100Bがラッチするためのデータ)・・・という順番で格納される。即ち、RAM200には、Y方向に沿って(データ線ドライバ100Aがラッチするためのデータ)と(データ線ドライバ100Bがラッチするためのデータ)が交互に格納される。 30

【0136】

なお、図24(A)、図24(B)に示す読み出し方法は、1H期間に2回読み出しを行うが、1H期間に同一のワード線WLが選択される。

【0137】

上記には、1回のワード線の選択において選択されるメモリセルMCのうち、各選択型センスアンプSSAは2個のメモリセルMCからデータを受け取る内容が開示されているが、これに限定されない。例えば、1回のワード線の選択において選択されるメモリセルMCのうち、各選択型センスアンプSSAがN個のメモリセルMCからNビットのデータを受け取るような構成でも良い。その場合には、選択型センスアンプSSAは、同一のワード線の1回目の選択の際には、第1~第NのメモリセルMCのN個のメモリセルMCのうち、第1のメモリセルMCから受ける1ビットのデータを選択する。また、選択型センスアンプSSAはK(1<K<N)回目のワード線の選択の際には、第KのメモリセルMCから受ける1ビットのデータを選択する。 40

【0138】

図24(A)及び図24(B)の変形例として、1H期間にN回選択される同一のワー 50

ド線WLをJ（Jは2以上の整数）本選択し、1H期間にRAM200よりデータが読み出される回数を（N×J）回とすることができる。つまり、N=2，J=2とすると、図24（A）及び図24（B）に示す4回のワード線選択が同一水平走査期間1H内に実施される。すなわち、1H期間内にワード線WL1を2回、ワード線WL2を2回選択することで、N=4回読み出しする方法である。

【0139】

この場合には、RAMブロック200の各々は、1回のワード線の選択において、M（Mは2以上の整数）ビットのデータを出力し、Mの値は、表示パネル10の複数のデータ線DLの本数をDLN、各データ線に対応する各画素の階調ビット数をG、RAMブロック200のブロック数をBNKと定義した場合に以下の式で与えられる。

10

【数2】

$$M = \frac{DLN \times G}{BNK \times N \times J}$$

【0140】

次にもう一つの制御方法を図26（A）及び図26（B）を用いて説明する。

【0141】

図26（A）のC1に示すタイミングで選択信号COLAがアクティブに設定され、C2に示すタイミングでワード線WL1が選択される。これにより図22のメモリセルMC-1A及びMC-1Bが選択される。このとき、選択信号COLAがアクティブであるため、選択型センスアンプSSAはA側のメモリセルMC（広義には第1のメモリセル）、つまりメモリセルMC-1Aのデータを検出して出力する。そして、C3のタイミングでラッチ信号SLAが立ち下ると、データ線駆動セル110A-Rは、メモリセルMC-1Aに格納されているデータをラッチする。

20

【0142】

また、C4に示すタイミングでワード線WL2が選択され、メモリセルMC-2A及びMC-2Bが選択される。このとき、選択信号COLAはアクティブであるため、選択型センスアンプSSAはA側のメモリセルMC、つまりメモリセルMC-2Aのデータを検出して出力する。そして、C5のタイミングでラッチ信号SLBが立ち下ると、データ線駆動セル110B-Rは、メモリセルMC-2Aに格納されているデータをラッチする

30

【0143】

これにより、1H期間の2回読み出しによるデータ線ドライバ100のデータラッチが完了する。

【0144】

また、図26（A）で示される1H期間とは異なる1H期間での読み出しを図26（B）を用いて説明する。図26（B）のC6に示すタイミングで選択信号COLBがアクティブに設定され、C7に示すタイミングでワード線WL1が選択される。これにより図22のメモリセルMC-1A及びMC-1Bが選択される。このとき、選択信号COLBがアクティブであるため、選択型センスアンプSSAはB側のメモリセルMC（広義には第1～第Nのメモリセルのうち第1のメモリセルと異なるメモリセル）、つまりメモリセルMC-1Bのデータを検出して出力する。そして、C8のタイミングでラッチ信号SLAが立ち下ると、データ線駆動セル110A-Rは、メモリセルMC-1Bに格納されているデータをラッチする。

40

【0145】

また、C9に示すタイミングでワード線WL2が選択され、メモリセルMC-2A及びMC-2Bが選択される。このとき、選択信号COLBはアクティブであるため、選択型センスアンプSSAはB側のメモリセルMC、つまりメモリセルMC-2Bのデータを検出して出力する。そして、C10のタイミングでラッチ信号SLBが立ち下ると、データ線駆動セル110B-Rは、メモリセルMC-2Bに格納されているデータをラッチす

50

る。

【0146】

これにより、図26(A)の1H期間とは異なる1H期間での2回読み出しによるデータ線ドライバ100のデータラッチが完了する。

【0147】

このような読み出し方法に対して、RAM200の各メモリセルMCには、図27に示すようにデータが格納される。例えば、データRA-1A~RA-6A及びデータRA-1B~RA-6Bはデータ線駆動セル110A-Rに供給するためのR用サブピクセルのための6ビットのデータである。データRA-1A~RA-6Aは図26(A)に示す1H期間におけるR用サブピクセルデータであり、データRA-1B~RA-6Bは図26

10

【0148】

また、データRB-1A~RB-6A及びデータRB-1B~RB-6Bはデータ線駆動セル110B-Rに供給するためのR用サブピクセルのための6ビットのデータである。データRB-1A~RB-6Aは図26(A)に示す1H期間におけるR用サブピクセルデータであり、データRB-1B~RB-6Bは図26(B)に示す1H期間におけるRサブピクセルデータである。

【0149】

図27に示すように、RAM200には、X方向に沿ってデータRA-1A(データ線ドライバ100Aがラッチするためのデータ)、RB-1A(データ線ドライバ100B

20

【0150】

また、RAM200には、Y方向に沿って、データRA-1A(図26(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)、データRA-1B(図26(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)、データRA-2A(図26(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)、データRA-2B(図26(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)・・・という順番で格納される。即ち、RAM200には、Y方向に沿って、ある1H期間にデータ線ドライバ100Aにラッチされるデータと、その1H期間とは異なる他の1H期間にデータ線ドライバ100Aにラッチされるデータとが、交互に格

30

【0151】

なお図26(A)、図26(B)に示す読み出し方法は、1H期間に2回読み出しを行うが、1H期間に異なるワード線WLが選択される。そして、1垂直期間(つまり、1フレーム期間)に同一のワード線が2回選択される。これは、選択型センスアンプSSAが2組のビット線対BL、/BLを接続するからである。従って、選択型センスアンプSSAに3組又はそれ以上のビット線BL、/BLが接続される場合には、1垂直期間に同一のワード線が3回又はそれ以上の回数だけ選択されることになる。

【0152】

なお、本実施形態では、上述されたワード線WLの制御は、例えば図4のワード線制御

40

回路240によって制御される。

【0153】

3.5. データ読み出し制御回路の配置

図20は、図17(B)の横型セルを用いて構成された2つのRAM200内に設けられた2つのメモリセルアレイ200A, 200Bとその周辺回路を示している。

【0154】

図20は、図3(A)に示すように、2つのRAM200が隣接している例のブロック図である。2つのメモリセルアレイ200A, 200Bの各一つに専用の回路として、ローデコーダ(広義にはワード線制御回路)240と、出力回路260と、CPUライト/リード回路280が設けられている。また、2つのメモリセルアレイ200A, 200B

50

に共用の回路として、CPU/LCD制御回路250と、カラムデコーダ270が設けられている。

【0155】

そして、ローデコーダ240は、CPU/LCD制御回路250からの信号に基づいて、RAM200A及び200Bのワード線WLを制御する。2つのメモリセルアレイ200A、200Bの各々からのLCD側へのデータ読み出し制御は、ローデコーダ240及びCPU/LCD制御回路250により行なわれるので、ローデコーダ240及びCPU/LCD制御回路250が広義のデータ読み出し制御回路となる。CPU/LCD制御回路250は例えば外部のホストの制御に基づいて、2つのローデコーダ240、2つの出力回路260、2つのCPUライト/リード回路280、一つのカラムデコーダ270を

10

【0156】

2つのCPUライト/リード回路280はCPU/LCD制御回路250からの信号に基づいて、ホスト側からのデータをメモリセルアレイ200A、200Bに書き込んだり、メモリセルアレイ200A、200Bに格納されているデータを読み出して例えばホスト側に出力する制御を行ったりする。カラムデコーダ270は、CPU/LCD制御回路250からの信号に基づいて、メモリセルアレイ200A、200Bのビット線BL、/BLの選択制御を行う。

【0157】

なお、出力回路260は、上述したように1ビットのデータがそれぞれ入力される複数のセンスアンプ211を含み、1H期間内に異なる例えば2本のワード線WLの選択によって各メモリセルアレイ200A、200Bから出力されるMビットのデータをデータ線ドライバ100に出力する。また、図3(A)のように4つのRAM200を有する場合、2つのCPU/LCD制御回路250は、図10に示す同一のワード線制御信号RACに基づいて4つのカラムデコーダ270を制御する結果、4つのメモリセルアレイでは同一カラムアドレスのワード線WLが同時に選択される。

20

【0158】

このように、1H期間に各メモリセルアレイ200A、200Bから例えば2回読み出しを行なうことで、1回当たりの読み出しビットMが減少するので、カラムデコーダ270及びCPUライト/リード回路280のサイズは半減する。さらに、図3(A)に示すように、2つのRAM200が隣接している場合には、図20に示すように2つのメモリセルアレイ200A、200BにCPU/LCD制御回路250及びカラムデコーダ260を共用できるので、これによってもRAM200のサイズを小さくできる。

30

【0159】

また、図17(B)に示す横型セルの場合、図19に示すように各ワード線WL1、WL2に接続されるメモリセルMCの数はM個と少なくなるので、ワード線の配線容量は比較的小さい。よって、ワード線をメインワード線及びサブワード線にて階層化する必要もない。

【0160】

4. 変形例

図28に本実施形態に係る変形例を示す。例えば図11(A)では、データ線ドライバ100A及び100BがX方向に分割されている。そして、各データ線ドライバ100A、100Bにはそれぞれ、カラー表示の場合、R用サブピクセルのデータ線駆動セル、G用サブピクセルのデータ線駆動セル、B用サブピクセルのデータ線駆動セルが設けられている。

40

【0161】

これに対して、図28の変形例では、データ線ドライバ100-R、100-G、100-Bの3つがX方向に分割されている。そして、データ線ドライバ100-Rには、複数のR用サブピクセルのデータ線駆動セル110-R1、110-R2・・・が設けられ、データ線ドライバ100-Gには、複数のG用サブピクセルのデータ線駆動セル110-

50

G 1、1 1 0 - G 2・・・が設けられている。同様にしてデータ線ドライバ 1 0 0 - B には、複数の B 用サブピクセルのデータ線駆動セル 1 1 0 - B 1、1 1 0 - B 2・・・が設けられている。

【0 1 6 2】

そして、図 2 8 の変形例では、1 H 期間に 3 回読み出しが行われる。例えば、ワード線 W L 1 が選択されると、それに応じて、データ線ドライバ 1 0 0 - R が R A M 2 0 0 から出力されるデータをラッチする。これにより、例えばメモリセル群 M C S 3 1 に格納されているデータがデータ線駆動セル 1 1 0 - R 1 にラッチされる。

【0 1 6 3】

また、ワード線 W L 2 が選択されると、それに応じて、データ線ドライバ 1 0 0 - G が R A M 2 0 0 から出力されるデータをラッチする。これにより、例えばメモリセル群 M C S 3 2 に格納されているデータがデータ線駆動セル 1 1 0 - G 1 にラッチされる。

【0 1 6 4】

また、ワード線 W L 3 が選択されると、それに応じて、データ線ドライバ 1 0 0 - B が R A M 2 0 0 から出力されるデータをラッチする。これにより、例えばメモリセル群 M C S 3 3 に格納されているデータがデータ線駆動セル 1 1 0 - B 1 にラッチされる。

【0 1 6 5】

メモリセル群 M C S 3 4、M C S 3 5、M C S 3 6 についても上記と同様であり、それぞれが、図 2 8 に示すようにデータ線駆動セル 1 1 0 - R 2、1 1 0 - G 2、1 1 0 - B 2 のいずれかに格納されている。

【0 1 6 6】

図 2 9 は、この 3 回読み出しによる動作のタイミングチャートを示す図である。図 2 9 の D 1 のタイミングでワード線 W L 1 が選択され、D 2 のタイミングでデータ線ドライバ 1 0 0 - R が R A M 2 0 0 からのデータをラッチする。これにより、上記のようにワード線 W L 1 の選択により出力されるデータがデータ線ドライバ 1 0 0 - R にラッチされる。

【0 1 6 7】

また、D 3 のタイミングでワード線 W L 2 が選択され、D 4 のタイミングでデータ線ドライバ 1 0 0 - G が R A M 2 0 0 からのデータをラッチする。これにより、上記のようにワード線 W L 2 の選択により出力されるデータがデータ線ドライバ 1 0 0 - G にラッチされる。

【0 1 6 8】

また、D 5 のタイミングでワード線 W L 3 が選択され、D 6 のタイミングでデータ線ドライバ 1 0 0 - B が R A M 2 0 0 からのデータをラッチする。これにより、上記のようにワード線 W L 3 の選択により出力されるデータがデータ線ドライバ 1 0 0 - B にラッチされる。

【0 1 6 9】

上記のように動作する場合、R A M 2 0 0 のメモリセル M C には、図 3 0 に示すようにデータが格納される。例えば、図 3 0 のデータ R 1 - 1 は、R 用サブピクセルが 6 ビットの階調度である場合のその 1 ビットのデータを示し、例えば 1 つのメモリセル M C に格納される。

【0 1 7 0】

例えば図 2 8 のメモリセル群 M C S 3 1 には、データ R 1 - 1 ~ R 1 - 6 が格納され、メモリセル群 M C S 3 2 には、データ G 1 - 1 ~ G 1 - 6 が格納され、メモリセル群 M C S 3 3 には、データ B 1 - 1 ~ B 1 - 6 が格納される。同様にして、メモリセル群 M C S 3 3 ~ M C S 3 6 には、図 3 0 に示すようにデータ R 2 - 1 ~ R 2 - 6、G 2 - 1 ~ G 2 - 6、B 2 - 1 ~ B 2 - 6 が格納される。

【0 1 7 1】

例えば、メモリセル群 M C S 3 1 ~ M C S 3 3 に格納されるデータを 1 ピクセルのデータとみなすことができ、メモリセル群 M C S 3 4 ~ M C S 3 6 に格納されるデータに対応するデータ線とは異なるデータ線を駆動するためのデータである。従って、R A M 2 0 0

10

20

30

40

50

には、Y方向に沿って1ピクセル毎のデータを順に書き込むことができる。

【0172】

また、表示パネル10に設けられている複数のデータ線のうち、例えばR用サブピクセルに対応するデータ線を駆動し、次にG用サブピクセルに対応するデータ線を駆動し、そしてB用サブピクセルに対応するデータ線を駆動する。これにより、1H期間に3回読み出しを行った場合に各回の読み出しにおいて遅延が生じても、例えばR用サブピクセルに対応するデータ線が全て駆動されているので、遅延によって表示されない領域の面積が小さくなる。従って、ちらつき等の表示劣化を緩和することができる。

【0173】

5. 本実施形態の効果

本実施形態では、図33に示すようにRAM200内には複数のシールド配線SHD2が形成されている。これにより、ビット線BL、/BLの上層に第3の電源供給配線GLが形成されても、正常なデータの検出が可能となる。このため、RAM200の上層に様々な信号線を配線することができ、例えば表示ドライバ20の回路ブロックのレイアウトを柔軟に行うことができる。例えば、データ線ドライバ100(広義には表示メモリ以外の回路)に必要な階調電圧をRAM200の上層を経由して供給することが可能となる。つまり、表示ドライバ20のチップ面積を極限まで小さくするレイアウトが可能となり、製造コストの削減の効果を奏する。

【0174】

また、図33に示すようにシールド配線SHD2は、X方向に沿って延在形成されている。このため、電圧VSSを供給する電源供給配線としてシールド配線SHD2を用いることができ、各メモリセルMCに安定した電源の供給が可能となる。

【0175】

また、図33に示すようにビット線BL、/BLが形成されていない領域の上層にシールド配線非形成領域NSH2を設けることができるため、後工程にシールド配線SHD2の下層等で発生するガスを放出することができ、歩留まり向上の効果を奏する。

【0176】

上述のように本実施形態では、1H期間に複数回の読み出しをRAM200に対して行う。そのため、上述されたように、1ワード線あたりのメモリセルMCの数を少なくすることや、データ線ドライバ100の分割化が可能となる。例えば1H期間の読み出し回数を調整することで1ワード線に対応するメモリセルMCの配列数を調整できるので、RAM200のX方向の長さRX及びY方向の長さRYを適宜に調整することができる。また、1H期間の読み出し回数を調整することでデータ線ドライバ100の分割数も変更できる。

【0177】

また、対象となる表示パネル10の表示領域12に設けられたデータ線の数に応じて、データ線ドライバ100及びRAM200のブロック数を変更したり、各データ線ドライバ100及びRAM200のレイアウトサイズを変更したりすることも容易になる。このため、表示ドライバ20に搭載される他の回路を考慮した設計が可能となり、表示ドライバ20の設計コストの削減が可能となる。例えば、対象となる表示パネル10に変更があり、データ線の数だけ変更された場合、データ線ドライバ100及びRAM200が主に変更の対象となる場合がある。この場合、本実施形態では、データ線ドライバ100及びRAM200のレイアウトサイズを柔軟に設計できるため、他の回路においては従来のライブラリを流用できる場合がある。従って、本実施形態では、限られたスペースを有効に利用することができ、表示ドライバ20の設計コストを削減できる。

【0178】

また、本実施形態では、1H期間に複数回読み出しを行うため、図21(A)に示すようにセンスアンプSSAにより、Mビットのデータが出力されるRAM200に対して、Y方向にM×2個のメモリセルMCを設けることができる。これにより、効率よくメモリセルMCを配列することができるので、チップ面積の縮小を可能とする。

10

20

30

40

50

【0179】

また、図8の比較例の表示ドライバ24では、ワード線WLが非常に長いため、RAM205からのデータ読み出しの遅延によるバラツキが生じないようにするために、ある程度の電力を必要とする。また、ワード線WLが非常に長いため、ワード線WL1本あたりに接続されるメモリセルの数も増大し、ワード線WLに寄生される容量が増大する。この寄生容量の増大に対しては、ワード線WLを分割して制御することで対処可能であるが、そのための回路が別途必要となる。

【0180】

これに対して、本実施形態では、例えば図11(A)に示すようにワード線WL1、WL2等がY方向に沿って延在形成されており、その各々の長さが比較例のワード線WLに比べて十分に短い。そのため、1回のワード線WL1の選択に要する電力は小さくなる。これにより、1H期間に複数回読み出しを行った場合にも消費電力の増大を防ぐことができる。

【0181】

また、図3(A)に示すように例えば、RAM200が4BANK設けられている場合、RAM200では、図11(B)に示すようにワード線を選択する信号や、ラッチ信号SLA、SLBの制御が行われる。これらの信号は、例えば4BANKのそれぞれのRAM200に共通に用いられるようにすることができる。

【0182】

具体的には、例えば図10に示すようにデータ線ドライバ100-1~100-4には、同じデータ線制御信号SLC(データ線ドライバ用制御信号)が供給され、RAM200-1~200-4には、同じワード線制御信号RAC(RAM用制御信号)が供給される。データ線制御信号SLCは例えば図11(B)に示されるラッチ信号SLA、SLBを含み、RAM用制御信号RACは例えば図11(B)に示されるワード線を選択する信号を含む。

【0183】

これにより、それぞれのBANKでRAM200のワード線が同じように選択され、データ線ドライバ100に供給されるラッチ信号SLA、SLB等が同じように立ち下がる。即ち、1H期間において、あるRAM200のワード線が選択されると同時に、他のRAM200のワード線も同時に選択される。このようにして、複数のデータ線ドライバ100は、複数のデータ線を正常に駆動することができる。

【0184】

上記のように、本発明の実施例について詳細に説明したが、本発明の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書または図面において、少なくとも一度、より広義又は同義な異なる用語と共に記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。

【0185】

なお、本実施形態では、表示ドライバ20内に設けられた複数のRAM200に対して例えば一表示画面分の画像データを格納させることができるが、これに限定されない。

【0186】

表示パネル10に対してk(kは2以上の整数)個の表示ドライバを設け、k個の表示ドライバの各々に、一表示画面分の画像データの(1/k)を格納させても良い。この場合、一表示画面のデータ線DLの総本数DLNとしたとき、k個の表示ドライバの各々が分担して駆動するデータ線本数は(DLN/k)本である。

【図面の簡単な説明】

【0187】

【図1】図1(A)及び図1(B)は、本実施形態に係る集積回路装置を示す図である。

【図2】図2(A)は本実施形態に係る比較例の一部を示す図であり、図2(B)は本実

10

20

30

40

50

施形態に係る集積回路装置の一部を示す図である。

【図 3】図 3 (A) 及び図 3 (B) は、本実施形態に係る集積回路装置の構成例を示す図である。

【図 4】本実施形態に係る表示メモリの構成例である。

【図 5】本実施形態に係る集積回路装置の断面図である。

【図 6】図 6 (A) 及び図 6 (B) は、データ線ドライバの構成例を示す図である。

【図 7】本実施形態に係るデータ線駆動セルの構成例である。

【図 8】本実施形態に係る比較例を示す図である。

【図 9】図 9 (A) ~ 図 9 (D) は、本実施形態の R A M ブロックの効果を説明するための図である。

10

【図 10】本実施形態に係る R A M ブロックの各々の関係を示す図である。

【図 11】図 11 (A) 及び図 11 (B) は、R A M ブロックのデータ読み出しを説明するための図である。

【図 12】本実施形態に係る分割データ線ドライバのデータラッチを説明する図である。

【図 13】本実施形態に係るデータ線駆動セルとセンスアンプの関係を示す図である。

【図 14】本実施形態に係る分割データ線ドライバの他の構成例である。

【図 15】図 15 (A) 及び図 15 (B) は、R A M ブロックに格納されるデータの配列を説明する図である。

【図 16】本実施形態に係る分割データ線ドライバの他の構成例である。

【図 17】図 17 (A) ~ 図 17 (C) は、本実施形態に係るメモリセルの構成を示す図である。

20

【図 18】図 17 (B) の横型セルとセンスアンプとの関係を示す図である。

【図 19】図 17 (B) に示す横型セルを用いたメモリセルアレイとセンスアンプとの関係を示す図である。

【図 20】図 3 (A) のように 2 つの R A M が隣接している例でのメモリセルアレイとその周辺回路とを示すブロック図である。

【図 21】図 21 (A) は本実施形態に係るセンスアンプと縦型メモリセルの関係を示す図であり、図 21 (B) は本実施形態に係る選択型センスアンプ S S A を示す図である。

【図 22】本実施形態に係る分割データ線ドライバと選択型センスアンプを示す図である。

30

【図 23】本実施形態に係るメモリセルの配列例である。

【図 24】図 24 (A) 及び図 24 (B) は本実施形態に係る集積回路装置の動作を示すタイミングチャートである。

【図 25】本実施形態に係る R A M ブロックに格納されるデータの他の配列例である。

【図 26】図 26 (A) 及び図 26 (B) は本実施形態に係る集積回路装置の他の動作を示すタイミングチャートである。

【図 27】本実施形態に係る R A M ブロックに格納されるデータの他の配列例である。

【図 28】本実施形態に係る変形例を示す図である。

【図 29】本実施形態に係る変形例の動作を説明するためのタイミングチャートである。

【図 30】本実施形態に係る変形例の R A M ブロックに格納されるデータの配列例である。

40

【図 31】図 31 (A) 及び図 31 (B) はデータの検出を説明するための図である。

【図 32】本実施形態に係るメモリセルのビット線保護用配線を示す図である。

【図 33】本実施形態に係る R A M ブロック内のビット線保護用配線を示す図である。

【図 34】本実施形態に係るメモリセルのビット線保護用配線を示す他の図である。

【符号の説明】

【 0 1 8 8 】

1 0 表示パネル、2 0 表示ドライバ (集積回路装置) 、

1 0 0 データ線ドライバブロック、

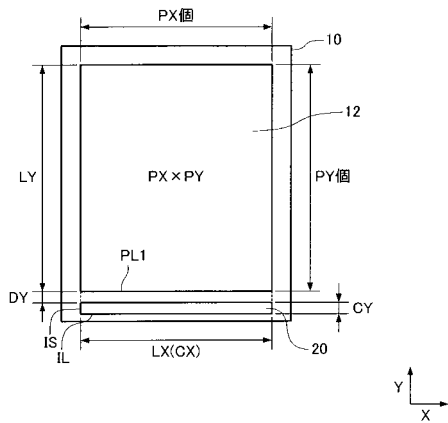
2 0 0 R A M ブロック、2 1 0 センスアンプ回路、2 9 2 , 2 9 4 , G L 第 3 の電

50

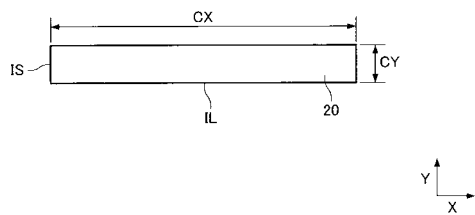
源供給配線、BL, /BL ビット線、MC メモリセル、SHD1~SHD3 シールド配線、NSH シールド配線非形成領域、VDDL 第2の電源供給配線、VSSL1, VSSL2 第1の電源供給配線、WL ワード線

【図1】

(A)

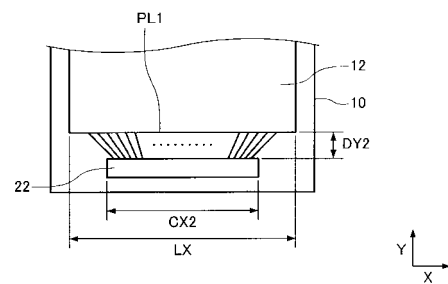


(B)

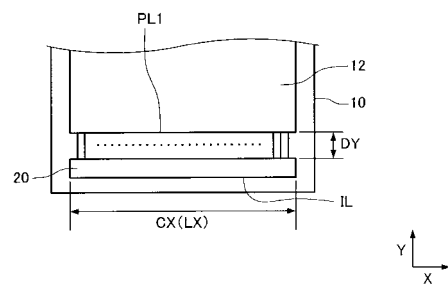


【図2】

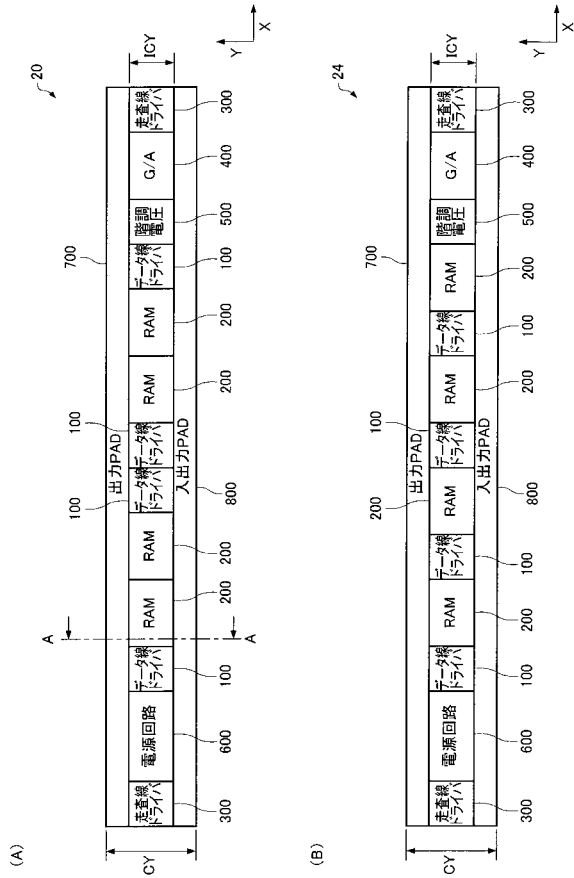
(A)



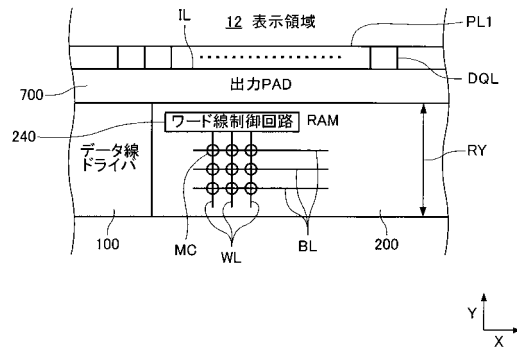
(B)



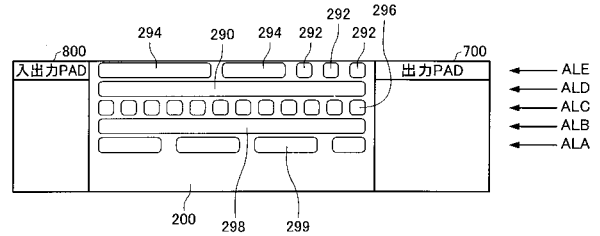
【図3】



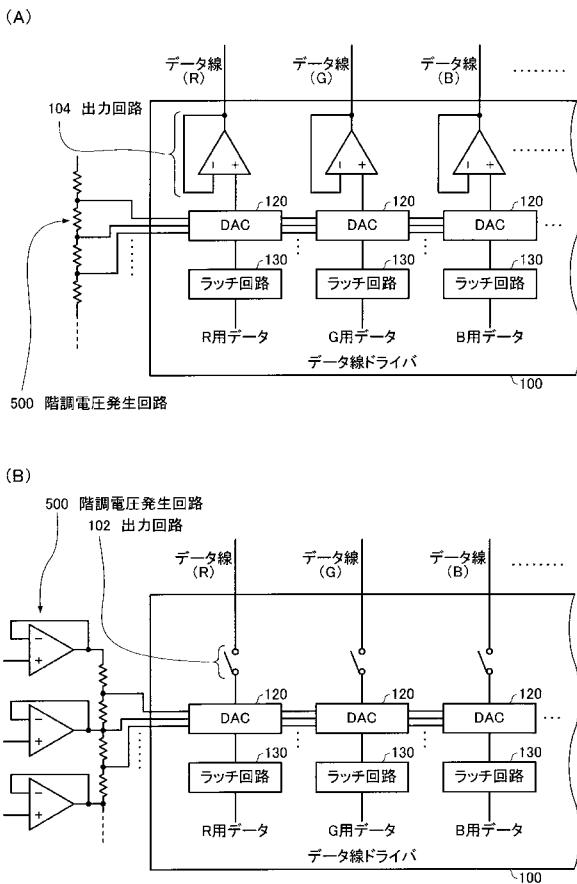
【図4】



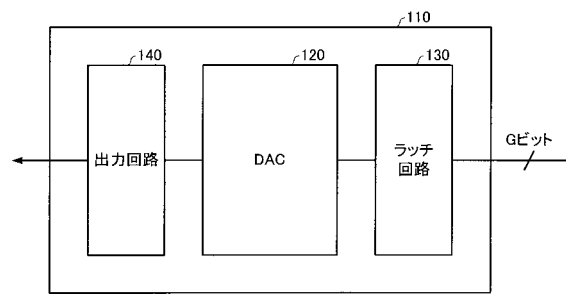
【図5】



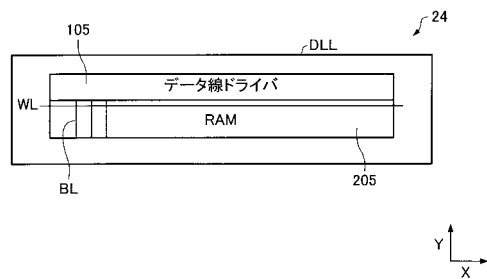
【図6】



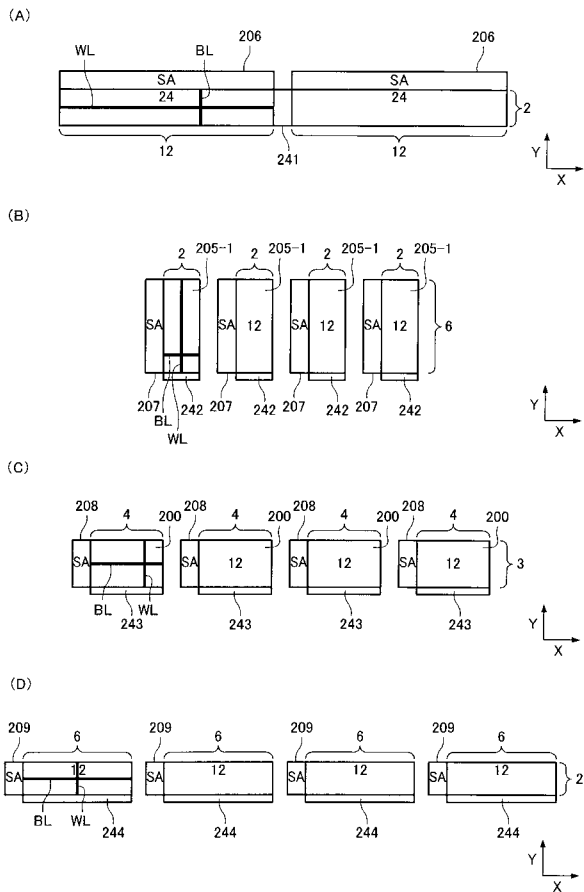
【図7】



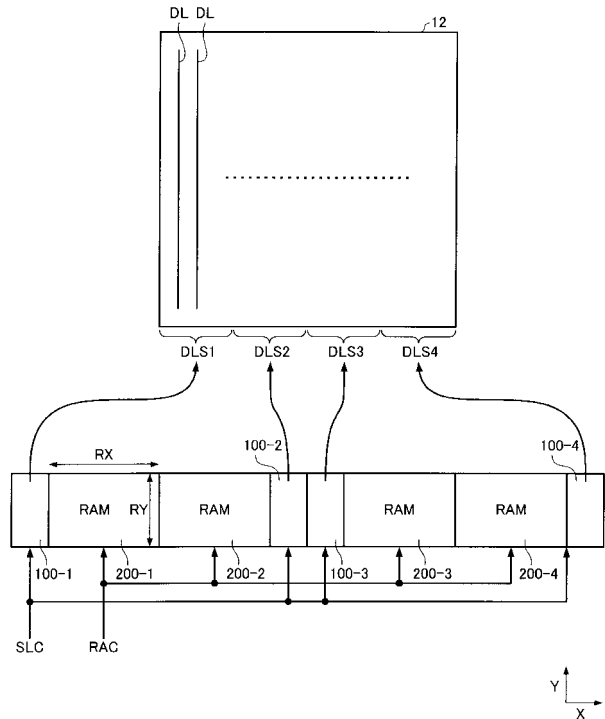
【図8】



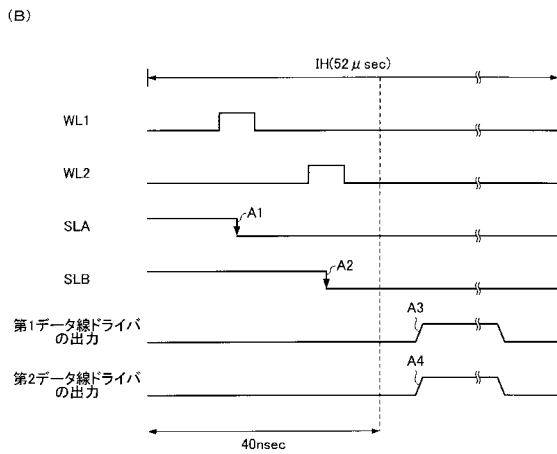
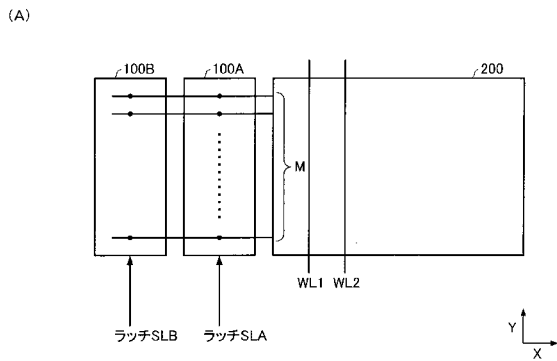
【 図 9 】



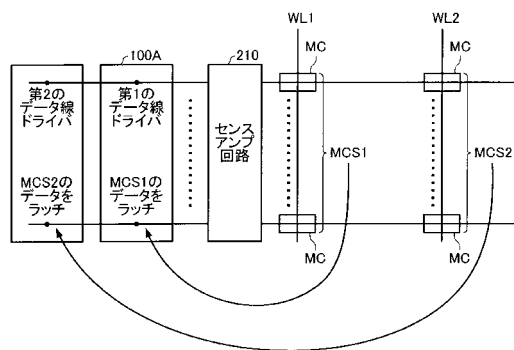
【 図 10 】



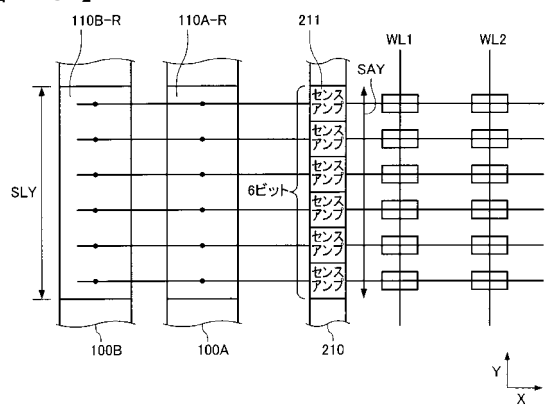
【 図 11 】



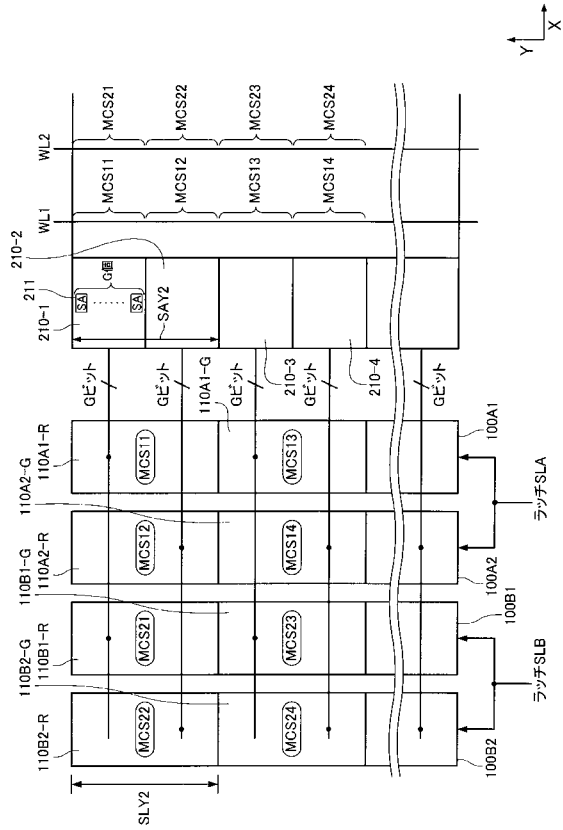
【 図 12 】



【 図 13 】

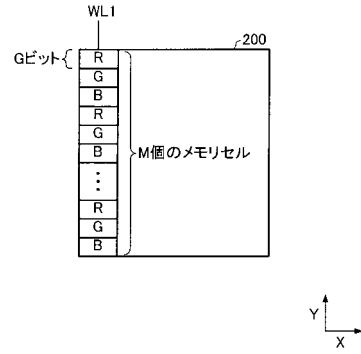


【 図 1 4 】

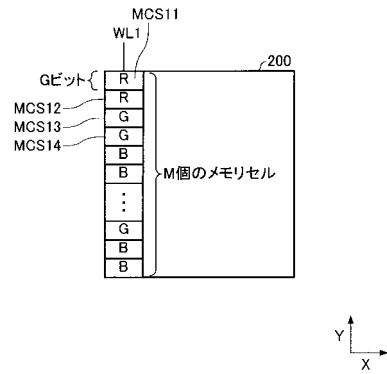


【 図 1 5 】

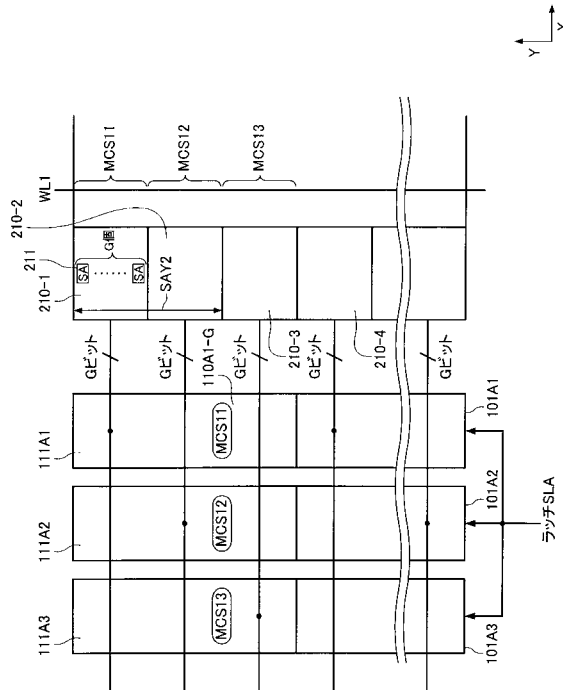
(A)



(B)

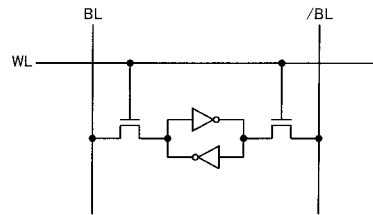


【 図 1 6 】

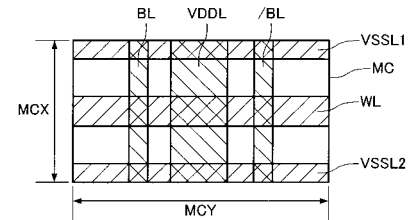


【 図 1 7 】

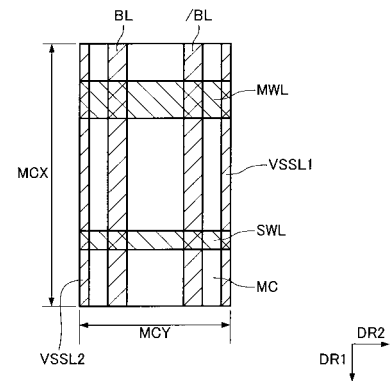
(A)



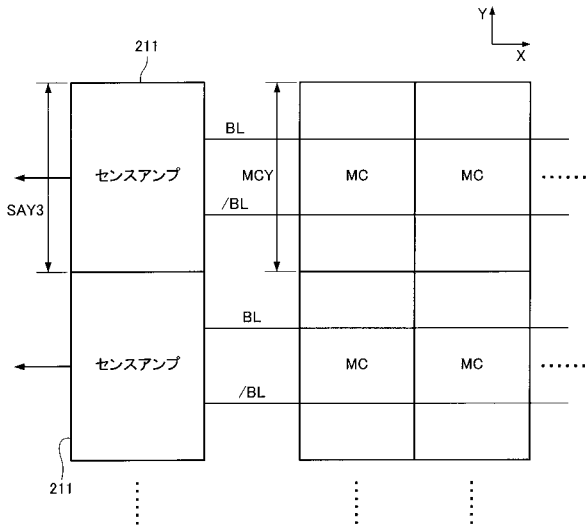
(B)



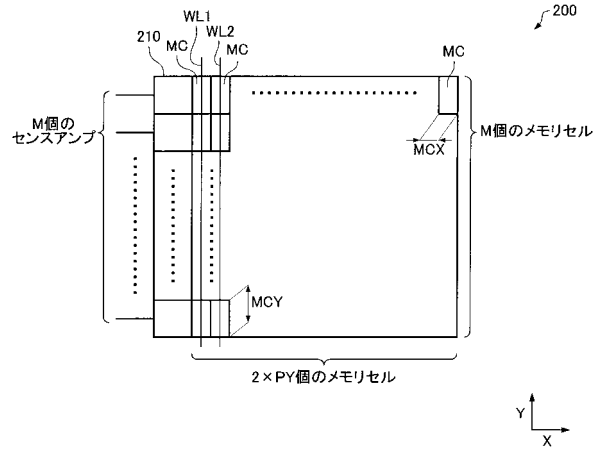
(C)



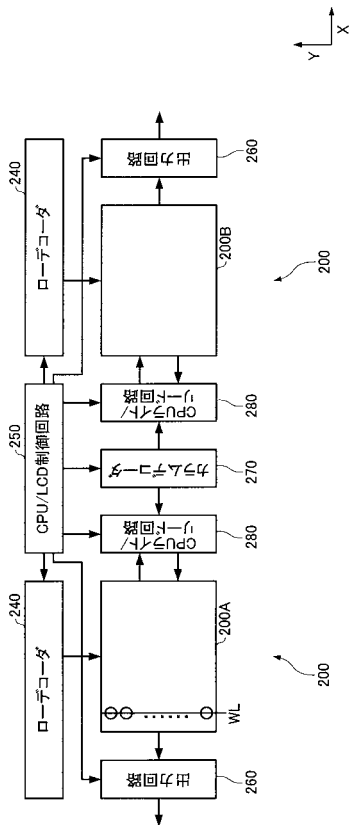
【図18】



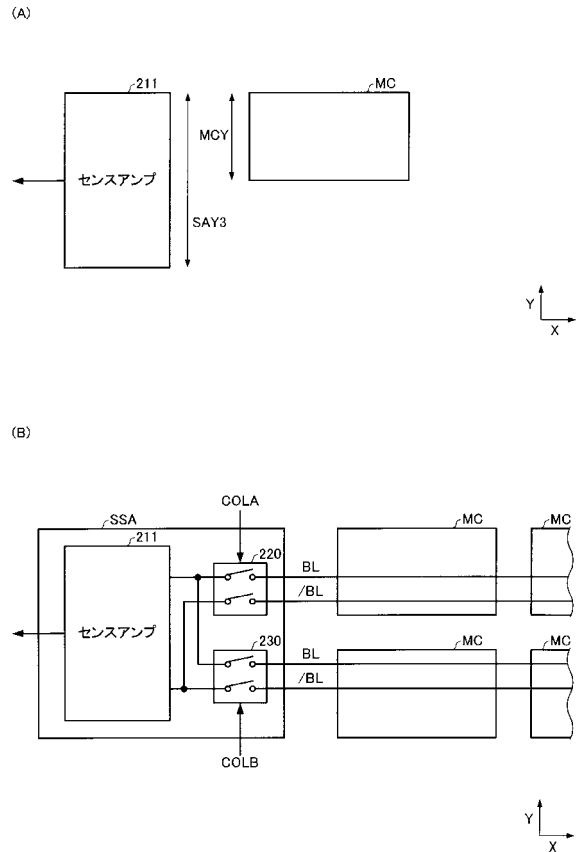
【図19】



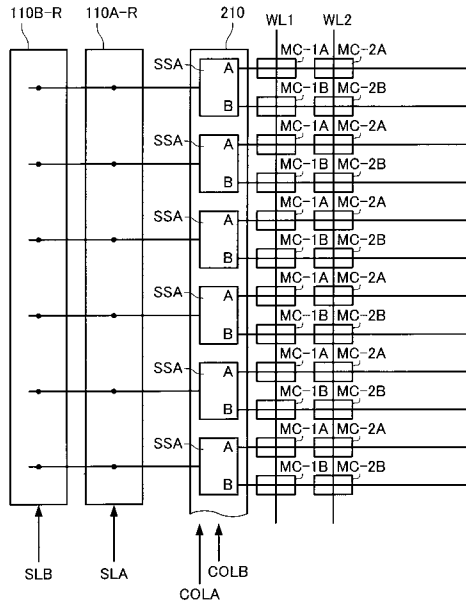
【図20】



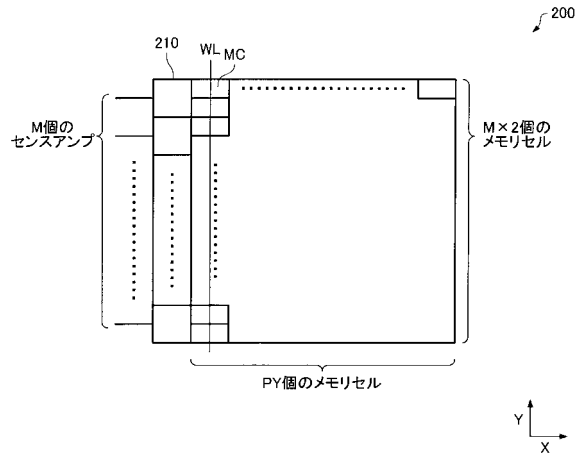
【図21】



【図 2 2】

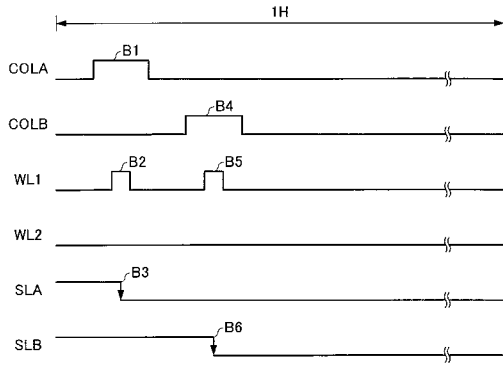


【図 2 3】

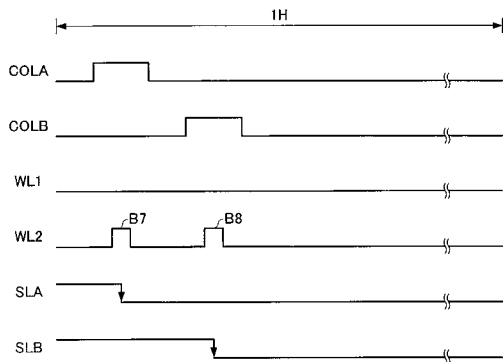


【図 2 4】

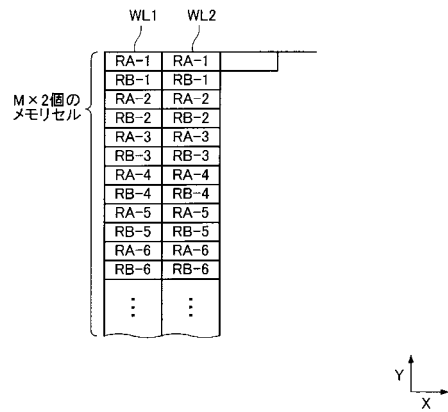
(A)



(B)

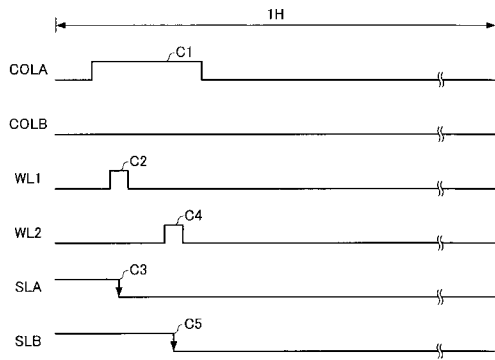


【図 2 5】

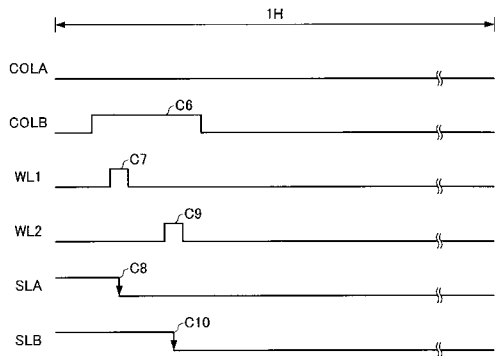


【図 26】

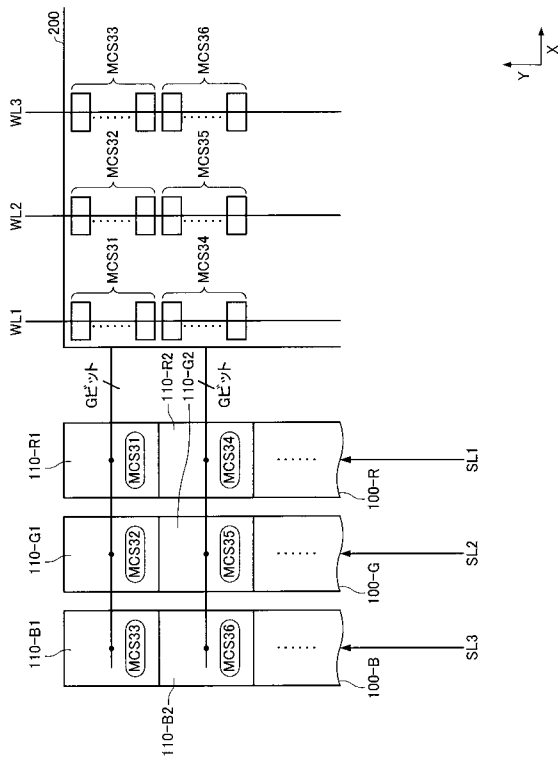
(A)



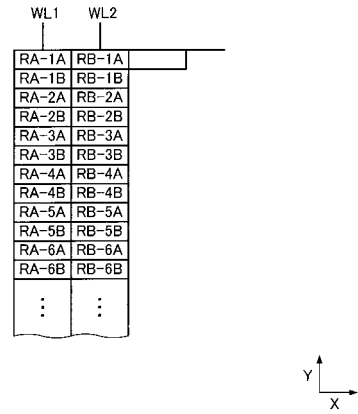
(B)



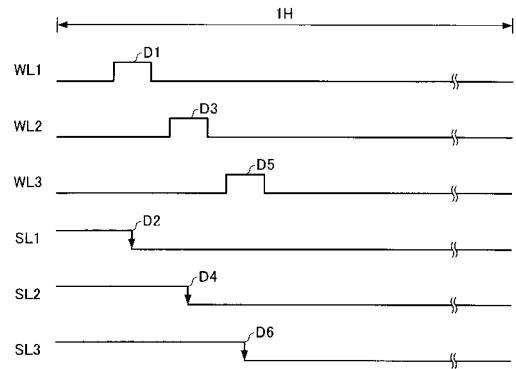
【図 28】



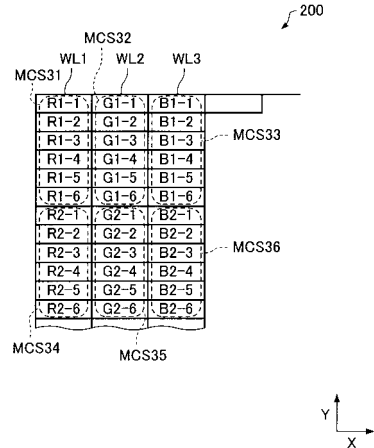
【図 27】



【図 29】

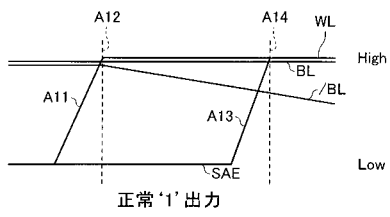


【図 30】

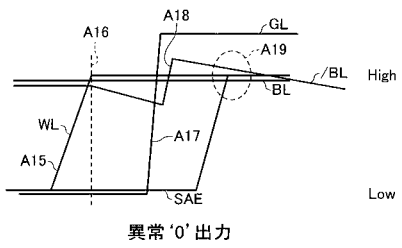


【 図 3 1 】

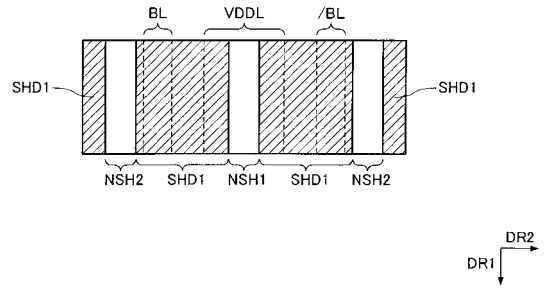
(A)



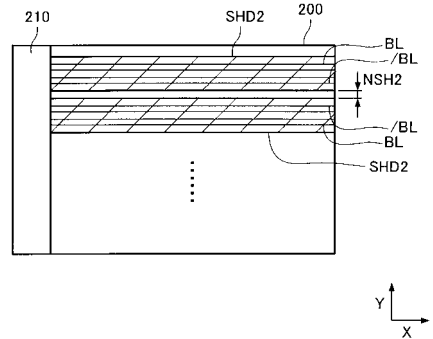
(B)



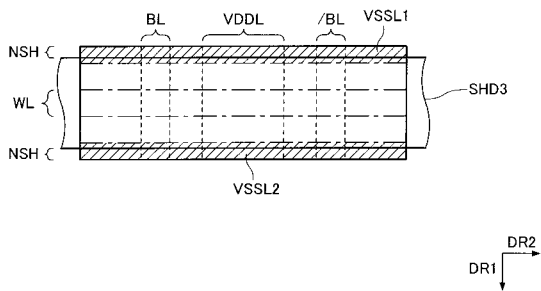
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
G 0 9 G	3/36	(2006.01)	G 0 9 G 3/20	6 8 0 G
			G 0 9 G 3/20	6 7 0 E
			G 0 9 G 3/36	

(72)発明者 小平 覚
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 井富 登
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 河口 秀次
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 熊谷 敬
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 石山 久展
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 前川 和広
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 5B015 JJ14 KA38 PP02
5C006 AA22 AF71 AF83 BB16 BC02 BC06 BC12 BC24 BF02 BF04
BF25 BF43 EB04 EB05 FA20 FA23 FA31 FA37 FA43 FA44
FA51
5C080 AA10 BB05 CC03 DD06 DD09 DD12 DD25 DD28 EE29 FF11
GG12 JJ02 JJ03 JJ04 JJ06
5F083 BS27 GA09 KA15 LA12 LA16 LA17 ZA12