(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) **N° de publication :** **2 651 591**
(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **90 10849**

(51) **Int Cl⁵ : G 06 F 15/62, 15/40**

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt** : 31.08.90.

(30) **Priorité** : 01.09.89 JP 22788189.

(43) **Date de la mise à disposition du public de la demande :** 08.03.91 Bulletin 91/10.

(56) **Liste des documents cités dans le rapport de recherche :** *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *Société dite: SANYO Electric Co., Ltd.* — JP.

(72) **Inventeur(s) :** Matsuura Hidefumi et Kouyama Tadahisa.

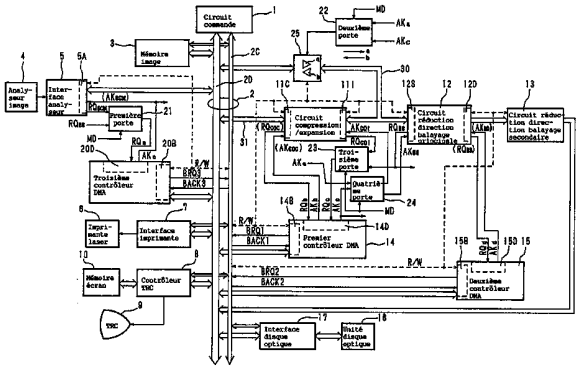
(73) **Titulaire(s) :**

(74) **Mandataire :** S.A. Fedit-Loriot et autres Conseils en Propriété Industrielle.

(54) Appareil de traitement d'image et circuit de réduction d'image pour cet appareil.

(57) Appareil de traitement d'image dans lequel une information d'image lue par des moyens (4) de lecture d'information d'image est réduite par des moyens de codage de réduction (12) et simultanément comprimée par des moyens de compression (11) pour être affichée sous forme d'image, ou bien une information d'image codée (18) est décodée par des moyens de décodage pour être stockée dans une mémoire et elle est simultanément réduite par des moyens de réduction (12) pour être affichée sous forme d'image, de sorte que l'appareil peut effectuer des traitements rapides.

Circuit de réduction (12) d'information d'image, qui réduit l'information d'image dans la direction de balayage principale et effectue le stockage de l'information d'image réduite séquentiellement dans des moyens de mémoire, et qui réduit en outre simultanément cette information d'image réduite dans la direction de balayage secondaire (13).



FR 2 651 591 - A1

APPAREIL DE TRAITEMENT D'IMAGE ET CIRCUIT DE REDUCTION D'IMAGE POUR CET APPAREIL

La présente invention concerne un appareil de traitement d'image et un circuit de réduction d'image incorporé dans cet appareil, pour un système d'archivage d'informations d'image et analogues dans lequel l'information lue par un dispositif de lecture d'image, par exemple un analyseur d'image, est comprimée et codée pour être mémorisée dans un support d'enregistrement tel qu'un disque optique, ou bien l'information d'image comprimée et codée est expansée de manière à redonner l'information d'image originale pour affichage ou copie matérielle lorsque c'est nécessaire.

Dans le but de rationnaliser l'informatique de gestion, de plus en plus utilisée, on a proposé et mis en pratique depuis peu des systèmes dits d'archivage d'informations d'image. Le système d'archivage d'informations d'image est généralement une unité, par exemple un modèle SOF-M88 de Sanyo Electric Co., Ltd, qui permet de mémoriser des documents, des dessins et analogues, dans un support d'enregistrement de grande capacité, en pages d'information d'image (fichiers), et de lire l'information d'image mémorisée pour l'afficher sur un dispositif de visualisation ou produire des copies matérielles de l'information, si nécessaire.

Dans un tel système d'archivage d'informations d'image, l'information d'image à archiver est fournie par lecture optique de documents, dessins et analogues d'images originales, au moyen d'un dispositif de lecture d'information d'image tel qu'un analyseur d'image qui convertit les images en données de points. L' information d'image est ensuite traitée pour édition, et comprimée et codée pour être stockée sur un disque optique.

Actuellement, un format d'image utilisé dans

le domaine des dits systèmes d'archivage électronique est le format A3 et le standard de résolution de l'analyseur d'image est de 400dpi (points par pouce ou 25,4 mm) environ. Toutefois, la résolution d'un tube à rayons cathodiques du dispositif d'affichage est inférieure à 400 dpi. Par conséquent, lorsqu'on affiche l'image originale sur le tube cathodique ou qu'on produit une copie matérielle, il est nécessaire de réduire le nombre de points, c'est-à-dire d'effectuer un traitement de réduction. Un tel traitement de réduction d'une image est réalisé jusqu'à présent par un circuit intégré à grande échelle spécialisé, par exemple un modèle MN8617 de MATSUSHITA ELECTRONICS Co., Ltd et analogue.

Dans le cas de l'affichage, sur un dispositif de visualisation tel qu'un tube cathodique, de l'information d'image lue par l'analyseur d'image, on mémorise généralement d'abord l'information d'image dans une mémoire d'image et l'information d'image est ensuite réduite par le circuit intégré LSI spécialisé et affichée.

Par exemple, lorsqu'on réduit une information d'image de format A3 ayant une résolution de 400dpi (4864 x 6560 points) en une information d'image de format A4 ayant une résolution de 200dpi (1728 x 2304 points) si on suppose que le temps nécessaire à la lecture d'une ligne de balayage principal par l'analyseur d'image est de 1 ms et que la vitesse du traitement de réduction par l'unité MN8617 est de 0,3 µs/bit, alors le temps nécessaire pour la lecture est de 1 ms x 6560 lignes = 6,56 s et le temps nécessaire pour le traitement de réduction est de

$(4864 \times 6560 + 1728 \times 2304) \times 0{,}3 \times 10^{-6} = 10{,}8\text{s}.$

Par suite, le temps total depuis le début de la lecture de l'image originale jusqu'au début de l'affichage de l'information d'image est de 18s environ.

Afin d'afficher une image réduite, codée et

mémorisée dans un support d'enregistrement tel qu'un disque optique, il faut expanser et décoder cette information d'image comprimée, codée et stockée dans le disque optique, pour retrouver l'information d'image originale, et la réduire ensuite pour afficher l'image. Dans ce cas, le traitement de décodage demande plusieurs secondes, en plus du traitement de réduction qui demande 10,8 s environ comme indiqué plus haut. Cette durée représente un temps d'attente gênant pour l'utilisateur du système d'archivage d'informations d'image et réduit le rendement de l'informatique de gestion.

Sur la base de cette situation, les Publications de Brevet Japonais N°64-32383 (1989), N°64-32384 (1989) et N° 1-276275 (1989) ont été proposées.

L'invention de la première Publication de Brevet Japonais N°64-32383 (1989) est sensiblement la même que le N°64-32384 (1989) et comprend :

"des premiers moyens de mémoire pour stocker des informations mémorisées ;

des premiers moyens de traitement pour extraire une information mémorisée désirée des informations mémorisées stockées dans les premiers moyens de mémoire ;

des deuxièmes moyens de mémoire pour stocker temporairement l'information mémorisée extraite par les dits premiers moyens de traitement ;

des moyens d'affichage pour afficher l'information mémorisée extraite par les premiers moyens de traitement ;

des moyens d'enregistrement pour enregistrer et sortir l'information mémorisée extraite par les premiers moyens de traitement ; et

des deuxièmes moyens de traitement pour commander simultanément une opération de stockage de l'information mémorisée, extraite par les premiers moyens de traitement, dans les deuxièmes moyens de mémoire, et une opé-

ration d'affichage de l'information mémorisée, par les moyens d'affichage,et une opération d'enregistrement et de sortie de l'information mémorisée, par les moyens d'enregistrement".

En outre, les premiers moyens de traitement comprennent des moyens de décodage pour décoder l'information mémorisée extraite des moyens de mémoire, et les deuxièmes moyens de traitement comprennent des moyens d'agrandissement/réduction pour agrandir/réduire l'information mémorisée extraite par les premiers moyens de traitement.

Plus concrètement, l'invention ci-dessus exécute en parallèle un traitement de restauration de l'information codée déjà comprimée, codée et mémorisée dans une unité de disque optique qui constitue les premiers moyens de mémoire,en une information d'image par des moyens de décodage, et de mémorisation de l'information d'image restaurée dans les deuxièmes moyens de mémoire, qui sont une mémoire de pages, et un traitement d'affichage de l'information d'image restaurée sur des moyens d'affichage en une forme réduite affichable, et un traitement d'impression de sortie de l'information d'image restaurée, par des moyens d'enregistrement qui sont une imprimante.

Toutefois, dans l'invention ci-dessus, les moyens d'agrandissement/réduction ne sont pas directement connectés à un bus et ils sont prévus dans les deuxièmes moyens de traitement, de sorte que leur usage est limité. Par exemple, dans le cas de l'enregistrement de l'image originale, les opérations des moyens d'agrandissement/réduction utilisés pour l'affichage de l'image originale sur le dispositif d'affichage ne sont pas exécutées en parallèle, de sorte qu'il y a un temps d'attente, de façon usuelle.

En outre, dans l'invention ci-dessus, lorsque

certains composants fonctionnent en parallèle, il faut initialiser chaque composant en ce qui concerne le logiciel, et un temps de traitement de signal est donc nécessaire.

L'invention de la troisième Publication de Brevet Japonais N°1-276275 (1989) décrit des traitements d'information d'image dans lesquels, lorsqu'on décode une information d'image comprimée, codée et mémorisée et lorsqu'on lit l'image originale pour la comprimer et la coder, un traitement simultané d'agrandissement/réduction réduit le nombre de temps d'accès à la mémoire d'image afin d'augmenter la vitesse de traitement. Toutefois, dans le système de cette invention, l'information d'image est traitée seulement suivant un chemin qui passe par les moyens de décodage de code, les moyens d'agrandissement/réduction et l'affichage d'image (impression de sortie) ou suivant un chemin qui passe par un dispositif de lecture de l'image originale, les moyens d'expansion/compression et les moyens de décodage de code. Par conséquent, on ne peut pas effectuer des traitements en parallèle d'une manière telle qu'une image originale lue est traitée par les moyens d'agrandissement/réduction pour être affichée et simultanément comprimée et codée pour être stockée dans un disque optique.

La présente invention vise à éviter les inconvénients ci-dessus. Par conséquent, un objet principal de l'invention est de procurer un appareil de traitement d'image dans lequel une image originale peut être rapidement affichée lorsque des données comprimées codées produites par la lecture de l'image originale sont mémorisées dans un disque optique, et également une image peut être rapidement affichée par un traitement simultané d'agrandissement/réduction lorsqu'une information d'image comprimée, codée et mémorisée est décodée.

Un autre objet de l'invention est de procurer une

configuration de circuit pour agrandir/réduire une information d'image comme indiqué plus haut.

L'appareil de traitement d'image suivant l'invention comprend un circuit de compression/expansion ou un analyseur à balayage, qui constituent des premiers moyens de traitement d'information d'image connectés à un bus, des moyens d'agrandissement/réduction qui constituent des deuxièmes moyens de traitement d'information d'image connectés au bus, une mémoire connectée au bus, des moyens de génération de demande de transfert pour une demande d'entrée/sortie d'information d'image à partir des premiers moyens de traitement d'information d'image et des deuxièmes moyens d'information d'image et pour produire une demande de transfert d'information d'image à partir des premiers moyens de traitement d'information d'image vers la mémoire ou à partir de celle-ci vers les premiers moyens de traitement d'information d'image, et des moyens de commande de transfert pour transférer une information d'image en réponse à une demande de transfert produite par des moyens de décision. Les moyens d'agrandissement/réduction, qui constituent les deuxièmes moyens de traitement d'information d'image, reçoivent une information d'image pour la traiter lorsque l'information d'image est transférée des premiers moyens de traitement d'information d'image vers la mémoire ou de celle-ci vers les premiers moyens de traitement d'information d'image par les moyens de commande de transfert. Ainsi, lors de la lecture de l'image originale par l'analyseur, lors de l'expansion et du décodage de l'information d'image comprimée, codée et mémorisée, et lors de la compression et du codage d'une image lue pour la mémoriser, on peut rapidement obtenir l'information d'image réduite pour affichage.

En outre, un circuit de réduction d'image suivant l'invention comprend des moyens de compression dans

la direction de balayage principale, pour réduire l'information d'image dans sa direction de balayage principale conformément à un taux de réduction spécifié, des moyens de mémoire pour stocker les informations dans la direction de balayage principale respectives réduites par les moyens de réduction dans la direction de balayage principale, et des moyens de réduction dans la direction de balayage secondaire pour exécuter des opérations logiques, par périodes correspondant au taux de réduction, de l'information d'image dans la direction de balayage principale mémorisée dans les moyens de mémoire et des informations d'image dans la direction de balayage principale respectives réduites par les moyens de réduction dans la direction de balayage principale, afin de stocker les résultats des opérations dans les moyens de mémoire.

Les objets et caractéristiques ci-dessus de l'invention, ainsi que d'autres, apparaîtront mieux à la lumière de la description détaillée ci-après, avec référence aux dessins annexés dans lesquels :

la figure 1 est un schéma de principe d'un mode de réalisation d'un système d'archivage d'informations d'image comportant un appareil suivant l'invention;

la figure 2 est un chronogramme dans le cas d'un traitement d'entrée combinée ;

la figure 3 est un schéma de principe illustrant un circuit de réduction d'image suivant l'invention;

la figure 4 est un chronogramme dans le cas d'un simple traitement de compression d'un appareil de traitement d'image suivant l'invention ;

la figure 5 est un chronogramme dans le cas d'un traitement de verrouillage de compression d'un appareil de traitement d'image suivant l'invention ;

la figure 6 est un chronogramme dans le cas d'un traitement de verrouillage d'expansion d'un appareil de traitement d'image suivant l'invention ;

la figure 7 est un schéma de principe illustrant un autre mode de réalisation de l'invention ; et

la figure 8 est un chronogramme illustrant les opérations de l'appareil représenté sur la figure 7.

On décrit maintenant en détail la réalisation préférée de l'invention, avec référence aux dessins annexés.

La figure 1 est un schéma de principe illustrant un mode de réalisation d'un système d'archivage d'informations d'image comportant un appareil conforme à l'invention.

Sur la figure 1, le repère 1 désigne un circuit de commande, composé par exemple d'un microprocesseur, qui commande l'ensemble de l'appareil suivant l'invention. Le circuit de commande 1 émet un signal de commande MD pour verrouiller-commander un circuit 12 de réduction dans la direction de balayage principale, décrit plus loin.

Le signal de commande MD spécifie les opérations du circuit 12 de réduction dans la direction de balayage principale, en fonction de sa valeur établie, comme suit :

MD = 0 : pas de verrouillage avec un autre traitement ;

MD = 1 : verrouillage avec un traitement d'entrée d'image ;

MD = 2 : verrouillage avec un traitement de décodage ;

MD = 3 : verrouillage avec un traitement de décodage et fonctionnement continu ;

MD = 4 : verrouillage avec un traitement de compression et de codage.

Le circuit de commande 1 est connecté à un bus de système 2, composé d'un bus de données 2D et d'un bus de commande 2C, et il transmet et reçoit des données

(information d'image) et des signaux de commande à destination et en provenance des divers composants de l'appareil de l'invention, comme décrit plus loin.

Le repère 3 désigne une mémoire d'image, qui est composée d'une mémoire vive RAM dynamique ayant une capacité de stockage de plusieurs méga-octets. Cette mémoire d'image 3 comporte une zone de mémoire de page, pour stocker une information d'image initiale d'affichage par points, et une zone de tampon de code pour stocker une information d'image comprimée et codée.

Le repère 4 désigne un analyseur d'image qui est connecté au bus de système 2 par une interface d'analyseur 5. L'analyseur d'image 4 lit optiquement une image originale de façon à la convertir en une image de points et il fournit cette image sous la forme d'une information d'image comprenant des données sérielles. Cette information d'image à données sérielles fournie par l'analyseur d'image 4 est convertie en données parallèles par l'interface d'analyseur 5 et les données parallèles sont stockées dans la mémoire d'image 3, par l'intermédiaire du bus de système 2, au moyen d'un troisième contrôleur d'accès direct à la mémoire DMA 20. L'interface d'analyseur 5 comporte une partie de commande DMA 5A, pour un transfert DMA.

Le repère 6 désigne une imprimante à faisceau laser, qui est connectée au bus de système 2 par une interface d'imprimante 7. L'imprimante à faisceau laser 6 convertit les données d'image parallèles, contenues dans la zone de mémoire de page de la mémoire d'image 3, en données sérielles, au moyen de l'interface d'imprimante 7, afin d'enregistrer les données sous une forme prédéterminée pour produire des copies matérialisées.

Le repère 10 désigne une mémoire d'écran et le repère 9 désigne un affichage à tube à rayons cathodiques (TRC), qui sont tous deux connectés au bus de sys-

tème 2 par un contrôleur de TRC 8. Le contrôleur de TRC 8 engendre un signal de synchronisation pour l'affichage TRC 9, afin de lire l'information d'affichage stockée dans la mémoire de trame ou d'écran 10 en synchronisme avec le signal et d'afficher une image sur le TRC 9. Le contrôleur de TRC 8 transfère en outre une information d'image (information d'affichage) à destination et en provenance de la mémoire d'image 3, d'un circuit 13 de réduction dans la direction de balayage secondaire décrit plus loin et de la mémoire d'écran 10.

Le repère 11 désigne un circuit de compression/expansion, qui comprime et code l'information d'image originale et qui expanse et décode l'information d'image comprimée et codée afin de restaurer l'information d'image originale. Le circuit de compression/expansion 11 comporte une partie de commande DMA du côté code 11C, connectée au bus de système 2 par un sous-bus de données 31, et une partie de commande DMA du côté image 11I connectée au bus de système 2 et au circuit de réduction dans la direction de balayage principale 12 par un sous-bus de données 30. Le sous-bus de données 30 comporte un transmetteur de bus interposé 25 qui commande le transfert des données du bus de système 2 vers le circuit de compression/expansion 11 et le circuit de réduction dans la direction de balayage principale 12, ou dans le sens inverse.

Le repère 12 désigne le circuit de réduction dans la direction de balayage principale déjà cité, qui comprend une partie de commande DMA du côté source 12S connectée au sous-bus de données 30 sur un côté d'entrée d'information d'image, et une partie de commande DMA du côté destination 12D connectée au circuit de réduction dans la direction de balayage secondaire 13 sur un côté de sortie d'information d'image. Le circuit de réduction dans la direction de balayage principale 12 reçoit une

information d'image lue par l'analyseur d'image 4 ou stockée dans la mémoire d'image 3, par l'intermédiaire du transmetteur de bus 25, ou bien reçoit directement une information d'image expansée et décodée par le circuit de compression/expansion 11, chacune par l'intermédiaire de la partie de commande DMA du côté source 12S, pour réduire l'information d'image dans la direction de balayage principale. L'information d'image réduite dans la direction de balayage principale est envoyée par la partie de commande DMA du côté destination 12D au circuit de réduction dans la direction de balayage secondaire 13.

Le repère 13 désigne le circuit de réduction dans la direction de balayage secondaire, déjà cité, qui réduit dans la direction de balayage secondaire l'information d'image réduite par le circuit de réduction dans la direction de balayage principale 12 dans la direction de balayage principale. Une borne de sortie du circuit de réduction dans la direction de balayage secondaire 13 est connectée au bus de système 2.

Le repère 14 désigne un premier contrôleur d'accès direct à la mémoire DMA, qui commande le transfert d'information d'image à destination et en provenance du circuit de compression/expansion 11, de la mémoire d'image 3 et d'une interface de disque optique 17 décrite plus loin, et qui commande également le transfert d'information d'image expansée et décodée par le circuit de compression/expansion 11 au circuit de réduction dans la direction de balayage principale 12. Le premier contrôleur DMA 14 comporte une partie d'interface de bus 14B, connectée au bus de système 2, et une partie d'arbitrage de demande DMA 14D qui transmet et reçoit différents signaux décrits plus loin,afin d'arbitrer les demandes de transfert.

Le repère 15 désigne un deuxième contrôleur DMA, qui commande le transfert d'information d'image

du circuit de réduction dans la direction de balayage principale 12 au circuit de réduction dans la direction de balayage secondaire 13. Ce deuxième contrôleur DMA 15 comporte une partie d'interface de bus 15B, qui est connectée au bus de système 2, et une partie d'arbitrage de demande DMA 15D qui émet et reçoit un signal décrit plus loin.

Le repère 20 désigne un troisième contrôleur DMA qui commande le transfert d'information d'image entre l'interface d'analyseur 5 et la mémoire d'image 3, ou le circuit de réduction dans la direction de balayage principale 12. Ce troisième contrôleur DMA 20 comporte une partie d'interface de bus 20B, connectée au bus de système 2, et une partie d'arbitrage de demande DMA 20D qui émet et reçoit un signal décrit plus loin.

Le repère 18 désigne une unité de disque optique qui est connectée au bus de système 2 par l'interface de disque optique 17. L'unité de disque optique 18 fonctionne comme des moyens d'enregistrement d'information d'image qui stockent une grande quantité d'information d'image comprimée et codée, en utilisant le disque optique comme support d'enregistrement.

Les repères 21,22,23 et 24 désignent une première, une deuxième, une troisième et une quatrième portes, respectivement.

La première porte 21 effectue le traitement logique d'un signal RQ_{SCN} de demande de transfert DMA, émis par la partie de commande DMA 5A de l'interface d'analyseur 5, ou un signal RQ_{BS} de validation d'entrée d'information d'image émis par la partie de commande DMA du côté source 12S du circuit de réduction dans la direction de balayage principale 12, en réponse à une valeur établie du signal de commande MD, pour fournir le signal traité à la partie 20D d'arbitrage de demande DMA du troisième contrôleur DMA 20, sous la forme d'un

signal RQa de demande de transfert DMA.

La deuxième porte 22 choisit un signal AKa de validation de transfert DMA venant de la partie d'arbitrage de demande DMA 20D du troisième contrôleur DMA 20, ou un signal AKc de validation de transfert DMA venant de la partie 14D d'arbitrage de demande DMA du premier contrôleur DMA 14, en réponse à une valeur établie du signal de commande MD, pour fournir le signal de commande de direction D au transmetteur de bus 25 par addition du signal choisi au signal de lecture/écriture R/W sur le bus de commande.

La troisième porte 23 traite logiquement un signal RQ_{COI} de demande d'entrée d'information d'image venant de la partie 11I de commande DMA du côté image du circuit de compression/expansion 11 ou un signal RQ_{BS} de validation d'entrée d'information d'image venant de la partie 12S de commande DMA du côté source du circuit de réduction dans la direction de balayage principale 12, en réponse à une valeur établie du signal de commande MD, pour fournir le signal traité à la partie 14D d'arbitrage de demande DMA du premier contrôleur DMA 14, sous la forme d'un signal RQc de demande de transfert DMA.

La quatrième porte 24 sélectionne le signal AKa de validation de transfert DMA venant de la partie 20D d'arbitrage de demande DMA du troisième contrôleur DMA 20 ou le signal AKc de validation de transfert DMA venant de la partie 14D d'arbitrage de demande DMA du premier contrôleur DMA 14, en réponse à une valeur établie du signal de commande MD, pour fournir un signal AK_{COI} de validation de transfert DMA sous la forme d'une sortie Y_1 à la partie 11I de commande DMA du côté image du circuit de compression/expansion 11, ou pour fournir un signal AK_{BS} de validation de transfert DMA sous la forme d'une sortie Y_2 à la partie 12S de commande DMA du côté source du circuit de réduction dans la direction

de balayage principale 12.

En outre, chaque signal Y de sortie de porte, correspondant à chaque valeur établie du signal de commande MD, est le suivant.

D'autre part, "X" indique que la sortie n'est pas valable et "." signifie un produit logique.

* MD = 0 (traitement de compression simple)
  - 1ère porte 21 : $Y = RQ_{SCN}$
  - 2ème porte 22 : $Y = D$ (direction a)
  - 3ème porte 23 : $Y = RQ_{COI}$
  - 4ème porte 24 : $Y_1 = AKc$, $Y_2 = X$
* MD = 1 (traitement de verrouillage d'entrée)
  - 1ère porte 21 : $Y = RQ_{SCN} \cdot RQ_{BS}$
  - 2ème porte 22 : $Y = D$ (direction a)
  - 3ème porte 23 : $Y = RQ_{COI}$
  - 4ème porte 24 : $Y_1 = X$, $Y_2 = AKa$
* MD = 2 (traitement de verrouillage d'expansion)
  - 1ère porte 21 : $Y = RQ_{SCN}$
  - 2ème porte 22 : $Y = D$ (direction b)
  - 3ème porte 23 : $Y = RQ_{COI} \cdot RQ_{BS}$
  - 4ème porte 24 : $Y_1 = AKc$, $Y_2 = AKc$
* MD = 4 (traitement de verrouillage de compression)
  - 1ère porte 21 : $Y = RQ_{SCN}$
  - 2ème porte 22 : $Y = D$ (direction a)
  - 3ème porte 23 : $Y = RQ_{COI} \cdot RQ_{BS}$
  - 4ème porte 24 : $Y_1 = AKc$, $Y_2 = AKc$

On récapitule maintenant les signaux émis et reçus entre les composants de l'appareil de l'invention, comme suit.

BRQ1 : un signal de demande d'acquisition de bus de système, que le premier contrôleur DMA 14 émet lors-

qu'il demande l'utilisation du bus de données 2D du bus de système 2.

BACK1 : un signal de réponse de bus de système qui notifie l'autorisation d'utilisation du bus de système 2 allant du circuit de commande 1 au premier contrôleur DMA 14 lorsque le premier contrôleur DMA 14 émet le signal de demande d'acquisition de bus de système BRQ1.

BRQ2 : un signal de demande d'acquisition de bus de système que le deuxième contrôleur DMA 15 émet lorsqu'il demande l'utilisation du bus de système 2.

BACK2 : un signal de réponse de bus de système qui notifie l'autorisation d'utilisation du bus de système 2 du circuit de commande 1 au deuxième contrôleur DMA 15 lorsque le deuxième contrôleur DMA 15 émet le signal de demande d'acquisition de bus de système BRQ2.

BRQ3 : un signal de demande d'acquisition de bus de système que le troisième contrôleur DMA 20 émet lorsqu'il demande l'utilisation du bus de système 2.

BACK3 : un signal de réponse de bus de système qui notifie l'autorisation d'utilisation du bus de système 2 du circuit de commande 1 au troisième contrôleur DMA 20 lorsque le troisième contrôleur DMA 20 émet le signal de demande d'acquisition de bus de système BRQ3.

RQ_{SCN} : un signal de demande de transfert DMA qui est généré par l'interface d'analyseur 5. Le signal est envoyé par l'interface d'analyseur 5 à la première porte 21 pendant qu'il y a un transfert de données dans l'interface d'analyseur 6.

AK_{SCN} (AKa) : un signal de validation de transfert DMA fourni par le troisième contrôleur DMA 20 à l'interface d'analyseur 5 en réponse au signal RQ_{SCN} de demande de transfert DMA.

RQ_{COC} (RBQb) : un signal de demande de transfert DMA qui est généré par la partie 11C de commande DMA

du côté code du circuit de compression/ expansion 11. Le signal est émis lorsque le circuit de compression/ expansion 11 demande une entrée/sortie d'information de code du fait d'un transfert DMA.

AK_{COC} (AKb) : un signal de validation de transfert DMA émis par le premier contrôleur DMA 14 vers la partie 11C de commande DMA du côté code du circuit de compression/expansion 11 en réponse au signal RQ_{COC} de demande de transfert DMA. Le circuit de compression/ expansion 11 est activé pour exécuter le transfert DMA, à la partie 11C de commande DMA du côté code pendant que ce signal est actif, et lit/écrit des données en synchronisme avec un signal de lecture/écriture R/W à ce moment.

RQ_{COI} : un signal de demande de transfert DMA qui est engendré par la partie 11I de commande DMA du côté image du circuit de compression/expansion 11. Le signal est émis lorsque le circuit de compression/expansion 11 demande une entrée/sortie d'information d'image du fait d'un transfert DMA.

AK_{COI} : un signal de validation de transfert DMA émis par le contrôleur DMA en réponse au signal RQ_{COI} de demande de transfert DMA. Le circuit de compression/ expansion 11 est activé pour effectuer le transfert DMA, à la partie 11I de commande DMA du côté image pendant que ce signal est actif, et il lit/écrit les données en synchronisme avec un signal de lecture/écriture R/W à ce moment.

RQ_{BS} : un signal de validation d'entrée d'information d'image qui est engendré par la partie 12S de commande DMA du côté source du circuit de réduction dans la direction de balayage principale 12. Le signal est émis lorsque le circuit de réduction dans la direction de balayage principale 12 demande une entrée d'information d'image du fait du transfert DMA, et il est in-

troduit dans la première porte 21 et la troisièem porte 23.

AK_{BS} : un signal de validation de transfert DMA qui est émis par le premier contrôleur DMA 14 en réponse au signal RQ_{BS} de demande de transfert DMA et qui est appliqué au circuit de réduction dans la direction de balayage principale 12 par l'intermédiaire de la quatrième porte 24. Le circuit de réduction dans la direction de balayage principale 12 est activé pour exécuter le transfert DMA,à la partie 12S de commande DMA du côté source pendant que ce signal est actif, et il reçoit des données en synchronisme avec un signal de lecture/écriture R/W à ce moment.

RQ_{BD} (RQd) : un signal de demande de transfert DMA qui est engendré par la partie 12D de commande DMA du côté destination du circuit de réduction dans la direction de balayage principale 12. Le signal est émis par le circuit de réduction dans la direction de balayage principale12 vers le deuxième contrôleur DMA 15 lorsque le circuit de réduction dans la direction de balayage principale 12 demande la sortie d'une information d'image réduite dans la direction de balayage principale du fait du transfert DMA.

AK_{BD} (AKd) : un signal de validation de transfert DMA qui est fourni par le deuxième contrôleur DMA 15 en réponse au signal RQ_{BD} de demande de transfert DMA. Le circuit de réduction dans la direction de balayage principale 12 est activé pour effectuer le transfert DMA,à la partie 12D de commande DMA du côté destination lorque ce signal est actif, et il fournit l'information d'image réduite dans la direction de balayage principale au circuit de réduction dans la direction de balayage secondaire 13 en synchronisme avec un signal de lecture/écriture R/W à ce moment.

RQa : un signal de demande de transfert DMA envoyé au troisième contrôleur DMA 20. Il est traité et

émis par la porte 21 sur la base du signal RQ_{SCN} de demande de transfert DMA et du signal RQ_{BD} de validation d'entrée d'information.

AKa : un signal de validation de transfert DMA que le troisième contrôleur DMA 20 fournit en réponse au signal RQa de demande de transfert DMA. Le signal est fourni à l'interface d'analyseur 5 comme signal AK_{SCN} de validation de transfert DMA et il est également appliqué à la deuxième porte 22 et à la quatrième porte 24.

RQb : un signal de demande de transfert DMA qui est fourni par la partie 11C de commande DMA du côté code du circuit de compression/expansion 11 au premier contrôleur DMA 14 comme signal RQ_{COC} de demande de transfert DMA.

AKb : un signal de validation de transfert DMA que le premier contrôleur DMA 14 émet en réponse au signal RQb de demande de transfert DMA. Le signal est envoyé au circuit de compression /expansion 11 comme signal AK_{COC} de validation de transfert DMA.

RQc : un signal de demande de transfert DMA au premier contrôleur DMA 14. Il est traité et émis par la troisième porte 23 sur la base des signaux RQ_{COI} de demande de transfert DMA venant de la partie 11I de commande DMA du côté image du circuit de compression/ expansion 11 et du signal RQ_{BS} de validation d'entrée d'information d'image venant du côté source du circuit de réduction dans la direction de balayage principale 12.

AKc : un signal de validation de transfert DMA que le premier contrôleur DMA 14 émet en réponse au signal de demande de transfert DMA RQc. Le signal est appliqué à la deuxième porte 22 et il est également appliqué au côté image de la partie 11I de commande DMA du côté image du circuit de compression / expansion 11

par l'intermédiaire de la quatrième porte 24 comme signal AK_{COI} de validation de transfert DMA, et il est appliqué à la partie 12S de commande DMA du côté source du circuit de réduction dans la direction de balayage principale12 comme signal AK_{BS} de validation de transfert DMA, respectivement.

RQd : un signal de demande de transfert DMA envoyé au deuxième contrôleur DMA 15. Ce signal est le signal RQ_{BD} de demande de transfert DMA venant de la partie 12D de commande DMA du côté destination du circuit de réduction dans la direction de balayage principale 12.

AKd : un signal de validation de transfert DMA que le deuxième contrôleur DMA 15 envoie à la partie 12D de commande DMA du côté destination du circuit de réduction dans la direction de balayage principale 12 comme signal de validation de transfert DMA AK_{BD} en réponse au signal de demande de transfert DMA RQd.

R/W : un signal de lecture / écriture que le circuit de commande 1 ou chaque contrôleur DMA émet pour lire/écrire des données.

MD : un signal de mode que le circuit de commande 1 émet pour spécifier le mode de fonctionnement verrouillé ou combiné.

On décrit maintenant un traitement d'image typique par l'appareil de l'invention.

Les opérations du système, lorsqu'un traitement d'entrée d'image au moyen de l'analyseur d'image 4 et un traitement de réduction sont effectués simultanément, c'est-à-dire les opérations dans le cas d'une entrée interconnectée, sont décrites avec référence à un chronogramme représenté sur la figure 2.

Dans ce cas, le signal de commande MD émis par le circuit de commande 1 est établi à "MD = 1".

Lorsqu'une image originale est lue par l'analyseur d'image 4 et peut être fournie comme information

d'image par l'interface d'analyseur 5, l'interface d'analyseur envoie le signal RQ_{SCN} de demande de transfert DMA à la première porte 21, comme indiqué sur la figure 2(a). D'autre part, lorsqu'il est activé pour recevoir une information d'image, le circuit de réduction dans la direction de balayage principale 12 envoie le signal RQ_{BS} de validation d'entrée d'information d'image à la première porte 21, comme indiqué sur la figure 2(b).

A ce moment, dans la porte 21, le signal de commande MD = 1 est établi, de sorte que la première porte 21 exécute le produit logique du signal RQ_{SCN} de demande de transfert DMA et du signal RQ_{BS} de validation d'entrée d'information d'image pour fournir le produit logique comme signal RQa de demande de transfert DMA au troisième contrôleur DMA 20, comme indiqué sur la figure 2(c).

Lorsqu'il reçoit le signal RQa de demande de transfert DMA, le troisième contrôleur DMA 20 émet le signal BRQ3 de demande d'acquisition de bus de système, comme indiqué sur la figure 2(d). En réponse au signal BRQ3 de demande d'acquisition de bus de système venant du troisième contrôleur DMA 20, lorsque le signal BACK3 de réponse du bus de système est fourni par le circuit de commande 1 comme indiqué sur la figure 2(e), le troisième contrôleur DMA 20 commence le transfert DMA. Plus précisément, le troisième contrôleur DMA 20 émet le signal AKa de validation de transfert DMA, comme indiqué sur la figure 2(f), et émet simultanément le signal de lecture/écriture R/W comme indiqué sur la figure 2(g). Ce signal de lecture/écriture R/W est appliqué comme signal d'écriture à la mémoire d'image 3 d'une part et converti en un signal de lecture pour être appliqué à l'interface d'analyseur 5 d'autre part. La conversion du signal d'écriture en signal de lecture est effectuée par

des moyens de conversion (non représentés sur la figure 1) prévus sur la ligne de signal de lecture/écriture. L'interface d'analyseur 5 reçoit le signal de lecture et le signal AKa de validation de transfert DMA pour fournir l'information d'image au bus de système 2, comme indiqué sur la figure 2(h). L'information d'image appliquée sur le bus de système 2 est enregistrée dans une zone de mémoire de page à l'intérieur de la mémoire d'image 3, par le signal d'écriture. De cette manière, on effectue le transfert d'information d'image de l'interface d'analyseur 5 à la mémoire d'image.

A la réception du signal de commande MD = 1, du signal AKa de validation de transfert DMA et du signal d'écriture pour la mémoire d'image 3, la deuxième porte 22 fournit le signal de commande de direction D (direction a), ce qui commande le transmetteur de bus 25 d'une manière telle que le signal traverse le transmetteur de bus 25 dans le sens d'une flèche a sur la figure 1, l'information d'image qui a été transmise de l'interface d'analyseur 5 au bus de système 2 allant ainsi à la partie 12S de commande DMA du côté source du circuit de réduction dans la direction de balayage principale 12 par l'intermédiaire du transmetteur de bus 25.

L'information d'image qui atteint ainsi la partie 12S de commande DMA du côté source du circuit de réduction dans la direction de balayage principale 12 est reçue dans le circuit de réduction dans la direction de balayage principale 12 en synchronisme avec l'opération de transfert de données de l'interface d'analyseur 5 à la mémoire d'image 3 par le troisième contrôleur DMA 20. Plus concrètement, la partie 12S de commande DMA du côté source du circuit de réduction dans la direction de balayage principale 12 a reçu le signal AK_{BS} (AKa) de validation de transfert DMA fourni par le troisième contrôleur DMA 20 par l'intermédiaire de la quatrième

porte 24, de sorte que le circuit de réduction dans la direction de balayage principale 12 reçoit les données de la partie 12S de commande DMA du côté source en synchronisme avec le signal de lecture/écriture R/W.

Le circuit de réduction dans la direction de balayage principale 12 réduit l'information d'image d'une ligne dans la direction de balayage principale, conformément à un coefficient de réduction K établi par le circuit de commande 1. L'opération de réduction du circuit de réduction dans la direction de balayage principale 12 est mieux expliquée ci-après avec référence à la figure 3 qui représente la configuration du circuit 12.

L'information d'image introduite dans la partie 12S de commande DMA du côté source est d'abord appliquée, par données d'une ligne, à un circuit de conversion parallèle /série P/S 31 puis fournie par ce circuit séquentiellement bit par bit en synchronisme avec une horloge A et appliquée à une borne d'entrée d'une porte OU 32. L'autre borne d'entrée de la porte OU 32 reçoit une sortie de la borne Q d'une bascule 34 de type D décrite ci-après.

La bascule 34 de type D reçoit la sortie de la porte OU 32 à une borne D et elle reçoit l'horloge A à une borne d'horloge (CLK). Par conséquent, la bascule 34 de type D fournit une entrée à la borne D, venant de la borne Q, en synchronisme avec l'horloge A. Ainsi, la porte OU 32 fournit une somme logique de sa propre sortie et de la sortie du circuit de conversion P/S 31. Autrement dit, la sortie de la porte OU 32 est un résultat de l'opération logique OU d'un bit présentement émis par le circuit de conversion P/S 31 et d'un bit précédent.

La sortie de la porte OU 32 est appliquée à un circuit de conversion S/P 33 qui reçoit la sortie de la porte OU 32 en synchronisme avec une horloge B. Ainsi,

si la durée de l'horloge B est prévue plus longue que la durée de l'horloge A, on peut réduire une information d'image d'une ligne fournie par le circuit de conversion P/S 31. En pratique, lorsque la durée de l'horloge B est le double de la durée de l'horloge A, un seul de deux bits émis par le circuit de conversion P/S 31 est reçu par le circuit de conversion S/P 33, de sorte qu'on obtient une information d'image en données parallèles réduite dans le rapport 1/2 dans le circuit de conversion S/P 33.

D'autre part, un circuit de commande d'horloge 35 commande les fréquences de production des impulsions d'horloge à la fois de l'horloge A et de l'horloge B conformément au coefficient de réduction k.

En outre, le signal RQ_{BS} de validation d'entrée d'information d'image au premier contrôleur DMA 14 est émis lorsque le circuit de conversion P/S 31 devient libre, et le signal RQd de demande de transfert DMA au deuxième contrôleur DMA 14 est émis lorsque le circuit de conversion S/P 33 reçoit l'information d'image.

Lorsque la réduction d'information d'image par le circuit de réduction dans la direction de balayage principale 12 est terminée, c'est-à-dire lorsque l'information d'image est entrée dans le circuit de conversion S/P 33, le circuit de réduction dans la direction de balayage principale 12 envoie le signal RQd de demande de transfert DMA au deuxième contrôleur DMA 15. En réponse à ce signal RQd de demande de transfert DMA, le deuxième contrôleur DMA 15 transmet le signal AKd de validation de transfert DMA au circuit de réduction dans la direction de balayage principale 12 et transfère simultanément au circuit de réduction dans la direction de balayage secondaire 13 l'information d'image réduite conformément au coefficient de réduction k fixé par le circuit de commande 1 (information d'image réduite dans

la direction de balayage) afin que le circuit 13 lise l'information d'image. Dans ce cas, le circuit de réduction dans la direction de balayage principale 12, utilisant ses moyens internes pour calculer un coefficient k de réduction dans la direction de balayage secondaire, indique au circuit de réduction 13 si le circuit 13 doit ou non amincir une ligne d'information d'image à transférer. Bien que le circuit de réduction dans la direction de balayage secondaire 13 ne soit pas représenté en détail, il est constitué d'une mémoire à deux voies d'accès utilisant une RAM dynamique (moyens de mémoire d'image réduite) et d'un circuit de commande de mémoire qui effectue la commande et la régénération pour le stockage de l'information d'image dans la mémoire ci-dessus, une voie d'accès de la mémoire étant reliée au circuit de réduction dans la direction de balayage principale 12 et l'autre voie d'accès étant reliée au bus de système 2. L'autre voie d'accès est configurée de sorte qu 'elle peut effectuer une opération de lecture avec modification et écriture et lorsque, par exemple, trois lignes sont réduites en une seule ligne, la première ligne est écrite par l'opération d'écriture normale et les deuxième et troisième lignes sont écrites avec une somme logique (lecture avec modification et écriture) à la même position que la première ligne de sorte que les trois lignes sont superposées en une seule ligne pour réduire l'information d'image dans la direction de balayage secondaire.

La raison pour laquelle le circuit de réduction dans la direction de balayage secondaire 13 exécute l'écriture de somme logique est que cela évite l'amincissement ou la cassure d'une ligne lors de la réduction de l'information d'image par un traitement d'amincissement. Un mode d'écriture du circuit de réduction dans la direction de balayage secondaire 13 est déterminé ligne par ligne par une instruction de réduction de ligne ve-

nant du circuit de réduction dans la direction de balayage principale 12 qui indique le mode d'écriture normale ou d'écriture de somme logique à exécuter.

En outre, l'opération de somme logique est employée dans l'exemple ci-dessus, mais on peut utiliser d'autres opérations logiques pour réduire l'information d'image et on peut également utiliser pour cela une opération d'amincissement simple sans l'opération logique.

De cette manière, l'information d'image peut être réduite par utilisation du circuit de réduction dans la direction de balayage principale 12 et du circuit de réduction dans la direction de balayage secondaire 13, de sorte qu'on peut obtenir un écran d'information d'image réduite dans le circuit 13. Ensuite, l'information d'image réduite du circuit 13 est transférée à une mémoire de trame ou d'écran 10, par l'intermédiaire du bus de système 2, par un contrôleur de TRC 8 pour afficher une image sur l'affichage à TRC 9.

A ce moment, la réduction de l'information d'image est effectuée simultanément lorsque l'information d'image fournie par l'analyseur d'image 4 est transférée à la mémoire d'image 3, de sorte que l'information d'image lue est affichée sur l'affichage à TRC 9 après un petit temps d'attente.

Comme déjà indiqué, la lecture d'une image originale par l'analyseur d'image 4 et son affichage sur le TRC 9 sont effectués et en même temps l'information d'image est stockée dans la mémoire d'image 3.

L'information d'image stockée dans la mémoire d'image 3 peut être éditée lorsque c'est nécessaire.

On explique maintenant une opération de compression simple et une opération de compression combinée, dans lesquelles l'information d'image stockée dans la mémoire d'image 3 est comprimée, codée puis

mémorisée dans l'unité de disque optique 18, avec référence aux chronogrammes des figures 4 et 5.

En premier lieu, le circuit de commande 1 agit sur le premier contrôleur DMA 14 pour transférer l'information d'image de la mémoire d'image 3 au circuit de compression/expansion 11 afin de comprimer et coder l'information d'image stockée dans la mémoire d'image 3.

Dans ces cas, les opérations sont différentes suivant une valeur fixée du signal de commande MD. Dans le cas de la compression simple, dans lequel on ne produit pas d'image réduite pendant la compression et le codage de l'information d'image, le signal de commande MD = 0 est établi ; d'autre part, dans le cas de la compression combinée ou verrouillée, dans lequel une image réduite est simultanément produite, le signal de commande MD = 4 est établi.

Dans le cas du traitement de compression simple déterminé par le signal de commande MD = 0, le signal RQ_{COI} de demande d'entrée d'information d'image émis par le circuit de compression/expansion 11 et appliqué à la troisième porte 23 est directement entré au premier contrôleur DMA 14 comme signal RQc de demande de transfert DMA, comme représenté sur la figure 4(a).En outre, le signal AKc de validation de transfert DMA émis par le premier contrôleur DMA 14 et appliqué à la quatrième porte 24 est entré seulement au circuit de compression/expansion 11 comme signal AK_{COI}de validation de transfert DMA par la quatrième porte 24, comme indiqué sur la figure 4(d).

D'autre part, lors de la réception du signal de commande MD = 0,du signal AKc de validation de transfert DMA et du signal de lecture pour la mémoire d'image 3, la deuxième porte 22 fournit le signal de commande de direction D (direction a), de sorte que le transmetteur

de bus 25 est commandé pour transmettre les signaux dans le sens de la flèche a sur la figure 1.

Lorsque le signal RQ_{COI} de demande d'entrée d'information d'image émis par le circuit de compression/expansion 11 est appliqué au premier contrôleur DMA 14 par l'intermédiaire de la troisième porte 23, le contrôleur 14 émet le signal de demande d'acquisition de bus de système BRQ1 comme indiqué sur la figure 4(b). En réponse à ce signal, comme indiqué sur la figure 4(c), le circuit de commande 1 fournit le signal de réponse de bus de système BACK1, de sorte que le premier contrôleur DMA 14 obtient un droit d'utilisation du bus de système 2, et il fournit ensuite le signal AKc de validation de transfert DMA, et il fournit le signal de lecture/écriture R/W pendant que le signal AKc de validation de transfert DMA est émis, comme indiqué sur la figure 4 (e) . Ce signal de lecture/écriture R/W est envoyé comme signal de lecture à la mémoire d'image 3 et également converti en un signal d'écriture à appliquer au circuit de compression/expansion 11. En réponse à ce signal de lecture émis par le premier contrôleur DMA 14, l'information d'image stockée dans la mémoire d'image 3 est placée sur le bus de système 2, comme indiqué sur la figure 4(f). Le signal AKc de validation de transfert DMA est entré dans le circuit de compression/expansion 11 par la quatrième porte 24, comme signal AK_{COI} de validation de transfert DMA. Lorsque le circuit de compression/expansion 11 reçoit le signal AK_{COI} de validation de transfert DMA et le signal d'écriture émis par le premier contrôleur DMA 14, la partie 11I de commande DMA du côté image reçoit l'information d'image extraite de la mémoire d'image 3 en synchronisme avec le signal d'écriture.

Comme indiqué plus haut, chaque fois que le circuit de compression/expansion 11 produit un mot de

données codé à partir de l'information d'image introduite dans la partie 11I de commande DMA du côté image par l'intermédiaire du transmetteur de bus 25, le circuit de compression/expansion 11 fournit le signal RQb de demande de transfert DMA au premier contrôleur DMA 14 pour transférer l'information d'image codée, comme indiqué sur la figure 4(g). En réponse à ce signal, le premier contrôleur DMA 14 transmet le signal de demande d'acquisition de bus de système BRQ1 au circuit de commande 1 et reçoit de celui-ci le signal de réponse de bus de système BACK1 pour obtenir un droit d'utilisation du bus de système 2 comme indiqué sur les figures 4(b) et 4(c). Ensuite, comme indiqué sur la figure 4(h), le premier contrôleur DMA 14 fournit le signal AKb de validation de transfert DMA au circuit de compression/expansion 11 et fournit le signal de lecture/écriture R/W pendant que le signal AKc de validation de transfert DMA est émis comme indiqué sur la figure 4(e). Ce signal de lecture /écriture R/W est appliqué comme signal d'écriture à la mémoire d'image 3 et converti en un signal de lecture à appliquer au circuit de compression/expansion 11. La partie 11C de commande DMA du côté code du circuit de compression/expansion 11 fournit une information d'image codée au bus de système 2 en réponse à un signal ET du signal AKb de validation de transfert DMA et du signal de lecture/écriture R/W, comme indiqué sur la figure 4(f). La mémoire d'image 3 stocke l'information d'image, sur le bus de système 2, dans une zone de tampon de code en réponse au signal de lecture/écriture R/W.

Lorsque la compression et le codage de l'information d'image et le transfert de l'information d'image comprimée et codée à la mémoire d'image 3 sont terminés comme un écran d'information d'image, l'information d'image comprimée et codée est transférée à l'unité de disque op-

tique 18 par l'intermédiaire de l'interface de disque optique 17 pour être enregistrée sur le disque optique.

Dans le cas du traitement de compression verrouillée ou combinée, déterminée par le signal de commande MD = 4, un signal résultant d'un produit logique du signal RQ_{COI} de demande d'entrée d'information d'image émis par le circuit de compression/expansion 11 et appliqué à la troisième porte 23 comme indiqué sur la figure 5(a) et du signal RQ_{BS} de validation d'entrée d'information d'image émis par le circuit de réduction dans la direction de balayage principale 12 comme indiqué sur la figure 4(b) est introduit dans le premier contrôleur DMA 14 comme signal RQc de demande de transfert DMA comme indiqué sur la figure 4(c).

Plus précisément, lorsque le signal RQ_{COI} de demande d'entrée d'information d'image fourni par le circuit de compression/expansion 11 est introduit dans la troisième porte 23, l'entrée de l'information d'image dans le circuit de réduction dans la direction de balayage principale 12 est possible et le signal RQ_{BS} de validation d'entrée d'information d'image a déjà été appliqué à la troisième porte 23, la troisième porte 23 fournit le signal RQ_{C} de demande de transfert DMA au premier contrôleur DMA 14.

Le premier contrôleur DMA 14, qui a reçu le signal de demande de transfert DMA RQc, fournit le signal de demande d'acquisition de bus de système BRQ1 comme indiqué sur la figure 5(d). En réponse à ce signal, le circuit de commande 1 fournit le signal de réponse de bus de système BACK1 comme indiqué sur la figure 5(e) et, en réponse au signal BACK1, le premier contrôleur DMA 14 fournit le signal AKc de validation de transfert DMa comme indiqué sur la figure 5(g) et fournit simultanément le signal de lecture/écriture R/W comme indiqué sur la figure 5(f) pendant l'émission du signal AKc de

validation de transfert DMA. Ce signal de lecture/écriture R/W est fourni comme un signal de lecture à la mémoire d'image 3 et converti en un signal d'écriture à appliquer au circuit de compression/expansion 11. La mémoire d'image 3 fournit une information d'image au bus de système 2 en réponse à ce signal de lecture/écriture R/W comme indiqué sur la figure 5(h).

En outre, le transmetteur de bus 25 est commandé pour transmettre ce signal dans le sens de la flèche a, comme dans le cas du traitement de compression simple (MD = 0).

Le circuit de compression/expansion 11 reçoit l'information d'image sur le bus de système 2 en réponse à un signal ET du signal AK_{COI} de validation de transfert DMA comme signal AKc de validation de transfert DMA et du signal de lecture/écriture R/W.

A ce moment, en synchronisme avec une opération de transfert dans laquelle le premier contrôleur DMA 14 commande le circuit de compression/expansion , pour recevoir l'information d'image venant de la mémoire d'image 3, le circuit de réduction dans la direction de balayage principale 12 reçoit l'information d'image venant de la partie 12S de commande DMA du côté source. Cette opération de réception d' information d'image par le circuit de réduction dans la direction de balayage principale 12 est la même que le cas ci-dessus du signal de commande MD = 1, et le circuit 12 reçoit les données à sa partie 12S de commande DMA du côté source en synchronisme avec le signal de lecture/écriture R/W pendant que le premier contrôleur DMA 14 émet le signal AK_{BS}(AKc) de validation de transfert DMA.

Chaque fois que le circuit de compression/expansion 11 produit un mot de données de code, le circuit 11 fournit le signal RQb de demande de transfert DMA au premier contrôleur DMA 14, comme représenté sur

la figure 5(i). En réponse à ce signal, le premier contrôleur DMA 14 transmet le signal BRQ1 de demande d'acquisition de bus de système au circuit de commande 1 et reçoit de celui-ci le signal BACK1 de réponse de bus de système, pour acquérir un droit d'utilisation du bus de système 2. Ensuite, le premier contrôleur DMA 14 fournit le signal AKb de validation de transfert DMA, comme signal de réponse représenté sur la figure 5 (j), et fournit simultanément le signal de lecture/écriture R/W comme représenté sur la figure 5(g). Ce signal de lecture/écriture R/W est fourni comme signal d'écriture à la mémoire d'image 3 et converti en un signal de lecture à fournir au circuit de compression/expansion 11. En réponse à un signal ET de ce signal de lecture et du signal AKb de validation de transfert DMA, le circuit de compression/expansion 11 fournit des données de code au bus de système 2. Pendant que les données de code sont fournies au bus de système 2, en réponse au signal d'écriture transmis à la mémoire d'image 3, la mémoire d'image 3 reçoit les données de code dans sa zone de tampon de code.

De cette manière, lorque la compression et le codage de l'information d'image d'un écran et le transfert de l'information d'image comprimée et codée à la mémoire d'image 3 sont terminés, une image réduite est produite dans la mémoire,au circuit de réduction dans la direction de balayage secondaire 13. Ensuite, l'information d'image codée est transférée à l'unité de disque optique 18 par l'interface de disque optique 17, pour être stockée sur le disque optique.

On décrit maintenant, avec référence à un chronogramme de la figure 6,un traitement pour l'expansion d'une information d'image comprimée et codée, mémorisée sur le disque optique dans l'unité de disque optique 18, afin de la décoder en image originale, et

un traitement pour l'expansion de l'information d'image décodée afin de la stocker dans la mémoire d'image 3, c'est-à-dire le traitement de verrouillage ou de combinaison d'expansion.

Dans ce cas, le signal de commande est établi à MD = 2.

L' information d'image désirée (qui est comprimée et codée) stockée sur le disque optique dans l'unité de disque optique 18 est lue et stockée dans la zone de tampon de code de la mémoire d'image 3, par l'intermédiaire de l'interface de disque optique 17.

Lorsque le signal RQb de demande de transfert DMA émis par le circuit de compression/expansion 11 est envoyé au premier contrôleur DMA 14 comme indiqué sur la figure 6(a), le contrôleur 14 fournit le signal de demande d'acquisition de bus de système BRQ1 comme représenté sur la figure 6(b). En réponse à ce signal BRQ1, le circuit de commande 1 fournit le signal de réponse de bus de système BACK1 au premier contrôleur DMA 14, comme indiqué sur la figure 6(c). A ce moment, le premier contrôleur DMA 14 envoie le signal AKb de validation de transfert DMA au circuit de compression/expansion 11 comme représenté sur la figure 6(d) et simultanément le signal de lecture/écriture R/W est émis pendant que le signal AKb de validation de transfert DMA est émis comme représenté sur la figure 6(e). Ce signal de lecture/écriture R/W est appliqué comme un signal de lecture à la mémoire d'image 3 et converti en un signal d'écriture à appliquer au circuit de compression/expansion. Par suite, l'information d'image comprimée et codée est extraite de la mémoire d'image 3 et placée sur le bus de système 2 en réponse au signal de lecture. En réponse à un signal ET du signal AKb de validation de transfert DMA et du signal d'écriture, le circuit de compression/expansion 11 reçoit les données

comprimées et codées placées sur le bus de système 2, pour effectuer le transfert DMA.

Le circuit de compression/expansion 11 expanse et décode un mot d'information d'image ainsi transférée. Afin de transférer une information d'image décodée, le circuit de compression/expansion 11 fournit le signal RQ_{COI} de demande de transfert d'information d'image au premier contrôleur DMA 14 par l'intermédiaire de la troisième porte 23 comme indiqué sur la figure 6(g). A ce moment, lorsque le signal RQ_{BS} de validation d'entrée d'information d'image, qui indique que l'information d'image codée est activée pour être entrée, a été appliqué à la troisième porte 23 à partir du circuit de réduction dans la direction de balayage principale 12 comme représenté sur la figure 6(h), la troisième porte 23 fournit le signal RQc de demande de transfert DMA au premier contrôleur DMA 14 comme représenté sur la figure 6(i).

Lorsqu'il reçoit une demande de transfert d'information d'image décodée, le premier contrôleur DMA 14 transmet le signal de demande d'acquisition de bus de système BRQ1 au circuit de commande 1 et reçoit de celui-ci le signal de réponse de bus de système BACK1 pour acquérir un droit d'utilisation du bus de système 2, comme indiqué sur les figures 6(b) et 6(c), et, ensuite, le contrôleur 14 fournit le signal AKc de validation de transfert DMA à la deuxième porte 22 et à la quatrième porte 24, comme représenté sur la figure 6(j), et il émet simultanément le signal de lecture/écriture R/W comme représenté sur la figure 6(e). Ce signal de lecture/écriture R/W est envoyé comme signal d'écriture à la mémoire d'image 3 et converti en un signal de lecture à appliquer au circuit de compression /expansion 11.

A la réception du signal de commande MD = 2, du signal AKc de validation de transfert DMA et du signal d'écriture pour la mémoire d'image 3, la deuxième porte

22 émet le signal de commande de direction D (direction b), de sorte que le transmetteur 25 est commandé pour transmettre le signal dans la direction de la flèche b. En outre, à la réception du signal AKc de validation de transfert DMA, la quatrième porte 24 fournit le signal AK_{COI} de validation de transfert DMA au circuit de compression /expansion 11 et fournit le signal AK_{BS} de validation de transfert DMA au circuit de réduction dans la direction de balayage principale 12, répondant ainsi à un signal ET du signal AK_{COI} de validation de transfert DMA et du signal de lecture, le circuit de compression/expansion 11 fournit l'information de l'image décodée au bus de système 2 et, simultanément, la mémoire d'image 3 stocke dans sa zone de mémoire de page les données appliquées au bus de système 2 par l'intermédiaire du sous-bus 30 en synchronisme avec le signal d'écriture.

A ce moment, le circuit de réduction dans la direction de balayage principale 12 reçoit l'information d'image en synchronisme avec le transfert de données du circuit de compression/expansion 11 à la mémoire d'image 3, effectué par le premier contrôleur DMA 14. Dans cette opération de réception d'information d'image exécutée par le circuit de réduction dans la direction de balayage principale 12, le circuit 12 vole un transfert de données des moyens de traitement d'image (dans ce cas, le circuit de compression/expansion 11) à la mémoire d'image 13, par utilisation du signal de validation de transfert fourni par le contrôleur DMA et du signal de lecture/écriture de la même manière que dans les cas du signal de commande MD = 1 (traitement de verrouillage d'entrée) et du signal de commande MD = 4 (traitement de verrouillage de compression).

L'information d'image introduite dans le circuit de réduction dans la direction de balayage princi-

pale 12 est d'abord réduite dans la direction de balayage principale comme indiqué ci-dessus, puis réduite dans la direction de balayage secondaire par le circuit de réduction dans la direction de balayage secondaire 13.

De la manière ci-dessus, l'information d'image qui a été comprimée , codée puis mémorisée dans le disque optique est séquentiellement décodée par le circuit de compression/expansion 11 et l'information d'image décodée est enregistrée dans la mémoire d'image 3, et simultanément un écran d'information d'image réduite est produit dans le circuit de réduction dans la direction de balayage secondaire 13.

Ensuite, l'information d'image réduite dans le circuit 13 est transférée à la mémoire d'écran 10 par le contrôleur de TRC 8, pour être affichée sur le TRC 9.

Lorsqu'un opérateur désire lire séquentiellement l'information d'image enregistrée sur le disque optique dans l'unité optique 18 et afficher l'image réduite sur le TRC 9, le signal de commande est établi à MD = 3.

Dans ce cas, les traitements de lecture de l'information d'image à partir de l'unité de disque optique 18, de décodage et de compression et le transfert de l'information d'image à la mémoire d'écran 10 sont effectués en parallèle. A ce moment, lorsqu'une pluralité de zones de tampon de code sont établies dans la mémoire d'image 3 et que deux pages de zone pour le circuit de réduction dans la direction de balayage secondaire 13 sont préparées, le traitement peut être effectivement réalisé.

En outre, lorsque l'opérateur désire seulement vérifier l'information d'image stockée dans l'unité de disque optique 18, il a seulement besoin d'afficher l'information d'image décodée sur le TRC 9. On explique ci-après les opérations dans un tel cas.

Lorsque le premier contrôleur DMA 14 peut ef-

fectuer un transfert DMA à un espace autre qu'un espace de système (un espace dans lequel les données sont transférées par l'intermédiaire du bus de système 2), par exemple un espace de mémoire affecté au premier contrôleur DMA 14 lui-même, et en outre lorsque l'information d'image expansée et décodée est transférée à un tel espace virtuel et une information d'image réduite est produite simultanément, l'information d'image décodée n'est pas stockée dans la mémoire d'image 3 et on obtient seulement l' information d'image réduite. Un tel traitement est appelé traitement d'expansion combinée virtuelle.

Conformément à un tel traitement d'expansion combinée virtuelle, il n'est pas nécessaire de préparer une zone de stockage de l'information d'image décodée dans la mémoire d'image 3 et la mémoire 3 peut donc être efficacement utilisée.

En outre, lorsque l'information d'image décodée est transférée, le bus de système 2 n'est pas utilisé et d'autres composants peuvent donc l'utiliser.

Une configuration de circuit pour exécuter un tel traitement d'expansion combinée virtuelle est représentée en schéma de principe sur la figure 7. Une différence entre les configurations de circuit des figures 1 et 7 est qu'une porte 32 est prévue sur le chemin du signal de lecture/écriture R/W entre le premier contrôleur DMA 14 et le bus de commande 2C du bus de système 2 de la figure 7. Cette porte 32 est prévue pour interrompre le passage d'un signal de lecture/écriture R/W du premier contrôleur DMA 14 au bus de commande 2C si nécessaire.

La figure 8 est un chronogramme du traitement d'expansion combinée virtuelle permis par l'utilisation de la configuration représentée sur la figure 7. Ce chronogramme est essentiellement le même que celui du traitement d'expansion combinée représenté sur la figure 6.

Lorsqu'on compare les deux traitements d'ex-

pansion combinée, les deux opérations de transfert des données de code de la mémoire d'image 3 au circuit de compression/expansion 11 sont les mêmes sauf que l'information d'image expansée et décodée par le circuit de compression/expansion 11 (données décodées) est transférée à une destination de transfert virtuelle. A ce moment, le premier contrôleur DMA 14 ne fournit pas le signal de demande d'acquisition de bus de système BRQ1, et, par suite, le signal de réponse de bus de système BACK1 n'est pas non plus produit. La deuxième porte 22 est pourvue de moyens de commande (non représentés) qui ferment la porte 23 et le transmetteur de bus 25 pendant que le signal de réponse de bus de système BACK1 n'est pas émis. Les moyens de commande précités sont commandés par la ligne de signal de validation 33.

Comme le montre la description ci-dessus, le circuit de compression/expansion 11 fournit des données décodées (information d'image) au sous-bus de données 30 en synchronisme avec le signal de lecture/écriture R/W comme indiqué sur la figure 8(e) pendant que le signal AKc de validation de transfert DMA est émis comme indiqué sur la figure 8(j). Simultanément, lorsque le circuit de réduction dans la direction de balayage principale 12 a reçu le signal AKc de validation de transfert DMA comme signal AK_{BS} de validation de transfert DMA, le circuit 12 reçoit, en synchronisme avec le signal de lecture/écriture R/W, l'information d'image fournie par le circuit de compression/expansion 11 au sous-bus de données 30. Comme indiqué plus haut, le traitement d'expansion combinée virtuelle, c'est-à-dire un traitement de réduction d'information d'image par utilisation du circuit de réduction dans la direction de balayage principale 12 et du circuit de réduction dans la direction de balayage secondaire 13 sans stocker l'information d'image dans la mémoire d'image 3, peut être réalisé.

Comme déjà indiqué, conformément à l'invention, une information d'image lue par un analyseur d'image ou une information d'image obtenue par décodage d'une information d'image comprimée et codée mémorisée sur un disque optique est enregistrée dans une mémoire d'image et elle est envoyée simultanément à un circuit de réduction dans la direction de balayage principale et à un circuit de réduction dans la direction de balayage secondaire pour subir un traitement de réduction, et par conséquent la lecture et la réduction d'un écran d'information d'image ou le décodage et l'expansion d'une information d'image codée peuvent être effectués en parallèle. Ainsi, le temps nécessaire à l'archivage est réduit et le temps d'attente de l'opérateur est diminué, et on obtient également une facilité d'utilisation et une accélération d'une unité d'archivage d'informations d'image.

Comme la présente invention peut être mise en oeuvre sous diverses formes sans sortir de l'esprit de ses caractéristiques essentielles, le présent mode de réalisation est donc illustratif et non limitatif puisque la portée de l'invention est définie par les revendications annexées et non par la description qui les précède, et il est donc entendu que toutes les modifications qui entrent dans les limites des revendications ou dans leur équivalence sont couvertes par les revendications.

REVENDICATIONS

1.- Appareil de traitement d'image, caractérisé en ce qu'il comprend :

un bus (2) pour transmettre l'information d'image ;

des premiers moyens de traitement d'image (4,5,11), connectés audit bus, pour traiter l'information d'image et pour fournir des données traitées ;

des deuxièmes moyens de traitement d'image (12,13), connectés audit bus, pour recevoir l'information d'image et traiter l'information d'image reçue ;

une mémoire (3), connectée audit bus, pour stocker l'information d'image entrée ;

des moyens de génération de demande de transfert (5A,11C,11I,12S,12D) pour engendrer une demande de transfert d'information d'image desdits premiers moyens de traitement d'image à ladite mémoire, lors de la réception d'une demande de sortie d'information d'image (ou d'un signal de validation de sortie) provenant des dits premiers moyens de traitement d'image et de la réception d'une demande d'entrée d'information d'image (ou d'un signal de validation d'entrée) provenant des dits deuxièmes moyens de traitement d'image ; et

des moyens de commande de transfert de données (14,15,20) pour transférer une information d'image desdits premiers moyens de traitement d'image à ladite mémoire par l'intermédiaire dudit bus lorsque lesdits moyens de génération de demande de transfert engendrent une demande de transfert d'information d'image,

de sorte que lesdits deuxièmes moyens de traitement d'image reçoivent l'information d'image en synchronisme avec le transfert d'information d'image par lesdits moyens de commande de transfert de données.

2.- Appareil de traitement d'image suivant la revendication 1, caractérisé en ce que :

lesdits moyens de commande de transfert de données (14,15,20), après réception d'une demande de transfert (RQa,b,c,d), obtiennent un droit (BACK1, 2,3) d'utilisation dudit bus afin d'émettre un signal de validation de transfert (AKa,b,c,d) et simultanément un signal de lecture/écriture (R/W);

lesdits premiers moyens de traitement d'image placent une information d'image sur ledit bus (2) en réponse à un signal de validation de transfert et à un signal de lecture/écriture émis par lesdits moyens de commande de transfert de données ;

ladite mémoire (3) reçoit, en synchronisme avec ledit signal de lecture/écriture, l'information d'image placée sur ledit bus ; et

lesdits deuxièmes moyens de traitement d'image reçoivent , en synchronisme avec ledit signal de lecture/ écriture, l'information d'image placée sur ledit bus pendant que lesdits moyens de commande de transfert de données émettent un signal de validation de transfert.

3.- Appareil de traitement d'image suivant la revendication 1, caractérisé en ce que :

lesdits premiers moyens de traitement d'image sont des moyens (11) pour le codage de compression/ décodage d'expansion d'information d'image ; et

ledits deuxièmes moyens de traitement d'image sont des moyens (12,13) pour l'agrandissement/réduction d'information d'image.

4.- Appareil de traitement d'image suivant la revendication 1, caractérisé en ce que :

lesdits premiers moyens de traitement d'image sont des moyens (4,5) de lecture d'une image originale

pour la convertir en information d'image ; et

lesdits deuxièmes moyens de traitement d'image sont des moyens (12,13) pour l'agrandissement/réduction d'information d'image.

5.- Appareil de traitement d'image suivant la revendication 1, caractérisé en ce qu'il comprend en outre des moyens de sélection (1,21,22,23,24) qui peuvent choisir si lesdits deuxièmes moyens de traitement d'image reçoivent ou non l'information d'image lorsque lesdits moyens de commande de transfert de données transfèrent l'information d'image.

6.- Appareil de traitement d'image,caractérisé en ce qu'il comprend :

un bus (2) pour la transmission d'information d'image ;

des premiers moyens de traitement d'image,connectés audit bus, pour recevoir une information d'image et traiter l'information d'image reçue ;

des deuxièmes moyens de traitement d'image, connectés audit bus, pour recevoir une information d'image et traiter l'information d'image reçue ;

une mémoire, connectée audit bus, pour fournir une information d'image ;

des moyens de génération de demande de transfert pour engendrer une demande de transfert d'information d'image de ladite mémoire auxdits premiers moyens de traitement d'image, lors de la réception de demandes d'entrée d'information d'image (ou de signaux de validation d'entrée) provenant à la fois desdits premiers moyens de traitement d'image et desdits deuxièmes moyens de traitement d'image ; et

des moyens de commande de transfert de données pour transférer une information d'image de ladite mémoire

auxdits premiers moyens de traitement d'image par l'intermédiaire dudit bus lorsque les dits moyens de génération de demande de transfert engendrent une demande de transfert d'information d'image,

de sorte que lesdits deuxièmes moyens de traitement d'image reçoivent l'information d'image en synchronisme avec le transfert d'information d'image par les dits moyens de commande de transfert de données.

7.- Appareil de traitement d'image suivant la revendication 6, caractérisé en ce que :

lesdits moyens de commande de transfert de données, après réception d'une demande de transfert, obtiennent un droit d'utilisation dudit bus afin d'émettre un signal de validation de transfert et simultanément un signal de lecture/écriture ;

lesdits premiers moyens de traitement d'image placent une information d'image sur ledit bus en réponse à un signal de validation de transfert et à un signal de lecture/écriture émis par lesdits moyens de commande de transfert de données ;

ladite mémoire reçoit, en synchronisme avec ledit signal de lecture/écriture, l'information d'image placée sur ledit bus ; et

lesdits deuxièmes moyens de traitement d'image reçoivent, en synchronisme avec ledit signal de lecture/écriture, l'information d'image placée sur ledit bus pendant que lesdits moyens de commande de transfert de données émettent un signal de validation de transfert.

8.- Appareil de traitement d'image suivant la revendication 6, caractérisé en ce que :

lesdits premiers moyens de traitement d'image sont des moyens pour le codage de compression/décodage d'expansion d'information d'image ; et

lesdits deuxièmes moyens de traitement d'image sont des moyens d'agrandissement/réduction d'information d'image.

9.- Appareil de traitement d'image suivant la revendication 6, caractérisé en ce qu'il comprend en outre des moyens de sélection qui permettent de choisir si lesdits deuxièmes moyens de traitement d'image reçoivent ou non l'information d'image lorsque lesdits moyens de commande de transfert de données transfèrent l'information d'image.

10.- Appareil de traitement d'image, caractérisé en ce qu'il comprend :

un bus pour la transmission d'information d'image ;

des premiers moyens de traitement d'image, connectés audit bus, pour recevoir une information d'image, traiter l'information d'image reçue et fournir des données traitées ;

des deuxièmes moyens de traitement d'image, connectés audit bus, pour recevoir une information d'image et traiter l'information d'image reçue ;

une mémoire, connectée audit bus, pour recevoir, stocker et fournir une information d'image ;

des moyens de génération de demande de transfert pour engendrer une demande de transfert d'information d'image desdits premiers moyens de traitement d'image à ladite mémoire dans un premier cas de réception d'une demande de sortie d'information d'image (ou d'un signal de validation de sortie) provenant desdits premiers moyens de traitement d'image et d'une demande d'entrée d'information d'image (ou d'un signal de validation d'entrée) provenant desdits deuxièmes moyens de traitement d'image respectivement, et pour engendrer une demande de

transfert d'information d'image de ladite mémoire aux dits premiers moyens de traitement d'image dans un deuxième cas de réception à la fois de demandes d'entrée d'information d'image (ou de signaux de validation d'entrée) provenant à la fois desdits premiers moyens de traitement d'image et desdits deuxièmes moyens de traitement d'image ; et

des moyens de commande de transfert de données pour transférer une information d'image desdits premiers moyens de traitement d'image à ladite mémoire par l'intermédiaire dudit bus lorsque lesdits moyens de génération de demande de transfert engendrent une demande de transfert d'information d'image dans ledit premier cas, et pour transférer une information d'image de ladite mémoire auxdits premiers moyens de traitement d'image par l'intermédiaire dudit bus lorsque lesdits moyens de génération de demande de transfert engendrent une demande de transfert d'information d'image dans ledit deuxième cas,

de sorte que lesdits deuxièmes moyens de traitement d'image reçoivent l'information d'image en synchronisme avec le transfert d'information d'image par lesdits moyens de commande de transfert de données.

11.- Appareil de traitement d'image suivant la revendication 10, caractérisé en ce que :

lesdits moyens de commande de transfert de données, après réception d'une demande de transfert, obtiennent un droit d'utilisation dudit bus afin d'émettre un signal de validation de transfert et simultanément un signal de lecture/écriture ;

lesdits premiers moyens de traitement d'image sortent/entrent une information d'image sur ledit bus en réponse à un signal de validation de transfert et à un signal de lecture/écriture émis par lesdits moyens de com-

mande de transfert de données ;

ladite mémoire reçoit/fournit, en synchronisme avec ledit signal de lecture/écriture, l'information d'image placée sur ledit bus ; et

lesdits deuxièmes moyens de traitement d'image reçoivent, en synchronisme avec ledit signal de lecture/écriture, l'information d'image placée sur ledit bus pendant que lesdits moyens de commande de transfert de données émettent un signal de validation de transfert.

12.- Appareil de traitement d'image suivant la revendication 10, caractérisé en ce que :

lesdits premiers moyens de traitement d'image sont des moyens pour le codage de compression/décodage d'expansion d'information d'image ; et

lesdits deuxièmes moyens de traitement d'image sont des moyens d'agrandissement/réduction d'information d'image.

13.- Appareil de traitement d'image suivant la revendication 10, caractérisé en ce qu'il comprend en outre des moyens (22,25) pour inverser le sens de transfert de données (a,b) dudit bus de sorte qu'une information d'image est transférée desdits premiers moyens de traitement d'image (11) à ladite mémoire (3) ou deladite mémoire auxdits premiers moyens de traitement d'image en réponse à une demande de transfert (AKa,AKc) engendrée par lesdits moyens de génération de demande de transfert (20,14).

14.- Appareil de traitement d'image suivant la revendication 10, caractérisé en ce qu'il comprend en outre des moyens de sélection qui permettent de choisir si lesdits deuxièmes moyens de traitement d'image reçoivent ou non l'information d'image lorsque lesdits

moyens de commande de transfert de données transfèrent l'information d'image.

15.- Appareil de traitement d'image, caractérisé en ce qu'il comprend :

un bus de système (2) pour la transmission de signaux comprenant des signaux d'information d'image (2D) et des signaux de commande (2C) ;

un sous-bus (30) connecté audit bus de système ;

des premiers moyens de traitement d'image pour traiter une information d'image et pour fournir des données traitées ;

des deuxièmes moyens de traitement d'image, connectés auxdits premiers moyens de traitement d'image par ledit sous-bus , pour recevoir une information d'image et traiter l'information d'image reçue ;

une destination de transfert virtuelle de l'information d'image ;

des moyens de génération de demande de transfert pour engendrer une demande de transfert d'information d'image desdits premiers moyens de traitement d'image à ladite destination de transfert virtuelle d'information d'image, lors de la réception d'une demande de sortie d'information d'image (ou d'un signal de validation de sortie) provenant desdits premiers moyens de traitement d'image et de la réception d'une demande d'entrée d'information d'image (ou d'un signal de validation d'entrée) provenant desdits deuxièmes moyens de traitement d'image ;

des moyens de commande de transfert de données pour placer une information d'image sur ledit sous-bus afin de transférer l'information d'image desdits premiers moyens de traitement d'image à ladite destination de transfert virtuelle lorsque lesdits moyens de génération de

demande de transfert engendrent une demande de transfert d'information d'image ; et

des moyens de porte (22,25), prévus entre le dit bus de système et le sous-bus, pour isoler les deux bus pendant le transfert de données,

de sorte que lesdits deuxièmes moyens de traitement d'image reçoivent l'information d'image en synchronisme avec le transfert d'information d'image par lesdits moyens de commande de transfert de données.

16.- Appareil de traitement d'image suivant la revendication 15, caractérisé en ce que :

lesdits premiers moyens de traitement d'image sont des moyens pour le codage de compression/décodage d'expansion d'information d'image ; et

lesdits deuxièmes moyens de traitement d'image sont des moyens d'agrandissement/réduction d'information d'image.

17.- Appareil de traitement d'image suivant la revendication 15, caractérisé en ce que :

lesdits moyens de commande de transfert de données, après réception d'une demande de transfert, utilisent ledit bus pour fournir un signal de validation de transfert et simultanément un signal de lecture/écriture ;

lesdits premiers moyens de traitement d'image placent une information d'image sur ledit sous-bus en réponse à un signal de validation de transfert et à un signal de lecture/écriture émis par lesdits moyens de commande de transfert ;

lesdits deuxièmes moyens de traitement d'image reçoivent, en synchronisme avec ledit signal de lecture/écriture , ladite information d'image placée sur ledit sous-bus pendant que lesdits moyens de commande de trans-

fert de données émettent un signal de validation de transfert ; et

lesdits moyens de porte interrompent l'information d'image dudit sous-bus vers ledit bus de système.

18.- Circuit de réduction d'information d'image,caractérisé en ce qu'il comprend :

des moyens de compression dans la direction de balayage principale (12) pour réduire l'information d'image dans sa direction de balayage principale, conformément à un coefficient de réduction spécifié (k) ;

des moyens de mémoire pour stocker les informations respectives dans la direction de balayage principale réduites par lesdits moyens de réduction dans la direction de balayage principale ; et

des moyens de réduction dans la direction de balayage secondaire (13) pour effectuer des opérations logiques, par périodes correspondant audit coefficient de réduction, de l'information d'image dans la direction de balayage principale, stockée dans lesdits moyens de mémoire, et de l'information d'image respective dans la direction de balayage principale, réduite par lesdits moyens de réduction dans la direction de balayage principale, afin de stocker les résultats des opérations dans lesdits moyens de mémoire.

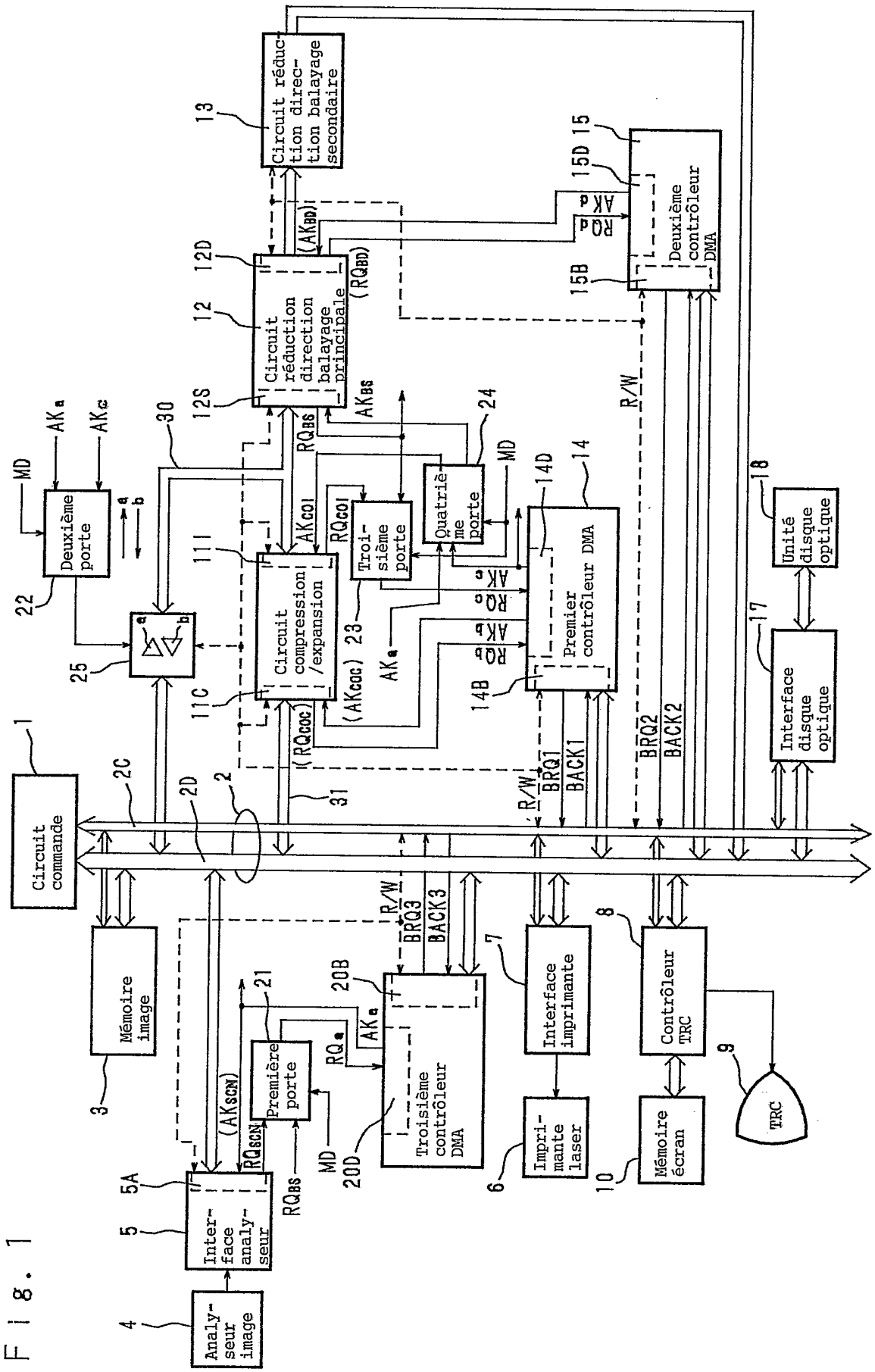

Circuit réduction direction balayage secondaire
Circuit réduction direction balayage principale
Deuxième contrôleur DMA
Deuxième porte
Circuit compression /expansion
Troisième porte
Quatrième porte
Premier contrôleur DMA
Unité disque optique
Interface disque optique
Circuit commande
Mémoire image
Première porte
Troisième contrôleur DMA
Interface imprimante
Contrôleur TRC
Imprimante laser
Mémoire écran
TRC
Interface analyseur
Analyseur image
MD
R/W
BRQ1
BACK1
BRQ2
BACK2
BRQ3
BACK3

Fig. 1

Fig. 2

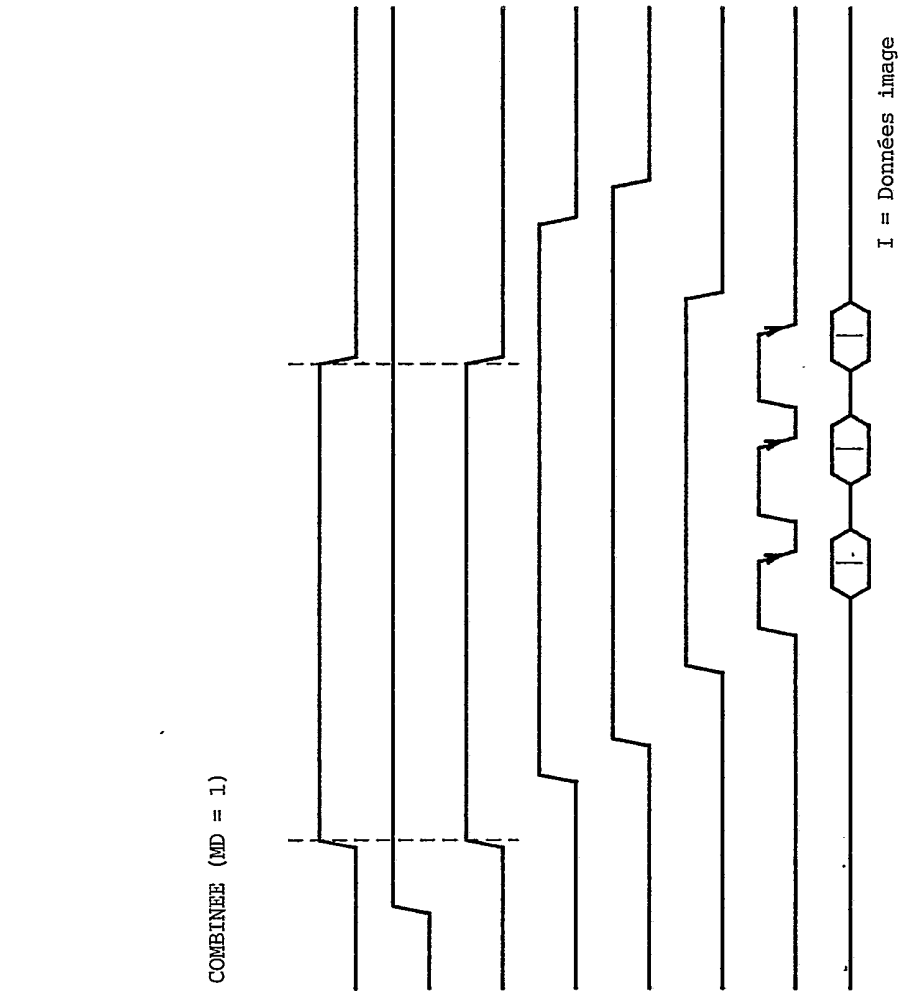

TRAITEMENT D'ENTREE COMBINEE (MD = 1)
(a) RQSCN
(b) RQBS
(c) RQa
(d) BRQ3
(demande bus système)
(e) BACK3
(accusé réception bus système)
(f) Aka
(g) R/W (lecture/écriture DMAC)
(h) Données
I = Données image

Fig. 3

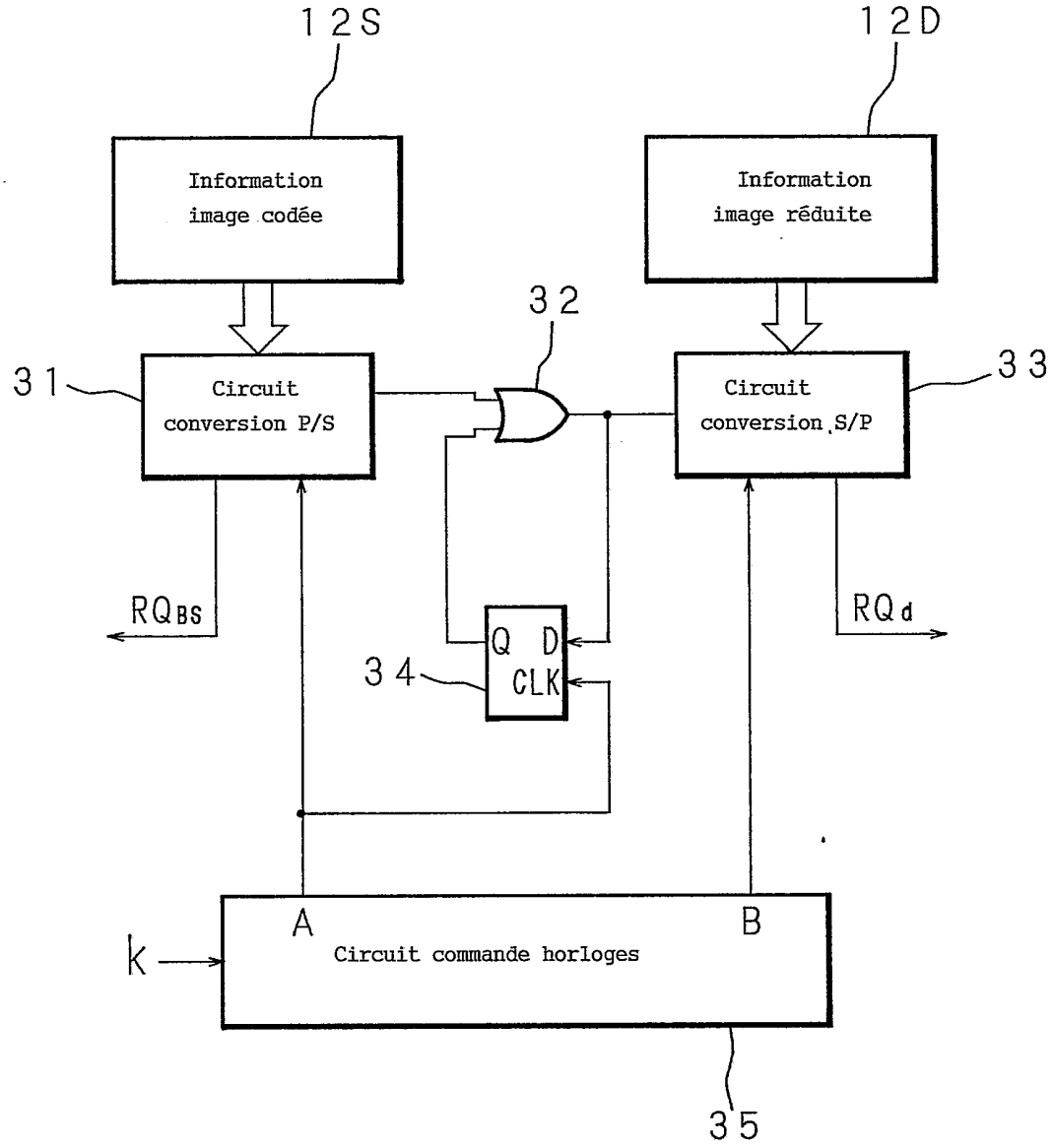

12S
12D
Information image codée
Information image réduite
32
31
Circuit conversion P/S
Circuit conversion S/P
33
RQBS
RQd
Q D
CLK
34
A
B
k
Circuit commande horloges
35

Fig. 4

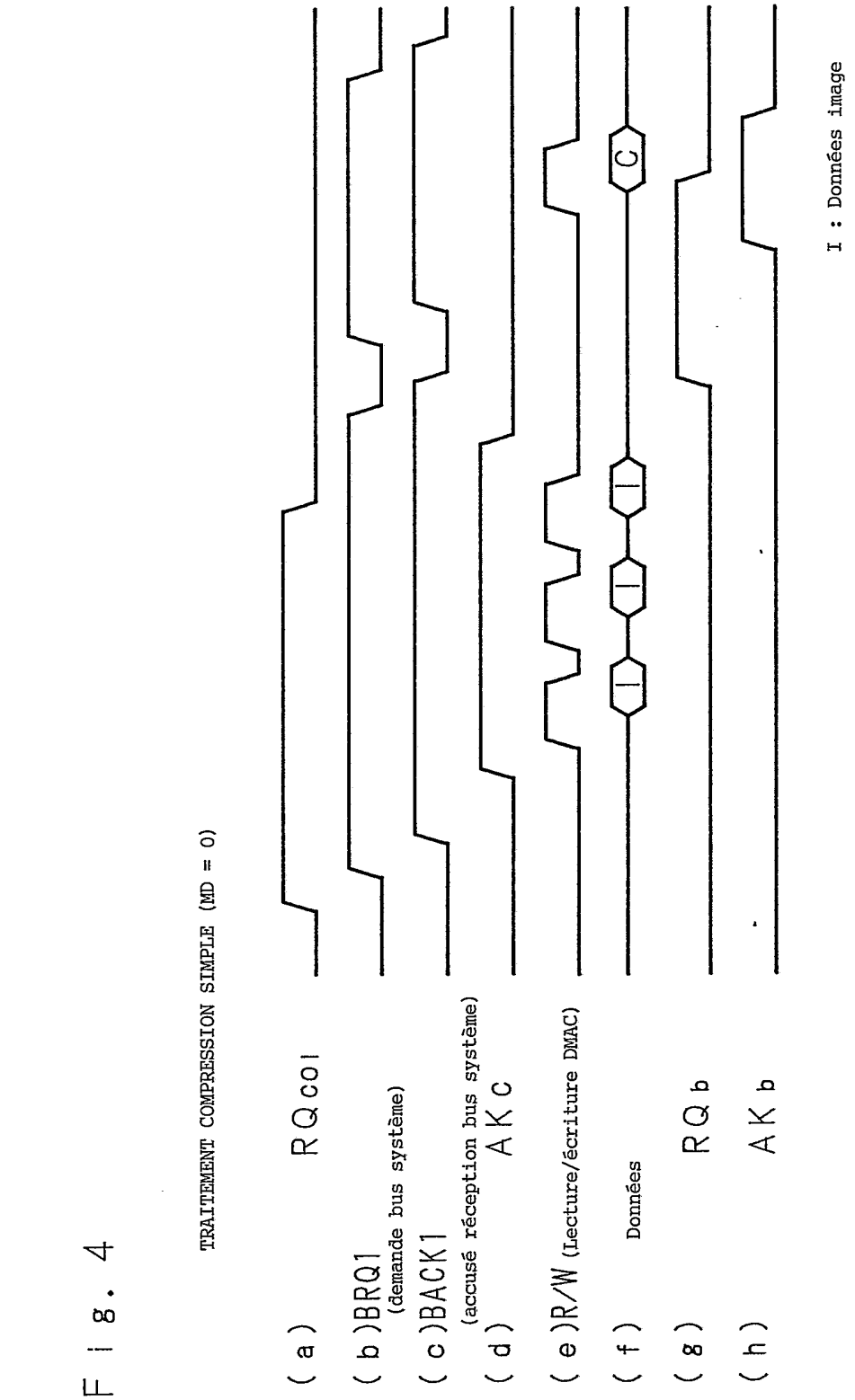

TRAITEMENT COMPRESSION SIMPLE (MD = 0)
(a) RQcol
(b) BRQ1
(demande bus système)
(c) BACK1
(accusé réception bus système)
(d) AKc
(e) R/W (Lecture/écriture DMAC)
(f) Données
I
I
I
C
(g) RQb
(h) AKb
I : Données image

Fig. 5

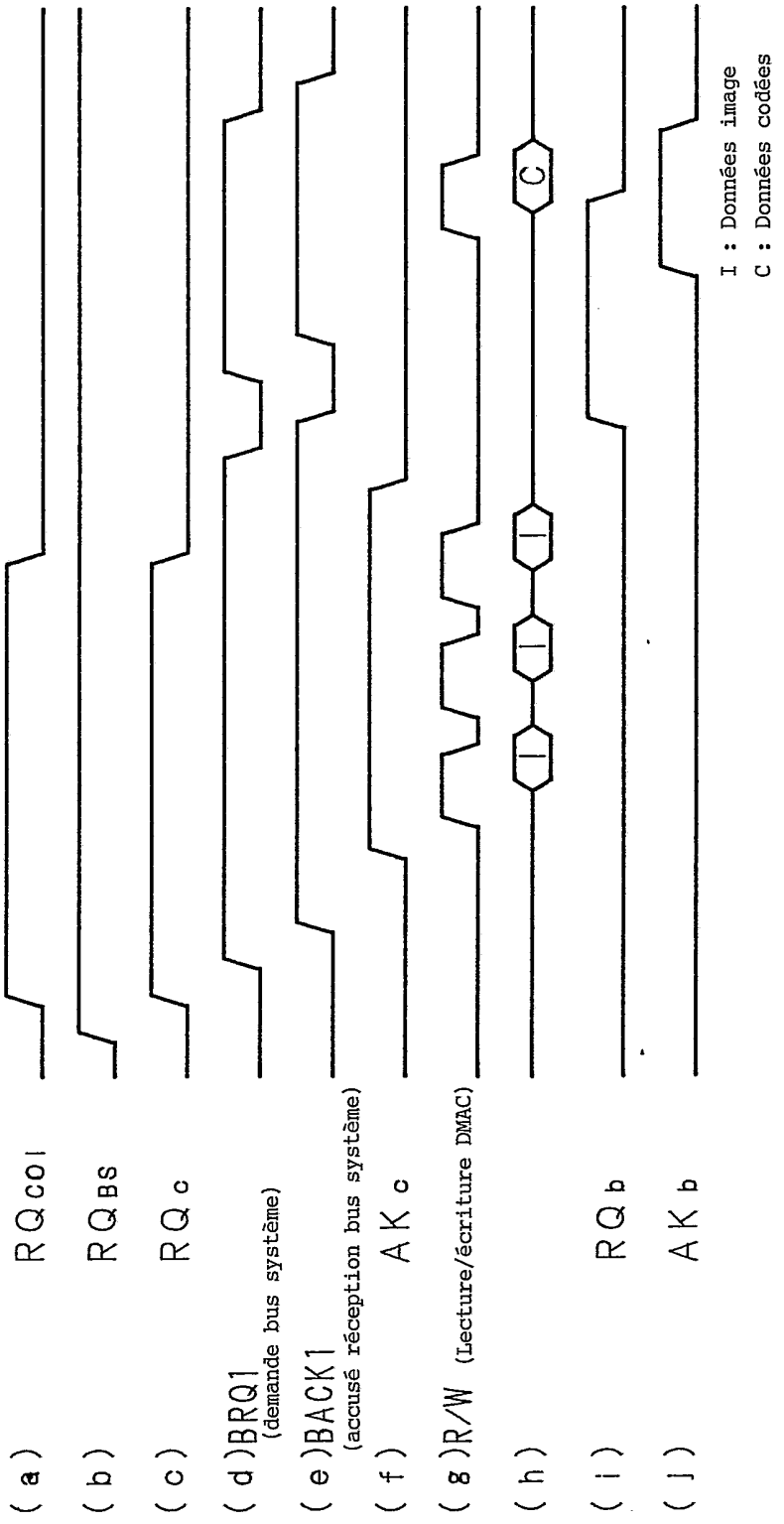
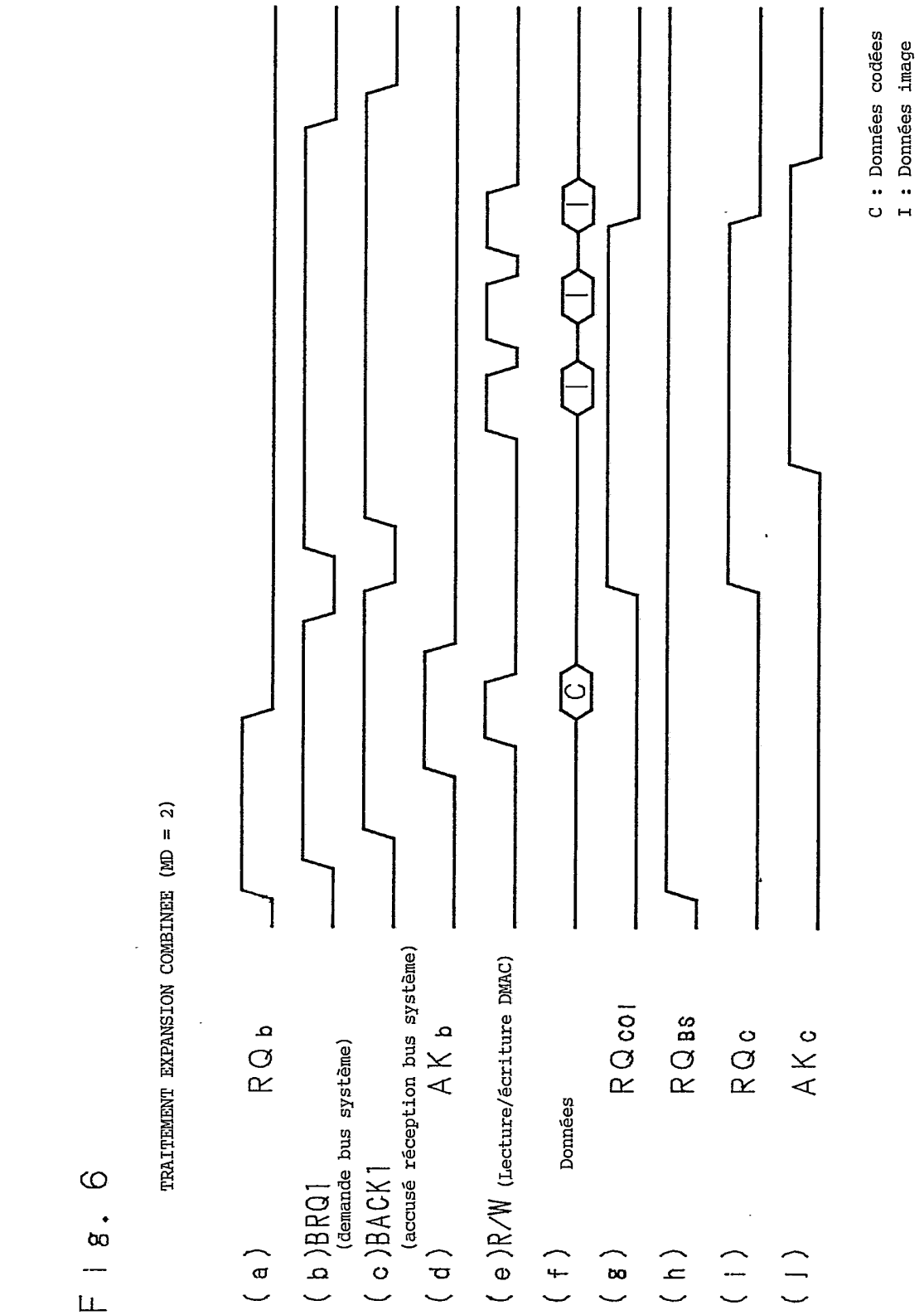

TRAITEMENT COMPRESSION COMBINEE (MD = 4)
(a) RQcol
(b) RQBS
(c) RQc
(d) BRQ1
(demande bus système)
(e) BACK1
(accusé réception bus système)
(f) AKc
(g) R/W (Lecture/écriture DMAC)
(h)
(i) RQb
(j) AKb
I
C
I
I
C
I : Données image
C : Données codées

Fig. 6


TRAITEMENT EXPANSION COMBINEE (MD = 2)
(a) RQb
(b)BRQ1
(demande bus système)
(c)BACK1
(accusé réception bus système)
(d) AKb
(e)R/W (Lecture/écriture DMAC)
(f) Données
(g) RQcol
(h) RQBS
(i) RQc
(j) AKc
C
I
I
I
C : Données codées
I : Données image

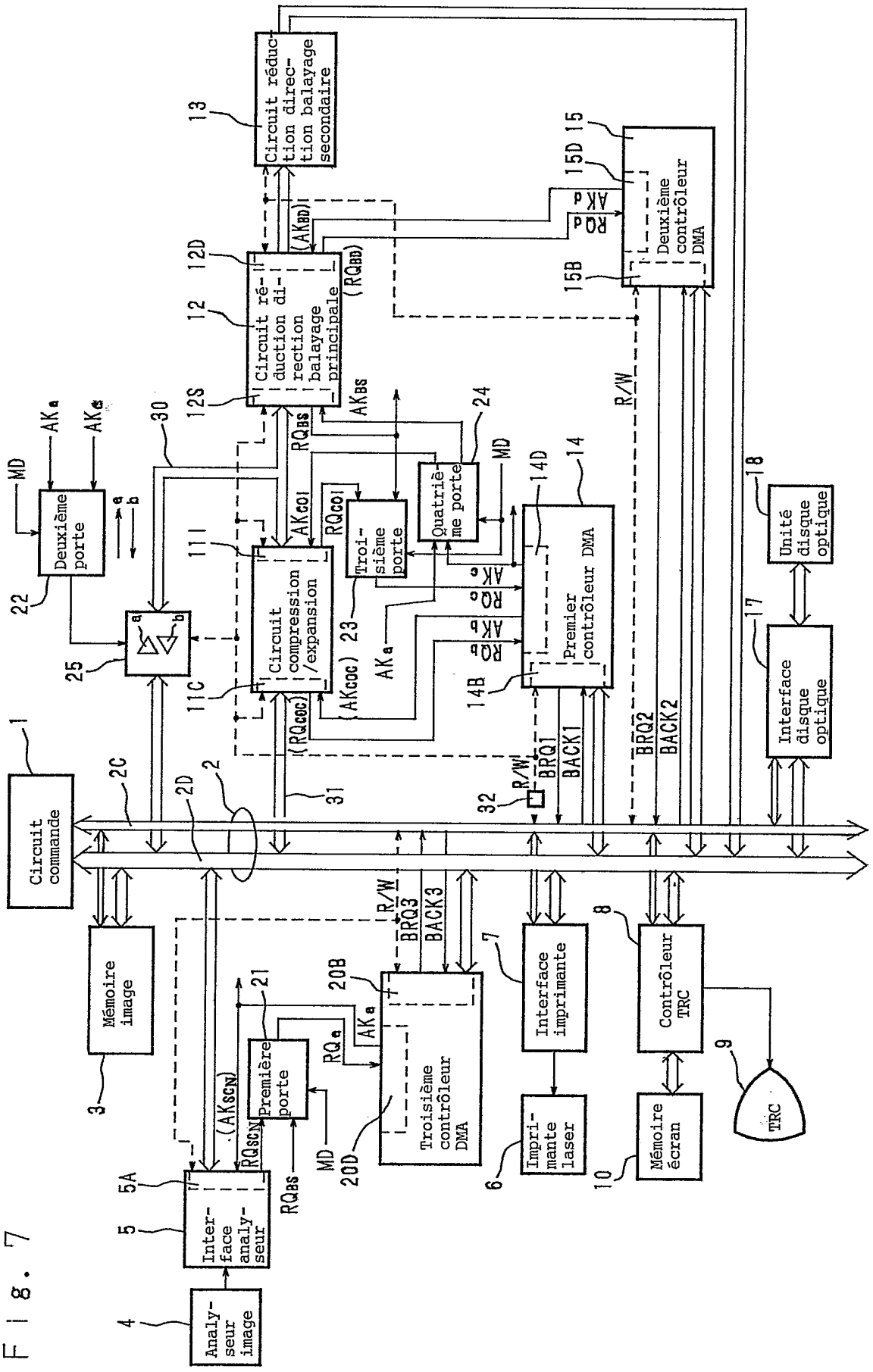
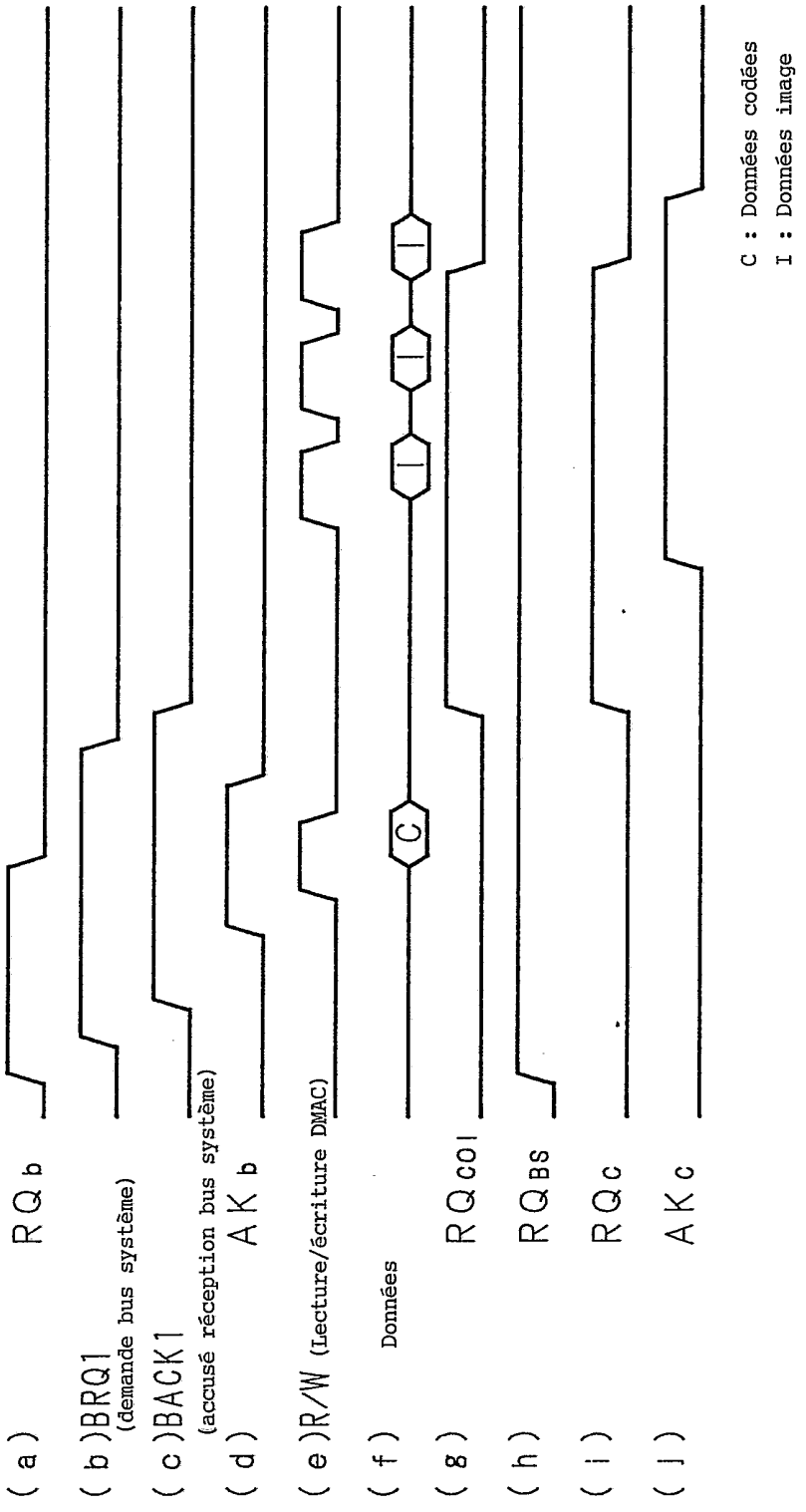

Circuit réduction direction balayage secondaire
Circuit réduction direction balayage principale
Deuxième contrôleur DMA
Deuxième porte
Circuit compression /expansion
Troisième porte
Quatrième porte
Premier contrôleur DMA
Unité disque optique
Interface disque optique
Circuit commande
Mémoire image
Première porte
Troisième contrôleur DMA
Interface imprimante
Contrôleur TRC
Interface analyseur
Analyseur image
Imprimante laser
Mémoire écran
TRC
R/W
BRQ1
BRQ2
BRQ3
BACK1
BACK2
BACK3
MD

Fig. 7

Fig. 8


TRAITEMENT EXPANSION COMBINEE VIRTUELLE (MD = 2)
(a) RQb
(b) BRQ1
(demande bus système)
(c) BACK1
(accusé réception bus système)
(d) AKb
(e) R/W (lecture/écriture DMAC)
(f) Données
C
I
I
I
(g) RQCOI
(h) RQBS
(i) RQc
(j) AKc
C : Données codées
I : Données image