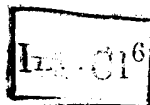


公告本

297159

申請日期	84. 10. 28
案 號	84111429
類 別	H01L 27/11

A4
C4

297159

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	靜態隨機存取記憶體裝置及其製造方法
	英 文	STATIC RANDOM ACCESS MEMORY DEVICE AND MANUFACTURING METHOD THEREOF
二、發明人	姓 名	李 燦 朝
	國 籍	韓 國
	住、居所	大韓民國漢城市恩平區碌礪洞117-27番地
三、申請人	姓 名 (名稱)	韓商・三星電子股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	金 光 浩

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

韓 國 (地 區) 申 請 專 利 , 申 請 日 期 : 1994.12.31 案 號 : 94-40680 , ☐ 有 ☐ 無 主 張 優 先 權

有 關 微 生 物 已 寄 存 於 : , 寄 存 日 期 : , 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明係有關一種靜態隨機存取記憶體 (SRAM) 裝置及其製造方法，特別針對具有其中之金屬佈線層經由與週邊部份內的接觸孔同時形成的單元陣列部份內之接觸孔而被連接到電源細線之一種結構的SRAM裝置及其製造方法。

在半導體記憶體裝置的領域中，依記憶體容量的觀點而言，SRAM裝置通常被認為是次於動態隨機存取記憶體 (DRAM) 裝置。然而，由於它的高處理速度與製造上的簡單性，SRAM記憶體裝置已經被廣泛地使用於小型至中型容量的裝置中。SRAM記憶體單元主要由兩組正反器電路組成，此等正反器電路包括有兩個傳送電晶體、兩個驅動電晶體及兩個負載裝置（也就是說，電阻或MOS電晶體）。在此，被儲存的信息是以正反器的輸入與輸出端之間的電壓差，也就是節點累積電荷，而保存。此電荷經由負載裝置由電源線補充。因此，SRAM記憶體裝置不像DRAM裝置般需要恢復之功能。

SRAM單元可使用空乏型NMOS電晶體當做該單元的負載裝置，但由於此法的高電功率消耗，目前已不用此法。取而代之，消耗較少電功率並且能容易地被製造，具有高電阻的複晶矽已被廣泛地使用。然而，由於對記憶體容量之與日俱增的需求，複晶矽的高電阻值逐漸降低了負載電流與洩漏電流之間的差距，因此降低了記憶體裝置的製造良品率。為了解決此問題，一種採用PMOS薄膜電晶體 (TFT)為負載裝置的CMOS型SRAM單元被採用。

第1圖是傳統的SRAM單元的線路圖，顯示一個採用

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

PMOS TFT作為負載電阻器的完整的CMOS SRAM單元。該CMOS SRAM單元包含有一NMOS第一傳送電晶體 T_1 ，其形成於該單元一側，具有連接至字組線的閘極與連接至第一位元線的汲極；一形成於該單元另一側的NMOS第二傳送電晶體 T_2 ，其具有連接到字組線的閘極與連接到第二位元線的汲極；一NMOS第一驅動電晶體 T_3 ，其汲極連接至第一傳送電晶體 T_1 的源極，其源極接地(V_{ss})，並且其閘極連接至第二傳送電晶體 T_2 的源極；一NMOS第二驅動電晶體 T_4 ，其汲極連接到第二傳送電晶體 T_2 ，其源極接地並且其閘極連接到第一傳送電晶體 T_1 的源極；一PMOS第一TFT T_5 ，其汲極連接到NMOS第一驅動電晶體 T_3 的汲極，其源極連接到電源極(V_{DD})，其閘極連接到NMOS第一驅動電晶體 T_3 的閘極以及NMOS第二傳送電晶體 T_2 的源極；以及一PMOS第二TFT T_6 ，其汲極連接至NMOS第二驅動電晶體 T_4 的汲極，其源極連接至電源線，其閘極連接到NMOS第二驅動電晶體 T_4 的閘極以及NMOS第一傳送電晶體 T_1 的源極。

在此，為了有低電流消耗及待命狀態時穩定的資料記憶能力，當做PMOS TFT的通道用的複晶矽層通常以薄的厚度形成。同樣的，電源線 V_{DD} 在預定的位置被連接到金屬佈線層，以承載記憶體裝置的電源供應，而且通常由與上述複晶矽層相同的傳導層所組成。然而，當如此薄的複晶矽層被使用時，由於提供固定的電力至PMOS TFT的通道與整個記憶體單元的電源線有一樣薄的厚度，連接電源線以及金屬佈線層是困難的。也就是說，當電源線經由接觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

被連接到金屬佈線層時，由於單元陣列部份與週邊電路部份之間的階狀差，被很薄地形成的電源線不可避免地接觸孔形成的過程中被蝕刻了。這問題將參考第2A與2B圖，予以較詳細地描述。

第2A圖是顯示經由接觸孔連接電源線與金屬佈線層的傳統方法之配置圖，且第2B圖是沿著第2A圖的A-A'線切割的橫截面圖。

參看第2A圖，參考數字10表示形成電源線的光罩樣式，參考數字12表示形成金屬佈線層的光罩樣式，參考數字14和14'分別表示藉以連接金屬佈線層至電源線的第一接觸孔以及藉以連接金屬佈線層至基體的第二接觸孔。

參看第2B圖，參考數字20表示半導體基體，參考數字22和26分別表示第一和第二絕緣層，參考數字24表示在記憶體裝置的單元陣列部份內形成的電源線，而參考數字28和28'分別表示出現在單元陣列部份和週邊電路部份內的金屬佈線層的蝕刻樣式。

依照以上的結構，由於第一和第二接觸孔14和14'通常同時地被形成，也就是說，經由相同的蝕刻程序，由非常薄的一層體形成的電源線24在接觸孔形成的過程中被蝕刻了，這是因為在諸接觸孔形成於其上之諸部份間的階狀差，也就是在單元陣列部份和週邊電路部份之間的階狀差而造成。因此，當形成金屬佈線層的金屬層被沈積時，金屬佈線層28與電源線24即被不良地連接。

作為解決上述問題的方法，第一和第二接觸孔可各別

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

地被形成。然而，這方法使製造程序極度地複雜化。

另一種被建議的方法為藉著首先在接觸孔將被形成的基體內形成一P'活性層，電源線和金屬佈線層彼此被間接地連接。這方法將參考第3A和3B圖予以描述。

第3A圖是顯示經由一P'活性層以連接電源線和金屬佈線層的傳統方法之配置圖，第3B圖是沿著第3A圖的B-B'線切割的橫截面圖。在此，相同的元件被以與第2A及2B圖中相同的參考數字指示，惟在第3A圖中，參考數字16表示形成P'活性層的光罩樣式以及參考數字15和15'分別表示連接P'活性層16至電源線和金屬佈線層的接觸孔，並且在第3B圖中，參考數字21表示一場氧化物層以及參考數字27表示形成於基體表面的P'活性層。

依照以上的結構，電源線和金屬佈線層可經由P'活性層被連接。然而，為了連接兩個接觸孔，額外增加的佈設面積是必須的，因此增加了晶片面積。

為了解決上述問題，本發明之一目的是提供一靜態隨機存取記憶體裝置，其具有一緩衝層，可避免當不同的接觸孔被同時地形成時，因蝕刻深度不同所導致的過度蝕刻。

本發明的另一個目的是提供一用以製造上述靜態隨機存取記憶體裝置的方法。

為達成本發明的第一個目的，一靜態隨機存取記憶體裝置被提供，其包含有：分割成一單元陣列部份和一週邊電路部份的一半導體基體；一第一絕緣層，用以將形成於

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

基體上的諸裝置絕緣於一薄膜電晶體；一傳導層，形成於單元陣列部份內的第一絕緣層上，以供應電力；一緩衝層，形成於單元陣列部份內的傳導層上；一第二絕緣層，形成於單元陣列部份內的緩衝層上和週邊電路部份的第一絕緣層上；一第一金屬佈線樣式，形成於第二絕緣層上，並且經由穿透第二絕緣層與緩衝層而形成的一第一接觸孔連接至傳導層，因此暴露出單元陣列部份內的傳導層；以及一第二金屬佈線樣式，形成於第二絕緣層上並且經由穿透第二絕緣層與第一絕緣層而形成的第二接觸孔連接至基體，因此暴露出週邊電路部份內的半導體基體。

依照本發明的一較佳實施例，第二絕緣層是雙重層，包含有一下HTO層與一上BPSG層；而且緩衝層是由例如矽氮化物的材料所組成，其相對於第一和第二絕緣層的蝕刻分離性很高，其厚度為500至1000Å。

相同地，傳導層以300至500Å的厚度形成是較合宜的。

為達成本發明的第二個目的，一種製造靜態隨機存取記憶體裝置的方法被提供，其包含有下列步驟：(a)在一半導體基體上形成一第一絕緣層；(b)在第一絕緣層上形成一傳導層與一緩衝層；(c)完成該傳導與緩衝層的光罩樣式；(d)在傳導層與緩衝層被完成樣式後，在半導體基的整個表面上形成一第二絕緣層；(e)藉由蝕刻該絕緣層，形成一第一接觸孔以暴露緩衝層，並且藉由蝕刻第二絕緣層與第一絕緣層，形成一第二接觸孔以暴露基體；(f)藉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

著蝕刻被第一接觸孔所暴露的緩衝層，暴露傳導層的一部份；(g)在傳導層的一部份被暴露後，藉著沈積一導性材料在半導體基體的整個表面上，並且完成被沈積的導性材料之光罩樣式，形成一經由第一接觸孔而被連接至傳導層的第一金屬佈線樣式，並且形成一經由第二接觸孔而被連接到基體的第二金屬佈線樣式。

依本發明的一較佳實施例，在步驟(e)中第一及第二絕緣層的蝕刻程序中，該緩衝層避免了傳導層被蝕刻。另一方面，該緩衝層由矽氮化物形成，第一絕緣層由HTO製造而且第二絕緣層由HTO和BPSG所製造。又第一接觸孔形成於單元陣列部份內而且第二接觸孔形成於週邊電路部份內是較合宜的，而且傳導層被用作為一薄膜電晶體的通道及一電源線是較佳的。

依本發明，具有不同深度的接觸孔可被形成而不致過度蝕刻。

本發明的上述目的及優點，將可由參看附圖所作下列較佳實施例之詳細說明而更明白，其中：

第1圖是常見的利用PMOS TFT為負載電阻器的CMOS SRAM單元的線路圖；

第2A圖是顯示經由接觸孔以連接電源線和金屬佈線層的傳統方法之配置圖；

第2B圖是沿著第2A圖的A-A'線切割的垂直截面圖；

第3A圖是顯示經由P⁺活性層以連接電源線和金屬佈線層的傳統方法之配置圖；

五、發明說明(7)

第3B圖是沿著第3A圖的B-B'線切割的垂直截面圖；

第4圖是顯示依循本發明的靜態隨機存取記憶體裝置之結構的橫截面；以及

第5A到5E圖是依序顯示用以製造依循本發明之靜態隨機存取記憶體裝置之方法的圖面。

參看第4圖，參考數字50表示一半導體基體，參考數字52表示供隔絕下層裝置與薄膜電晶體(TFT)的一第一絕緣層，參考數字54表示用以提供固定電力至單元的一傳導層，參考數字56表示為了預防傳導層54在接觸孔形成過程中被蝕刻而形成的一緩衝層；參考數字58表示一第二絕緣層，其係用以隔離傳導層54並且將在下層的結構所導致的不平坦表面(小階梯)加以平坦化；而參考數字64與64'分別表示金屬佈線層的第一和第二光罩樣式，其分別形成於單元陣列和週邊電路部份，而且經由第一和第二接觸孔 h_1 和 h_2 (見第50圖)，被連接至傳導層54。在此由於在SRAM裝置中，傳導層54既被當做TFT通道又被當做電源線，它以很薄的厚度被形成。

在此，緩衝層56是由蝕刻分離性相對於第一和第二絕緣層52和58很高的材料所製成，藉以避免傳導層54在第一和第二接觸孔 h_1 和 h_2 形成的過程中被蝕刻。第一絕緣層52由高溫氮化物(HTO)製造，第二絕緣層58由HTO與硼磷矽玻璃(BPSG)製造，而且緩衝層56由蝕刻分離性相對於HTO與BPSG層很高的矽氮化物製造是較佳的。

依本發明的結構，由於緩衝層是由蝕刻分離性相對於

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (8)

在接觸孔形成過程中被蝕刻的層體很高的材料所製造，因此緩衝層就作用如同蝕刻防止層，即使當接觸孔在單元陣列部份中與週邊電路部份中同時地被形成，薄的傳導層也不會被蝕刻。於是細電源線及金屬佈線層可經由第一接觸孔被連接。

第5A至5E圖依序地是依本發明而製造靜態隨機存取記憶體裝置之方法的表示圖。

第5A圖顯示形成傳導層54與緩衝層56的步驟。用以隔絕較低層體與薄膜電晶體的第一絕緣層52藉著沈積矽氧化物，例如HTO，而形成。然後，用以形成TFT通道及電源線的傳導層54藉由沈積比如複晶矽的傳導性材料在第一絕緣層52之上而形成。接下來，離子被佈植在傳導層54的通道區域（未繪示出）以形成TFT通道。而後緩衝層56在傳導層54之上，以蝕刻分離性相對於HTO與BPSG層很大的一種絕緣材料形成。在此，緩衝層56的厚度為500至1000Å並且可由矽氮化物所形成。

第5B圖顯示完成傳導層54的樣式之步驟。傳導層54被完成樣式以形成TFT通道與電源線。在此，緩衝層56同時地被完成樣式是較合宜的。

第5C圖顯示形成第二絕緣層58的步驟。用於隔絕傳導層54並且將由在下層的結構造成的不平坦表面平坦化的第二絕緣層58，藉著依序地沈積絕緣材料，例如HTO與BPSG，而被形成於傳導層54所完成樣式所生成結構之上。

在此，HTO是用以避免BPSG的硼和磷被擴散到傳導層

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(9)

54的側面。

第5D圖顯示形成第一和第二接觸孔 h_1 和 h_2 的步驟。光阻劑被沈積在第二絕緣層58形成之後所生成結構的整個表面上，並且一光阻劑樣式（未繪示出）利用形成接觸孔的光罩樣式而形成。第二絕緣層58然後利用光阻劑樣式作為蝕刻光罩，被選擇性地濕蝕刻至一部份的厚度，而後針對第二絕緣層58的剩餘厚度和週邊電路部份內的第一絕緣層52，執行乾蝕刻。結果，用以暴露記憶體單元陣列部份內的緩衝層56的第一接觸孔 h_1 和用以暴露週邊電路部份內的基體的第二接觸孔 h_2 被同時地形成於基體上。因此，當第一和第二接觸孔 h_1 和 h_2 形成時，以蝕刻分離性相對於第一和第二絕緣層52和58很大的材料形成的緩衝層56，即避免了在其下面的傳導層54被蝕刻。

第5E圖顯示了用以形成金屬佈線層的第一和第二樣式64和64'的步驟。首先，傳導層54藉由蝕刻暴露在第一接觸孔 h_1 內的緩衝層56而被暴露，而後金屬層藉著沈積一傳導性材料而被形成於先前生成之結構的整個表面上。其次，藉由對沈積的傳導性材料完成樣式，連接到傳導層54的第一樣式64和連接至基體50的第二樣式64'即被形成。

依照上述的本發明中較佳實施例的製造方法，當諸接觸孔由同時被形成至彼此不同之深度時，因為蝕刻量不同而導致的過小的蝕刻邊限的問題即可被解決。因此，在記憶體體元區域內用以連接電源線與金屬佈線層的接觸孔，和在週邊電路部份內用以連接基體與金屬層的接觸孔，即

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

可同時地被形成。

本發明不受限於上面所述之特別實施例，並且對於熟悉此技藝者將知本發明可有進一步之修正與改進。

元件標號對照

10	 電源線光罩樣式	27	 P ⁺ 活性層
12	 金屬佈線層光罩樣式	28	 單元陣列部份金屬佈線層蝕刻樣式
14	 第一接觸孔	28'	 週邊電路部份金屬佈線層蝕刻樣式
14'	 第二接觸孔	50	 半導體基體
15	 接觸孔	52	 第一絕緣層
15'	 接觸孔	54	 傳導層
16	 P ⁺ 活性層光罩樣式	56	 緩衝層
20	 半導體基體	58	 第二絕緣層
21	 場氧化物層	64	 金屬佈線層第一樣式
22	 第一絕緣層	64'	 金屬佈線層第二樣式
24	 電源線		
26	 第二絕緣層		

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

靜態隨機存取記憶體裝置及其製造方法)

本案提供一靜態隨機存取記憶體裝置及其製造方法。該靜態隨機存取記憶體裝置包括一半導體基體，其分割成單元陣列部份及週邊電路部份；一第一絕緣層，供隔絕形成於基體上的諸裝置與一薄膜晶體；一傳導層形成於單元陣列部份內的第一絕緣層上，以供應電力；一緩衝層形成於單元陣列部份內的傳導層上；一第二絕緣層，形成於單元陣列部份內的緩衝層上以及週邊電路部份內的第一絕緣層上；一第一金屬佈線樣式，形成於第二絕緣層上並且經由穿透第二絕緣層及緩衝層形成的第一接觸孔而連接到傳

(接下頁)

英文發明摘要(發明之名稱： STATIC RANDOM ACCESS MEMORY DEVICE AND MANUFACTURING METHOD THEREOF)

A static random access memory device and a method for manufacturing thereof are provided. The static random access memory device includes a semiconductor substrate divided into a cell array portion and a periphery circuit portion; a first insulating layer for insulating devices formed on the substrate from a thin-film transistor; a conductive layer formed on the first insulating layer in the cell array portion, for supplying power; a buffer layer formed on the conductive layer in the cell array portion; a second insulating layer formed on the buffer layer in the cell array portion and on the first insulating layer of the periphery circuit portion; a first metal wiring pattern formed on the second insulating layer and connected to the conductive layer via a first contact hole which is formed passing through the second insulating layer and the buffer layer, thus exposing the conductive layer in the cell array portion; and a second metal wiring pattern formed on

四、中文發明摘要(發明之名稱:)

(承上頁)

導層，因此暴露單元陣列部份內的傳導層；以及一第二金屬佈線樣式，其形成於第二絕緣層上並且經由穿透第二絕緣層與第一絕緣層形成的第二接觸孔而連接到基體，因此暴露週邊電路部份內的半導體基體。因此，由於在單元陣列部份內及週邊電路部份內形成之接觸孔其蝕刻深度不同所導致之過小的蝕刻邊限之問題可被解決，而且諸接觸孔可被同時地形成於單元陣列部份的薄固定電源線上以及週邊電路部份的基體上，藉以同時地連接金屬佈線層到薄電源線與基體。

英文發明摘要(發明之名稱:)

the second insulating layer and connected to the substrate via a second contact hole which is formed passing through the second insulating layer and the first insulating layer, thus exposing the semiconductor substrate in the periphery circuit portion. Therefore, the problem of a too-small etching margin caused by the difference in etched depth of the contact holes formed in the cell array portion and the peripheral circuit portion can be solved and the contact holes are simultaneously formed on the thin constant power line of the cell array portion and on the substrate of the periphery circuit portion, to thereby connect the metal wiring layer to both the thin power line and the substrate, simultaneously.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

237159

六、申請專利範圍

1. 一種靜態隨機存取記憶體裝置，其包含有：

一半導體基體，其被分割成一單元陣列部份與一週邊電路部份；

一第一絕緣層，用以將形成於該基體上的裝置隔絕於一薄膜電晶體；

一傳導層，形成在該單元陣列部份內的該第一絕緣層上，用以供應電力；

一緩衝層，形成於該單元陣列部份內的該傳導層上；

一第二絕緣層，形成於該單元陣列部份內的緩衝層上以及該週邊電路部份的該第一絕緣層上；

一第一金屬佈線樣式，形成於該第二絕緣層上並且經由穿透該第二絕緣層與該緩衝層而形成的一第一接觸孔連接到該傳導層，因此暴露該單元陣列部份內的該傳導層；以及

一第二金屬佈線樣式，形成於該第二絕緣層上並且經由穿透該第二絕緣層與該第一絕緣層形成的一第二接觸孔連接到該基體，因此暴露該週邊電路部份內的該半導體基體。

2. 如申請專利範圍第 1 項之靜態隨機存取記憶體裝置，其中該第二絕緣層是一種包括一下方 HT0 層與一上方 BPSG 層的雙重層。

3. 如申請專利範圍第 1 項之靜態隨機存取記憶體裝置，其中該緩衝層是由相對於該第一和第二絕緣層，其蝕

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

刻分離性很高的一種材料所形成。

- 4.如申請專利範圍第3項之靜態隨機存取記憶體裝置，其中該緩衝層是由矽氮化物所形成。
- 5.如申請專利範圍第1項之靜態隨機存取記憶體裝置，其中該緩衝層是以500至1000Å的厚度而形成。
- 6.如申請專利範圍第1項之靜態隨機存取記憶體裝置，其中該傳導層是以300至500Å的厚度而形成。
- 7.一種用以製造靜態隨機存取記憶體裝置之方法，其包含以下步驟：
 - (a) 在一半導體基體上形成一第一絕緣層；
 - (b) 在該第一絕緣層上形成一傳導層與一緩衝層；
 - (c) 將該等傳導與緩衝層加以形成樣式；
 - (d) 在該等傳導與緩衝層形成樣式之後，在該半導體層基體的整個表面上形成一第二絕緣層；
 - (e) 藉由蝕刻該絕緣層形成用以暴露該緩衝層之一第一接觸孔，並且藉由蝕刻該絕緣層與第一絕緣層形成用以暴露該基體之一第二接觸孔；
 - (f) 藉由蝕刻由該第一接觸孔暴露的緩衝層，暴露該傳導層的一部份；以及
 - (g) 在該傳導層的一部份被暴露之後，藉由沈積一傳導性材料於該半導體基體的整個表面上，以及將該沈積的傳導性材料形成樣式，形成經由該第一接觸孔而連接到該傳導層之一第一金屬佈線樣式並且形成經由該第二接觸孔連接到該基體之一第

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

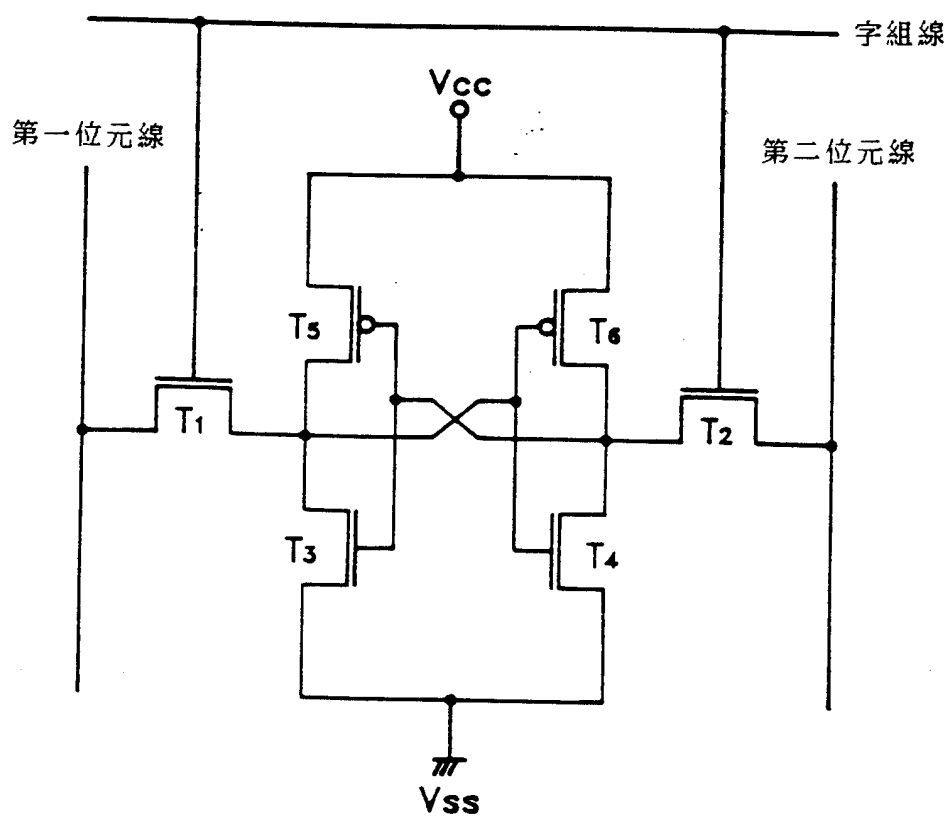
二金屬佈線樣式。

- 8.如申請專利範圍第7項之製造靜態隨機存取記憶體裝置的方法，其中該緩衝層在該步驟(e)內該第一和第二絕緣層的蝕刻程序中避免該傳導層被蝕刻。
- 9.如申請專利範圍第7項之製造靜態隨機存取記憶體裝置的方法，其中該緩衝層是由矽氮化物所形成。
- 10.如申請專利範圍第7項之製造靜態隨機存取記憶體裝置的方法，其中該第一絕緣層由HTO製成並且該第二絕緣層由HTO與BPSG製成。
- 11.如申請專利範圍第7項之製造靜態隨機存取記憶體裝置的方法，其中該第一接觸孔被形成於單元陣列部份內並且該第二接觸孔被形成於週邊電路部份內。
- 12.如申請專利範圍第7項之製造靜態隨機存取記憶體裝置的方法，其中該傳導層是當做一薄膜電晶體的通道與一電源線。

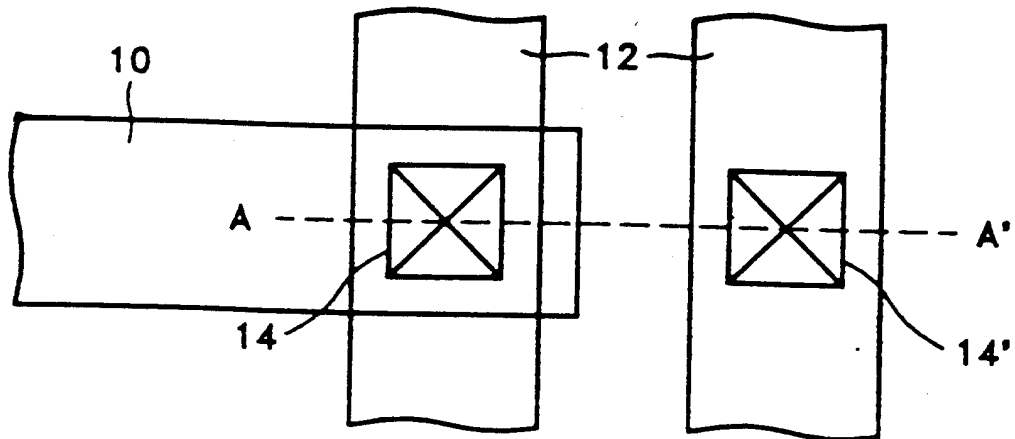
(請先閱讀背面之注意事項再填寫本頁)

訂

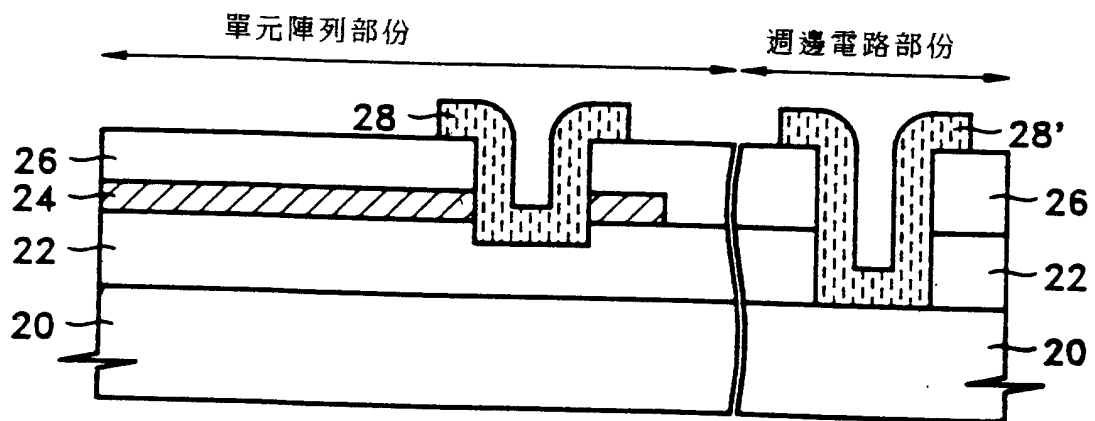
第 1 圖 (習知技藝)



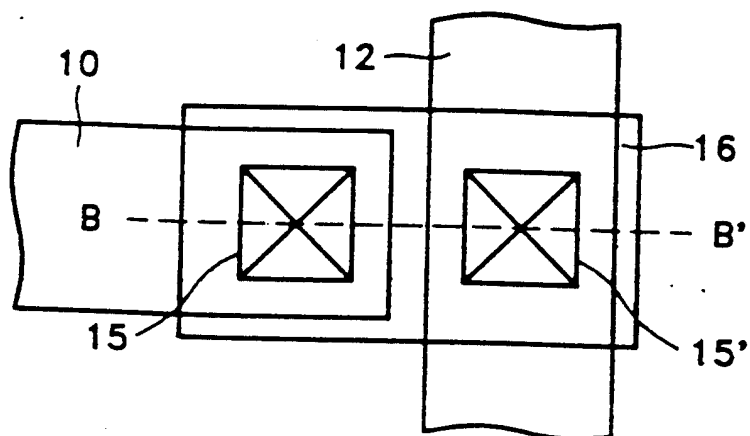
第 2 A 圖 (習知技藝)



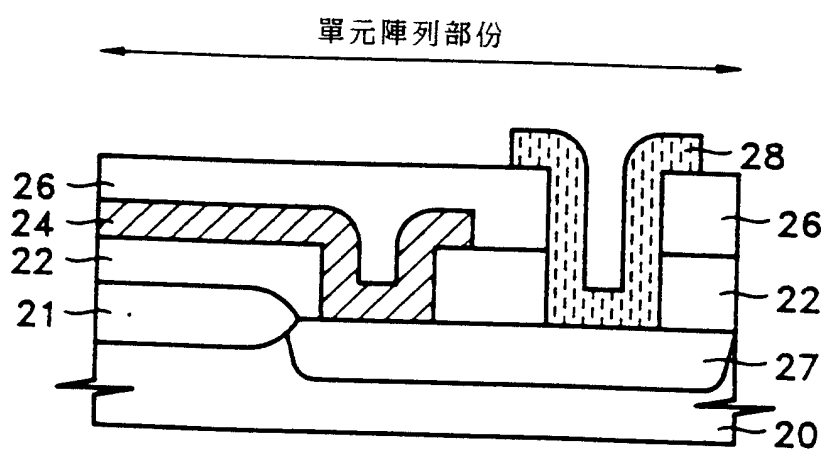
第 2 B 圖 (習知技藝)



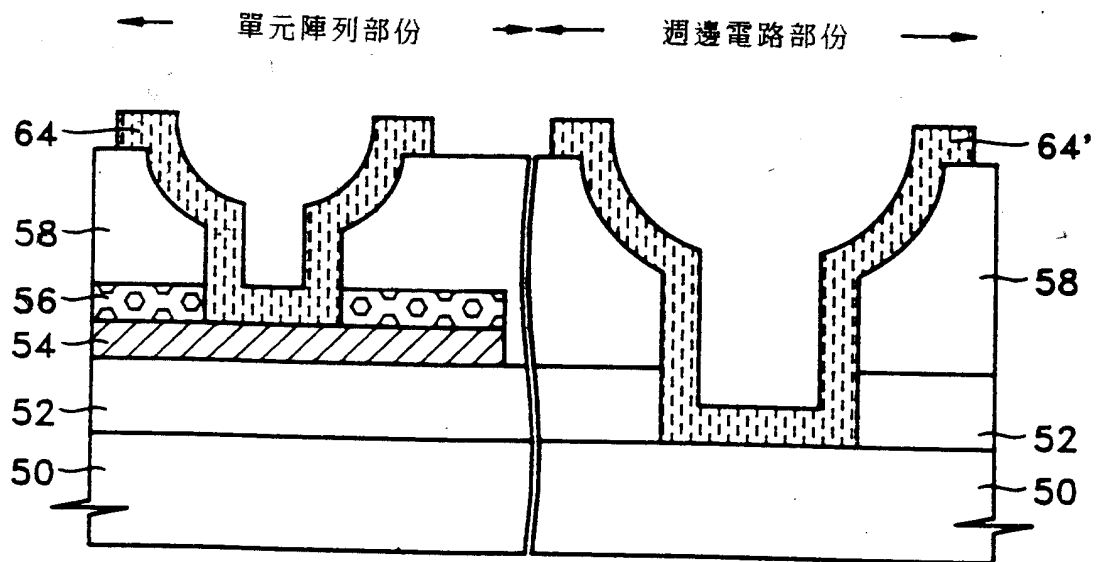
第 3 A 圖 (習知技藝)



第 3 B 圖 (習知技藝)

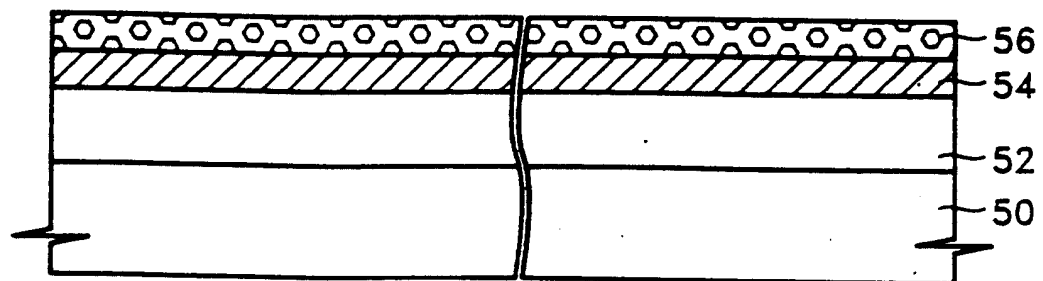


第 4 圖

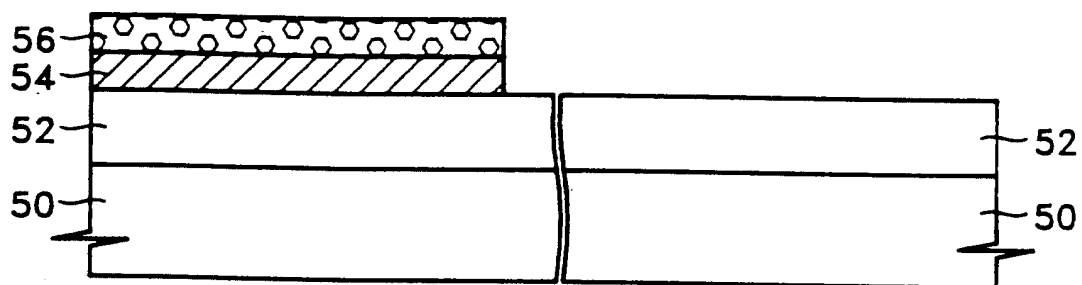


207159

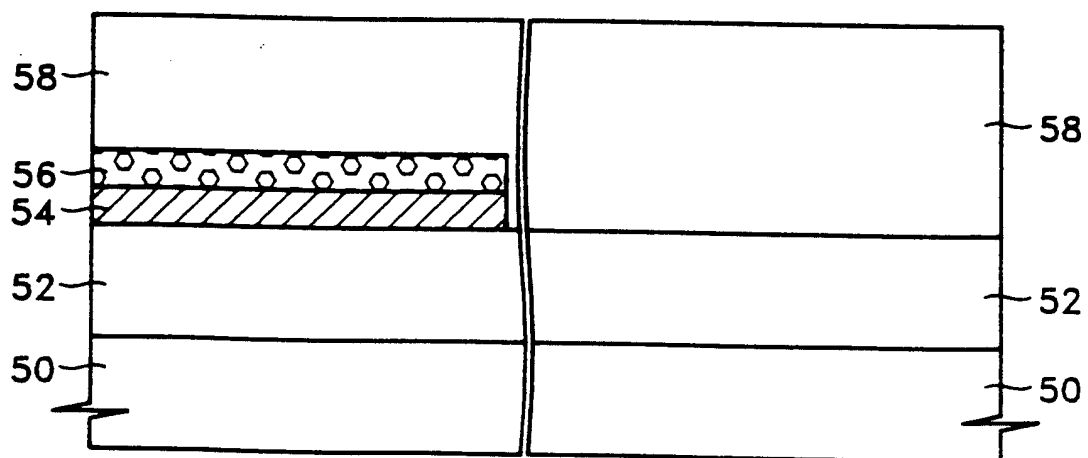
第5A圖



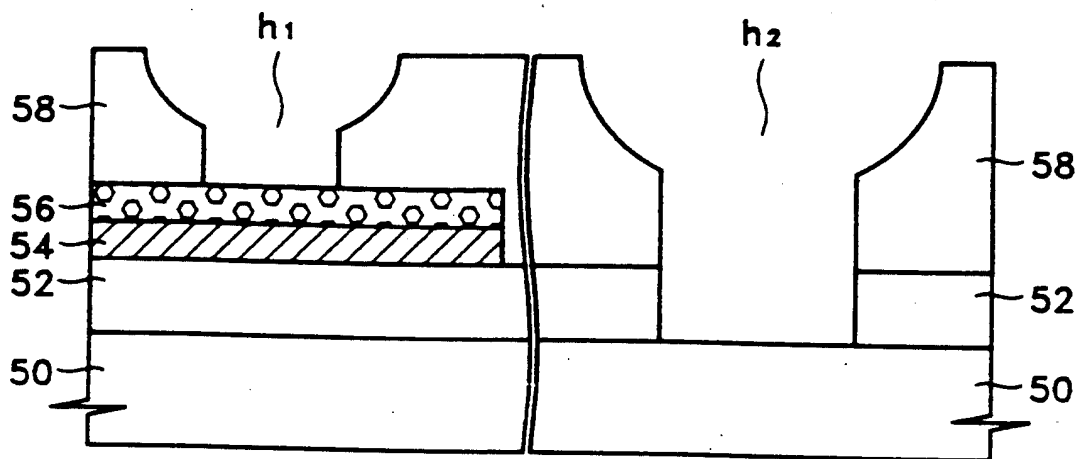
第5B圖



第5C圖



第5D圖



第5E圖

