



(12) 发明专利

(10) 授权公告号 CN 101728383 B

(45) 授权公告日 2014. 12. 24

(21) 申请号 200910209087. 2

CN 101095233 A, 2007. 12. 26, 全文.

(22) 申请日 2009. 10. 30

US 2008/0080221 A1, 2008. 04. 03, 全文.

(30) 优先权数据

审查员 张爽

2008-281647 2008. 10. 31 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 小山润 秋元健吾 津吹将志

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 27/02 (2006. 01)

H01L 29/786 (2006. 01)

H03K 19/094 (2006. 01)

(56) 对比文件

CN 1638277 A, 2005. 07. 13, 全文.

CN 1979862 A, 2007. 06. 13, 全文.

CN 101047336 A, 2007. 10. 03, 全文.

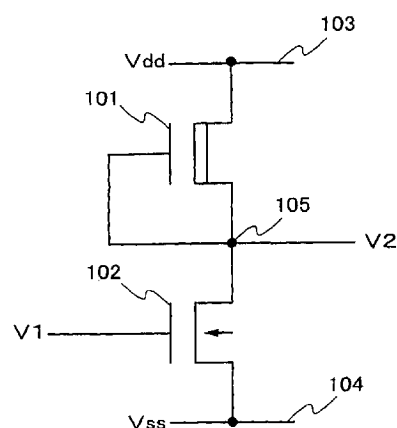
权利要求书4页 说明书34页 附图29页

(54) 发明名称

逻辑电路

(57) 摘要

本发明涉及一种逻辑电路。本发明的目标是要将使用氧化物半导体的晶体管应用于包括增强型晶体管的逻辑电路。该逻辑电路包括耗尽型晶体管 101 和增强型晶体管 102。晶体管 101 和 102 的每个包括栅电极、栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、源电极、及漏电极。晶体管 102 包括设置于第一氧化物半导体层在源电极和漏电极之间的区域之上的还原防止层。



1. 一种逻辑电路,包括:

具有栅极、源极、及漏极的耗尽型晶体管,

具有栅极、源极、及漏极的增强型晶体管,

与增强型晶体管的栅极电连接的第一线端;以及

与所述增强型晶体管连接到所述耗尽型晶体管的那部分电连接的第二线端,

其中高电源电压端与耗尽型晶体管的源极和漏极中的一个电连接,并且耗尽型晶体管的栅极与耗尽型晶体管的源极和漏极中的另一个电连接;

其中增强型晶体管的源极和漏极中的一个与耗尽型晶体管的源极和漏极中的另一个电连接,并且低电源电压端与增强型晶体管的源极和漏极中的另一个电连接,

其中耗尽型晶体管和增强型晶体管的每个包括:

栅电极;

设置于栅电极之上的栅极绝缘层;

设置于栅极绝缘层之上的第一氧化物半导体层;

与第一氧化物半导体层的部分接触的源区和漏区,其中源区和漏区是第二氧化物半导体层;

与源区接触的源电极;以及

与漏区接触的漏电极,

其中增强型晶体管包括在所述第一氧化物半导体层、源电极、及漏电极之上的不可还原膜,

其中耗尽型晶体管不包括在所述第一氧化物半导体层、源电极、及漏电极之上的不可还原膜,

其中所述不可还原膜覆盖所述第一氧化物半导体层中的在源电极和漏电极之间的区域的表面,并且

其中所述增强型晶体管包括在第一氧化物半导体层的表面上于所述源电极和所述漏电极之间的氧空位控制区,其中所述第一氧化物半导体层的表面与同栅极绝缘层接触的表面相反。

2. 根据权利要求1的逻辑电路,其中第一氧化物半导体层和第二氧化物半导体层的每个包含铟、镓、及锌。

3. 根据权利要求1的逻辑电路,其中耗尽型晶体管和增强型晶体管具有相同的导电类型。

4. 根据权利要求1的逻辑电路,其中增强型晶体管的源电极和漏电极中的一个通过在栅极绝缘层中所设置的开口部分与耗尽型晶体管的栅电极接触。

5. 一种逻辑电路,包括:

具有栅极、源极、及漏极的第一晶体管,其中第一时钟信号被输入到第一晶体管的栅极,并且输入信号被输入到第一晶体管的源极和漏极中的一个;

具有输入端和输出端的第一反相器,其中该第一反相器的输入端与第一晶体管的源极和漏极中的另一个电连接;

具有输入端和输出端的第二反相器,其中该第二反相器的输入端与第一反相器的输出端电连接;

第三反相器,它具有与第一反相器的输出端电连接的输入端以及输出输出信号的输出端;以及

具有栅极、源极、及漏极的第二晶体管,其中第二时钟信号被输入到第二晶体管的栅极,第二晶体管的源极和漏极中的一个与第一晶体管的源极和漏极中的另一个电连接,并且第二晶体管的源极和漏极中的另一个与第二反相器的输出端电连接,

其中第一反相器和第二反相器的每个包括:

具有栅极、源极、及漏极的耗尽型晶体管,

具有栅极、源极、及漏极的增强型晶体管,

与增强型晶体管的栅极电连接的第一线端;

与所述增强型晶体管连接到所述耗尽型晶体管的那部分电连接的第二线端,

其中高电源电压端与耗尽型晶体管的源极和漏极中的一个电连接,并且耗尽型晶体管的栅极与耗尽型晶体管的源极和漏极中的另一个电连接;

其中增强型晶体管的源极和漏极中的一个与耗尽型晶体管的源极和漏极中的另一个电连接,并且低电源电压端与增强型晶体管的源极和漏极中的另一个电连接,

其中耗尽型晶体管和增强型晶体管的每个包括:

栅电极;

设置于栅电极之上的栅极绝缘层;

设置于栅极绝缘层之上的第一氧化物半导体层;

与第一氧化物半导体层的部分接触的源区和漏区,其中源区和漏区是第二氧化物半导体层;

与源区接触的源电极;以及

与漏区接触的漏电极,

其中增强型晶体管包括在所述第一氧化物半导体层、源电极、及漏电极之上的不可还原膜,

其中耗尽型晶体管不包括在所述第一氧化物半导体层、源电极、及漏电极之上的不可还原膜,

其中所述不可还原膜覆盖所述第一氧化物半导体层中的在源电极和漏电极之间的区域的表面,并且

其中所述增强型晶体管包括在所述第一氧化物半导体层的表面上于所述源电极和所述漏电极之间的氧空位控制区,其中该第一氧化物半导体层的表面与同栅极绝缘层接触的表面相反。

6. 根据权利要求 5 的逻辑电路,其中第一氧化物半导体层和第二氧化物半导体层的每个包含镓、镓、及锌。

7. 根据权利要求 5 的逻辑电路,其中耗尽型晶体管和增强型晶体管具有相同的导电类型。

8. 根据权利要求 5 的逻辑电路,其中增强型晶体管的源电极和漏电极中的一个通过在栅极绝缘层中所设置的开口部分与耗尽型晶体管的栅电极接触。

9. 一种逻辑电路,包括:

具有栅极、源极、及漏极的耗尽型晶体管,

具有栅极、源极、及漏极的增强型晶体管，
与增强型晶体管的栅极电连接的第一线端；
与所述增强型晶体管连接到所述耗尽型晶体管的那部分电连接的第二线端，
其中高电源电压端与耗尽型晶体管的源极和漏极中的一个电连接，并且耗尽型晶体管的栅极与耗尽型晶体管的源极和漏极中的另一个电连接；
其中增强型晶体管的源极和漏极中的一个与耗尽型晶体管的源极和漏极中的另一个电连接，并且低电源电压端与增强型晶体管的源极和漏极中的另一个电连接，
其中耗尽型晶体管和增强型晶体管的每个包括：
栅电极；
设置于栅电极之上的栅极绝缘层；
设置于栅极绝缘层之上的氧化物半导体层；以及
与该氧化物半导体层的部分接触的源电极和漏电极，
其中增强型晶体管包括在所述氧化物半导体层、源电极、及漏电极之上的不可还原膜，
其中耗尽型晶体管不包括在所述氧化物半导体层、源电极、及漏电极之上的不可还原膜，
其中所述不可还原膜覆盖所述氧化物半导体层中的在源电极和漏电极之间的区域的表面，并且
其中所述增强型晶体管包括在所述氧化物半导体层的表面上于所述源电极和所述漏电极之间的氧空位控制区，其中该氧化物半导体层的表面与同栅极绝缘层接触的表面相反。

10. 根据权利要求 9 的逻辑电路，其中所述氧化物半导体层包含铟、镓、及锌。

11. 根据权利要求 9 的逻辑电路，其中耗尽型晶体管和增强型晶体管具有相同的导电类型。

12. 根据权利要求 9 的逻辑电路，其中增强型晶体管的源电极和漏电极中的一个通过在栅极绝缘层中所设置的开口部分与耗尽型晶体管的栅电极接触。

13. 一种逻辑电路，包括：

具有栅极、源极、及漏极的第一晶体管，其中第一时钟信号被输入到第一晶体管的栅极，并且输入信号被输入到第一晶体管的源极和漏极中的一个；

具有输入端和输出端的第一反相器，其中该第一反相器的输入端与第一晶体管的源极和漏极中的另一个电连接；

具有输入端和输出端的第二反相器，其中该第二反相器的输入端与第一反相器的输出端电连接；

第三反相器，它具有与第一反相器的输出端电连接的输入端以及输出输出信号的输出端；以及

具有栅极、源极、及漏极的第二晶体管，其中第二时钟信号被输入到第二晶体管的栅极，第二晶体管的源极和漏极中的一个与第一晶体管的源极和漏极中的另一个电连接，并且第二晶体管的源极和漏极中的另一个与第二反相器的输出端电连接，

其中第一反相器和第二反相器的每个包括：

具有栅极、源极、及漏极的耗尽型晶体管，

- 具有栅极、源极、及漏极的增强型晶体管，
与增强型晶体管的栅极电连接的第一线端；
与所述增强型晶体管连接到所述耗尽型晶体管的那部分电连接的第二线端，
其中高电源电压端与耗尽型晶体管的源极和漏极中的一个电连接，并且耗尽型晶体管的栅极与耗尽型晶体管的源极和漏极中的另一个电连接；
其中增强型晶体管的源极和漏极中的一个与耗尽型晶体管的源极和漏极中的另一个电连接，并且低电源电压端与增强型晶体管的源极和漏极中的另一个电连接，
其中耗尽型晶体管和增强型晶体管的每个包括：
栅电极；
设置于栅电极之上的栅极绝缘层；
设置于栅极绝缘层之上的氧化物半导体层；以及
与该氧化物半导体层的部分接触的源电极和漏电极，
其中增强型晶体管包括在所述氧化物半导体层、源电极、及漏电极之上的不可还原膜，
其中耗尽型晶体管不包括在所述氧化物半导体层、源电极、及漏电极之上的不可还原膜，
其中所述不可还原膜覆盖所述氧化物半导体层中的在源电极和漏电极之间的区域的表面，并且
其中所述增强型晶体管包括在所述氧化物半导体层的表面上于所述源电极和所述漏电极之间的氧空位控制区，其中该氧化物半导体层的表面与同栅极绝缘层接触的表面相反。
14. 根据权利要求 13 的逻辑电路，其中所述氧化物半导体层包含铟、镓、及锌。
15. 根据权利要求 13 的逻辑电路，其中耗尽型晶体管和增强型晶体管具有相同的导电类型。
16. 根据权利要求 13 的逻辑电路，其中增强型晶体管的源电极和漏电极中的一个通过在栅极绝缘层中所设置的开口部分与耗尽型晶体管的栅电极接触。

逻辑电路

技术领域

[0001] 本发明涉及包括使用氧化物半导体的薄膜晶体管的电路。具体地,本发明涉及逻辑电路。

背景技术

[0002] 形成于平板(例如典型用于液晶显示器件的玻璃基板)上的薄膜晶体管(TFT)一般使用半导体材料(例如非晶硅或多晶硅)来形成。使用非晶硅的 TFT 具有低电场迁移率但却能够随玻璃基板尺寸的增大而变化。另一方面,使用多晶硅的 TFT 具有高电场迁移率,但是需要结晶步骤(例如激光退火)而且并非总能适应于玻璃基板尺寸的增大。

[0003] 因而,其中 TFT 使用作为半导体材料的氧化物半导体来形成以及应用于电子器件或光学器件的技术已经引起了注意。例如,专利文献 1 和 2 各自公开了其中使用氧化锌或 In-Ga-Zn-O 基氧化物半导体作为半导体材料形成 TFT 以及将 TFT 使用于图像显示器件中的开关元件等的技术。

[0004] 其中沟道形成区(也称作沟道区)被设置于氧化物半导体内的 TFT 能够具有比使用非晶硅的 TFT 更高的电场迁移率。氧化物半导体膜能够在 300℃或以下的温度下用溅射法等形成,并且使用氧化物半导体的 TFT 的制造过程比使用多晶硅的 TFT 的更简单。

[0005] 使用这种氧化物半导体形成于玻璃基板、塑料基板等之上的 TFT 有望被应用于显示器件,例如液晶显示器、电致发光显示器(也称作 EL 显示器)、及电子纸。

[0006] [参考文献]

[0007] 专利文献 1:日本公开专利申请 No. 2007-123861

[0008] 专利文献 2:日本公开专利申请 No. 2007-096055

发明内容

[0009] 但是,使用氧化物半导体的常规 TFT 往往是耗尽型 TFT,该耗尽型 TFT 是常导通的,并且 TFT 的阈值电压随时间而变动。因此,将使用氧化物半导体的常规 TFT 应用于由具有所期望的阈值电压的晶体管(例如增强型晶体管,它是常关断的)构建的逻辑电路是困难的。

[0010] 鉴于上述问题,目标是要获得使用氧化物半导体的薄膜晶体管的期望阈值电压,以及具体地,目标是要将薄膜晶体管应用于由具有期望阈值电压的晶体管构建的逻辑电路。

[0011] 本说明书所公开的发明的一种实施方案是包含增强型晶体管的逻辑电路,其中该增强型晶体管在背沟道上包含用于防止还原的层以使阈值电压受到控制。

[0012] 一种实施方案是如下所描述的一种具体结构的逻辑电路。该逻辑电路包括耗尽型晶体管,在该耗尽型晶体管中高电源电压被施加到源极和漏极中的一个,并且栅极与源极和漏极中的另一个电连接;以及增强型晶体管,在该增强型晶体管中第一信号被输入到栅极,源极和漏极中的一个与所述耗尽型晶体管的源极和漏极中的另一个电连接,并且低电

源电压被施加到源极和漏极中的另一个。增强型晶体管将其中增强型晶体管与耗尽型晶体管连接的那部分上的电压输出作为第二信号。耗尽型晶体管和增强型晶体管每个都包括栅电极；设置于栅电极之上的栅极绝缘层；设置于栅极绝缘层之上的第一氧化物半导体层；一对与第一氧化物半导体层的部分接触并用作源区和漏区的第二氧化物半导体层；与前述第二氧化物半导体层中的一个半导体层接触的源电极，其中该第二氧化物半导体层是源区；以及与所述第二氧化物半导体层中的另一半导体层接触的漏电极，其中该第二氧化物半导体层是漏区。增强型晶体管包括在第一氧化物半导体层于源电极和漏电极之间的区域之上的还原防止层。

[0013] 一种实施方案是如下所描述的另一种具体结构的逻辑电路。逻辑电路包括第一晶体管，在该第一晶体管中第一时钟信号被输入到栅极，并且输入信号被输入到源极和漏极中的一个；其输入端与第一晶体管的源极和漏极中的另一个电连接的第一反相器；其输入端与第一反相器的输出端电连接的第二反相器；具有与第一反相器的输出端电连接的输入端以及输出输出信号的输出端的第三反相器；以及第二晶体管，在该第二晶体管中第二时钟信号被输入到栅极，源极和漏极中的一个与第一晶体管的源极和漏极中的另一个电连接，并且源极和漏极中的另一个与第二反相器的输出端电连接。第一反相器和第二反相器每个都包括耗尽型晶体管，在该耗尽型晶体管中高电源电压被施加到源极和漏极中的一个，并且栅极与源极和漏极中的另一个电连接；以及增强型晶体管，在该增强型晶体管中第一信号被输入到栅极，源极和漏极中的一个与前述耗尽型晶体管的源极和漏极中的另一个电连接，并且低电源电压被施加到源极和漏极中的另一个。增强型晶体管将其中增强型晶体管与耗尽型晶体管连接的那部分的电压输出作为第二信号。耗尽型晶体管和增强型晶体管每个都包括栅电极；设置于栅电极之上的栅极绝缘层；设置于栅极绝缘层之上的第一氧化物半导体层；一对与第一氧化物半导体层的部分接触并用作源区和漏区的第二氧化物半导体层；与前述第二氧化物半导体层中的一个半导体层接触的源电极，其中该第二氧化物半导体层是源区；以及与所述第二氧化物半导体层中的另一半导体层接触的漏电极，其中该第二氧化物半导体层是漏区。增强型晶体管包括在第一氧化物半导体层于源电极和漏电极之间的区域之上的还原防止层。

[0014] 增强型晶体管能够包括在第一氧化物半导体层的表面上于源电极和漏电极之间的氧空位控制区，其中该第一氧化物半导体层的表面与同栅极绝缘层接触的表面相对。

[0015] 第一氧化物半导体层和第二氧化物半导体层每个都能够包含铟、镓、及锌。

[0016] 一种实施方案是如下所描述的另一种具体结构的逻辑电路。逻辑电路包括耗尽型晶体管，在该耗尽型晶体管中高电源电压被施加到源极和漏极中的一个，并且栅极与源极和漏极中的另一个电连接；以及增强型晶体管，在该增强型晶体管中第一信号被输入到栅极，源极和漏极中的一个与前述耗尽型晶体管的源极和漏极中的另一个电连接，并且低电源电压被施加到源极和漏极中的另一个。增强型晶体管将其中增强型晶体管与耗尽型晶体管连接的那部分的电压输出作为第二信号。耗尽型晶体管和增强型晶体管每个都包括栅电极；设置于栅电极之上的栅极绝缘层；设置于栅极绝缘层之上的氧化物半导体层；以及氧化物半导体层的部分接触的源电极和漏电极。增强型晶体管包括在氧化物半导体层于源电极和漏电极之间的区域之上的还原防止层。

[0017] 一种实施方案是如下所描述的另一种具体结构的逻辑电路。该逻辑电路包括第

一晶体管,在该第一晶体管中第一时钟信号被输入到栅极,并且输入信号被输入到源极和漏极中的一个;其输入端与第一晶体管的源极和漏极中的另一个电连接的第一反相器;其输入端与第一反相器的输出端电连接的第三反相器;具有与第一反相器的输出端电连接的输入端以及输出输出信号的输出端的第三反相器;以及第二晶体管,在该第二晶体管中第二时钟信号被输入到栅极,源极和漏极中的一个与第一晶体管的源极和漏极中的另一个电连接,并且源极和漏极中的另一个与第二反相器的输出端电连接。第一反相器和第二反相器每个都包括耗尽型晶体管,在该耗尽型晶体管中高电源电压被施加到源极和漏极中的一个,并且栅极与源极和漏极中的另一个电连接;以及增强型晶体管,在该增强型晶体管中第一信号被输入到栅极,源极和漏极中的一个与所述耗尽型晶体管的源极和漏极中的另一个电连接,并且低电源电压被施加到源极和漏极中的另一个。增强型晶体管将其中增强型晶体管与耗尽型晶体管连接的那部分的电压输出作为第二信号。耗尽型晶体管和增强型晶体管每个都包括栅电极;设置于栅电极之上的栅极绝缘层;设置于栅极绝缘层之上的氧化物半导体层;以及与氧化物半导体层的部分接触的源电极和漏电极。增强型晶体管包括在氧化物半导体层于源电极和漏电极之间的区域之上的还原防止层。

[0018] 增强型晶体管能够包括在第一氧化物半导体层的表面上于源电极和漏电极之间的氧空位控制区,其中该表面在与栅极绝缘层接触的表面的相对面。

[0019] 氧化物半导体层可以包含镓、镓、及锌。

[0020] 耗尽型晶体管和增强型晶体管可以具有相同的导电类型。

[0021] 耗尽型晶体管的源电极或漏电极可以通过在栅极绝缘层中所设置的开口部分与增强型晶体管的栅电极接触。

[0022] 本说明书中所使用的氧化物半导体由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示。注意, M 表示一种或多种选自镓 (Ga)、铁 (Fe)、镍 (Ni)、锰 (Mn)、或钴 (Co) 的金属元素。例如, M 可以是 Ga 或者除了 Ga 之外还可以包括以上金属元素,例如, M 可以是 Ga 和 Ni 或者 Ga 和 Fe。此外,除了被包含作为 M 的金属元素之外,氧化物半导体也可以包含作为杂质元素的过渡金属元素 (例如 Fe 或 Ni) 或过渡金属元素的氧化物。注意,在本说明书中,包含镓、镓、及锌的氧化物半导体膜也称作 In-Ga-Zn-O 基非单晶膜。

[0023] 因为 In-Ga-Zn-O 基非单晶膜通过溅射法形成并且经过在 $200^\circ\text{C} \sim 500^\circ\text{C}$ (特别是 $300^\circ\text{C} \sim 400^\circ\text{C}$) 的温度下 10 ~ 100 分钟的热处理,所以非晶体结构被作为晶体结构通过 X 射线衍射 (XRD) 分析进行观察。此外,就电特性而论,能够制造通 / 断比 (on/off ratio) 为 10^9 或以上并且在栅极电压为 $\pm 20\text{V}$ 的情况下迁移率为 10 或以上的 TFT。

[0024] 注意,在本文献中 (本说明书、权利要求的范围、附图等),逻辑电路基于输入到其中的信号进行逻辑运算并根据运算结果输出信号。例如,逻辑电路在类型上包括组合逻辑电路 (例如, NOT 电路和 NAND 电路) 及时序逻辑电路 (例如,触发电路和移位寄存器)。

[0025] 使用氧化物半导体且其中阈值电压随时间的变动受到抑制的增强型薄膜晶体管能够得以提供,由此使用氧化物半导体的晶体管能够被应用于包括增强型晶体管的逻辑电路。

附图说明

[0026] 在附图中:

- [0027] 图 1 是示出实施方案 1 中的逻辑电路的电路布局的电路图；
- [0028] 图 2A 和 2B 是示出实施方案 1 中的逻辑电路的操作的电路图；
- [0029] 图 3 是示出实施方案 1 中的逻辑电路的电路布局的电路图；
- [0030] 图 4A 和 4B 是示出实施方案 1 中的逻辑电路的操作的电路图；
- [0031] 图 5C 和 5D 是示出实施方案 1 中的逻辑电路的操作的电路图；
- [0032] 图 6 是示出实施方案 1 中的逻辑电路的操作的时序图；
- [0033] 图 7 是示出实施方案 1 中的逻辑电路的电路布局的电路图；
- [0034] 图 8A 和 8B 是示出实施方案 1 中的逻辑电路的操作的电路图；
- [0035] 图 9A ~ 9C 各自示出实施方案 1 中的逻辑电路的结构；
- [0036] 图 10A 和 10B 示出实施方案 1 中的逻辑电路的结构；
- [0037] 图 11 是示出实施方案 2 中的逻辑电路的电路布局的电路图；
- [0038] 图 12 是示出实施方案 2 中的 NAND 电路的电路布局的电路图；
- [0039] 图 13A 和 13B 是各自示出实施方案 2 中的 NAND 电路的操作的电路图；
- [0040] 图 14 是示出实施方案 2 中的逻辑电路的操作的时序图；
- [0041] 图 15A 和 15B 示出实施方案 3 中的逻辑电路的结构；
- [0042] 图 16A 和 16B 示出实施方案 4 中的逻辑电路的结构；
- [0043] 图 17A 和 17B 是示出制造实施方案 5 中的逻辑电路的方法的截面图；
- [0044] 图 18C 和 18D 是示出制造实施方案 5 中的逻辑电路的方法的截面图；
- [0045] 图 19 是示出实施方案 6 中的显示器件的结构的框图；
- [0046] 图 20A 和 20B 是各自示出在实施方案 6 中所显示的显示器件中的驱动电路的结构的框图；
- [0047] 图 21 是示出在实施方案 7 的显示器件中的像素的电路布局的电路图；
- [0048] 图 22A 和 22B 示出在实施方案 7 的显示器件中的像素的结构；
- [0049] 图 23A ~ 23D 各自示出在实施方案 7 的显示器件中的像素的结构；
- [0050] 图 24 是示出在实施方案 8 的显示器件中的像素的电路布局的电路图；
- [0051] 图 25A ~ 25C 是各自示出在实施方案 8 的显示器件中的像素的结构的截面图；
- [0052] 图 26A 和 26B 示出实施方案 8 中的显示器件的结构；
- [0053] 图 27 是示出实施方案 9 中的电子纸的结构的截面图；
- [0054] 图 28 示出其中应用了实施方案 9 中的电子纸的电子器件；
- [0055] 图 29A ~ 29C 各自示出实施方案 10 中的显示器件的结构；
- [0056] 图 30A 和 30B 各自示出实施方案 11 中的电子器件；
- [0057] 图 31A 和 31B 各自示出实施方案 11 中的电子器件；
- [0058] 图 32A 和 32B 各自示出实施方案 11 中的电子器件；以及
- [0059] 图 33A 和 33B 各自示出实例 1 中的薄膜晶体管。

具体实施方式

[0060] 实施方案将参考附图在下面描述。注意，本说明书所公开的发明并不限于以下描述，并且本领域技术人员容易理解在没有脱离本发明的精神和范围的情况下能够对模式和细节进行各种改变。因此，本说明书所公开的发明不应被看作仅限于以下实施方案的

描述。

[0061] (实施方案 1)

[0062] 在本实施方案中,将描述逻辑电路的一种实施方案。

[0063] 首先,本实施方案中的逻辑电路的电路布局将参考图 1 进行描述。图 1 是示出本实施方案中的逻辑电路的电路布局的电路图。

[0064] 图 1 所示出的逻辑电路是包括晶体管 101 和晶体管 102 的组合逻辑电路。

[0065] 注意,在本文献(本说明书、权利要求的范围、附图等)中,晶体管具有至少三个线端:栅极、源极、及漏极。

[0066] 栅极是整个栅电极和栅极布线或其一部分。栅极布线是用于将至少一个晶体管的栅电极电连接到另外电极或另外布线的布线,并且例如,在类型上包括显示器件中的扫描线。

[0067] 源极是整个源区、源电极、以及源极布线或其一部分。源区表示在半导体层中电阻率等于或小于给定值的区域。源电极表示与源区连接的那部分导电层。源极布线是用于将至少一个晶体管的源电极电连接到另外电极或另外布线的布线。例如,在显示器件的信号线与源电极电连接的情况下,源极布线在类型上包括信号线。

[0068] 漏极是整个漏区、漏电极、以及漏极布线或其一部分。漏区表示在半导体层中电阻率等于或小于给定值的区域。漏电极表示与漏区连接的那部分导电层。漏极布线是用于将至少一个晶体管的漏电极电连接到另外电极或另外布线的布线。例如,在显示器件的信号线与漏电极电连接的情况下,漏极布线在类型上包括信号线。

[0069] 另外,在本文献(本说明书、权利要求范围、附图等)中,晶体管的源极和漏极根据晶体管的结构、操作条件等而改变;因此,要确定哪个是源极以及哪个是漏极是困难的。因此,在本文献(本说明书、权利要求范围、附图等)中,任意选自源极和漏极中的一个线端称作源极和漏极中的一个,而另一线端则称作源极和漏极中的另一个。

[0070] 晶体管 101 是耗尽型晶体管(也称作耗尽晶体管)。晶体管 101 的源极和漏极中的一个与电源线 103 电连接,并且高电源电压(V_{dd})通过电源线 103 施加到源极和漏极中的一个。此外,栅极与晶体管 101 的源极和漏极中的另一个互相电连接(即,晶体管 101 是二极管式连接的)。注意,耗尽型晶体管的一个实例是其阈值电压在 n 沟道晶体管的情况下为负的晶体管。

[0071] 注意,一般地,电压指的是在两个点的电位之间的差(也称作电位差),以及电位指的是单位电荷在静电场中于一点上所具有的静电能(电势能)。但是,在电路中,例如在一点上的电位与用作参考的电位(也称作参考电位)之间的电位差有时作为值使用。此外,电压值和电位值两者都用伏特(V)表示;因此,在本申请的文献(本说明书和权利要求范围)中,一点上的电压有时作为值使用,除非另有说明。

[0072] 晶体管 102 是增强型晶体管(也称作增强晶体管)。晶体管 102 的源极和漏极中的一个与晶体管 101 的源极和漏极中的另一个电连接。晶体管 102 的源极和漏极中的另一个与电源线 104 电连接,并且低电源电压(V_{ss})通过电源线 104 施加到晶体管 102 的源极和漏极中的另一个。例如,低电源电压是地电位(V_{GND})或给定电压。注意,增强型晶体管的一个实例是其阈值电压在 n 沟道晶体管的情况下为正的晶体管。

[0073] 高电源电压相对高于低电源电压,并且低电源电压相对低于高电源电压。每个值

都基于电路的规范等进行适当的设置,因而对该值没有特别的限定。例如,在 $V_{dd} > V_{ss}$ 时,也并不总能满足 $|V_{dd}| > |V_{ss}|$ 。此外,在 $V_{dd} > V_{ss}$ 时,也并不总能满足 $V_{GND} \geq V_{ss}$ 。

[0074] 此外,相同导电类型的晶体管能够使用于晶体管 101 和 102。在本实施方案中,其中晶体管 101 和 102 是 n 沟道晶体管的情况将作为一个实例进行描述。

[0075] 其次,图 1 所示出的逻辑电路的操作将被描述。在本实施方案的逻辑电路中,第一信号被输入到晶体管 102 的栅极,并且其中晶体管 101 和 102 相互连接的部分(也称作节点)105 上的电压被输出作为第二信号。逻辑电路的具体操作将在下面描述。

[0076] 本实施方案中的逻辑电路的操作能够根据第一信号是处于低态还是高态划分为两类。低态与高态相比是电压相对低的状态,并且高态与低态相比是电压相对高的状态。两种情况都将参考图 2A 和 2B 进行描述。图 2A 和 2B 示出了本实施方案中的逻辑电路的操作。注意,在本实施方案中,其中数据在低态下是 0 以及数据在高态下是 1 的情况将作为一个实例进行描述;但是,本发明的一种实施方案并不限于此,并且数据在低态下能够是 1 而在高态下能够是 0。注意,低态下的电压被称为低电压(VL),并且高态下的电压被称为高电压(VH)。低电压和高电压的值并不限于具体值,并且低电压应当等于或小于给定值而高电压应当等于或高于给定值。

[0077] 图 2A 示出了在第一信号的电压(V1)为高(即, $V_1 = V_H$)的情况下的操作。如图 2A 所示出的,在 $V_1 = V_H$ 的情况下,晶体管 102 被导通。当晶体管 102 导通时,则晶体管 102 的电阻(R_{102})小于晶体管 101 的电阻(R_{101})(即, $R_{102} < R_{101}$);因此,节点 105 的电压(V_{105})是 VL 以及第二信号的电压(V_2)是 VL。

[0078] 图 2B 示出了在 $V_1 = V_L$ 的情况下的操作。如图 2B 所示出的,在 $V_1 = V_L$ 的情况下,晶体管 102 被截止。当晶体管 102 截止时, R_{102} 高于 R_{101} ,使得 V_{105} 是 VH 以及 V_2 是 VH。此时,其中是第二信号的电压的 VH 的值是 $(V_{dd} - V_{th101})$ (V_{th101} 表示晶体管 101 的阈值电压)。以上是图 1 所示出的逻辑电路的操作。

[0079] 此外,时序逻辑电路能够由图 1 所示出的组合逻辑电路构成。使用组合电路的逻辑电路的电路布局将参考图 3 进行描述。图 3 是示出本实施方案中的逻辑电路的电路布局的电路图。

[0080] 图 3 所示出的逻辑电路包括晶体管 111、反相器 1121、反相器 1122、反相器 1123、及晶体管 113。

[0081] 第一时钟信号(CL1)被输入到晶体管 111 的栅极,并且一信号被输入到晶体管 111 的源极和漏极中的一个。被输入到源极和漏极中的一个的信号将称为输入信号。

[0082] 反相器 1121 的输入端与晶体管 111 的源极和漏极中的另一个电连接。

[0083] 反相器 1122 的输入端与反相器 1121 的输出端电连接。

[0084] 反相器 1123 的输入端与反相器 1121 的输出端电连接。第二信号从反相器 1123 的输出端输出。

[0085] 图 1 所示出的逻辑电路能够被施加到每个反相器 1121 ~ 1123。

[0086] 第二时钟信号(CL2)被输入到晶体管 113 的栅极。晶体管 113 的源极和漏极中的一个与晶体管 111 的源极和漏极中的另一个电连接。晶体管 113 的源极和漏极中的另一个与反相器 1122 的输出端电连接。

[0087] 第一时钟信号和第二时钟信号每个都具有高态和低态这两种状态。高态下的电压

是高电压,并且低态下的电压是低电压。

[0088] 此外,第一时钟信号和第二时钟信号具有相反的相位。例如,在预定时期内,当第一时钟信号为高时第二时钟信号为低,而当第一时钟信号为低时第二时钟信号为高。

[0089] 注意,在本实施方案中,描述了第一时钟信号被输入到晶体管 111 的栅极并且第二时钟信号被输入到晶体管 113 的栅极的情况;但是,本发明的一种实施方案并不限于此,并且能够使用其中第二时钟信号被输入到晶体管 111 的栅极以及第一时钟信号被输入到晶体管 113 的栅极的结构。

[0090] 然后,图 3 所示出的逻辑电路的操作将参考图 4A 和 4B、图 5C 和 5D、以及图 6 进行描述。图 4A 和 4B 与图 5C 和 5D 示出了图 3 中的逻辑电路的操作。图 6 是示出图 3 中的逻辑电路的操作的时序图。

[0091] 图 3 所示出的逻辑电路的操作主要划分为四个时期。每个时期都将在下面描述。

[0092] 首先,在第一个时期中,如图 6 所示出的,第一时钟信号是高的,即 CL1 为 VH 并且第二时钟信号是低的,即 CL2 为 VL。因此,晶体管 111 被导通并且晶体管 113 被截止,如图 4A 所示出的。此外,输入信号的电压 (V_{in}) 是高电压,即 V_{in} 为 VH。

[0093] 此时,由于晶体管 111 是导通的,所以节点 114 的电压 (V_{114}) 是 VH。由于节点 114 的电压被施加到反相器 1121 的输入端,所以信号 VL 由反相器 1121 输出,并且节点 115 的电压 (V_{115}) 是 VL。此外,由于节点 115 的电压被施加到反相器 1122 的输出端,所以信号 VH 由反相器 1122 输出。但是,反相器 1122 的输出信号的电压没有被施加到节点 114,因为晶体管 113 是截止的。此外,节点 115 的电压也施加到反相器 1123 的输入端,使得信号 VH 由反相器 1123 输出,如图 4A 所示出的。以上是第一个时期内的操作。

[0094] 其次,在第二个时期内,如图 6 所示出的,CL1 是 VL 并且 CL2 是 VH;因此,晶体管 111 被截止并且晶体管 113 被导通,如图 4B 所示出的。此外, V_{in} 是 VL。

[0095] 此时,由于晶体管 111 是截止的,所以即使在 V_{in} 为 VL 时 V_{114} 仍保持为 VH。由于节点 114 的电压被施加到反相器 1121 的输入端,所以信号 VL 由反相器 1121 输出,并且 V_{115} 保持为 VL。此外,节点 115 的电压被施加到反相器 1122 的输入端,并且信号 VH 由反相器 1122 输出。此外,由于晶体管 113 是导通的,来自反相器 1122 的信号电压被施加到节点 114。节点 115 的电压还被施加到反相器 1123 的输入端,使得信号 VH 由反相器 1123 输出,如图 4B 所示出的。以上是第二个时期内的操作。

[0096] 然后,在第三个时期内,如图 6 所示出的,CL1 是 VH 并且 CL2 是 VL;因此,晶体管 111 被导通并且晶体管 113 被截止,如图 5C 所示出的。此外, V_{in} 保持为 VL。

[0097] 此时,由于晶体管 111 是导通的,所以 V_{114} 是 VH。由于节点 114 的电压被施加到反相器 1121 的输入端,所以信号 VH 由反相器 1121 输出,并且 V_{115} 是 VH。此外,由于节点 115 的电压被施加到反相器 1122 的输入端,所以信号 VL 由反相器 1122 输出。但是,反相器 1122 的输出信号的电压没有被施加到节点 114,因为晶体管 113 是截止的。此外,节点 115 的电压还被施加到反相器 1123 的输入端,使得信号 VL 由反相器 1123 输出,如图 5C 所示出的。以上是第三个时期内的操作。

[0098] 然后,在第四个时期内,如图 6 所示出的,CL1 是 VL 以及 CL2 是 VH;因此,晶体管 111 被截止并且晶体管 113 被导通,如图 5D 所示出的。此外, V_{in} 保持为 VL。

[0099] 此时,由于晶体管 111 是截止的,所以 V_{114} 保持为 VL。由于 V_{114} 是 VL,所以信号

VH 由反相器 1121 输出,并且 V115 保持为 VH。此外,由于 V115 是 VH,所以信号 VL 由反相器 1122 输出,并且由于晶体管 113 是导通的,所以反相器 1122 的信号的电压被施加到节点 114。此外,节点 115 的电压还被施加到反相器 1123 的输入端,使得信号 VL 由反相器 1123 输出,如图 5D 所示出的。以上是第四个时期内的操作。

[0100] 通过以上操作,图 3 所示出的逻辑电路能够根据输入其中的信号的状态产生输出信号。

[0101] 注意,在图 3 所描述的逻辑电路中,使用自举法 (bootstrap method) 的组合逻辑电路能够被施加到反相器 1123。使用自举法的逻辑电路将参考图 7 进行描述。图 7 是示出在本实施方案中使用自举法的逻辑电路的电路布局的电路图。

[0102] 除了图 1 所示出的逻辑电路的电路布局之外,图 7 所示出的逻辑电路还包括晶体管 106、电容器 108、及电容器 109,以及还包括代替晶体管 101 的晶体管 107。在图 7 的逻辑电路中,图 1 中的逻辑电路的描述被适当地使用于与图 1 中的逻辑电路相同的部分。

[0103] 晶体管 106 的栅极以及源极和漏极中的一个与电源线 103 电连接,并且高电源电压被施加到栅极以及源极和漏极中的一个。晶体管 106 的源极和漏极中的另一个与晶体管 107 的栅极电连接。

[0104] 晶体管 107 的栅极与晶体管 106 的源极和漏极中的另一个电连接。晶体管 107 的源极和漏极中的一个与电源线 103 电连接,并且高电源电压被施加到源极和漏极中的一个。

[0105] 电容器 108 具有第一线端和第二线端。第一线端与晶体管 106 的源极和漏极中的另一个电连接,并且第二线端与晶体管 107 的源极和漏极中的另一个电连接。

[0106] 电容器 109 具有第一线端和第二线端。第一线端与晶体管 107 的源极和漏极中的另一个电连接。第二线端与电源线 104 电连接,并且低电源电压被施加到第二线端。

[0107] 然后,将描述图 7 所示出的逻辑电路的操作。

[0108] 在图 7 的逻辑电路中,如同在图 1 的逻辑电路中,第一信号被输入到晶体管 102 的栅极,并且晶体管 107 和 102 之间的节点 1111 的电压被输出作为第二信号。

[0109] 图 7 所示出的逻辑电路的操作能够根据第一信号的电压是低还是高划分为两类。两种情况都将参考图 8A 和 8B 进行描述。图 8A 和 8B 示出本实施方案中的逻辑电路的操作。注意,在本实施方案中,其中数据在低态下是 0 并且数据在高态下是 1 的情况作为一个实例进行描述;但是,本发明的一种实施方案并不限于此,并且数据在低态下能够是 1 以及在高态下能够是 0。

[0110] 图 8A 示出了在 $V_1=V_H$ 的情况下的操作。如图 8A 所示出的,在 $V_1=V_H$ 的情况下,晶体管 102 被导通。在晶体管 102 导通时,晶体管 102 的电阻小于晶体管 107 的电阻 (R_{107}) (即, $R_{102} < R_{107}$),并且节点 1111 的电压 (V_{1111}) 是 VL;因而, V_2 是 VL。此外,当晶体管 106 的源极和漏极中的另一个与晶体管 107 的栅极之间的节点 110 的电压变成由高电源电压减去晶体管 106 的阈值电压 (V_{th106}) 所获得的值,即 ($V_{dd}-V_{th106}$) 的时候,晶体管 106 被截止,并且节点 110 进入到浮态。

[0111] 图 8B 示出在 $V_1=V_L$ 的情况下的操作。如图 8B 所示出的,在 $V_1=V_L$ 的情况下,晶体管 102 被截止。当晶体管 102 截止时, R_{102} 高于 R_{107} ,并且节点 1111 的电压由电容器 109 所增加而且节点 110 的电压同样通过与电容器 108 的电容耦合而增加。因而,由此得出

$V_2=V_{110}=V_{111}=V_H$ 。此时, V_H 值大于 V_H , 其中该 V_H 是在图 1 所示出的逻辑电路中的第二信号的电压, 并且表示为 $V_H=V_{dd}+V_{th106}$ 。以上是图 7 所示出的逻辑电路的操作。

[0112] 如上所述, 通过将图 7 中的逻辑电路用作反相器 1123, 第二信号的电压能够被放大。

[0113] 然后, 图 1 中的逻辑电路的结构将参考图 9A ~ 9C 进行描述。图 9A ~ 9C 各自示出了图 1 中的逻辑电路的结构。图 9A 是顶视图。图 9A 和 9C 每个都是图 9A 中的逻辑电路沿着 Z1-Z2 的截面图。

[0114] 如图 9A 和 9B 所示出的, 本实施方案中的逻辑电路包括晶体管 201 和晶体管 202。具体地, 逻辑电路包括基板 210; 在基板 210 之上的栅电极 2111 和 2112; 被设置以便覆盖栅电极 2111 和 2112 的栅极绝缘层 212; 在栅电极 2111 之上的栅极绝缘层 212 之上所设置的氧化物半导体层 2131; 在栅电极 2112 之上的栅极绝缘层 212 之上所设置的氧化物半导体层 2132; 氧化物半导体层 2141a、2141b、2142a、及 2142b; 以及还原防止层 218。

[0115] 晶体管 201 对应于图 1 中的晶体管 101。栅电极 2111 被设置于基板 210 之上。栅极绝缘层 212 被设置于栅电极 2111 之上。氧化物半导体层 2131 被设置于栅极绝缘层 212 之上。氧化物半导体层 2141a 和 2141b 被设置于氧化物半导体层 2131 之上, 其中该氧化物半导体层 2141a 和 2141b 是一对氧化物半导体层。电极 215 和 216 被设置以便分别与氧化物半导体层 2141a 和 2141b 接触, 其中该电极 215 和 216 是一对电极。

[0116] 当明确描述 B 形成于 A 上或之上时, 并不一定意味着 B 被形成与 A 直接接触。该描述包括其中 A 和 B 不是相互直接接触的情况, 即其中另外的对象被布置于 A 和 B 之间的情况。在此, A 和 B 每个都对应于一个对象 (即, 器件、元件、电路、布线、电极、线端、膜、或层)。

[0117] 因此, 例如, 当明确描述层 B 形成于层 A 上或之上时, 它包括两种情况: 层 B 被形成与层 A 直接接触的情形, 以及另外的层 (即, 层 C 或层 D) 被形成与层 A 直接接触而层 B 被形成与层 C 或层 D 直接接触的情形。注意, 另外的层 (即, 层 C 或层 D) 可以是单个层或多个层。

[0118] 晶体管 202 与图 1 中的晶体管 102 对应。栅电极 2112 被设置于基板 210 之上。栅极绝缘层 212 被设置于栅电极 2112 之上。氧化物半导体层 2132 被设置于栅极绝缘层 212 之上。氧化物半导体层 2142a 和 2142b 被设置于氧化物半导体层 2132 之上, 其中该氧化物半导体层 2142a 和 2142b 是一对氧化物半导体层。电极 216 和电极 217 被设置以便分别与氧化物半导体层 2142a 和 2142b 接触, 其中该电极 216 和电极 217 是一对电极。还原防止层 218 被设置于氧化物半导体层 2132 之上。

[0119] 基板 210 能够使用由熔化法或浮法所制造的无碱玻璃基板, 例如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、或铝硅酸盐玻璃的基板; 陶瓷基板; 具有足以经受这种制造方法的工艺温度的高耐热性的塑料基板等。例如, 能够使用玻璃纤维增强塑料 (FRP) 板、聚氟乙烯 (PVF) 膜、聚酯膜、或丙烯酸树脂膜作为塑料基板。此外, 其中铝箔被布置于 PVF 膜或聚酯膜之间的薄片能够被用作基板。

[0120] 例如, 栅电极 2111 和 2112 能够通过使用像钼、钛、铬、钽、钨、铝、铜、钕、或钪那样的金属材料或者使用以这些金属材料中的任意材料作为主要成分的合金材料的单层结构或层状结构来形成。栅电极 2111 和 2112 的边缘优选逐渐变薄 (tapered)。

[0121] 例如,对于栅电极 2111 和 2112 的双层结构,优选采用任意以下双层结构:钼层堆叠在铝层之上的结构;钼层堆叠在铜层之上的结构;氮化钛层或氮化钼层堆叠于铜层之上的结构;氮化钛层和钼层所堆叠的结构。对于层状结构,钨层或氮化钨层,铝硅合金层或铝钛合金层,以及氮化钛层或钛层优选被堆叠。

[0122] 对于栅极绝缘层 212,能够使用硅、铝、钇、钽、或钪的氧化物、氮化物、氧氮化物、以及氮氧化物中的一种;或者包含至少两种此类材料的化合物。此外,卤族元素(例如氯或氟)可以被包含于栅极绝缘层 212 中。

[0123] 氧化物半导体层 2131 和 2132 是第一氧化物半导体层。例如,能够使用 In-Ga-Zn-O 基非单晶膜作为氧化物半导体层 2131 和 2132。

[0124] 氧化物半导体层 2141a、2141b、2142a、及 2142b 是第二氧化物半导体层并且起到源区和漏区的作用。例如,氧化物半导体层 2141a、2141b、2142a、及 2142b 使用 In-Ga-Zn-O 基非单晶膜来形成,其中该 In-Ga-Zn-O 基非单晶膜在与氧化物半导体层 2131 和 2132 不同的沉积条件下形成。例如,当氧化物半导体层 2141a、2141b、2142a、及 2142b 使用在其中溅射用的氩气的流量为 40sccm 的条件下获得的氧化物半导体膜来形成时,它们具有 n 型电导率并具有 $0.01\text{eV} \sim 0.1\text{eV}$ 的活化能 (ΔE)。注意,在本实施方案中,氧化物半导体层 2141a、2141b、2142a、及 2142b 是 In-Ga-Zn-O 基非单晶膜并且至少包括非晶成分。此外,氧化物半导体层 2141a、2141b、2142a、及 2142b 可以包括晶粒(纳米晶)。氧化物半导体层 2141a、2141b、2142a、及 2142b 中的晶粒(纳米晶)的直径是 $1\text{nm} \sim 10\text{nm}$,典型约为 $2\text{nm} \sim 4\text{nm}$ 。

[0125] 注意,不一定要设置氧化物半导体层 2141a、2141b、2142a、及 2142b。如图 9C 所示出的,可以采用其中不设置氧化硅层 2141a、2141b、2142a、及 2142b 的结构。但是,通过设置氧化物半导体层 2141a、2141b、2142a、及 2142b,上电极与第一氧化物半导体层之间的连结能够得到满足,并且与肖特基结(Schottky junction)相比能够进行热稳定的操作。此外,能够在高漏极电压下保持良好的迁移率。

[0126] 电极 215 ~ 217 起着源电极或漏电极的作用。电极 215 ~ 217 优选具有单层结构或层状结构,使用例如元素铝、铜、氯、硅、钛、钽、钪、或钼或者使用将元素添加其中以防止出现小丘(hillock)的铝合金。此外,当进行 $200^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 的热处理时,导电膜优选具有足以经受热处理的耐热性。例如,当将钛膜、铝膜、及钛膜的层状结构使用于电极 215 ~ 217 时,电极 215 ~ 217 具有低电阻并且小丘(hillock)不大可能会出现在铝膜中。电极 215 ~ 217 能够通过溅射法或真空蒸发法来形成。作为选择,电极 215 ~ 217 可以通过用丝网印刷法、喷墨法等来排出银、金、铜等的导电纳米浆并烘焙该纳米浆而形成。

[0127] 还原防止层 218 至少被设置于氧化物半导体层 2132 在电极 216 和 217 之间的区域(也称作背沟道区)之上,并且具有防止杂质(例如水汽)进入氧化物半导体层 2132 以及防止背沟道区还原的功能。例如,能够使用不可还原膜(non-reducible film)(例如由氧化硅、氧化铝等构成的氧化膜)作为还原防止层 218。注意,还原防止层 218 应该具有防止还原的功能作为其功能之一,以及能够将另外的功能添加到还原防止层 218。

[0128] 注意,作为在本实施方案所显示的逻辑电路中的晶体管 202,能够使用薄膜晶体管,在该薄膜晶体管中阈值电压通过对背沟道区进行预定处理来改变以使薄膜晶体管成为增强型晶体管。用于控制氧空位(也称作氧空位缺陷)密度的处理是预定处理的一个实例(这种处理也称作氧空位控制处理)。氧空位控制处理的实例包括氧等离子体处理、在氧气

流下的退火处理、以及氧离子辐射处理。例如,氧等离子体处理指的是这样的处理,即氧化物半导体层的表面用由氧气的辉光放电等离子体产生的自由基来处理,以及作为单独使用氧气的替代,可以使用氧气和稀有气体的混合气体作为用于产生等离子体的气体。通过使用薄膜晶体管,能够更容易地形成使用阈值电压互不相同的多个晶体管的逻辑电路,即使在使用氧化物半导体的晶体管被使用时。通过氧空位控制处理使得晶体管 201 和 202 的氧空位密度互相不同,以便能够形成包括耗尽型晶体管和增强型晶体管的逻辑电路。

[0129] 另外,在本实施方案的逻辑电路中,一个晶体管的源电极和漏电极中的一个可以直接连接到另一个晶体管的栅电极。具有这种结构的逻辑电路将参考图 10A 和 10B 进行描述。图 10A 和 10B 示出了本实施方案中的逻辑电路的结构。图 10A 是逻辑电路的顶视图。图 10B 是逻辑电路沿着图 10A 中的 Z1-Z2 的截面图。注意,在图 10A 和 10B 所示出的逻辑电路中,图 9A ~ 9C 所示出的逻辑电路的描述被适当地使用于与图 9A ~ 9C 中的逻辑电路相同的部分。

[0130] 如同图 9A ~ 9C 中的逻辑电路,图 10A 和 10B 中的逻辑电路包括晶体管 201 和 202。此外,在图 10A 和 10B 的逻辑电路的晶体管 201 中,栅电极 2111 通过在栅极绝缘层 212 中所设置的开口部分直接连接到电极 216。

[0131] 在使用其中栅电极 2112 和电极 216 通过上述栅极绝缘层 212 内所设置的开口部分连接的晶体管的逻辑电路中,能够实现充分接触,并且接触电阻能够被减小。因此,能够减少开口的数量,这会导致逻辑电路所占用的面积减小。

[0132] 如上所述,包括阈值电压互不相同的晶体管的逻辑电路能够通过使用包含氧化物半导体的薄膜晶体管来提供。此外,通过使用包含氧化物半导体的薄膜晶体管,逻辑电路能够在高速下操作。此外,由于逻辑电路能够使用相同导电类型的晶体管来形成,其工艺与使用不同导电类型的晶体管的逻辑电路的工艺相比能够得到简化。

[0133] (实施方案 2)

[0134] 在本实施方案中,使用在实施方案 1 的图 3 中所示出的逻辑电路作为单位时序逻辑电路的移位寄存器将被描述。注意,在本实施方案中,其中将图 3 中的逻辑电路用作单位时序逻辑电路的情况将作为一个实例进行描述。

[0135] 本实施方案中的移位寄存器包括作为单位时序逻辑电路的在实施方案 1 的图 3 中的多个逻辑电路,并且多个单位时序逻辑电路相互串行电连接。具体结构将参考图 11 讨论。图 11 是示出本实施方案中的移位寄存器的结构的电路图。

[0136] 图 11 所示出的移位寄存器包括逻辑电路 3011、逻辑电路 3012、逻辑电路 3013、NAND 电路 3140、NAND 电路 3141、NAND 电路 3142、及 NAND 电路 3143。注意,尽管图 11 示出了三个(也称作三级)单位时序逻辑电路,但是本发明的一种实施方案并不限于此并且可以包括至少两级的单位时序逻辑电路。

[0137] 逻辑电路 3011 包括晶体管 3111、反相器 3121A、反相器 3122A、反相器 3123A、及晶体管 3131。逻辑电路 3011 具有与图 3 中的逻辑电路相同的电路布局。具体地,晶体管 3111 对应于晶体管 111;反相器 3121A 对应于反相器 1121;反相器 3122A 对应于反相器 1122;反相器 3123A 对应于反相器 1123;以及晶体管 3131 对应于晶体管 113。因此,图 3 中的逻辑电路的描述被适当地使用于每个元件。此外,在逻辑电路 3011 中,第一时钟信号被输入到晶体管 3111 的栅极,并且第二时钟信号被输入到晶体管 3131 的栅极。

[0138] 逻辑电路 3012 包括晶体管 3112、反相器 3121B、反相器 3122B、反相器 3123B、及晶体管 3132。逻辑电路 3012 具有与图 3 中的逻辑电路相同的布局。具体地,晶体管 3112 对应于晶体管 111;反相器 3121B 对应于反相器 1121;反相器 3122B 对应于反相器 1122;反相器 3123B 对应于反相器 1123;以及晶体管 3132 对应于晶体管 113。因此,图 3 中的逻辑电路的描述被适当地使用于每个元件。此外,在逻辑电路 3012 中,第二时钟信号被输入到晶体管 3112 的栅极,并且第一时钟信号被输入到晶体管 3132 的栅极。

[0139] 逻辑电路 3013 包括晶体管 3113、反相器 3121C、反相器 3122C、反相器 3123C、及晶体管 3133。逻辑电路 3013 具有与图 3 中的逻辑电路相同的布局。具体地,晶体管 3113 对应于晶体管 111;反相器 3121C 对应于反相器 1121;反相器 3122C 对应于反相器 1122;反相器 3123C 对应于反相器 1123;以及晶体管 3133 对应于晶体管 113。因此,图 3 中的逻辑电路的描述被适当地使用于每个元件。此外,在逻辑电路 3013 中,第一时钟信号被输入到晶体管 3113 的栅极,并且第二时钟信号被输入到晶体管 3133 的栅极。

[0140] 逻辑电路 3011 中的反相器 3123A 的输出端与逻辑电路 3012 中的晶体管 3112 的源极和漏极中的一个电连接。逻辑电路 3012 中的反相器 3123B 的输出端与逻辑电路 3013 中的晶体管 3113 的源极和漏极中的一个电连接。

[0141] 此外,在逻辑电路 3011 中,晶体管 3111 的源极和漏极中的一个与 NAND 电路 3140 的第一输入端电连接,并且反相器 3123A 的输出端与 NAND 电路 3140 的第二输入端和 NAND 电路 3141 的第一输入端电连接。在逻辑电路 3012 中,晶体管 3112 的源极和漏极中的一个与 NAND 电路 3140 的第二输入端和 NAND 电路 3141 的第一输入端电连接,并且反相器 3123B 的输出端与 NAND 电路 3141 的第二输入端和 NAND 电路 3142 的第一输入端电连接。在逻辑电路 3013 中,晶体管 3113 的源极和漏极中的一个与 NAND 电路 3141 的第二输入端和 NAND 电路 3142 的第一输入端电连接,并且反相器 3123C 的输出端与 NAND 电路 3142 的第二输入端和 NAND 电路 3143 的第一输入端电连接。

[0142] NAND 电路 3140 ~ 3143 中的每个都能够由具有与逻辑电路所包含的晶体管相同的导电类型的晶体管构建。通过使用相同导电类型的晶体管,NAND 电路能够在与逻辑电路相同的工艺中形成,从而能够容易地形成。包括相同导电类型的晶体管的 NAND 电路的电路布局,将参考图 12 进行描述。图 12 是示出本实施方案中的 NAND 电路的电路布局的电路图。

[0143] 图 12 所示出的 NAND 电路包括晶体管 321、晶体管 322、及晶体管 323。

[0144] 晶体管 321 是耗尽型晶体管。晶体管 321 的源极和漏极中的一个与电源线 325 电连接,并且高电源电压被施加到源极和漏极中的一个。晶体管 321 的栅极与其源极和漏极中的另一个相互电连接。

[0145] 晶体管 322 是增强型晶体管。晶体管 322 的源极和漏极中的一个与晶体管 321 的源极和漏极中的另一个电连接。

[0146] 晶体管 323 是增强型晶体管。晶体管 323 的源极和漏极中的一个与晶体管 322 的源极和漏极中的另一个电连接。晶体管 323 的源极和漏极中的另一个与电源线 324 电连接,并且低电源电压被施加到晶体管 323 的源极和漏极中的另一个。

[0147] 在本实施方案的逻辑电路中,第一输入信号被输入到晶体管 323 的栅极,第二输入信号被输入到晶体管 322 的栅极,并且晶体管 322 和晶体管 321 之间的节点 326 的电压(V326)被输出作为输出信号。

[0148] 然后,图 12 所示出的 NAND 电路的操作将被描述。

[0149] 图 12 中的 NAND 电路的操作能够根据第一输入信号的电压 (V_{in1}) 和第二输入信号的电压 (V_{in2}) 中的至少一个是低的还是都是高的而划分为两类。两种情况都将参考图 13A 和 13B 讨论。图 13A 和 13B 示出了本实施方案中的 NAND 电路的操作。注意,在本实施方案中,其中数据在低态下为 0 并且数据在高态下为 1 的情况作为一个实例进行描述;但是,本发明的一种实施方案并不限于此,并且数据在低态下能够是 1 而在高态下能够是 0。

[0150] 图 13A 示出了在以下情况下的操作: $V_{in1}=V_H$ 及 $V_{in2}=V_L$, $V_{in1}=V_L$ 及 $V_{in2}=V_H$, 以及 $V_{in1}=V_L$ 及 $V_{in2}=V_L$ 。此时,晶体管 322 和 323 中的一个或两个被导通,并且晶体管 322 和 323 的电阻 ($R_{322}+R_{323}$) 比晶体管 321 的电阻 (R_{321}) 更高,即 $(R_{322}+R_{323})>R_{321}$;因此, V_{326} 为 V_H , 并且输出信号的电压 (V_{out}) 为 V_H 。

[0151] 图 13B 示出了在 $V_{in1}=V_H$ 及 $V_{in2}=V_H$ 的情况下的操作。此时,晶体管 321 和 322 被导通,并且由此得出 $R_{322}+R_{323}<R_{321}$;因此, V_{326} 为 V_L , 并且 V_{out} 为 V_L 。以上是图 12 所示出的 NAND 电路的操作。

[0152] 当 NAND 电路使用上述相同导电类型的晶体管来形成时,它能够在与另外的逻辑电路相同的工艺中形成。此外,本发明的一种实施方案并不限于图 12 中的结构,并且 NAND 电路能够具有另外的结构,只要它能够具有相同的功能。

[0153] 然后,图 11 所示出的移位寄存器的操作将参考图 14 进行描述。图 14 是示出图 11 中的移位寄存器的操作的时序图。

[0154] 在图 11 的移位寄存器中,在图 4A 和 4B、图 5C 和 5D、以及图 6 中所示出的逻辑电路操作在每个逻辑电路 3011 ~ 3013 中依次执行。在图 4A 和 4B、图 5C 和 5D、以及图 6 中所示出的逻辑电路操作的描述被适当地使用于每个逻辑电路的操作,。

[0155] 本实施方案中的移位寄存器的操作被划分为如图 14 所示出的 10 个时期。在第一个时期内,逻辑电路 3011 的输入信号的电压 V_{in} 是 V_H 。在第二个时期和第三个时期内,在逻辑电路 3011 和逻辑电路 3012 之间的节点 3171 的电压 (V_{3171}) 由 V_H 改变为 V_L 。此外,在第三个时期和第四个时期内, NAND 电路 3140 的输出信号的电压是 V_H 。

[0156] 在第四个时期和第五个时期内,逻辑电路 3012 的输入信号 (逻辑电路 3011 的输出信号) 的电压由 V_L 改变为 V_H 。在第五个时期和第六个时期内,逻辑电路 3012 和逻辑电路 3013 之间的节点 3172 的电压 (V_{3172}) 由 V_H 改变为 V_L 。在第六个时期和第七个时期内, NAND 电路 3141 的输出信号的电压是 V_H 。

[0157] 在第七个时期和第八个时期内,逻辑电路 3013 的输入信号 (逻辑电路 3012 的输出信号) 的电压由 V_L 改变为 V_H 。在第八个时期和第九个时期内,逻辑电路 3013 和下一级的逻辑电路之间的节点 3173 的电压 (V_{3173}) 由 V_H 改变为 V_L 。在第九个时期和第十个时期内, NAND 电路 3142 的输出信号的电压是 V_H 。

[0158] 当另外的逻辑电路连接到逻辑电路 3013 的输出端时,输入信号的电压在给定时期内由 V_L 改变为 V_H 并且输出信号的电压在如上所述的另一个给定时期内被改变为 V_H 。此外,在另一个逻辑电路的输出信号的电压是 V_L 的时期内, NAND 电路 3143 的输出信号的电压是 V_H 。

[0159] 如上所述,移位寄存器能够由包含使用氧化物半导体的 TFT 的逻辑电路构成。使用氧化物半导体的 TFT 具有比使用非晶硅的常规 TFT 更高的迁移率;因此,通过将使用氧化

物半导体的 TFT 应用于移位寄存器,移位寄存器能够在高速下操作。

[0160] 注意,本实施方案能够适当结合其他实施方案来实现。

[0161] (实施方案 3)

[0162] 在本实施方案中,包含具有与以上实施方案不同的结构的晶体管的逻辑电路将被描述。

[0163] 本说明书所公开的发明的一种实施方案的逻辑电路不仅能够使用具有图 9A ~ 9C 所示出的结构的晶体管来形成也能使用具有另外的结构的晶体管来形成。使用具有另外的结构的晶体管的逻辑电路将参考图 15A 和 15B 进行描述。图 15A 和 15B 示出了本实施方案中的逻辑电路的结构。图 15A 是顶视图,而图 15B 是逻辑电路沿着图 15A 中的 Z1-Z2 的截面图。注意,在图 15A 和 15B 所示出的逻辑电路中,图 9A ~ 9C 所示出的逻辑电路的描述被适当地使用于与图 9A ~ 9C 中的逻辑电路相同的部分。

[0164] 如同图 9A ~ 9C 中的逻辑电路,图 15A 和 15B 中的逻辑电路包括晶体管 201 和晶体管 202。

[0165] 此外,在图 15A 和 15B 的逻辑电路的晶体管 201 中,栅电极 2111 被设置于基板 210 之上。栅极绝缘层 212 被设置于栅电极 2111 之上。电极 215 和 216 被设置于栅极绝缘层 212 之上,其中该电极 215 和 216 是一对电极。氧化物半导体层 2141a 和 2141b 被设置于电极 215 和 216 之上。氧化物半导体层 2131 被设置于栅极绝缘层 212 以及电极 215 和 216 之上。

[0166] 在晶体管 202 中,栅电极 2112 被设置于基板 210 之上。栅极绝缘层 212 被设置于栅电极 2112 之上。电极 216 和 217 被设置于栅极绝缘层 212 之上,其中该电极 216 和 217 是一对电极。氧化物半导体层 2142a 和 2142b 被设置于电极 216 和 217 之上。氧化物半导体层 2132 被设置于栅极绝缘层 212、氧化物半导体层 2142a 和 2142b、以及电极 216 和 217 之上。还原防止层 218 被设置于氧化物半导体层 2132 在电极 216 和 217 之间的区域之上。注意,氧化物半导体层 2141a 和 2141b 对应于图 9A 和 9B 所示出的逻辑电路中的氧化物半导体层 2141a 和 2141b,并且氧化物半导体层 2142a 和 2142b 对应于图 9A 和 9B 所示出的逻辑电路中的氧化物半导体层 2142a 和 2142b。

[0167] 图 15A 和 15B 所示出的逻辑电路包括这样的晶体管,在该晶体管中氧化物半导体层 2131 和 2132 形成于电极 215 ~ 217 以及氧化物半导体层 2141a、2141b、2142a、及 2142b 之上(这种结构也称作底接触型)。当本说明书所公开的发明的一种实施方案的逻辑电路使用底接触型晶体管来形成时,氧化物半导体层与电极相互接触的面积能够被增大,从而能够避免剥离等。

[0168] 另外,作为在图 15A 和 15B 的逻辑电路中的晶体管 202,薄膜晶体管能够被使用,在该薄膜晶体管中阈值电压通过对背沟道区进行预定处理来改变使得薄膜晶体管成为增强型晶体管,如同在图 9A ~ 9C 的逻辑电路中。实施方案 1 中所示出的处理能够被应用于预定的处理。

[0169] 注意,氧化物半导体层 2141a、2141b、2142a、及 2142b 如同在图 9A 和 9B 的逻辑电路中那样被设置于图 15A 和 15B 的逻辑电路中;但是,本发明的一种实施方案并不限于此,并且可以使用没有设置氧化物半导体层 2141a、2141b、2142a、及 2142b 的结构。

[0170] 此外,在图 15A 和 15B 的逻辑电路中,晶体管 202 的栅电极 2112 与电极 216 能够

通过在栅极绝缘层 212 中所设置的开口部分相互接触,如同在图 10A 和 10B 所示出的逻辑电路中。

[0171] 注意,本实施方案能够适当结合其他实施方案来实施。

[0172] (实施方案 4)

[0173] 在本实施方案中,包括具有与以上实施方案中的那些结构不相同的结构的晶体管的逻辑电路将被描述。

[0174] 逻辑电路不仅能够使用具有在图 9A ~ 9C 及图 15A 和 15B 中所示出的结构的晶体管来形成也能够使用具有另外结构的晶体管来形成。使用具有与在图 9A ~ 9C 及图 15A 和 15B 中的那些结构不相同的结构的晶体管的逻辑电路将参考图 16A 和 16B 进行描述。图 16A 和 16B 示出了本实施方案中的逻辑电路的结构。图 16A 是顶视图,而图 16B 是沿着图 16A 中的 Z1-Z2 的截面图。注意,在图 16A 和 16B 所示出的逻辑电路中,图 9A ~ 9C 所示出的逻辑电路的描述被适当地使用于与图 9A ~ 9C 中的逻辑电路相同的部分。

[0175] 如同图 9A ~ 9C 中的逻辑电路,图 16A 和 16B 中的逻辑电路包括晶体管 201 和晶体管 202。

[0176] 在图 16A 和 16B 的逻辑电路的晶体管 201 中,栅电极 2111 被设置于基板 210 之上。栅极绝缘层 212 被设置于栅电极 2111 之上。氧化物半导体层 2131 被设置于栅极绝缘层 212 之上。缓冲层 2191 被设置于部分氧化物半导体层 2131 之上。氧化物半导体层 2141a 和 2141b 被设置于氧化物半导体层 2131 和缓冲层 2191 之上。电极 215 和 216 被分别设置于氧化物半导体层 2141a 和 2141b 之上,其中该电极 215 和 216 是一对电极。

[0177] 在晶体管 202 中,栅电极 2112 被设置于基板 210 之上。栅极绝缘层 212 被设置于栅电极 2112 之上。氧化物半导体层 2132 被设置于栅极绝缘层 212 之上。缓冲层 2192 被设置于氧化物半导体层 2132 在电极 216 和 217 之间的区域之上。氧化物半导体层 2142a 和 2142b 被设置于氧化物半导体层 2132 及缓冲层 2192 之上。电极 216 和 217 被分别设置于氧化物半导体层 2142a 和 2142b 之上,其中该电极 216 和 217 是一对电极。

[0178] 对于缓冲层 2191 和 2192,能够使用无机材料(例如,氧化硅、氮化硅、氧氮化硅、或氮化氧化硅)。作为选择,能够使用光敏或非光敏有机材料(有机树脂材料,例如,聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂、或苯并环丁烯),由多种这些材料构成的膜,或者这种膜的层状膜,或者可以使用硅氧烷。作为用于制造缓冲层 2191 和 2192 的方法,能够使用汽相沉积法(例如等离子体 CVD 法或热 CVD 法)或溅射法。作为选择,可以使用涂布法(例如旋涂法)、液滴排放法、或作为湿法的印刷法(例如用以形成图形的丝网印刷或胶版印刷)。缓冲层 2191 和 2192 可以通过以下方式形成,即膜先被沉积然后再蚀刻使得形状得以加工,或者可以由液滴排放法等选择性地形成。

[0179] 在图 16A 和 16B 中所示出的逻辑电路包括设置有缓冲层的晶体管(这种结构也称作沟道阻止型)。例如,当缓冲层使用不可还原膜(例如,由氧化硅或氧化铝所形成的)形成时,缓冲层能够起着还原防止层的作用;因此,本说明书所公开的发明的一种实施方案的逻辑电路能够使用具有与常规的沟道阻止型晶体管相同的结构的晶体管来形成。

[0180] 另外,作为在图 16A 和 16B 的逻辑电路中的晶体管 202,能够使用薄膜晶体管,在该薄膜晶体管中阈值电压通过对背沟道区进行预定处理来改变使得薄膜晶体管成为增强型晶体管。在实施方案 1 中所显示的处理能够被应用于预定处理。

[0181] 注意,氧化物半导体层 2141a、2141b、2142a、及 2142b 如同在图 9A 和 9B 的逻辑电路中那样被设置于图 16A 和 16B 的逻辑电路中;但是,本发明的一种实施方案并不限于此,而且可以使用其中没有设置氧化物半导体层 2141a、2141b、2142a、及 2142b 的结构。

[0182] 此外,在图 16A 和 16B 的逻辑电路中,晶体管 202 的栅电极 2112 与电极 216 能够通过栅极绝缘层 212 中所设置的开口部分相互接触,如同在图 10A 和 10B 所示出的逻辑电路中。

[0183] 注意,本实施方案能够适合结合其他实施方案来实施。

[0184] (实施方案 5)

[0185] 在实施方案中,用于制造逻辑电路的方法将被描述。注意,在本实施方案中,在图 9A 和 9B 中所示出的用于制造逻辑电路的方法将作为一个实例来描述。

[0186] 一种用于制造本实施方案中的逻辑电路的方法将参考图 17A 和 17B 以及图 18C 和 18D 进行描述。图 17A 和 17B 以及图 18C 和 18D 是示出用于制造本实施方案中的逻辑电路的方法的截面图。

[0187] 首先,如图 17A 所示出的,第一导电膜被形成于基板 210 之上。第一导电膜使用第一光掩模进行选择性的蚀刻以便形成栅电极 2111 和 2112。然后,栅极绝缘层 212 被形成于栅电极 2111 和 2112 之上。例如,第一导电膜能够通过溅射法来形成。栅极绝缘层 212 能够通过等离子体 CVD 法或溅射法来形成。此时,栅电极 2111 和 2112 优选以逐渐变薄的方式形成。

[0188] 其次,第一氧化物半导体膜被形成于栅极绝缘层 212 之上,并且第二氧化物半导体膜被形成于第一氧化物半导体膜之上。例如,第一氧化物半导体膜能够通过溅射法来形成。注意,在第一氧化物半导体膜形成之前,通过引入氩气在其中产生等离子体的反溅射被优选执行以清除附着于栅极绝缘层 212 的表面以及开口部分的底表面上的灰尘。反溅射(reverse sputtering)是这样一种方法,在该方法中电压被施加到基板侧,而不是靶子侧,在氩气气氛中使用 RF 电源以在基板上产生等离子体使得基板表面得以修改。注意,氮气、氦气等可以用来代替氩气气氛。此外,反溅射可以在氧气、氢气、 N_2O 等被添加到氩气气氛的气氛中或者在 Cl_2 、 CF_4 等被添加到氩气气氛的气氛中进行。

[0189] 然后,第一及第二氧化物半导体膜使用第二光掩模进行蚀刻,以及接着形成第二导电膜。例如,第二导电膜能够通过溅射法来形成。此外,第二导电膜使用第三光掩模进行选择性的蚀刻,使得电极 215、216、及 217 如图 17B 所示出的那样形成。注意,在第二导电膜形成之前,通过引入氩气在其中产生等离子体的反溅射被优选地执行以清除附着于栅极绝缘层 212 以及被蚀刻的氧化物半导体层的表面上的灰尘。

[0190] 注意,当第二导电膜被蚀刻时,第一及第二氧化物半导体层被部分地蚀刻。因此,如图 15B 所示出的,氧化物半导体层 2131 和 2132 形成于栅极绝缘层 212 之上,氧化物半导体层 2141a 和 2141b 形成于氧化物半导体层 2131 之上,以及氧化物半导体层 2142a 和 2142b 形成于氧化物半导体层 2132 之上。通过该蚀刻,氧化物半导体层 2131 和 2132 的与栅电极 2111 和 2112 重叠的部分变得更薄。

[0191] 湿法蚀刻或干法蚀刻此时被用作蚀刻法。例如,当铝膜或铝合金膜被用作第二导电膜时,湿法蚀刻能够使用其中混合有磷酸、乙酸、及硝酸的溶液来进行。在该蚀刻步骤中,氧化物半导体层 2131 和 2132 同样被部分蚀刻。此外,由于氧化物半导体层 2141a、2141b、

2142a、及 2142b 以及电极 215 ~ 217 被同时蚀刻,氧化物半导体层 2141a、2141b、2142a、及 2142b 与电极 215 ~ 217 的边缘对齐,从而形成了平滑的侧表面。此外,在使用湿法蚀刻的情况下,蚀刻以各向同性的方式进行,并且使电极 215 ~ 217 的边缘相对于抗蚀剂掩模的边缘凹进。

[0192] 另外,在用于制造本实施方案的逻辑电路的方法中,例如,对在起到增强型晶体管作用的晶体管中的氧化物半导体层(本实施方案中的氧化物半导体层 2132)进行氧空位控制处理。如图 18C 所示出的,氧空位控制处理被执行,使得具有低氧空位密度的氧化物空位控制区域 250 被形成于电极 216 和 217 之间的氧化物半导体层 2132 的与栅极绝缘层 212 接触的表面相反的表面。在本实施方案中,氧等离子体处理作为氧空位控制处理的一个实例来执行。处理条件被适当地设定使得要形成的晶体管的阈值电压是正的。

[0193] 注意,在图 18C 中,氧等离子体处理应当至少对氧化物半导体层 2132 执行以及不一定对氧化物半导体层 2131 执行。例如,当只有氧化物半导体层 2132 将要受到氧等离子体处理的时候,氧等离子体处理可以在将掩模形成于氧化物半导体层 2131 上之后执行。此外,当对氧化物半导体层 2131 进行氧等离子体处理时,阈值电压改变为正值;但是,如果在氧化物半导体层 2131 之上没有设置还原防止层,则阈值电压的变动是由于阈值电压随时间而变动。因而,耗尽型晶体管和增强型晶体管都能够被制造。而且在对氧化物半导体层 2131 也进行氧等离子体处理时,并不一定需要附加的掩模,使得工艺能够得以简化。

[0194] 然后,热处理在空气或氮气气氛中进行。热处理优选在 200℃~600℃进行,典型为 300℃~500℃。通过热处理,氧化物半导体膜中的原子被重新排列。由于阻止载流子迁移的畸变由热处理所消除,在此执行的热处理(包括光退火)是重要的。注意,只要在氧化物半导体膜形成之后进行热处理,对执行热处理的时间没有特别的限定,并且热处理能够在半导体膜形成之后的任何时候执行。

[0195] 然后,如图 18D 所示出的,还原防止层 218 形成于电极 216 和 217 之间的区域之上,其中该区域包括在随后将起到增强型晶体管的作用的晶体管的氧化物半导体层(图 18D 中的氧化物半导体层 2132)内的氧空位控制区 250。还原防止层 218 只形成于起到增强型晶体管作用的晶体管的氧化物半导体层之上,由此包含其中没有设置还原防止层 218 的半导体层的晶体管用作耗尽型晶体管;因此,具有不同阈值电压的晶体管能够形成与同一基板上。例如,还原防止层 218 能够通过溅射法来形成。

[0196] 注意,上述步骤顺序是一个实例,并且对步骤顺序并没有特别的限定。例如,尽管需要使用另外一个光掩模,但是蚀刻能够以这样的方式执行,即第二导电膜使用一个光掩模进行蚀刻而部分氧化物半导体层及部分氧化物半导体膜则使用另外的光掩模进行蚀刻。

[0197] 作为选择,作为执行氧等离子体处理的替代,还原防止层 218 可以在没有图 18C 中的氧等离子体处理的情况下通过溅射法于图 18D 中形成。这是因为在还原防止层 218 通过溅射法形成时氧气作为气体来使用,所以能够获得与氧等离子体处理的那些效果相似的有利效果。

[0198] 通过以上方法,图 9A 和 9B 所示出的逻辑电路能够被形成。此外,通过使用本实施方案中的制造方法,能够形成使用具有不同阈值电压且形成于同一基板之上的晶体管的逻辑电路。

[0199] 注意,本实施方案能够适当结合其他实施方案来实施。

[0200] (实施方案 6)

[0201] 在本实施方案中,显示器件将作为能够使用以上实施方案所示出的逻辑电路的器件的一个实例进行描述。

[0202] 以上实施方案所示出的逻辑电路能够被应用于多种显示器件,例如液晶显示器件和电致发光显示器件。本实施方案中的显示器件的结构将参考图 19 进行描述。图 19 是示出本实施方案中的显示器件的结构的框图。

[0203] 如图 19 所示出的,本实施方案中的显示器件包括像素部分 701、扫描线驱动电路 702、以及信号线驱动电路 703。

[0204] 像素部分 701 包括多个像素 704 并且具有点阵结构。具体地,多个像素 704 按行和列方向布置。每个像素 704 通过扫描线与扫描线驱动电路 702 电连接以及通过信号线与信号线驱动器 703 电连接。注意,在图 19 中,扫描线和信号线为了简化起见没有示出。

[0205] 扫描线驱动电路 702 是用于选择要输入数据信号的像素 704 的电路,并且通过扫描线将选择信号输出到像素 704。

[0206] 信号线驱动电路 703 是用于将写到像素 704 的数据作为信号输出的电路,以及通过信号线将像素数据作为信号输出到由扫描线驱动电路 702 所选择的像素 704。

[0207] 像素 704 至少包括显示元件和开关元件。例如,液晶元件或发光元件(例如 EL 元件)能够被应用于显示元件。例如,晶体管能够被应用于开关元件。

[0208] 然后,扫描线驱动电路 702 和信号线驱动电路 703 的结构的实例将参考图 20A 和 20B 进行描述。图 20A 和 20B 是各自示出驱动电路的结构的框图。图 20A 是示出扫描线驱动电路的结构的框图。图 20B 是示出信号线驱动电路的结构的框图。

[0209] 如图 20A 所示出的,扫描线驱动电路 702 包括移位寄存器 900、电平变换器(level shifter)901、及缓冲器 902。

[0210] 信号(例如栅极起始脉冲(GSP)和栅极时钟信号(GCK))被输入到移位寄存器 900,并且选择信号由时序逻辑电路依次输出。此外,在实施方案 2 中所示出的移位寄存器能够被应用于移位寄存器 900。

[0211] 此外,如图 20B 所示出的,信号线驱动电路 703 包括移位寄存器 903、第一锁存电路 904、第二锁存电路 905、电平变换器 906、及缓冲器 907。

[0212] 信号(例如起始脉冲(SSP))被输入到移位寄存器 903,并且选择信号由时序逻辑电路依次输出。

[0213] 数据信号被输入到第一锁存电路 904。例如,第一锁存电路能够由以上实施方案所示出的一种或多种逻辑电路构成。

[0214] 缓冲器 907 具有放大信号的功能并且包括运算放大器等。例如,缓冲器 907 能够由以上实施方案所示出的一种或多种逻辑电路构成。

[0215] 第二锁存电路 905 能够临时保持锁存(LAT)信号并且将所保持的锁存信号一次性全部输出到图 19 中的像素部分 701。这被称作线顺序驱动。因此,在使用不执行线顺序驱动而执行点顺序驱动的像素的情况下,第二锁存电路 905 是非必要的。例如,第二锁存电路 905 能够由以上实施方案所示出的一种或多种逻辑电路构成。

[0216] 然后,图 19 所示出的显示器件的操作将被描述。

[0217] 首先,扫描线由扫描线驱动电路 702 选择。数据信号由从信号线驱动电路 702 输

入的信号从信号线驱动电路 703 通过信号线输出到与所选择的扫描线连接的像素 704。因此,数据被写到像素 704,并且像素 704 进入显示状态。扫描线由扫描线驱动电路 702 选择,并且数据被写到全部像素 704。以上是本实施方案中的显示器件的操作。

[0218] 在图 19 所示出的显示器件中的电路能够全部设置于同一基板上,或者能够由相同导电类型的晶体管构建。通过将电路设置于同一基板上,能够减小显示器件的尺寸。通过使用相同导电类型的晶体管,能够简化工艺。

[0219] 注意,本实施方案能够适当结合其他实施方案来实施。

[0220] (实施方案 7)

[0221] 在本实施方案中,液晶显示器件将作为实施方案 6 所示出的显示器件的一个实例进行描述。

[0222] 在本实施方案的显示器件中的像素的电路布局的一个实例将参考图 21 进行描述。图 21 是示出在本实施方案的显示器件中的像素的电路布局的电路图。

[0223] 如图 21 所示出的,像素包括晶体管 821、液晶元件 822、以及存储电容器 823。

[0224] 晶体管 821 起到选择开关的作用。晶体管 821 的栅极与扫描线 804 电连接,并且晶体管 821 的源极和漏极中的一个与信号线 805 电连接。

[0225] 液晶元件 822 具有第一线端和第二线端。第一线端电连接晶体管 821 的源极和漏极中的另一个。地电位或者具有给定值的电压被施加到第二线端。液晶元件 822 包括用作第一线端的一部分或全部的第一电极,用作第二线端的一部分或全部的第二电极,以及包括其透光率通过在第一电极和第二电极之间施加电压而改变的液晶分子层(这种层被称作液晶层)。

[0226] 存储电容器 823 具有第一线端和第二线端。第一线端与晶体管 821 的源极和漏极中的另一个电连接。地电位或者具有给定值的电压被施加到第二线端。存储电容器 823 包括用作第一线端的一部分或全部的第一电极,用作第二线端的一部分或全部的第二电极,以及电介质层。注意,尽管不一定要设置存储电容器 823,但是存储电容器 823 的设置能够减小由晶体管 821 的泄漏电流引起的不利影响。

[0227] 注意,对于在本实施方案中的显示器件,能够使用 TN(扭曲向列)模式、IPS(共面转换)模式、FFS(边缘场转换)模式、MVA(多畴垂直取向)模式、PVA(图像化垂直取向)模式、ASM(轴对称排列微单元)模式、OCB(光学补偿双折射)模式、FLC(铁电液晶)模式、AFLC(反铁电液晶)模式等。

[0228] 作为选择,可以使用不一定需要取向膜的蓝相液晶。蓝相是一种液晶相并且当胆甾相液晶的温度升高时只是在从胆甾相到各向同性的相变之前出现。由于蓝相只在狭窄的温度范围内出现,其中混合了重量 5%或以上的手性材料的液晶组合物被用于液晶层以便增大温度范围。对于包含蓝相液晶及手性材料的液晶组合物,响应速度高为 $10\mu\text{s} \sim 100\mu\text{s}$,由于光学各向同性,取向处理并不是必要的,并且视角依存性是低的。

[0229] 然后,将描述在图 21 中所示出的像素的操作。

[0230] 首先,选择要写入数据的像素,以及所选像素中的晶体管 821 由从扫描线 804 输入的信号导通。

[0231] 此时,来自信号线 805 的数据信号通过晶体管 821 输入,使得液晶元件 822 的第一线端具有与数据信号相同的电压,并且液晶元件 822 的透光率根据施加于第一线端和第二

线端之间的电压来设置。在数据写入之后,晶体管 821 由从扫描线 804 输入的信号截止,液晶元件 822 的透光率在显示时期内被保持,并且像素进入显示状态。以上操作对每个扫描线 804 依次执行,并且以上操作在所有像素中执行。以上是像素的操作。

[0232] 在液晶显示器件中显示运动图像时,存在由于液晶分子自身的慢响应而产生后像或者运动模糊的问题。为了提高液晶显示器件的运动图像特性,存在一种称为插黑 (black insertion) 的驱动技术,在该驱动技术中整个屏幕每隔一帧就显示为黑色。

[0233] 此外,存在一种称为双帧率驱动的驱动技术,在该驱动技术中垂直同步频率是通常的垂直同步频率的 1.5 倍高或 1.5 倍以上高,优选为 2 倍高或 2 倍以上高,由此运动图像特性被改善。

[0234] 此外,为了提高液晶显示器件的运动图像特性,存在这样一种驱动技术,在该驱动技术中多个 LED (发光二极管) 光源或多个 EL 光源等被用作背光以形成面光源,并且形成面光源的光源在一个帧周期内被独立间断地点亮。对于面光源,可以使用三种或三种以上的 LED 或者一种发出白光的 LED。由于多个 LED 能够被独立控制,所以能够使 LED 发光的时间与其中液晶层的光调制被改变的时间同步。在该驱动技术中,能够关掉部分 LED,使得功率消耗能够被降低,特别是在显示其中黑色显示区域占据了同一屏幕中的大面积的图像的情况下。

[0235] 通过结合这些驱动技术,液晶显示器件的显示特性 (例如运动图像特性) 与常规液晶显示器件的显示特性相比能够得到提高。

[0236] 然后,本实施方案中的显示器件的结构将参考图 22A 和 22B 进行描述,其中该结构包括以上像素。图 22A 和 22B 示出了在本实施方案的显示器件中的像素的结构。图 22A 是顶视图,以及图 22B 是截面图。注意,图 22A 中的虚线 A1-A2 和 B1-B2 分别对应于图 22B 中的截面 A1-A2 和 B1-B2。

[0237] 如图 22A 和 22B 所示出的,本实施方案中的显示器件在截面 A1-A2 中包括在基板 2000 之上的栅电极 2001;设置于栅电极 2001 之上的栅极绝缘层 2002;设置于栅极绝缘层 2002 之上的氧化物半导体层 2003;设置于氧化物半导体层 2003 之上的一对氧化物半导体层 2004a 和 2004b;被设置以便与氧化物半导体层 2004a 和 2004b 接触的电极 2005a 和 2005b;设置于电极 2005a 和 2005b 以及氧化物半导体层 2003 之上的保护绝缘层 2007;以及通过在保护绝缘层 2007 中所设置的开口部分与电极 2005b 接触的电极 2020。

[0238] 此外,显示器件在截面 B1-B2 中包括在基板 2000 之上的电极 2008;在电极 2008 之上的栅极绝缘层 2002;设置于栅极绝缘层 2002 之上的保护绝缘层 2007;以及设置于保护绝缘层 2007 之上的电极 2020。

[0239] 电极 2022 和 2029 以及电极 2023、2024、及 2028 用作与 FPC 连接的布线或电极。

[0240] 作为基板 2000,能够使用可应用于实施方案 1 中的基板 210 的基板。

[0241] 栅电极 2001 和电极 2008、2022、及 2023 能够使用可应用于实施方案 1 中的栅电极 2111 和 2112 的材料及方法来形成。

[0242] 栅极绝缘层 2002 能够使用可应用于实施方案 1 中的栅极绝缘层 212 的材料及方法来形成。在本实施方案中,厚 50nm 的氧化硅膜被形成作为栅极绝缘层 2002。

[0243] 例如,氧化物半导体层 2003 能够使用可应用于以上实施方案中的氧化物半导体层 2131 和 2132 的材料及方法来形成。在此,氧化半导体层 2003 通过在氩气氛或氧气氛

氛中使用包含 In、Ga、及 Zn ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 1$) 且直径为 8 英寸的氧化物半导体靶在以下条件下沉积 In-Ga-Zn-O 基非单晶膜而形成:基板和靶之间的距离是 170mm, 压力是 0.4Pa, 并且直流 (DC) 电源为 0.5kW。注意, 优选使用脉冲直流 (DC) 电源, 因为灰尘能够被减少并且膜厚度分布是均匀的。In-Ga-Zn-O 基非单晶膜的厚度优选是 5nm ~ 200nm。在本实施方案中, In-Ga-Zn-O 基非单晶膜的厚度是 100nm。此外, 能够在氧化物半导体膜形成之前执行反溅射。

[0244] 例如, 氧化物半导体层 2004a 和 2004b 能够使用可应用于以上实施方案中的氧化物半导体层 2141a、2141b、2142a、及 2142b 的材料及方法来形成。在此, 氧化物半导体层 2004a 和 2004b 通过使用组成比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 1$ 的靶来沉积 In-Ga-Zn-O 基非单晶膜而形成, 其中沉积通过溅射在以下沉积条件下进行: 压力是 0.4Pa, 功率是 500W, 沉积温度是室温, 并且氩气的流量是 40sccm。注意, 有时仅在沉积之后形成含有 1nm ~ 10nm 的晶粒的 In-Ga-Zn-O 基非单晶膜, 尽管特意使用了组成比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 1$ 的靶。此外, 通过适当地调整靶的组成比、沉积压力 (0.1Pa ~ 2.0Pa)、功率 (250W ~ 3000W: 直径为 8 英寸)、温度 (室温 ~ 100℃)、反应溅射的沉积条件等, 晶粒的出现或存在以及晶粒的密度能够得到调整并且晶粒的直径能够在 1nm ~ 10nm 的范围内调整。In-Ga-Zn-O 基非单晶膜的厚度优选为 5nm ~ 20nm。不用说, 当在膜中含有晶粒时, 晶粒的尺寸不大于膜的厚度。在本实施方案中, 氧化物半导体层 2004a 和 2004b 的厚度是 5nm。

[0245] 注意, 用作氧化物半导体层 2003 的 In-Ga-Zn-O 基非单晶膜的沉积条件与用作氧化物半导体层 2004a 和 2004b 的 In-Ga-Zn-O 基非单晶膜的沉积条件是不同的。例如, 在用作氧化物半导体层 2003 的 In-Ga-Zn-O 基非单晶膜的沉积条件中的氧气流量与氩气流量的比值高于在用作氧化物半导体层 2004a 和 2004b 的 In-Ga-Zn-O 基非单晶膜的沉积条件中的氧气流量与氩气流量的比值。具体地, 用作氧化物半导体层 2004a 和 2004b 的 In-Ga-Zn-O 基非单晶膜在稀有气体 (例如, 氩气或氦气) 气氛 (或者具有 10% 或以下的氧气以及 90% 或以上的氩气的气氛) 中沉积, 以及用作氧化物半导体层 2003 的 In-Ga-Zn-O 基非单晶膜在氧气气氛 (或者其中氧气流量等于或大于氩气流量的气氛) 中沉积。

[0246] 用作氧化物半导体层 2004a 和 2004b 的 In-Ga-Zn-O 基非单晶膜可以在与于其中进行了反溅射的容器相同或不同的容器中沉积。

[0247] 在溅射法中, 存在使用高频电源作为溅射电源的 RF 溅射法、DC 溅射法、以及还有在其中施加脉冲偏压的脉冲 DC 溅射法。RF 溅射法主要用于沉积绝缘膜, 并且 DC 溅射法主要用于沉积金属膜。

[0248] 此外, 存在能够将多个不同材料的靶布置于其中的多源溅射装置。使用多源溅射装置, 不同材料的膜能够在同一容器中堆积, 或者多种材料能够在同一容器中通过放电同时沉积。

[0249] 此外, 有一种在容器内包括磁机构并采用磁控溅射法的溅射装置; 以及一种采用 ECR 溅射法的溅射装置, 其中该 ECR 溅射法使用了通过在没有辉光放电的情况下使用微波所产生的等离子体。

[0250] 此外, 作为使用溅射法的沉积方法, 存在有反应溅射法, 在该反应溅射法中靶基板和溅射气体分量在沉积过程中相互间产生化学反应以形成这些材料的化合物薄膜; 以及偏压溅射法, 在该偏压溅射法中电压在沉积过程中同样被施加于基板上。

[0251] 例如,电极 2005a、2005b、及 2024 能够使用可应用于以上实施方案中的电极 215、216、及 217 的材料及方法来形成。在此,电极 2005a、2005b、及 2024 具有单层结构的钛膜。

[0252] 另外,可以对氧化物半导体层 2003 的沟道区域执行氧等离子体处理。通过执行氧等离子体处理,TFT 能够是常关断的。此外,通过执行等离子体处理,能够修复蚀刻对氧化物半导体层 2003 的破坏。氧等离子体处理优选在 O_2 或 N_2O 气氛中执行,优选为其中含有氧气的 N_2 、He、或 Ar 气氛。作为选择,氧等离子体处理可以在上述气氛添加了 Cl_2 或 CF_4 的气氛中执行。

[0253] 作为保护绝缘层 2007,能够使用由溅射法等获得的氮化硅膜、氧化硅膜、氧氮化硅膜、氧化铝膜、氧化钽膜等。注意,当不可还原膜(例如氧化硅膜)被用作保护绝缘层 2007 时,经过以上氧等离子体处理的 TFT 沟道区受到了保护,并且能够抑制阈值电压随时间而变动。

[0254] 电极 2020、2029、及 2028 通过溅射法、真空蒸馏法等使用氧化铟(In_2O_3)、氧化铟和氧化锡的合金($In_2O_3-SnO_2$,被称作 ITO)等来形成。此类材料用基于盐酸的溶液等蚀刻。注意,由于 ITO 的蚀刻往往会特别留下残余物,所以能够使用氧化铟和氧化锌的合金(In_2O_3-ZnO)以便提高蚀刻性能。

[0255] 图 23A 和 23B 分别是这个阶段的栅极布线端部分的截面图和顶视图。图 23A 是沿着图 23B 中的 C1-C2 的截面图。在图 23A 中,形成于保护绝缘层 2054 之上的透明导电膜 2055 是用于连接的端电极,其中该端电极起着输入端的作用。此外,在图 23A 中,在线端部分内,由与栅极布线相同的材料形成的第一线端 2051 和由与源极布线相同的材料形成的连接电极 2053 相互重叠(在它们之间具有栅极绝缘层 2052)并且直接相互接触以允许电连续性。此外,连接电极 2053 和透明导电膜 2055 是通过在保护绝缘膜 2054 中所设置的接触孔直接相互接触的以允许电连续性。

[0256] 图 23C 和 23D 分别是源极布线端部分的截面图和顶视图。图 23C 是沿着图 23D 中的 D1-D2 的截面图。在图 23C 中,形成于保护绝缘膜 2054 之上的透明导电膜 2055 是用于连接的端电极,其中该端电极起着输入端的作用。此外,在图 23C 中,在线端部分内,由与栅极布线相同的材料形成的电极 2056 被布置于与源极布线电连接的第二线端 2050 之下,使得与第二线端 2050 重叠并在它们之间具有栅极绝缘层 2052。电极 2056 与第二线端 2050 电连接。当电极 2056 被设置以具有与第二线端 2050 不同的电位(例如,浮动电位、GND、或 0V)时,用于防止噪音或静电的电容能够被形成。此外,第二线端 2050 穿过保护绝缘膜 2054 与透明导电膜 2055 电连接。

[0257] 多个栅极布线、源极布线、及电容器布线基于像素密度进行设置。此外,多个电位与栅极布线相同的第一线端、电位与源极布线相同的第二线端、电位与电容器布线相同的第三线端等被布置于线端部分中。每种线端的数量能够是给定的数量并且被适当地确定。

[0258] 因此,包括其中是底栅 n 沟道 TFT 的 TFT 的像素 TFT 部分以及存储电容器能够被完成。然后,它们按与像素对应的矩阵布置使得像素部分得以形成;从而,能够形成用于制造有源矩阵显示器件的基板。在本说明书中,为了方便起见将这种基板称作有源矩阵基板。

[0259] 当有源矩阵液晶显示器件被形成时,液晶层被设置于有源矩阵基板与设置有对电极(counter electrode)的对基板(counter substrate)之间,并且有源矩阵基板和对基板被固定。与设置于对基板上的对电极电连接的公共电极被设置于有源矩阵基板之上,并

且与公共电极电连接的第四电极被设置于线端部分中。第四线端是使公共电极具有固定电位（例如，GND 或 0V）的线端。

[0260] 在本实施方案中所获得的 n 沟道晶体管将 In-Ga-Zn-O 基非单晶膜用于沟道形成区从而具有良好的动态特性，由此以上驱动技术能够结合使用。

[0261] 此外，在形成发光显示器件时，为了设置有机发光元件的一极（也称作阴极）以具有低电源电压，例如 GND 或 0V，用于使阴极具有低电源电压（例如 GND 或 0V）的第四线端被设置于线端部分中。此外，在形成发光显示器件时，除了源极布线和栅极布线之外，还设置了电源线。因此，与电源线电连接的第五线端被设置于线端部分中。

[0262] 栅极线驱动电路或源极线驱动电路由使用氧化物半导体的 TFT 构成，由此减少了制造成本。因而，在驱动电路中所包含的 TFT 的栅电极直接连接到源极布线或漏极布线使得接触孔的数量得以减少，由此能够提供其中减少了驱动电路所占用的面积的显示器件。

[0263] 因此，根据本实施方案，具有高电特性的高可靠性显示器件能够以低成本提供。

[0264] 注意，本实施方案能够适当结合其他实施方案来实施。

[0265] （实施方案 8）

[0266] 在本实施方案中，发光显示器件将作为在实施方案 6 中所示出的显示器件的一个实例来描述。例如，将电致发光用于发光元件的发光显示器件将在本实施方案中描述。

[0267] 利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物来划分。一般地，前者称作有机 EL 元件，而后者则称作无机 EL 元件。

[0268] 在有机 EL 元件中，通过将电压施加到发光元件，电子和空穴由一对电极分别注入包含发光有机化合物的层中，并且电流在其中流过。然后，这些载流子（电子和空穴）重新组合，使得发光有机化合物被设置为激发态。该发光有机化合物在由激发态回复到基态时发出光。基于这样的机制，这种发光元件被称作电流激励发光元件。

[0269] 无机 EL 元件根据元件结构划分为分散无机 EL 元件和薄膜无机 EL 元件。分散无机 EL 元件包括发光材料的粒子被散布于粘合剂中的发光层，以及它的发光机制是利用施主能级及受主能级的施主-受主重结合发光。薄膜无机 EL 元件具有其中发光层被夹在电介质层之间的结构，其中该发光层还被夹在电极之间，以及它的发光机制被定位于利用金属离子的内壳层电子跃迁的发光。注意，在此，有机 EL 元件作为发光元件描述。

[0270] 在本实施方案的显示器件中的像素的电路布局将参考图 24 进行描述。图 24 是示出本实施方案中的显示器件的像素电路布局的电路图。

[0271] 如图 24 所示出的，本实施方案中的显示器件的像素包括晶体管 851、存储电容器 852、晶体管 853、及发光元件 854。

[0272] 晶体管 851 的栅极与扫描线 855 电连接，并且它的源极和漏极中的一个与信号线 856 电连接。高电源电压通过存储电容器 852 被施加到晶体管 851 的源极和漏极中的另一个。

[0273] 晶体管 853 的栅极与晶体管 851 的源极和漏极中的另一个电连接。高电源电压被施加到晶体管 853 的源极和漏极中的一个。

[0274] 发光元件 854 具有第一线端和第二线端。第一线端与晶体管 853 的源极和漏极中的另一个电连接。低电源电压被施加到第二线端。

[0275] 然后，图 24 所示出的像素的操作将被描述。

[0276] 在本实施方案的显示器件中的像素的显示操作的一个实例将被描述。

[0277] 首先,选择要写入数据的像素。在所选像素中,晶体管 851 由从扫描线 855 输入的扫描信号导通,并且为固定电压的视频信号(也称作数据信号)由信号线 856 输入到晶体管 853 的栅极。

[0278] 晶体管 852 由响应于输入到栅极的数据信号的电压导通或截止。当晶体管 853 导通时,施加于发光元件 854 的第一线端及第二线端之间的电压取决于晶体管 853 的栅极电压及高电源电压。此时,电流流过发光元件 854 取决于施加在第一线端及第二线端之间的电压,并且发光元件 854 发出具有与流过其中的电流大小相应的照度的光。此外,由于晶体管 853 的栅极电压由存储电容器 852 维持一定时期,发光元件 854 在一定时期内保持发光状态。

[0279] 如果从信号线 856 输入到像素的数据信号是数字的,则像素通过导通或截止晶体管 851 进入发光状态或非发光状态。因此,灰度级能够由面积比灰度法或者时间比灰度法表示。面积比灰度法指的是一种驱动方法,通过该驱动方法一个像素被划分为多个子像素并且每个具有图 24 所示出的结构的子像素根据数据信号独立地驱动使得灰度级得以表示。此外,时间比灰度法指的是一种驱动方法,通过该驱动技术像素处于发光状态的时期受到控制使得灰度级得以表示。

[0280] 由于发光元件的响应速度高于液晶元件等的响应速度,因此与液晶元件相比,发光元件适合于时间比灰度法。具体地,当显示由时间灰度法进行时,一个帧周期被分成多个子帧周期。然后,根据视频信号,像素中的发光元件在每个子帧周期内被设置成发光状态或非发光状态。通过将一个帧周期分成多个子帧周期,像素在一个帧周期内实际发光的总时长能够以视频信号来控制,并且灰度级能够得以表示。

[0281] 在发光显示器件的驱动电路当中,能够由 n 沟道 TFT 构建的驱动电路的一部分能够被形成于其中像素部分的 TFT 所形成的基板上。此外,信号线驱动器和扫描线驱动电路能够仅由 n 沟道 TFT 构成。

[0282] 然后,发光元件的结构将参考图 25A ~ 25C 进行描述。在此,像素在 n 沟道驱动 TFT 的情况下的截面结构作为一个实例进行描述。分别是使用于图 25A、25B、及 25C 的显示器件中的驱动 TFT 的 TFT7001、7011、及 7021 能够以与上述实施方案所示出的 TFT 相似的方式来形成,包括作为半导体层的氧化物半导体层,并且具有高可靠性。

[0283] 为了引出由发光元件发出的光,阳极和阴极需要至少有一个是透明的。TFT 和发光元件被形成于基板之上。存在具有以下结构的发光元件:光穿过与基板相反的表面引出的顶发光结构,光穿过基板侧的表面引出的底发光结构,以及光穿过基板侧的表面和与基板相反的表面引出的双发光结构光。本发明的像素结构能够被应用于具有这些发光结构中的任何一种的发光元件。

[0284] 具有顶发光结构的发光元件将参考图 25A 进行描述。

[0285] 图 25A 是以下像素的截面图,其中在该像素内作为驱动 TFT 的 TFT7001 是 n 沟道 TFT 并且由发光元件 7002 发出的光穿过阳极 7005。在图 25A 中,发光元件 7002 的阴极 7003 与作为驱动 TFT 的 TFT7001 相互电连接,并且发光层 7004 和阳极 7005 被依次堆叠于阴极 7003 之上。作为阴极 7003,只要具有低逸出功并反射光线,任何导电膜都能够被使用。例如, Ca、Al、CaF、MgAg、AlLi 等优选被使用。发光层 7004 可以使用单个层或者通过堆叠多

个层来形成。当发光层 7004 使用多个层来形成时,发光层 7004 通过将电子注入层、电子传输层、发光层、空穴传输层、及空穴注入层按顺序堆叠于阴极 7003 之上而形成。注意,不一定要形成所有这些层。阳极 7005 使用透光导电膜来形成,例如含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡、氧化铟锡(以下称作 ITO)、氧化铟锌、或者其中添加了氧化硅的氧化铟锡。

[0286] 发光元件 7002 对应于其中阴极 7003 和阳极 7005 夹着发光层 7004 的区域。在图 25A 所示出的像素中,光由发光元件 7002 发射到阳极 7005 侧,如箭头所示。

[0287] 然后,具有底发光结构的发光元件将参考图 25B 进行描述。图 25B 是以下像素的截面图,其中在该像素内驱动 TFT7011 是 n 沟道 TFT 并且由发光元件 7012 发出的光穿过阴极 7017。在图 25B 中,发光元件 7012 的阴极 7017 被形成于与驱动 TFT7011 电连接的透光导电膜 7013 之上,并且发光层 7014 和阳极 7015 被依次堆叠于阴极 7017 之上。注意,当阳极 7015 具有透光性质时,可以形成用于反射或阻挡光线的遮光膜 7016 以便覆盖阳极 7015。如同在图 25A 的情况中,多种材料都能够用于阴极 7017,只要材料是具有低逸出功的导电材料。注意,阴极 7017 具有能够透射光线的厚度(优选具有大约 5nm ~ 30nm)。例如,厚 20nm 的铝膜能够被用作阴极 7017。发光层 7014 可以像在图 25A 中的那样由单个层或者通过堆叠多个层来形成。阳极 7015 不一定要透射光线,但是能够使用如图 25A 中的透光膜来形成。例如,遮光膜 7016 能够使用反射光线的金属形成;但是,本发明的一种实施方案并不限于金属膜。例如,能够使用添加了黑色颜料的树脂。

[0288] 发光元件 7012 对应于其中阴极 7017 和阳极 7015 夹着发光层 7014 的区域。在图 25B 所示出的像素中,光由发光元件 7012 发射到阴极 7017 侧,如箭头所示。

[0289] 然后,具有双发光结构的发光元件将参考图 25C 进行描述。在图 25C 中,发光元件的阴极 7027 被形成于与驱动 TFT7021 电连接的透光导电膜 7023 之上,并且发光层 7024 和阳极 7025 被依次堆叠于阴极 7027 之上。如同图 25A 的情形那样,多种材料都能够用于阴极 7027,只要材料是具有低逸出功的导电材料。注意,阴极 7027 具有能够透射光线的厚度。例如,具有厚度 20nm 的 Al 能够用作阴极 7027。如同在图 25A 中,发光层 7024 可以使用单个层或多个层的堆叠来形成。如同在图 25A 中那样,阳极 7025 能够使用透光导电膜来形成。

[0290] 发光元件 7022 对应于阴极 7027、发光层 7024、及阳极 7025 相互重叠的区域。在图 25C 所示出的像素中,光由发光元件 7022 发射到阳极 7025 侧和阴极 7027 侧,如箭头所示。

[0291] 注意,尽管有机 EL 元件在此作为发光元件来描述,但是也能够将无机 EL 元件设置为发光元件。

[0292] 注意,在本实施方案中描述了一个实例,在该实例中控制发光元件的驱动的 TFT(也称作驱动 TFT)与发光元件电连接;作为选择,可以使用以下结构,在该结构中用于电流控制的 TFT 被连接在驱动 TFT 与发光元件之间。

[0293] 然后,本实施方案中的显示器件(也称作发光板)的外观及截面将参考图 26A 和 26B 进行描述。图 26A 是本实施方案中的显示器件的顶视图,在该显示器件中 TFT 与形成于第一基板之上的发光元件由密封材料密封在第一基板和第二基板之间。图 26B 是沿着图 26A 中的 H-I 的截面图。

[0294] 密封材料 4505 被提供以便包围像素部分 4502、信号线驱动电路 4503a 和 4503b、以及设置于第一基板 4501 之上的扫描线驱动电路 4504a 和 4504b。此外,第二基板 4506 被设置于像素部分 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b 之上。因此,像素部分 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b 用第一基板 4501、密封材料 4505、及第二基板 4506 与填充料 4507 一起来密封。以这种方式,优选具有高气密性及脱气少的保护膜(例如附着膜或紫外线固化树脂膜)或覆盖材料来包装(密封)像素部分 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b,使得像素部分 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b 不暴露于空气中。

[0295] 形成于第一基板 4501 之上的像素部分 4502、信号线驱动电路 4503a 和 4503b、以及扫描线驱动电路 4504a 和 4504b 每个都包括多个 TFT。在图 26B 中,包含于像素部分 4502 中的 TFT4510 与包含于信号线驱动电路 4503a 中的 TFT4509 作为一个实例来说明。

[0296] 作为 TFT4509 和 4510,能够使用在实施方案 4 中所示出的高可靠性的 TFT,其中该 TFT 包括作为半导体层的氧化物半导体层。作为选择,可以使用在实施方案 5 中所示出的 TFT。在本实施方案中,TFT4509 和 4510 是 n 沟道 TFT。

[0297] 此外,参考数字 4511 指示发光元件。作为包含于发光元件 4511 中的像素电极的第一电极 4517 与 TFT4510 的源电极或漏电极电连接。注意,发光元件 4511 具有由第一电极 4517、电致发光层 4512、及第二电极 4513 组成的层状结构;但是,发光元件的结构并不限定于本实施方案所示出的结构。发光元件 4511 的结构能够根据将光由发光元件 4511 引出的方向等适当地改变。

[0298] 堆层 4520 使用有机树脂膜、无机绝缘膜、或有机聚硅氧烷来形成。特别地,优选的是堆层 4520 使用光敏材料来形成以在第一电极 4517 之上具有开口部分,并且开口部分的侧壁被形成具有连续曲率的斜面。

[0299] 电致发光层 4512 可以使用单个层或多个层的堆叠来形成。

[0300] 为了防止氧气、氢气、水汽、二氧化碳等进入发光元件 4511,可以在第二电极 4513 和堆层 4520 之上形成保护层。作为保护层,能够形成氮化硅膜、氮化氧化硅膜、DLC(类金刚石碳)膜等。

[0301] 此外,来自 FPC4518a 和 4518b 的多种信号及电位被提供给信号线驱动电路 4503a 和 4503b、扫描线驱动电路 4504a 和 4504b、或像素部分 4502。

[0302] 在本实施方案中,连接端电极 4515 使用与包含于发光元件 4511 中的第一电极 4517 相同的导电膜来形成。端电极 4516 使用与 TFT4509 和 4510 的源电极和漏电极相同的导电膜来形成。

[0303] 连接端电极 4515 通过各向异性导电膜 4519 与 FPC4518a 的一个线端电连接。

[0304] 位于光从发光元件 4511 发出的方向上的第二基板需要具有透光性质。在那种情况下,则使用透光材料,例如玻璃板、塑料板、聚酯膜、或丙烯酸膜。

[0305] 作为填充料 4507,除了惰性气体(例如氮气或氩气)以外还能够使用紫外线固化树脂或热固树胶。例如,能够使用聚氯乙烯(PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅树脂、聚乙烯醇缩丁醛(PVB)、或乙烯-醋酸乙烯酯(EVA)。在本实施方案中,氮气被用作填充料 4507。

[0306] 如果有必要,可以将光学膜(例如偏振片、圆偏振片(包括椭圆偏振片)、延迟片(1/4波片或半波片)、或滤色片)适当地设置于发光元件的发光表面上。此外,偏振片或圆偏振片可以装备防反射膜。例如,能够进行防眩处理,通过该防眩处理所反射的光线能够在不均匀的表面上被散射开以降低眩光。

[0307] 作为信号线驱动电路 4503a 和 4503b 以及扫描线驱动电路 4504a 和 4504b,使用单晶半导体膜或多晶半导体膜形成的驱动电路可以安装在分别准备的基板上。作为选择,只有信号线驱动电路或其中一部分,或者扫描线驱动电路或其中一部分可以分别形成以备安装。本实施方案并不限于图 26A 和 26B 中的结构。

[0308] 通过以上步骤,高可靠性的发光显示器件(显示板)能够得以制造。

[0309] 注意,本实施方案能够适当地结合其他实施方案所公开的结构。

[0310] (实施方案 9)

[0311] 在本实施方案中,电子纸将作为实施方案 6 所示出的显示器件的一个实例来描述。

[0312] 以上实施方案所示出的逻辑电路能够被使用在电子纸中。电子纸也被称作电泳显示器件(电泳显示器)而其优点是具有与普通纸相当的高可读性并且比其他显示器件更低的功率消耗,并且既薄又轻。

[0313] 可以考虑电泳显示器的多种模式。电泳显示器包括含有具有正电荷的第一粒子和具有负电荷的第二粒子的多个微胶囊,并且被散布于溶剂或溶质中。通过将电场施加于微胶囊,微胶囊中的粒子在彼此相反的方向上移动,并且只有聚集在一侧的粒子的颜色被显示。注意,第一粒子或第二粒子含有染料以及在没有电场时不移动。此外,第一粒子和第二粒子的颜色(包括无色)互不相同。

[0314] 因此,电泳显示器使用了所谓的介电泳效应,其中在该介电泳效应中具有高介电常数的基板移动到具有高电场的区域。电泳显示其不需要液晶显示器件所必需的偏振片及对基板,使得电泳显示器的厚度和重量减小一半。

[0315] 其中微胶囊散布于溶剂里的基板被称作电子墨水,并且该电子墨水能够被打印在玻璃、塑料、织物、纸张等的表面上。此外,通过使用滤色片或含有颜料的粒子,颜色显示是可能的。

[0316] 此外,当多个以上微胶囊被布置于有源矩阵基板之上使得被布置于两个电极之间的时候,有源矩阵显示器件能够得以完成,以及显示能够通过将电场施加于微胶囊上来进行。例如,能够使用以实施方案 4 或实施方案 5 中的 TFT 获得的有源矩阵基板

[0317] 注意,对于微胶囊中的第一粒子和第二粒子,可以使用导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电泳材料、或磁泳材料中的一种或它们的复合材料。

[0318] 然后,在本实施方案中的电子纸的结构的一个实例将参考图 27 进行描述。图 27 是示出本实施方案中的电子纸的结构的截面图。

[0319] 图 27 所示出的电子纸包括在基板 580 之上的 TFT581;堆叠于 TFT581 之上的绝缘层 583、584、及 584;通过设置于绝缘层 583 ~ 585 中的开口部分与 TFT581 的源电极或漏电极接触的电极 587;以及在设置于基板 596 上的电极 587 和电极 588 之间包含球形粒子 589,其中每个球形粒子 589 包括黑色区 590a、白色区 590b、以及包围黑色区 590a 和白色区

590b 并以液体填充的空腔 594 ;以及设置于球形粒子 589 周围的填充料 595。

[0320] TFT581 能够以与实施方案 4 所示出的 TFT 相似的方式形成并且是包含作为半导体层的氧化物半导体层的高可靠性的 TFT。作为选择,在实施方案 5 中所示出的 TFT 能够被应用于本实施方案中的 TFT581。

[0321] 一种使用球形粒子 589 的方法被称作扭转球显示法。在扭转球显示系统中,每个都着上黑色及白色的球形粒子被布置于第一电极和第二电极之间,其中这两个电极被用于显示元件,并且电位差产生于第一电极和第二电极之间以控制球形粒子的取向 ;因此,显示得以进行。

[0322] 此外,作为球形元件的替代,电泳元件也能够被使用。直径约为 $10\mu\text{m}\sim 200\mu\text{m}$ 的微胶囊被使用,其中在该微胶囊内封装有透明液体、带正电的白色微粒以及带负电的黑色微粒。在设置于第一电极和第二电极之间的微胶囊中,当电场被施加于第一电极和第二电极之间的时候,白色微粒和黑色粒子朝着彼此相反的方向移动,使得能够显示白色或黑色。电泳显示元件是应用这种规律的显示元件。电泳显示元件具有比液晶显示元件更高的反射率,因而,辅助光是非必要的。此外,功率消耗是低的,并且显示部分在微暗的场所也能够识别。此外,即使在没有给显示部分提供功率时,能够保持之前已经显示的图像。因此,所显示的图像能够被保存即使具有显示功能的半导体器件(可以简称作显示器件或设置有显示器件的半导体器件)与电波源相隔离。

[0323] 例如,本说明书所公开的发明的一个实施方案的逻辑电路能够用作本实施方案中的电子纸的驱动电路。此外,例如,由于使用氧化物半导体层的薄膜晶体管能够被应用于显示部分中的晶体管,所以驱动电路和显示部分能够被设置于同一基板上。

[0324] 电子纸能够使用于显示信息的各种领域的电子器件中。例如,电子纸能够应用于电子书(e-book)阅读器(电子书)、海报、车辆(例如火车)上的广告、或者各种卡(例如信用卡)上的显示。这种电子器件的一个实例将在图 28 中进行说明。图 28 示出了实例电子书阅读器 2700。

[0325] 如图 28 所示出的,电子书阅读器 2700 具有两个外壳 2701 和 2703。外壳 2701 和 2703 与轴部分 2711 结合,并且电子书阅读器 2700 能够以轴部分 2711 作为轴来打开及关闭。使用这种结构,电子书阅读器 2700 能够像纸质书那样操作。

[0326] 显示部分 2705 被结合到外壳 2701 内。显示部分 2707 被结合到外壳 2703 内。显示部分 2705 和 2707 可以显示同一图像或不同图像。例如,当显示部分显示不同图像时,文本能够显示于右侧显示部分(图 28 中的显示部分 2705)上和图像能够显示于左侧显示部分(图 28 中的显示部分 2707)上。

[0327] 此外,图 28 示出了其中外壳 2701 设置有操作部分等的一个实例。例如,外壳 2701 设置有电源开关 2721、操作按键 2723、扬声器 2725 等。页面能够用操作按键 2723 来翻转。注意,键盘、指点装置等可以设置于外壳中的显示部分的相同侧。此外,用于外部连接的线端(例如,耳机端、USB 端、及能够连接多种电缆(例如 AC 适配器或 USB 线)的线端),用于插入记录媒体的部分等可以被设置在外壳的后表面或侧表面上。此外,电子书阅读器 2700 可以起到电子词典的作用。

[0328] 另外,电子书阅读器 2700 可以无线传输和接收信息。电子书阅读器 2700 能够具有这样的结构,在该结构中所需的书数据等以无线方式从电子书服务器上购买并下载。

[0329] (实施方案 10)

[0330] 在本实施方案中,板载系统型(system-on-panel)显示器件将作为实施方案 6 中的显示器件的一个实施方案进行描述。

[0331] 作为本说明书所公开的发明的一种实施方案的逻辑电路能够应用于板载系统型显示器件,在该显示器件中显示部分和驱动电路被设置于同一基板上。显示器件的具体结构将在下面描述。

[0332] 本实施方案中的显示器件包括显示元件。作为显示元件,能够使用液晶元件(也称作液晶显示元件)或发光元件(也称作发光显示元件)。发光元件在类型上包括其照度由电流或电压所控制的元件,具体包括无机电致发光(EL)元件、有机 EL 元件等。此外,还能够使用其对比度可通过电效应改变的显示媒体,例如电子墨水。

[0333] 另外,本实施方案中的显示器件在类型上包括显示元件被密封于其中的面板,以及其中包含控制器的 IC 等被安装于面板上的模块。此外,在显示元件于制造显示器件的过程中被完成之前,本实施方案涉及元件基板。元件基板设置有助于给多个像素中的每个像素的显示元件供应电流的装置。具体地,元件基板可以是其中只设置了显示元件的像素电极的情形,在用作像素电极的导电膜形成之后并在导电膜被蚀刻以形成像素电极之前的情形,或者其他情形。

[0334] 注意,本说明书中的显示器件指的是图像显示器件,显示器件、或光源(包括照明器件)。此外,显示器件在类型上包括以下模块中的任意一种:含有连接器的模块,例如柔性印制电路(FPC)、带式自动键合(TAB)带、或带载封装(TCP);含有在其末端设置有印制布线板的 TAB 带或 TCP 的模块;以及含有通过玻璃上芯片(COG)法直接安装于显示元件上的集成电路(IC)的模块。

[0335] 然后,其中是本实施方案中的显示器件的一种实施方案的液晶显示板的外观及截面将参考图 29A ~ 29C 进行描述。

[0336] 图 29A 和 29B 各自是本实施方案中的显示器件的顶视图,在该显示器件中液晶元件 4013 以及 TFT4010 和 4011 用密封材料 4005 密封于第一基板 4001 和第二基板 4006 之间,其中该 TFT4010 和 4011 包含实施方案 4 所示出的作为半导体层的 In-Ga-Zn-O 基非单晶膜,该 In-Ga-Zn-O 基非单晶膜被形成于第一基板 4001 上。图 29C 是沿着图 29A 和 29B 中的 M-N 的截面图。

[0337] 在本实施方案的显示板中,设置了密封材料 4005 以便包围设置于第一基板 4001 上的像素部分 4002 及扫描驱动电路 4004。第二基板 4006 被设置于像素部分 4002 和扫描线驱动电路 4004 之上。因此,像素部分 4002 和扫描线驱动电路 4004 以及液晶层 4008 由第一基板 4001、密封材料 4005、及第二基板 4006 所密封。此外,其中使用分别准备于基板上的单晶半导体膜或多晶半导体膜来形成的信号线驱动电路 4003 被设置于与由第一基板 4001 之上的密封材料 4005 所包围的区域不同的区域中。

[0338] 注意,对分开形成的驱动电路的连接方法没有特殊的限定,并且能够使用 COG 方法、引线键合法、TAB 法等。图 29A 示出了其中信号线驱动电路 4003 通过 COG 法安装的一个实例。图 29B 示出其中信号驱动电路 4003 通过 TAB 法安装的一个实例。

[0339] 设置于第一基板 4001 之上的像素部分 4002 和扫描线驱动电路 4004 每个都包括多个 TFT。图 29C 示出了包含于像素部分 4002 中的 TFT4010 和包含于扫描线驱动电路 4004

中的 TFT4011。绝缘层 4020 和 4021 被设置于 TFT4010 和 4011 之上。

[0340] 作为 TFT4010 和 4011,能够使用在实施方案 4 中所示出的高可靠性的 TFT,其中该 TFT 包括作为半导体层的氧化物半导体层。作为选择,可以使用在实施方案 5 中所示出的 TFT。在本实施方案中,TFT4010 和 4011 是 n 沟道 TFT。

[0341] 包含于液晶元件 4013 中的像素电极 4030 与 TFT4010 电连接。液晶元件 4013 的对电极 4031 被形成于第二基板 4006 上。液晶元件 4013 对应于其中像素电极 4030、对电极 4031、以及液晶层 4008 相互重叠的区域。像素电极 4030 和对电极 4031 分别设置有用取向膜的绝缘层 4032 和 4033,并且夹着液晶层 4008,绝缘层 4032 和 4033 在它们之间。

[0342] 可应用于以上实施方案中的基板 210 上的材料及制造方法能够被应用于第一基板 4001 和第二基板 4006。

[0343] 间隔 4035 是通过对绝缘膜进行选择性地蚀刻所获得的柱形分隔物,并且被设置以便控制像素电极 4030 与对电极 4031 之间的距离(单元间隙)。注意,可以使用球形间隔。此外,对电极 4031 与设置于与 TFT4010 相同的基板之上的公共电位线电连接。对电极 4031 和公共电位线能够通过布置于这对基板之间的导电粒子相互电连接。注意,导电粒子包含于密封材料 4005 中。

[0344] 注意,尽管本实施方案显示透射液晶显示器件的一个实例,但是本发明同样能够被应用于反射液晶显示器件或透反液晶显示器件。

[0345] 作为本实施方案中的液晶显示器件,显示了一个实例,在该实例中偏振片被设置于基板的外侧(在观察者侧)以及用于显示元件的色彩层及电极依次设置于内侧;作为选择,偏振片可以设置于基板的内侧。此外,偏振片和色彩层的层状结构并不限于本实施方案中的那种,并且可以根据偏振片及色彩层的材料或者制造过程的条件适当地确定。此外,可以设置用作黑底(black matrix)的遮光膜。

[0346] 在本实施方案中,为了减小 TFT 的表面不均匀性以及提供 TFT 的可靠性,TFT 由用作保护层或平面化绝缘膜的绝缘层(绝缘层 4020 和 4021)覆盖。注意,保护层防止污染杂质(例如有机物、金属、或空气中所含有的水汽)穿过,因而优选是致密的。保护层可以通过溅射法由以下膜的单层或叠层形成:氧化硅膜、氮化硅膜、氧氮化硅膜、氮化氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、或氮化氧化铝膜。其中保护层由溅射法形成的实例在本实施方案中示出;但是,本发明的一种实施方案并不特别限于此,并且保护层可以通过多种方法形成。此外,通过使用不可还原膜,保护层同样能够用作还原防止层。

[0347] 在此,具有层状结构的绝缘层 4020 被形成为保护层。在这种情况下,作为绝缘层 4020 的第一层,氧化硅膜通过溅射法来形成。将氧化硅膜用作保护层可有效防止小丘(hillock)出现于用作源电极和漏电极的铝膜中。

[0348] 此外,绝缘层被形成为保护层的第二层。在此,作为绝缘层 4020 的第二层,氮化硅膜通过溅射法来形成。将氮化硅膜用作保护层能够防止可移动离子(例如钠)进入半导体区以及防止改变 TFT 的电特性。

[0349] 此外,在保护层形成以后,可以对半导体层进行退火(250℃~400℃)。

[0350] 然后,绝缘层 4021 被形成为平面化绝缘膜。具有耐热性的有机材料(例如聚酰亚胺、丙烯酸、聚酰亚胺酰胺、苯并环丁烯、聚酰胺、或环氧树脂)能够用于绝缘层 4021。除了此类有机材料以外,还可能使用低介电常数的材料(低 k 值材料)、硅氧烷基树脂、磷硅酸盐

玻璃 (PSG)、硼磷硅酸盐玻璃 (BPSG) 等。注意,绝缘层 4021 可以通过堆叠多个由此类材料形成的绝缘膜而形成。

[0351] 注意,硅氧烷基树脂是一种以硅氧烷材料作为起始材料形成并具有 Si-O-Si 键的树脂。硅氧烷基树脂可以包括作为取代基的有机基团 (例如,烷基或芳基) 或氟代基团。有机基团可以包括氟代基团。

[0352] 对形成绝缘层 4021 的方法没有特别的限定,并且绝缘层 4021 能够根据其材料由以下方法及装置中的任意一种来形成:溅射法、SOG 法、旋涂、浸涂、喷涂、液滴排放法 (例如,喷墨法、丝网印刷、或胶版印刷)、刮刀 (doctor knife)、辊涂机、幕涂机、刮刀式涂机等。当绝缘层 4021 使用流体材料形成时,半导体层可以在烘焙绝缘层 4021 的步骤中进行退火 ($300^{\circ}\text{C} \sim 400^{\circ}\text{C}$)。烘焙绝缘层 4021 的步骤用于对半导体层进行退火,由此显示设备能够被有效地制造。

[0353] 像素电极 4030 和对电极 4031 能够使用透光导电材料来形成,例如含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡、氧化铟锡 (以下称作 ITO)、氧化铟锌,或者其中添加了氧化硅的氧化铟锡。

[0354] 作为选择,像素电极 4030 和对电极 4031 能够使用含有导电高分子的导电组合物 (也称作导电聚合物) 来形成。使用导电组合物形成的电极优选具有 10000 欧姆/平方 (ohms/square) 或以下的薄层电阻以及在波长为 550nm 时具有 70% 或以上的透光率。此外,包含于导电组合物中的导电聚合物的电阻率优选等于或小于 $0.1 \Omega \cdot \text{cm}$ 。

[0355] 作为导电聚合物,能够使用所谓的 π -电子共轭的导电聚合物。例如,聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、这些材料中的两种以上的共聚物等能够被给出。

[0356] 此外,多种信号及电位由 FPC4018 供应给独立形成的信号线驱动电路 4003、扫描线驱动电路 4004、以及像素部分 4002。

[0357] 在本实施方案中,连接端电极 4015 使用与包含于液晶元件 4013 中的像素电极 4030 相同的导电膜形成。端电极 4016 使用与 TFT4010 和 4011 的源电极及漏电极相同的导电膜来形成。

[0358] 连接端电极 4015 通过各向异性导电膜 4019 与 FPC4018 的一个线端电连接。

[0359] 注意,图 29A ~ 29C 示出了其中信号线驱动电路 4003 被独立形成并被安装于第一基板 4001 上的实例;但是,本实施方案并不限于该结构。扫描线驱动电路可以先独立形成然后再安装,或者只是信号线驱动电路的一部分或扫描线驱动电路的一部分可以被独立形成然后再安装。

[0360] 如上所述,板载系统型显示器件能够形成。例如,对于本实施方案中的显示器件,以上实施方案中的逻辑电路能够被使用于驱动电路中,并且逻辑电路能够按照与显示部分中的 TFT 相同的工艺来形成。

[0361] 注意,本实施方案能够与其他实施方案所公开的结构适当地结合。

[0362] (实施方案 11)

[0363] 在实施方案 6 ~ 10 中所示出的显示器件能够应用于多种电子器件 (包括游艺机)。电子器件的实例包括电视设备 (也称作电视或电视接收器)、用于计算机等的监视器、照相机 (例如数码照相机和数码摄像机)、数码相框、移动电话设备 (也称作移动电话或蜂

窝式电话)、便携式游戏机、便携式信息终端、音响设备、以及大游戏机(例如弹球盘机)。

[0364] 图 30A 示出电视设备 9600 的一种实例。在电视设备 9600 中,显示部分 9603 被结合到了外壳 9601 内。显示部分 9603 能够显示图像。此外,外壳 9601 在此由支座 9605 所支撑。

[0365] 电视设备 9600 能够以外壳 9601 的操作开关或分离的遥控器 9610 来操作。频道和音量能够用遥控器 9610 的操作键 9609 来控制使得显示部分 9603 上所显示的图像能够得以控制。此外,遥控器 9610 可以设置用于显示由遥控器 9610 输出的数据的显示部分 9607。

[0366] 注意,电视设备 9600 被设置了接收器、调制解调器等。通过接收器,一般的电视广播能够被接收。此外,当电视设备 9600 通过调制解调器用有线或无线连接与通信网络连接时,单向(从发射器到接收器)或双向(在发射器和接收器之间或者在接收器之间)数据通信能够得以进行。

[0367] 图 30B 示出了实例数码相框 9700。例如,在数码相框 9700 中,显示部分 9703 被结合到了外壳 9701 内。显示部分 9703 能够显示多种图像。例如显示部分 9703 能够显示用数码相机等拍摄的图像的数据并且起到普通相框的作用。

[0368] 注意,数码相框 9700 设置有操作部分、外部连接部分(例如,USB 端,或者能够与各种电缆(如 USB 线)连接的线端)、记录媒体插入部分等。尽管这些部件可以设置于其中设置有显示部分的表面上,但对于数码相框 9700 的设计优选是将它们设置在侧表面或后表面上。例如,保存数码相机所拍摄的图像的数据的存储器被插入数码相框的记录媒体插入部分中,并且图像数据能够被传输然后显示于显示部分 9703 上。

[0369] 此外,数码相框 9700 可以被配置以无线发送及接收数据。其中所需的图像数据以无线方式传输以被显示的结构可以被使用。

[0370] 图 31A 是便携式游戏机并且包括外壳 9881 和外壳 9891 这两个外壳,其中这两个外壳以接合部分 9893 连接使得便携式游戏机能够打开及折叠。显示部分 9882 被结合到外壳 9881 内,并且显示部分 9883 被结合到外壳 9891 内。此外,图 31A 所示出的便携式游戏机设置有扬声器部分 9884、记录媒体插入部分 9886、LED 灯 9890、输入装置(操作键 9885、连接端 9887、传感器 9888(具有测量力、位移、位置、速度、加速度、角速度、旋转数、距离、光、流体、磁性、温度、化学物质、声音、时间、硬度、电场、电流、电压、电功率、辐射线、流量、湿度、梯度、振动、气味、或红外线的功能),以及麦克风 9889)等。不必说,便携式游戏机的结构并不限于以上所描述的结构。便携式游戏机可以具有这样的结构,在该结构中只要至少设置有显示设备,则可适当设置附加的辅助设备。图 31A 中的便携式游戏机具有读取在记录媒体中保存的程序或数据以将其显示于显示部分上的功能,以及具有通过无线通信与另外的便携式游戏机共享信息的功能。注意,图 31A 中的便携式游戏机的功能并不限于以上所描述的那些功能,并且便携式游戏机能够具有多种功能。

[0371] 图 31B 示出了实例投币机 9900,其中该投币机 9900 是大游艺机。在投币机 9900 中,显示部分 9903 被结合到外壳 9901 内。此外,投币机 9900 设置有操作装置(例如启动杆和停止开关)、投币口、扬声器等。不必说,投币机 9900 的结构并不限于以上结构。投币机可以具有这样的结构,在该结构中只要至少设置有根据本发明的显示器件,则可适当设置附加的辅助设备。

[0372] 图 32A 示出了实例移动电话 9000。移动电话 9000 设置有结合于外壳 9001 内的显

示部分 9002、操作按钮 9003、外部连接端 9004、扬声器 9005、麦克风 9006 等。

[0373] 当在图 32A 中所示出的移动电话 9000 的显示部分 9002 以手指等触摸时,数据能够被输入到移动电话 9000 内。此外,像拨打电话及发送短信那样的操作能够通过用手指等触摸显示部分 9002 来执行。

[0374] 显示部分 9002 主要有三种屏幕模式。第一种模式是主要用于显示图像的显示模式。第二种模式是主要用于输入数据(例如文本)的输入模式。第三种模式是显示-输入模式,该显示-输入模式是所述两种模式的结合,即显示模式和输入模式的结合。

[0375] 例如,在打电话或发短信时,选择主要用于输入文本的文本输入模式用于显示部分 9002 使得显示于屏幕上的字符能够被输入。在那种情况下,优选在显示部分 9002 的屏幕的几乎全部区域上显示键盘或数字按钮。

[0376] 当包括用于检测倾角的传感器的检测装置(例如陀螺仪或加速度传感器)被设置于移动电话 9000 内时,在显示部分 9002 的屏幕上的显示能够通过测定移动电话 9000 的取向(移动电话 9000 是直立的还是侧躺下的)自动改变。

[0377] 屏幕模式通过触摸显示部分 9002 或者使用外壳 9001 的操作按钮 9003 来改变。作为选择,屏幕模式可以根据显示部分 9002 上所显示的图像的种类来改变。例如,当在显示部分上显示的图像的信号是移动图像的数据时,屏幕模式则改变为显示模式。当信号是文本数据时,屏幕模式则改变为输入模式。

[0378] 此外,在输入模式中,当在一定时间内没有通过触摸显示部分 9002 进行输入然而检测到了由显示部分 9002 中的光学传感器检测的信号时,屏幕模式可以被控制以便由输入模式改变为显示模式。

[0379] 显示模式 9002 同样能够起到图像传感器的作用。例如,掌纹、指纹等的图像在以手掌或手指触摸显示部分 9002 时被获得,由此能够执行身份识别。此外,当发射近红外线的背光或感测光源被设置于显示部分内时,手指静脉、手掌静脉等的图像能够被获得。

[0380] 图 32B 示出漏了移动电话的另一个实例。图 32B 中的移动电话包括在外壳 9411 中的显示器件 9410,其中该外壳 9411 包括显示部分 9412 和操作按钮 9413;以及在外壳 9401 中的通信装置 9400,其中该外壳 9401 包括扫描按钮 9402、外部输入端 9403、麦克风 9404、扬声器 9405、以及在收到请求时发出光的发光部分 9406。具有显示功能的显示器件 9410 能够按照箭头所示的两个方向与具有电话功能的通信装置 9400 分离及连接。因此,显示器件 9410 和通信装置 9400 的短轴能够相互连接,或者显示器件 9410 和通信装置 9400 的长轴能够相互连接。此外,当只需要显示功能时,显示器件 9410 可以由通信装置 9400 上分离使得半导体器件 9410 能够被单独使用。通信装置 9400 和显示器件 9410 能够通过无线通信或有线通信传输和接收图像或者相互输入信息,并且通信装置 9400 和显示器件 9410 每个都具有充电电池。

[0381] 注意,本实施方案能够与其他实施方案所公开的结构适当地结合。

[0382] (实例 1)

[0383] 在本实例中,将描述使用氧化物半导体的增强型薄膜晶体管,在该增强型薄膜晶体管中氧等离子体处理将被作为氧空位控制处理的一个实例执行以便改变阈值电压。

[0384] 图 33A 示出了本实例中的薄膜晶体管的结构。

[0385] 图 33A 所示出的薄膜晶体管包括在基板 5001 之上的栅电极 5002、在栅电极 5002

之上的栅极绝缘层 5002、在栅极绝缘层 5003 之上的氧化物半导体层 5004、以及用作源电极和漏电极的电极 5005a 和 5005b。

[0386] 在本实例中,厚 100nm 的钨膜被形成作为栅电极 5002;厚 100nm 的 SiON 膜作为栅极绝缘层 5003;厚 50nm 的 In-Ga-Zn-O 基非单晶膜作为氧化物半导体层 5004;并且厚 100nm 的钛膜作为电极 5005a 和 5005b。

[0387] 此外,在本实例中,薄膜晶体管的阈值电压通过对沟道部分的表面执行氧等离子体处理而变动。氧等离子体处理此时在以下条件下执行:容器内的压力是 0.4P,氩气和氧气的流量分别是 10sccm 和 15sccm,并且 RF 功率是 500W 以使氧气变成等离子体。在本实例中,等离子体处理执行 5 分钟。

[0388] 图 33B 显示了本实例中的晶体管的 ID-VG 在氧等离子体处理之前及之后的测量结果。

[0389] 如图 33B 所示出的,在氧等离子体处理之前的晶体管具有负的阈值电压并且是常导通的,如曲线 5006 所示,但是在氧等离子体处理之后的晶体管具有正的阈值电压并且是常关断的,如曲线 5007 所示。因此,在对包含氧化物半导体的薄膜晶体管执行氧等离子体处理时,晶体管的阈值电压被改变为正值并且该晶体管用作增强型晶体管。

[0390] 本申请基于在 2008 年 10 月 31 日向日本专利局提交的日本专利申请 No. 2008-281647,其全部内容在此以提及的方式并入本文中。

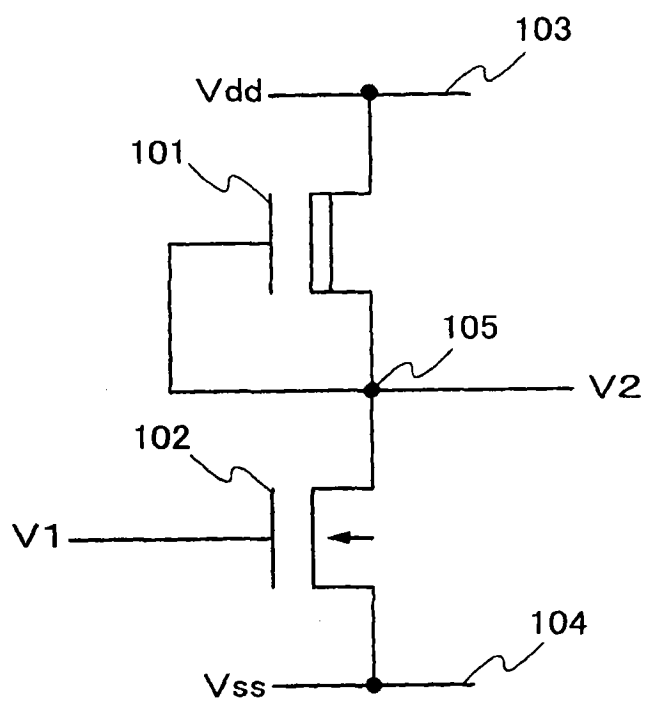


图 1

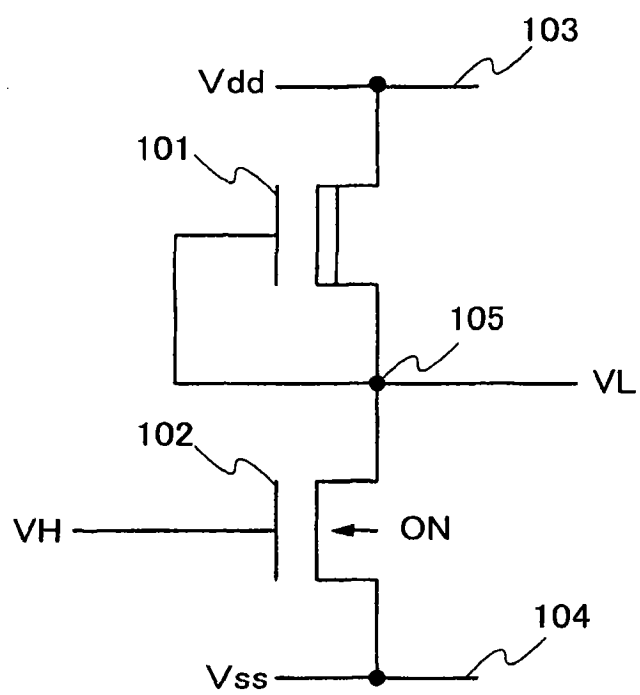


图 2A

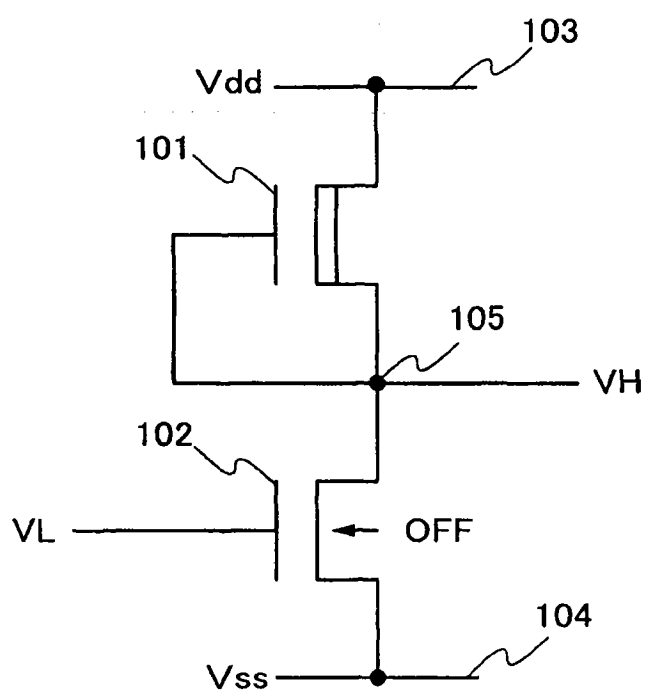


图 2B

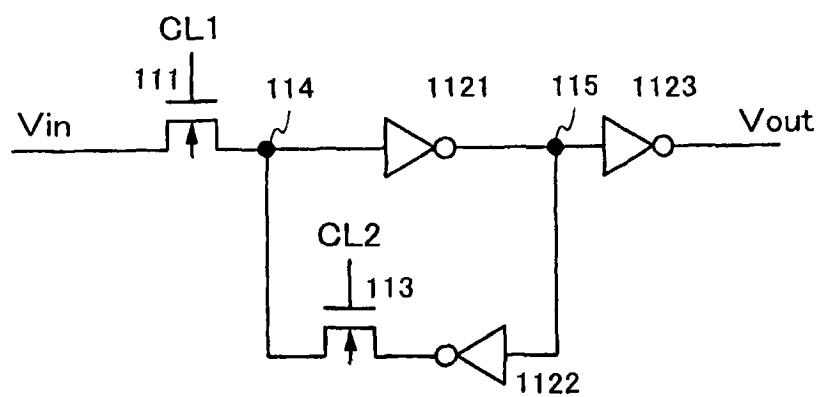


图 3

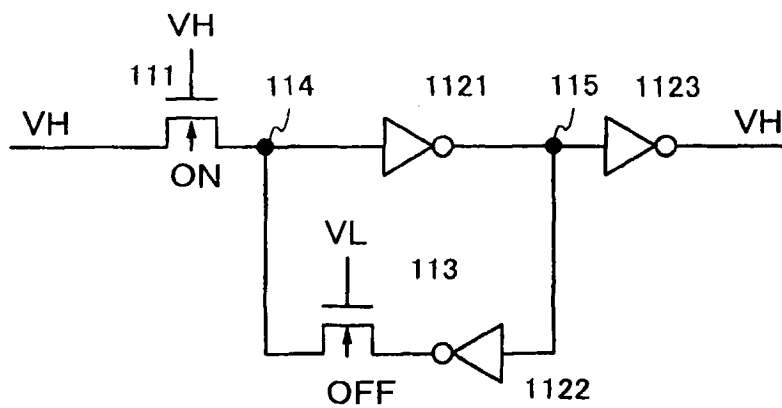


图 4A

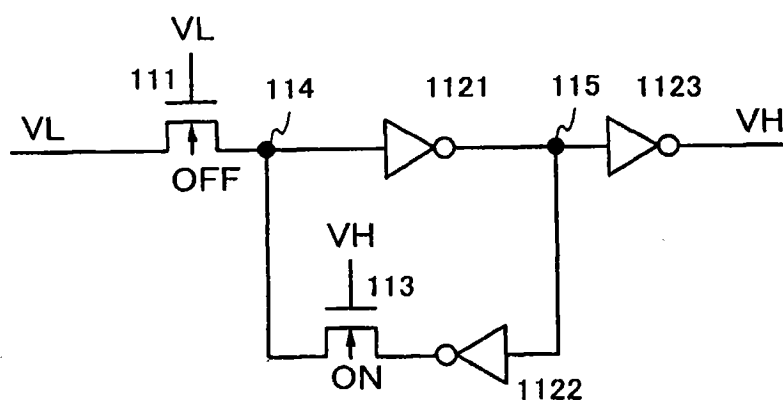


图 4B

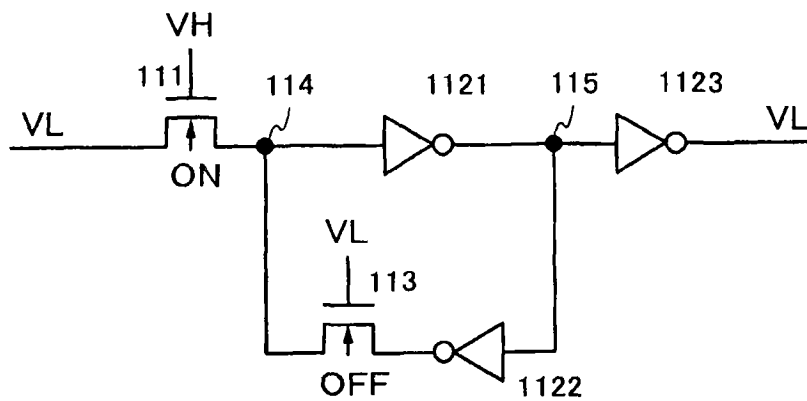


图 5C

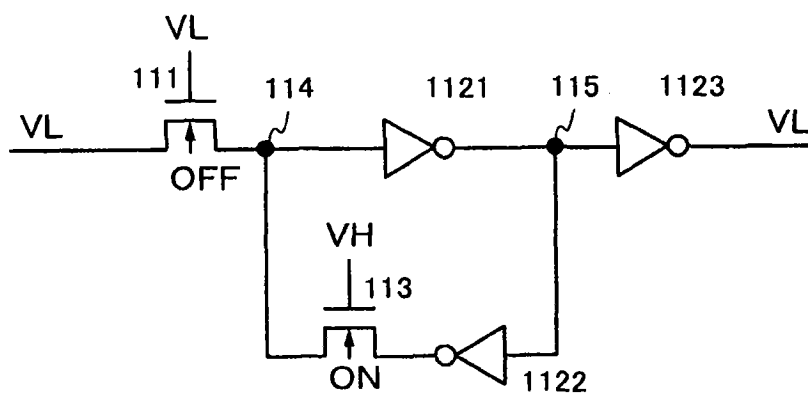


图 5D

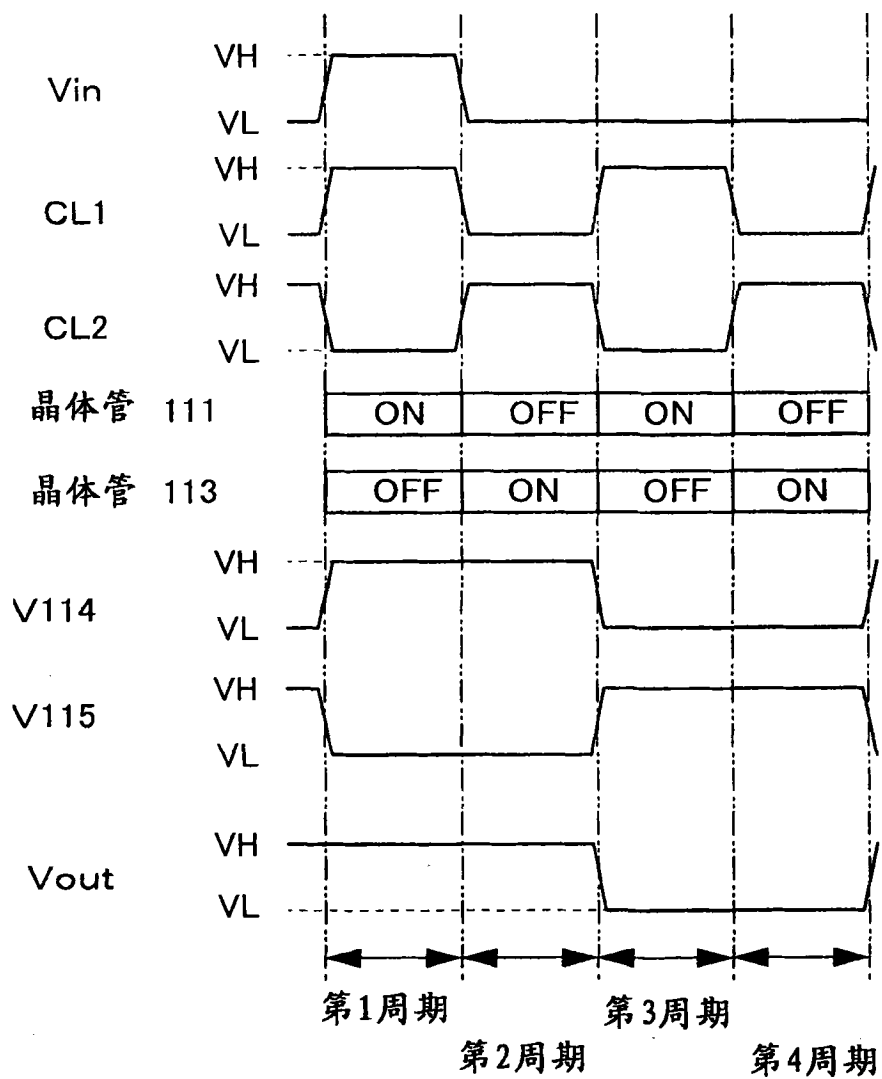


图 6

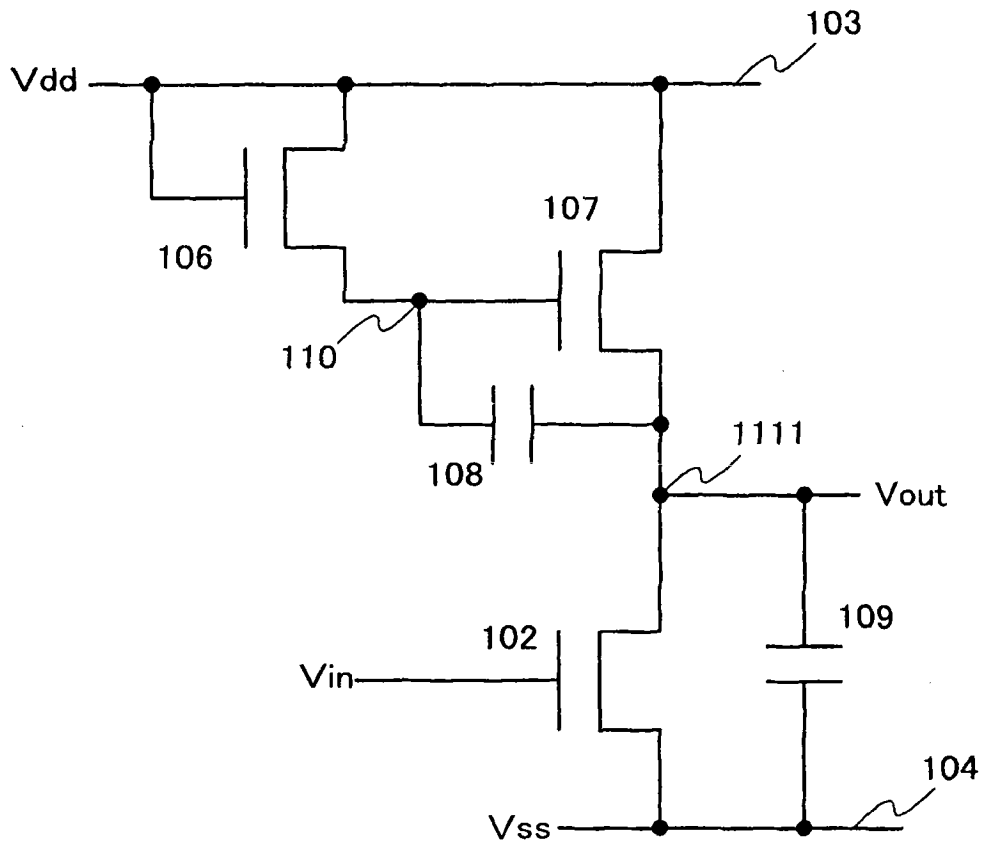


图 7

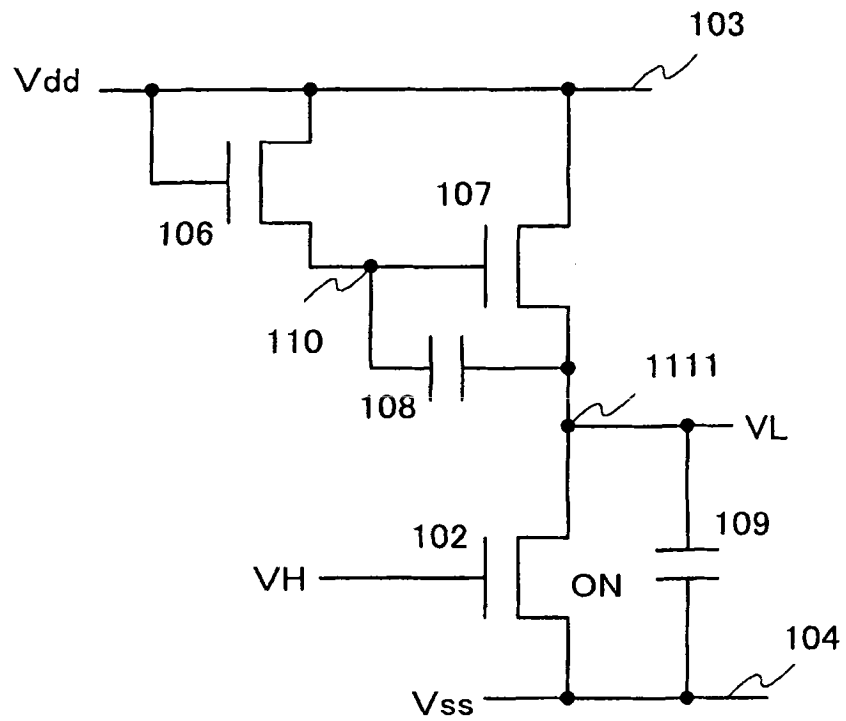


图 8A

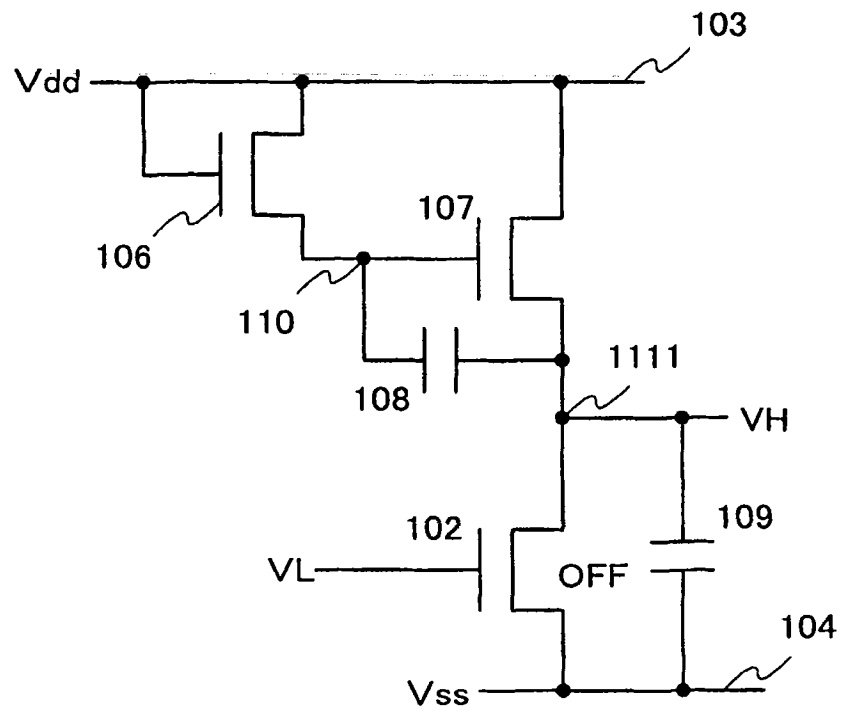


图 8B

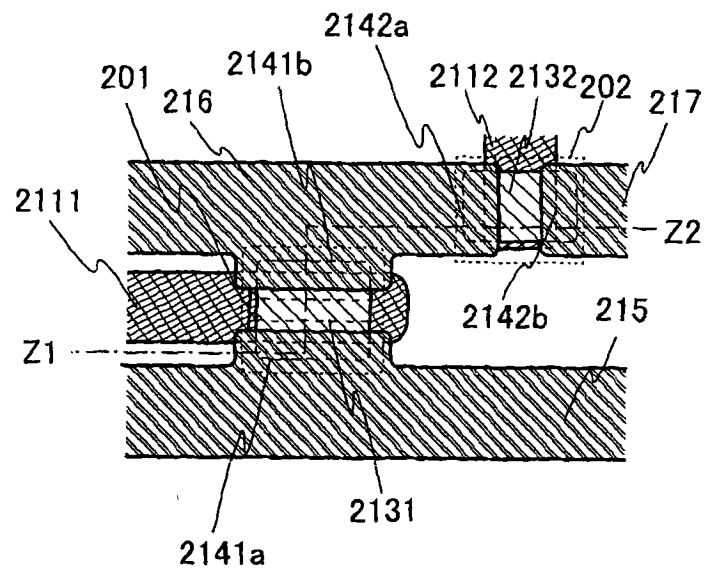


图 9A

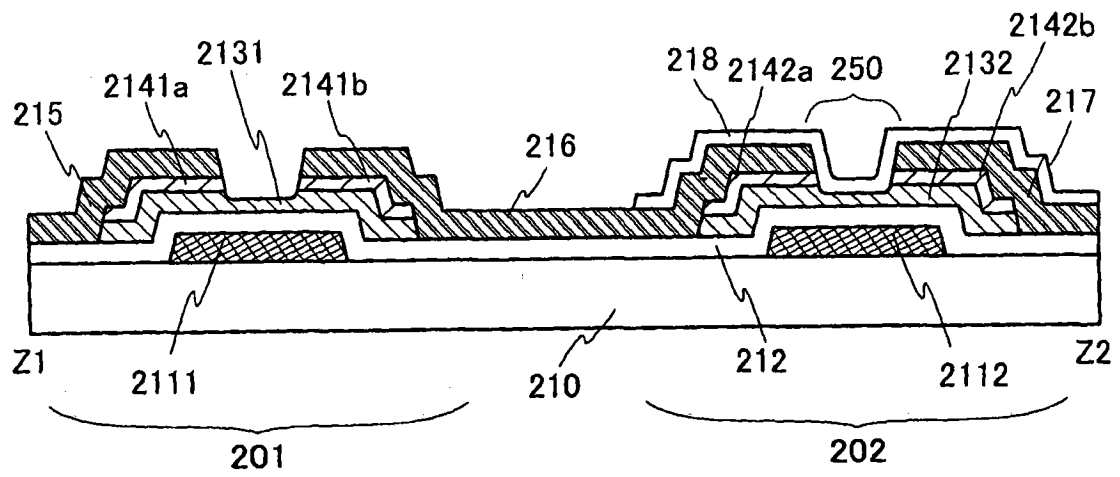


图 9B

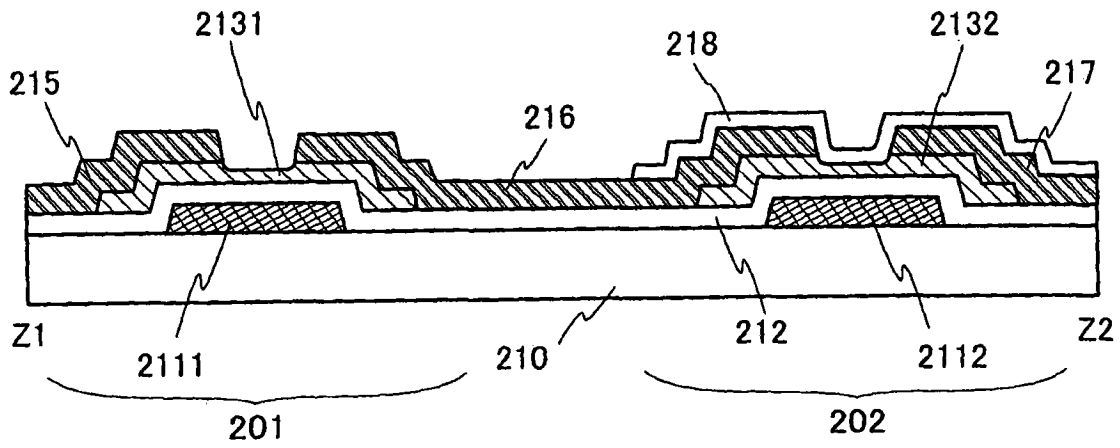


图 9C

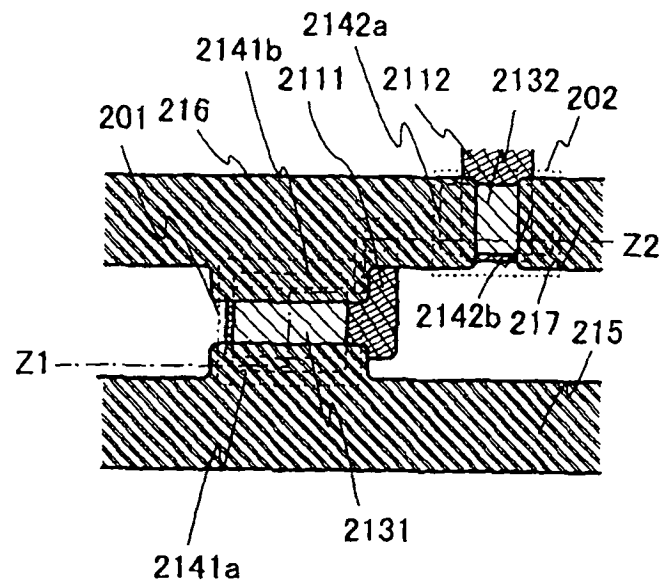


图 10A

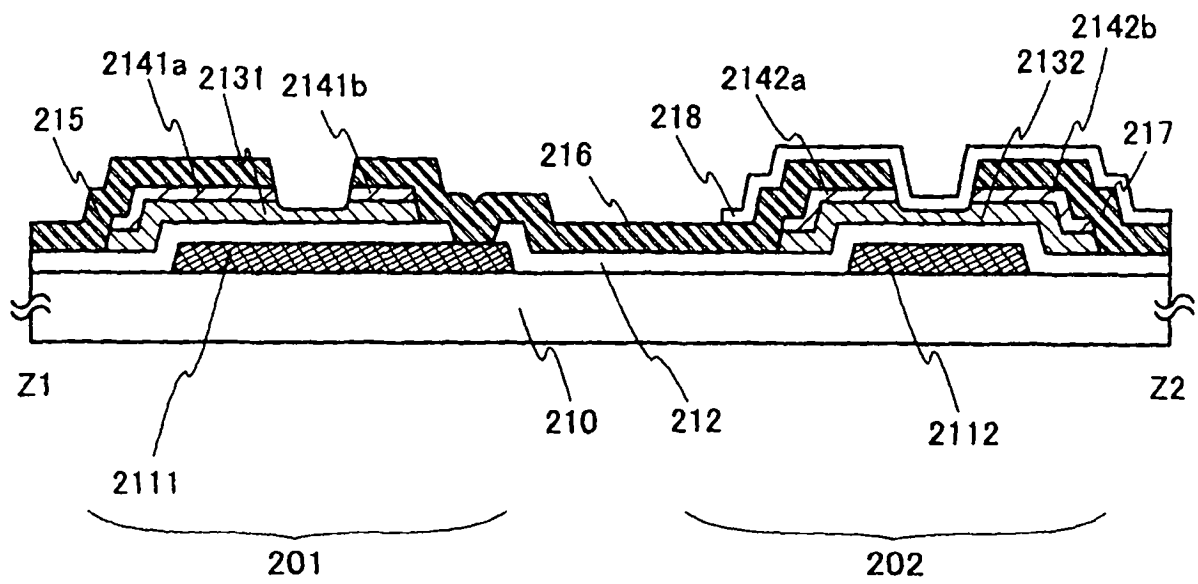


图 10B

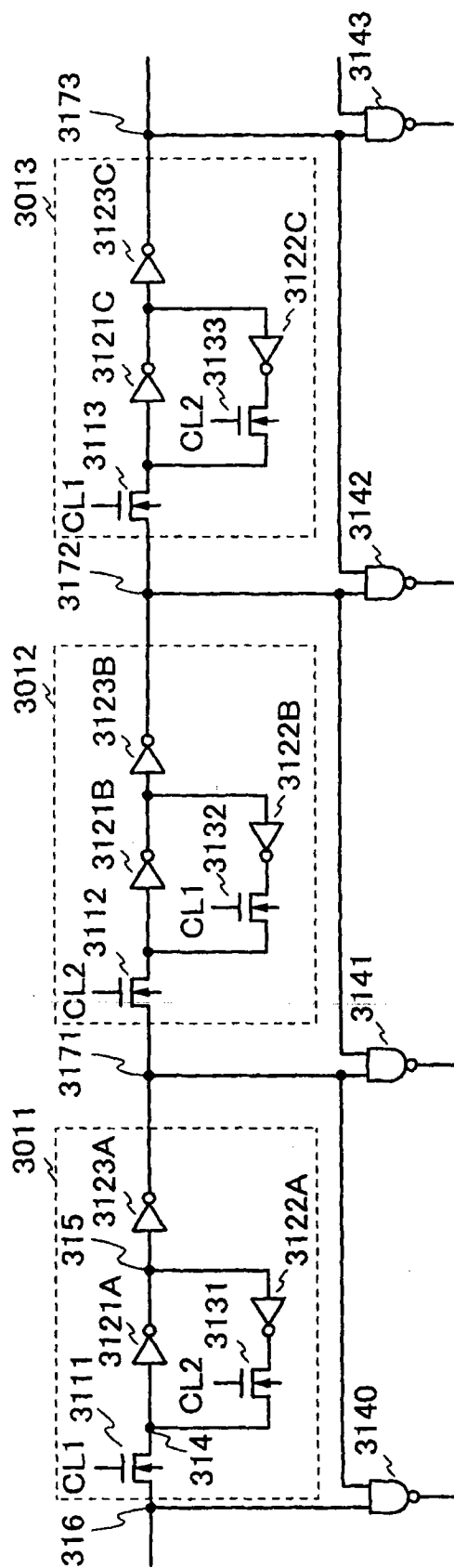


图 11

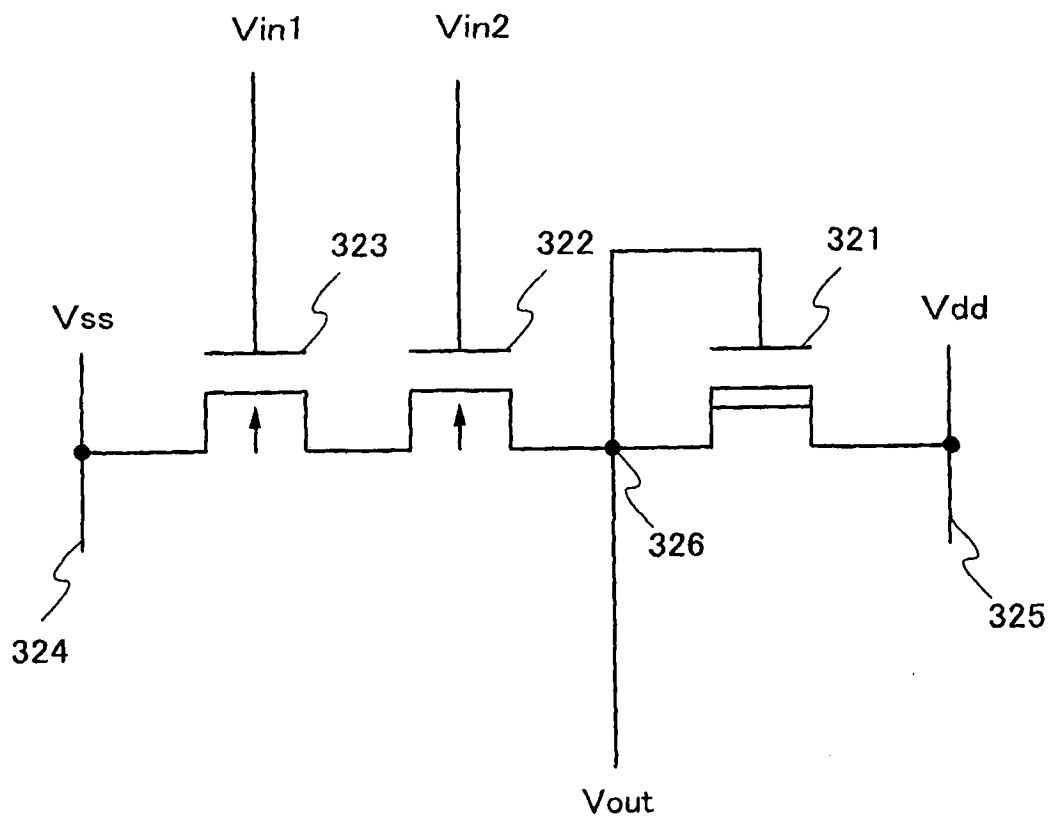


图 12

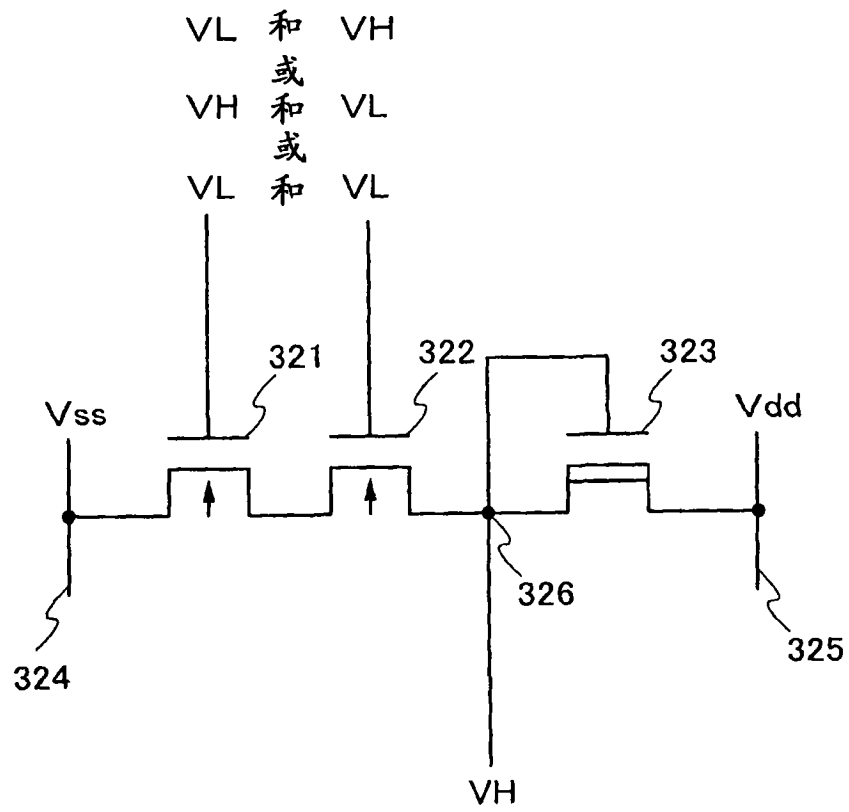


图 13A

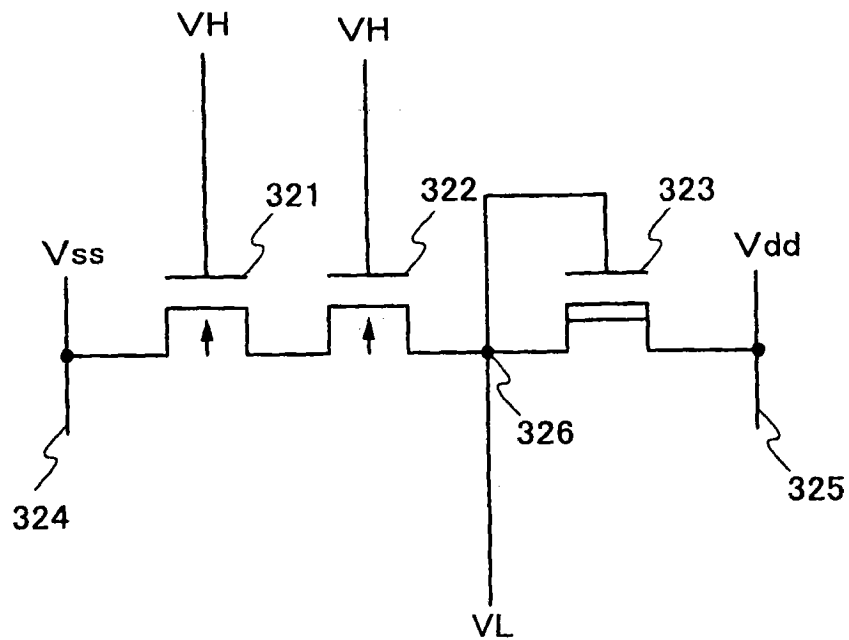


图 13B

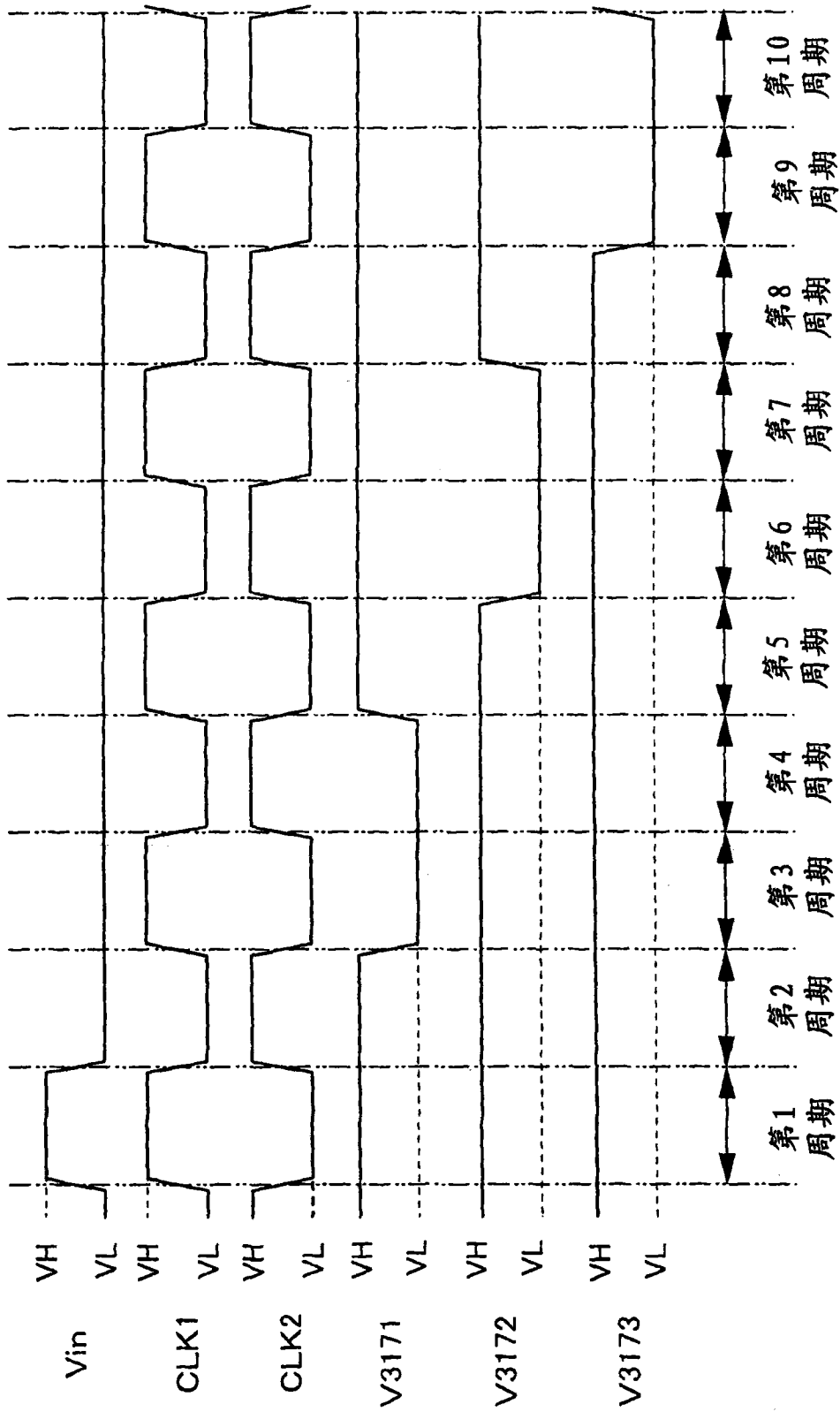


图 14

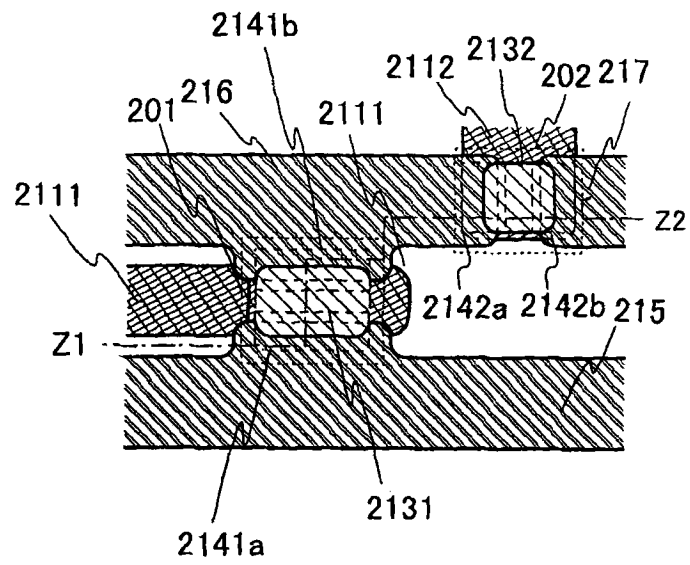


图 15A

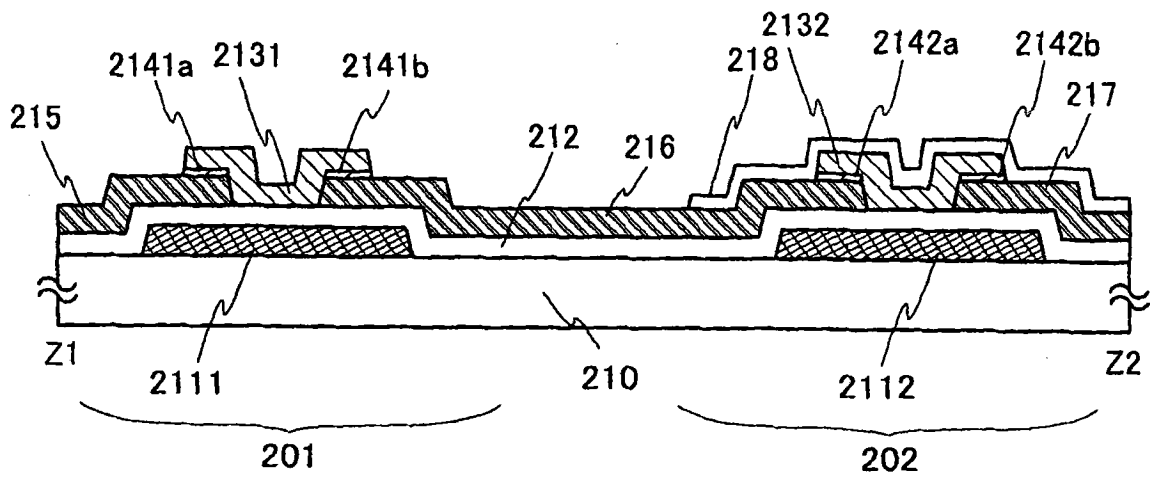


图 15B

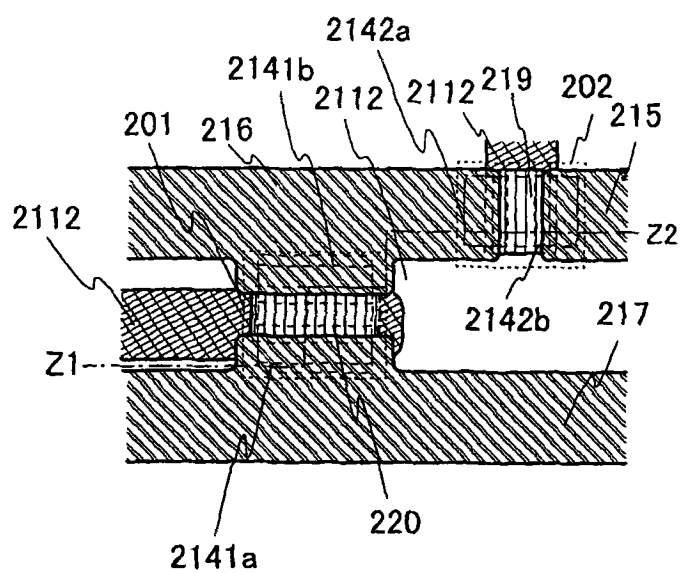


图 16A

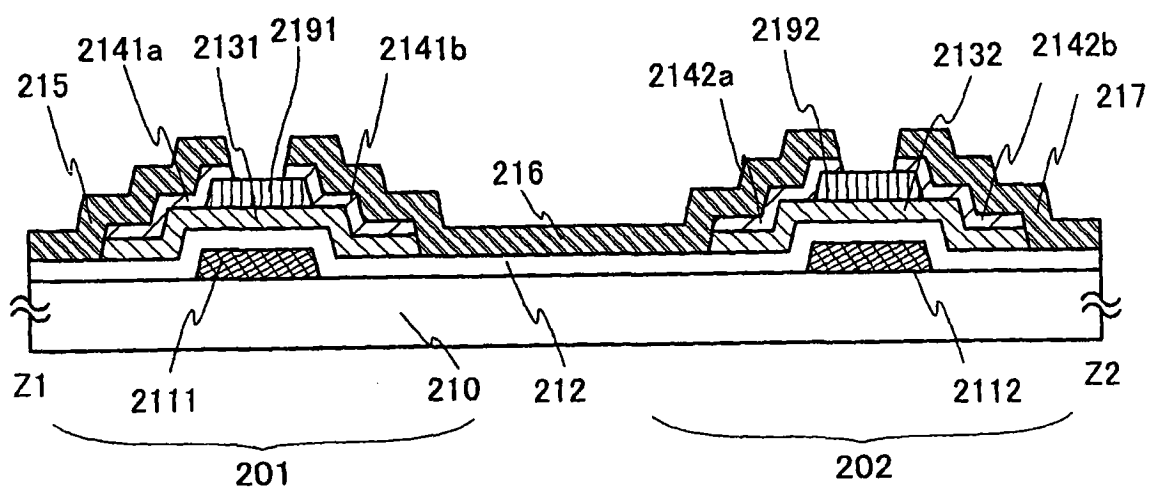


图 16B

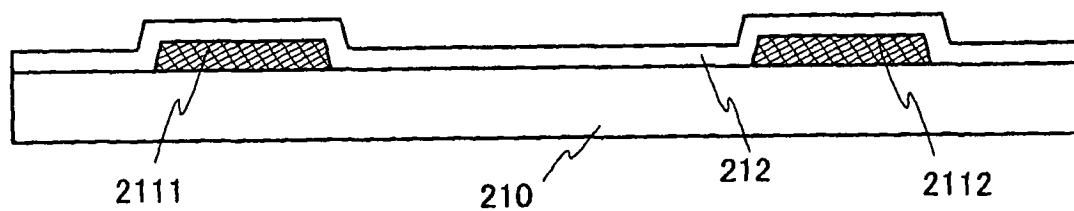


图 17A

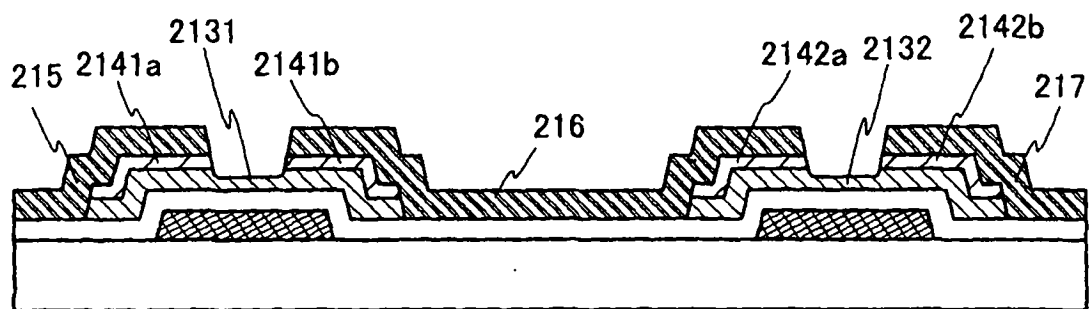


图 17B

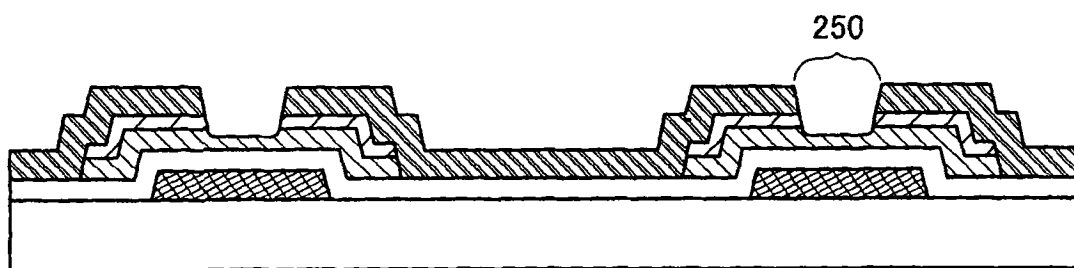


图 18C

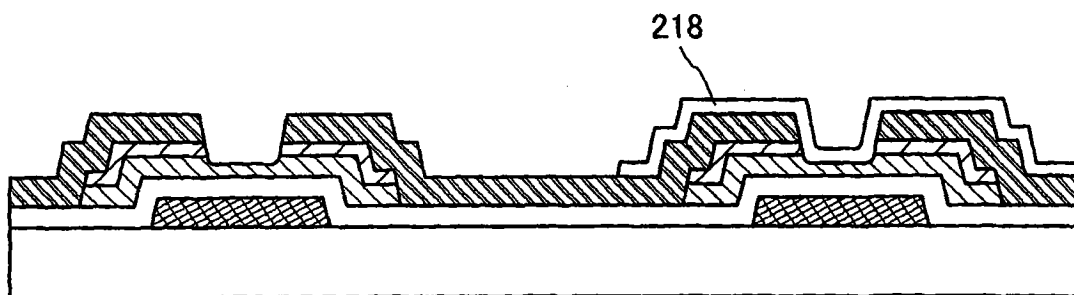


图 18D

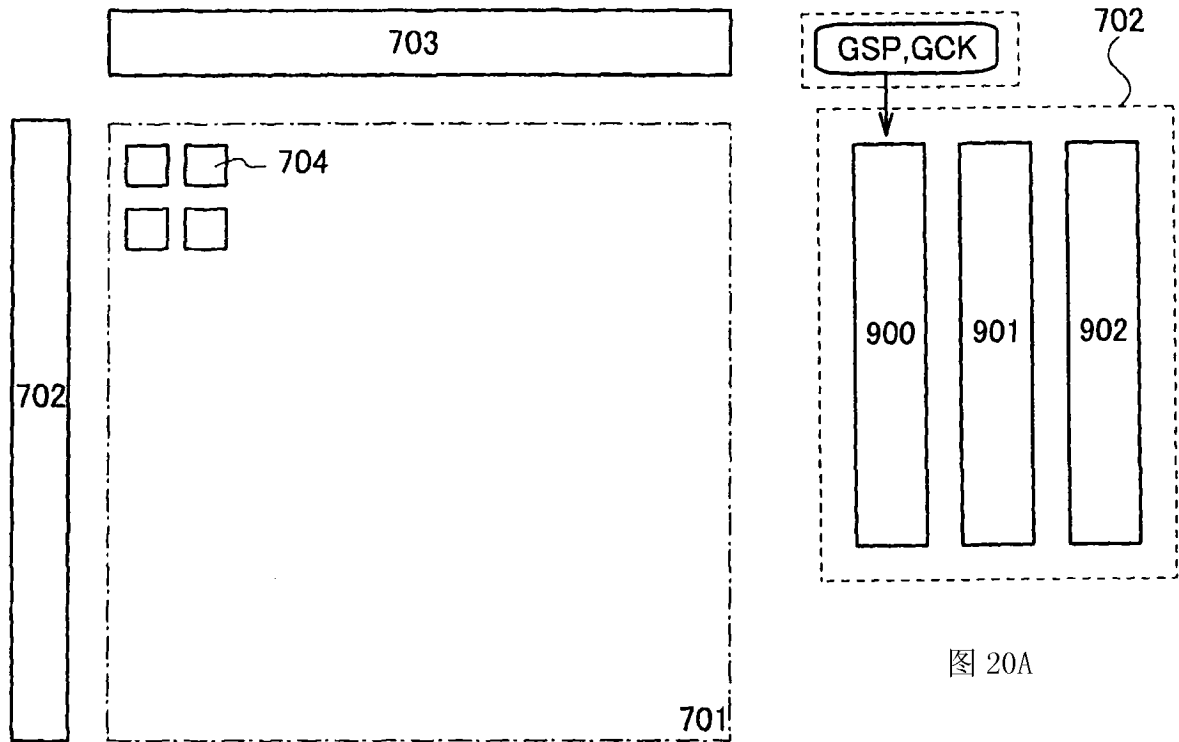


图 20A

图 19

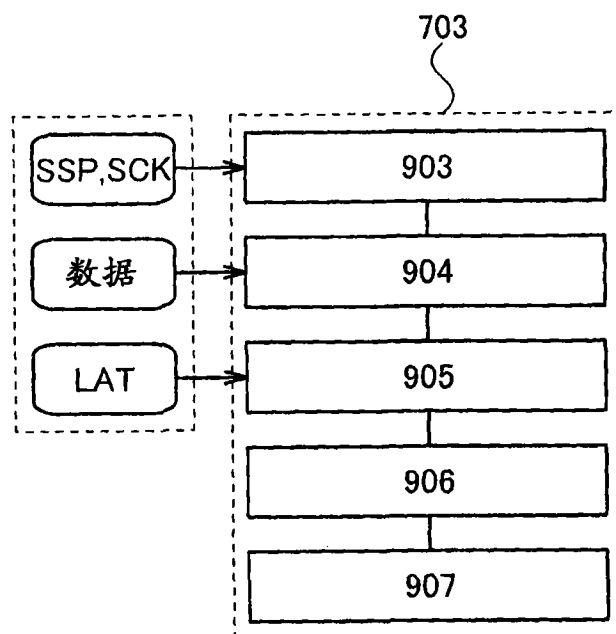


图 20B

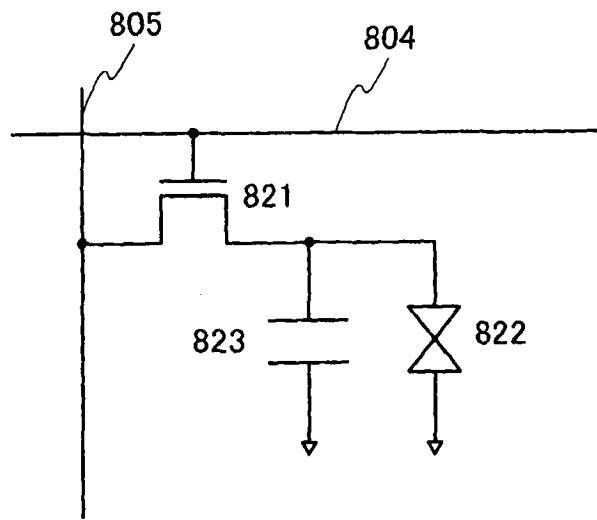


图 21

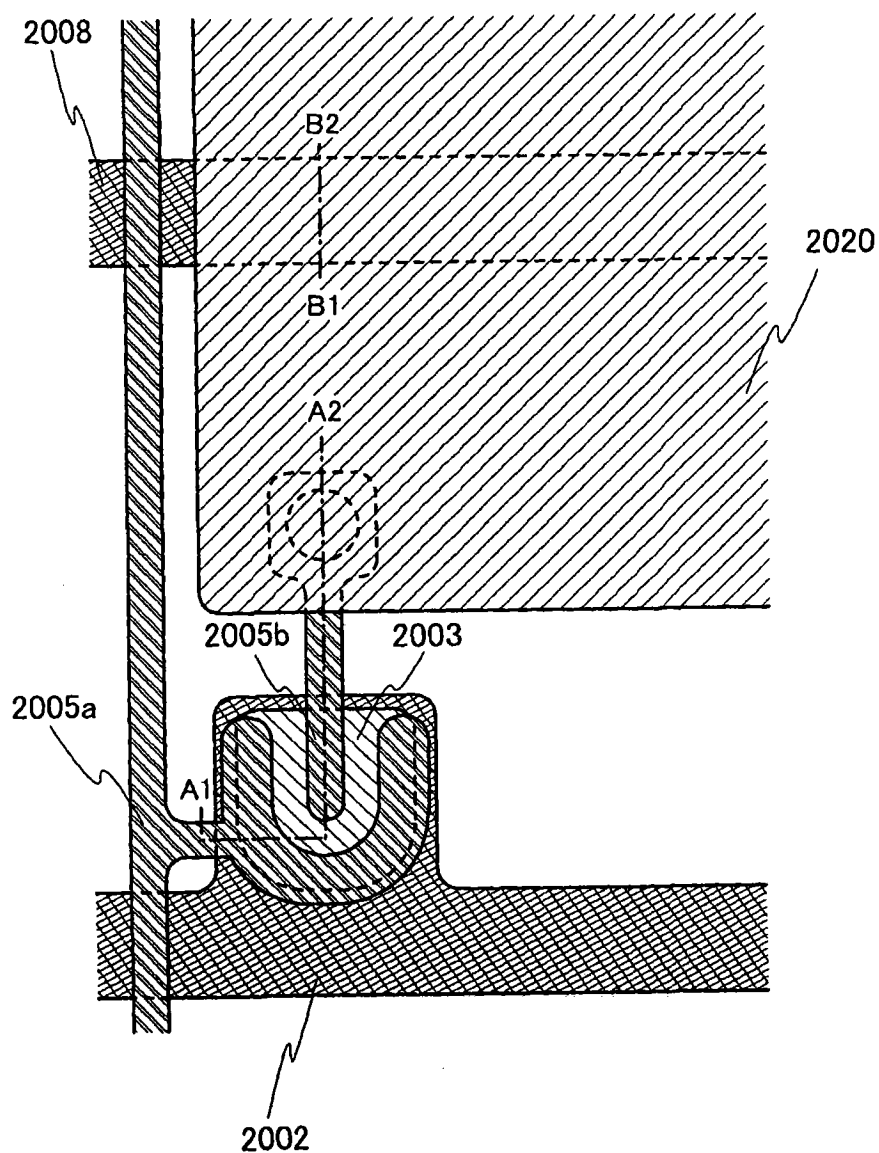


图 22A

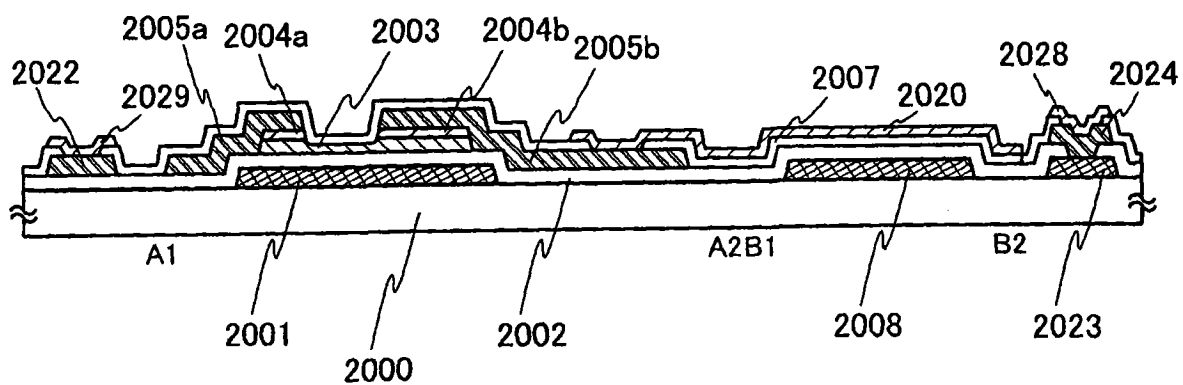


图 22B

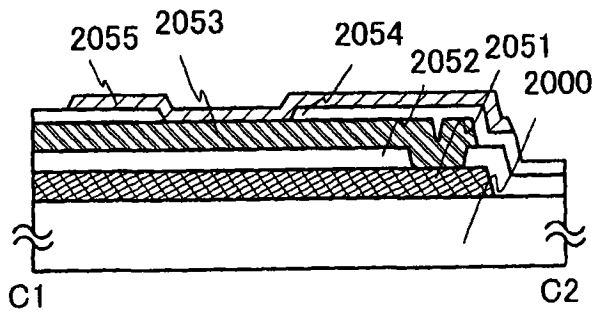


图 23A

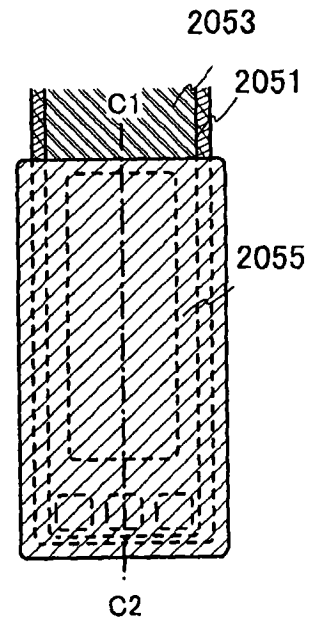


图 23B

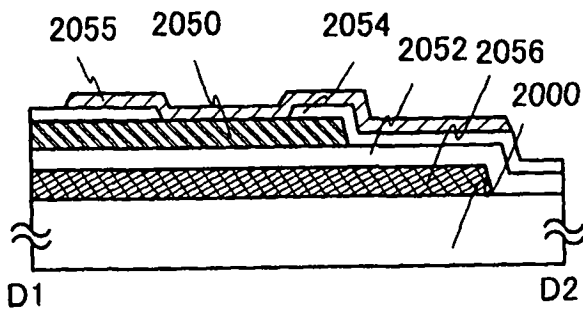


图 23C

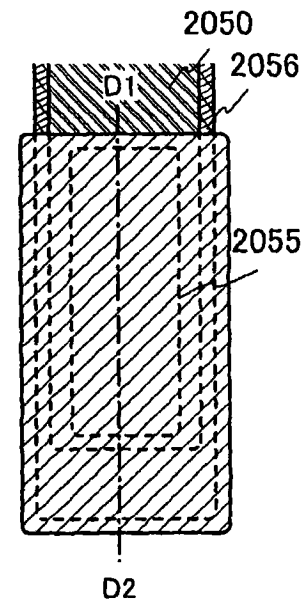


图 23D

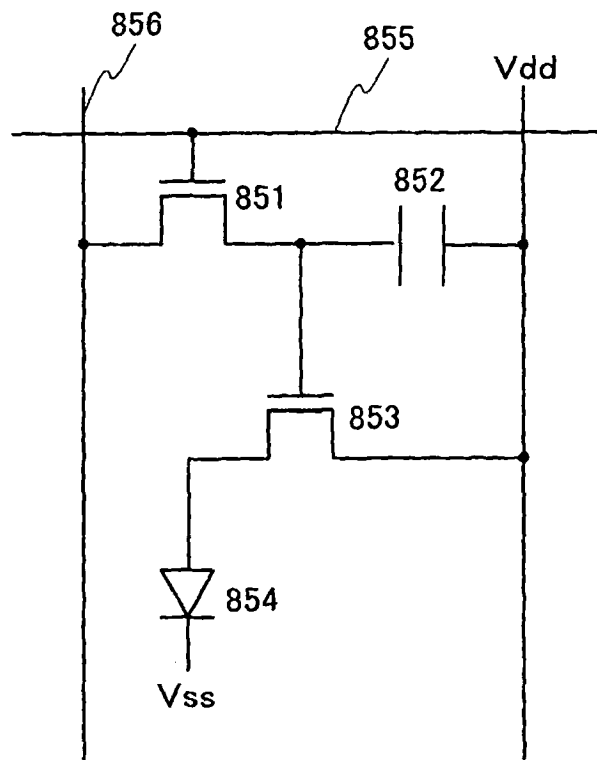


图 24

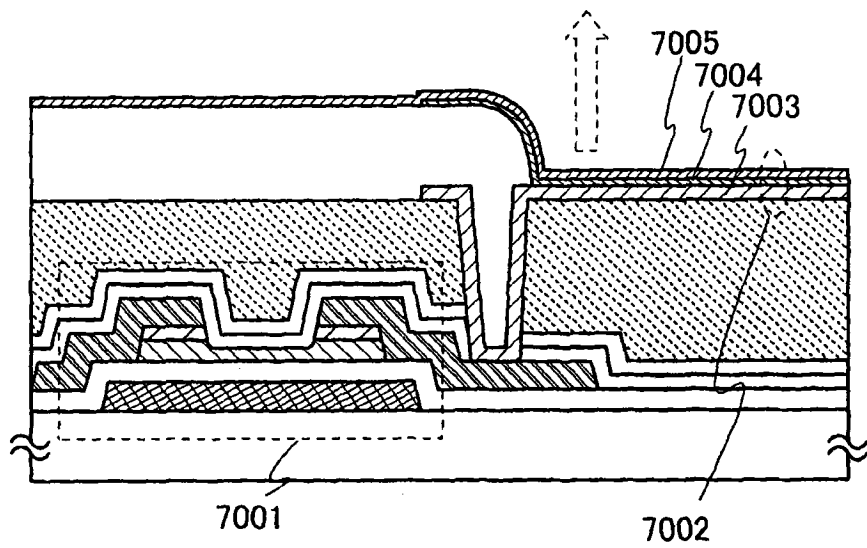


图 25A

图 25B

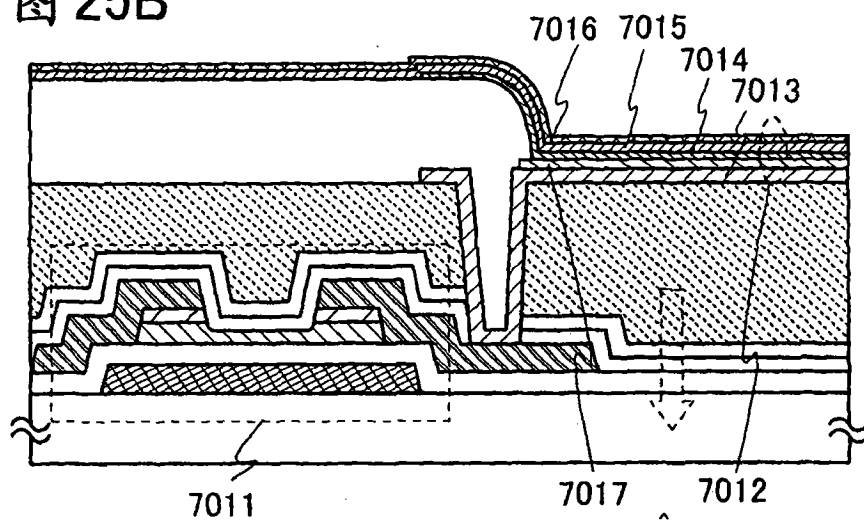


图 25C

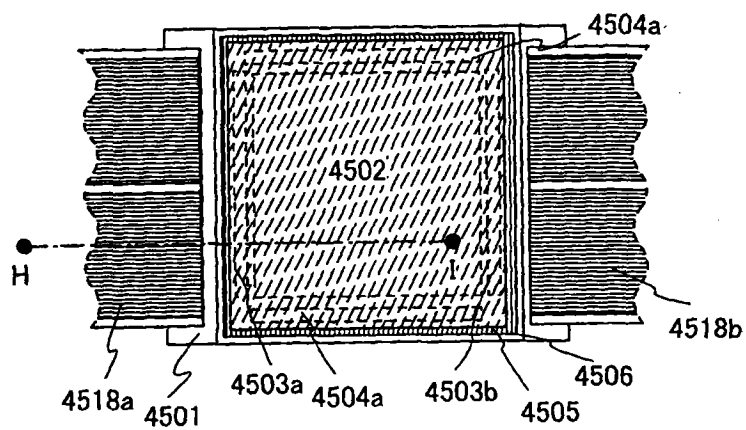
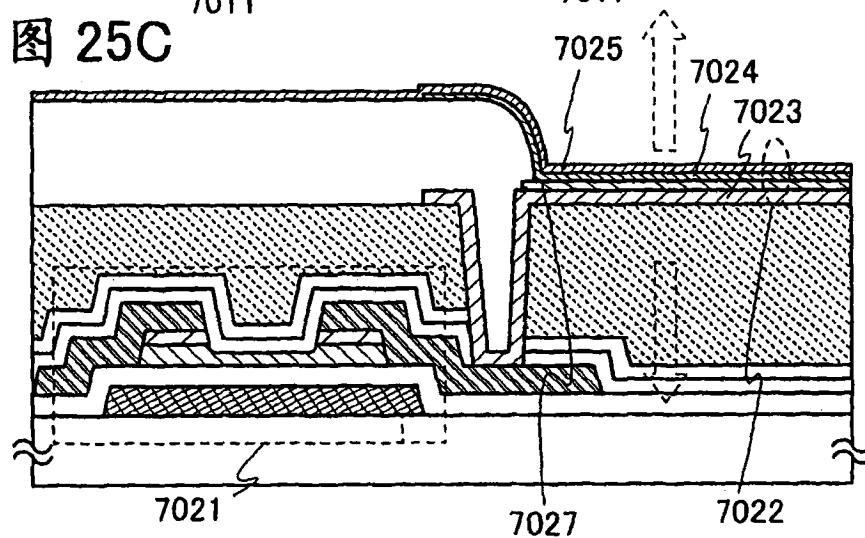


图 26A

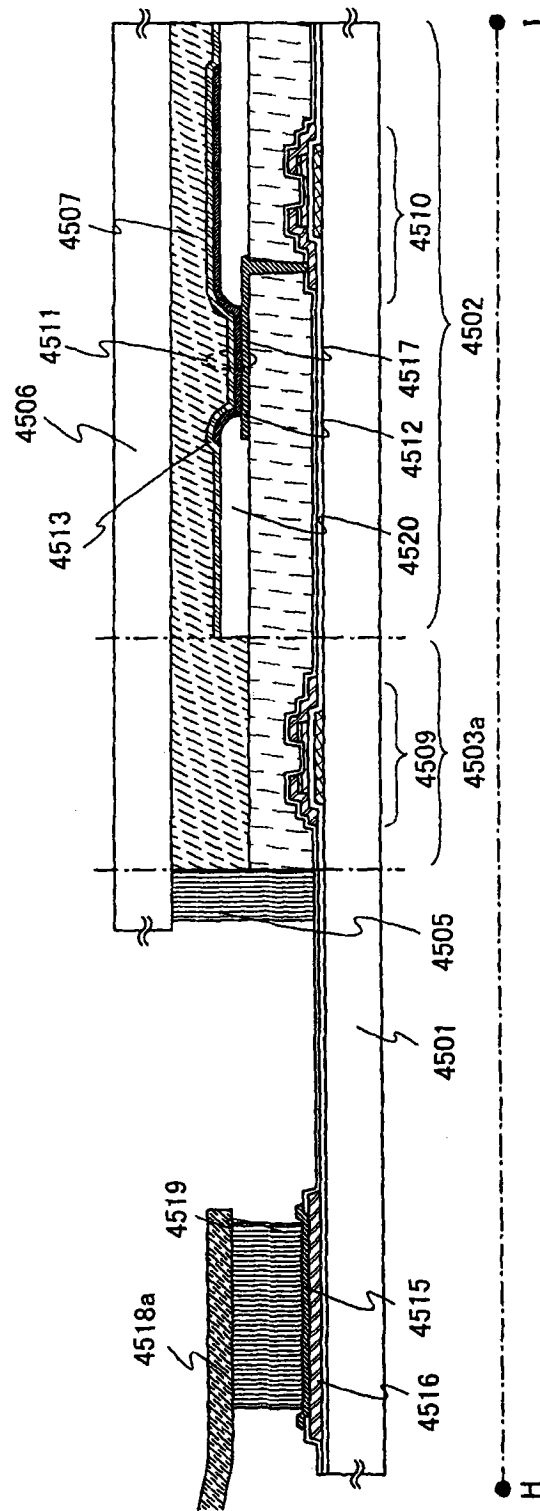


图 26B

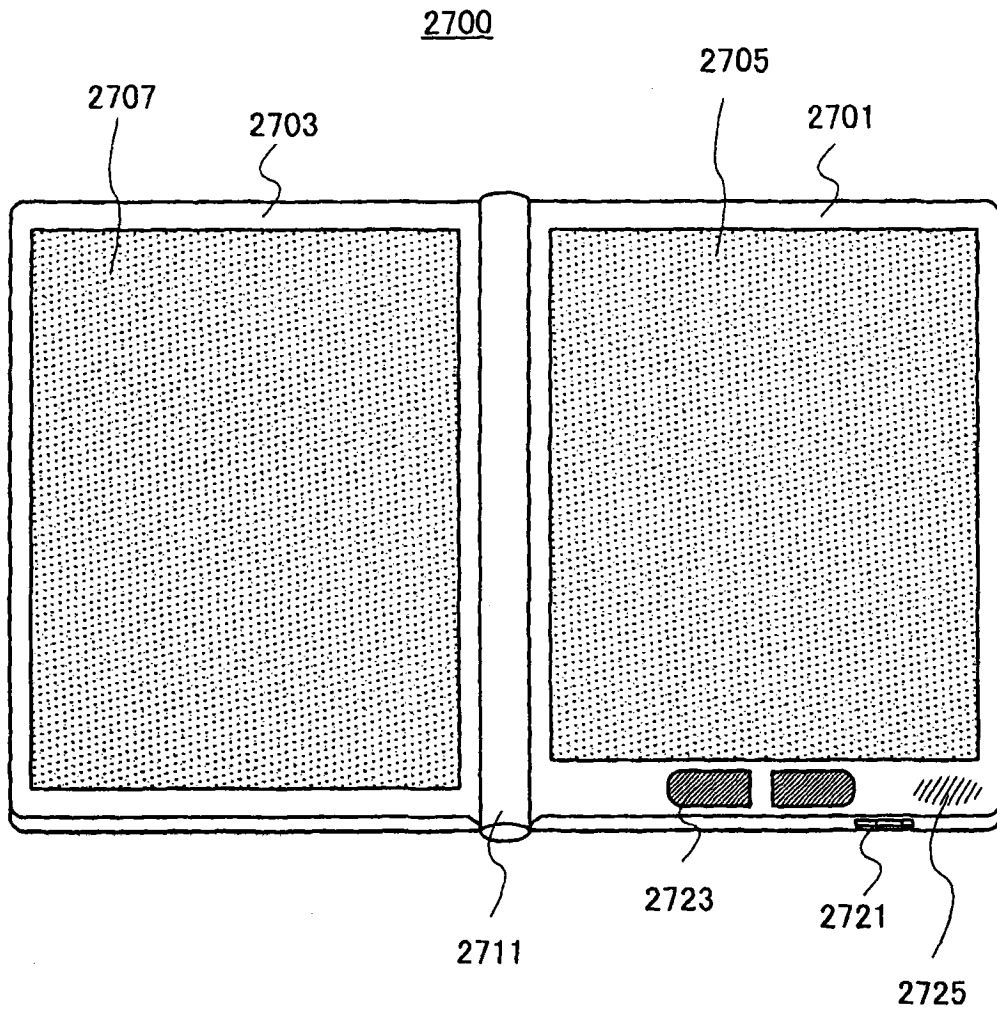


图 28

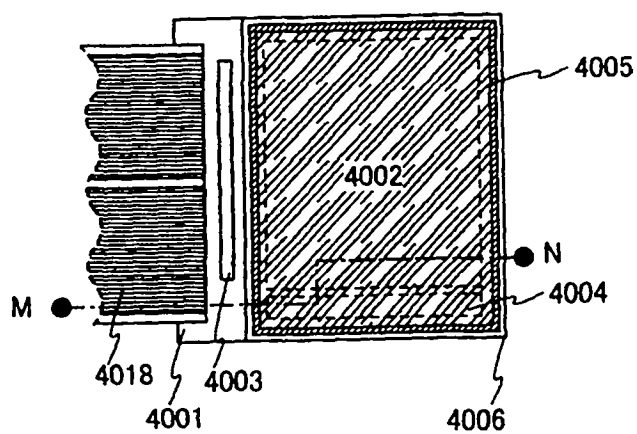


图 29A

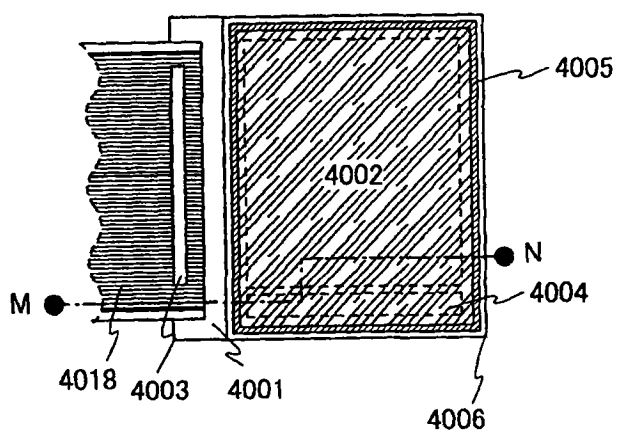


图 29B

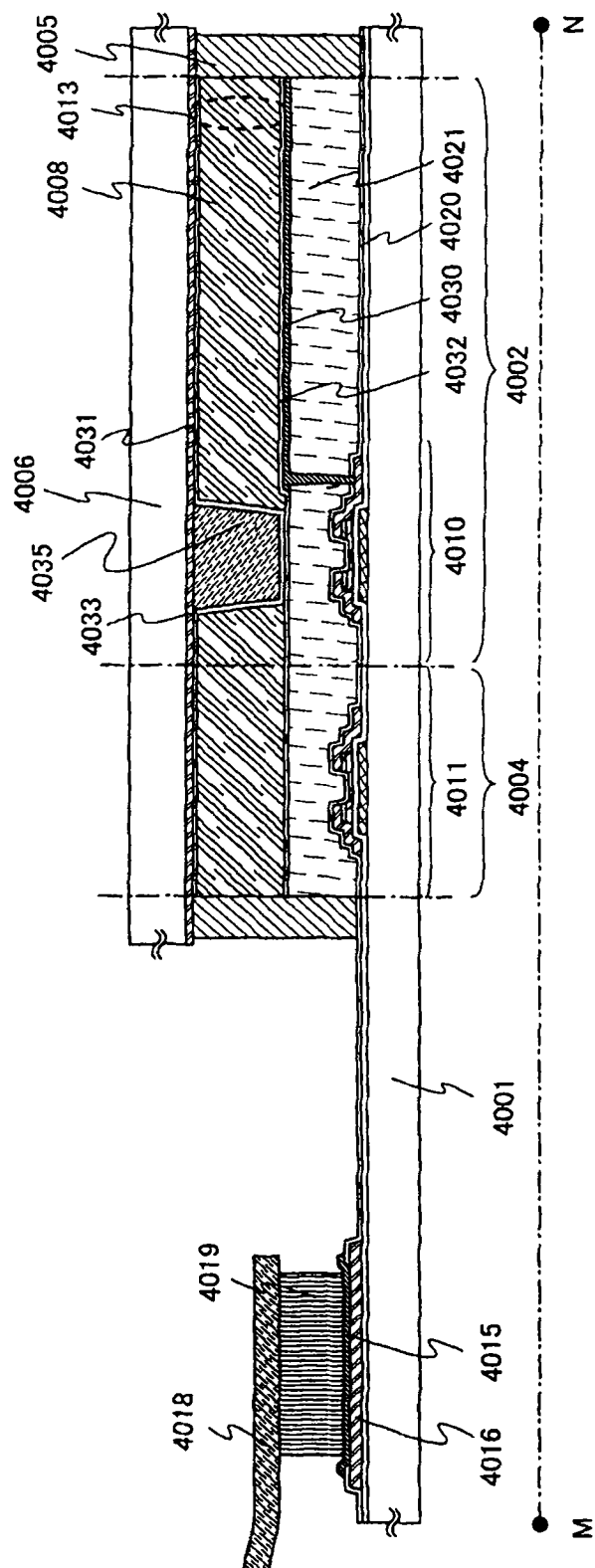


图 29C

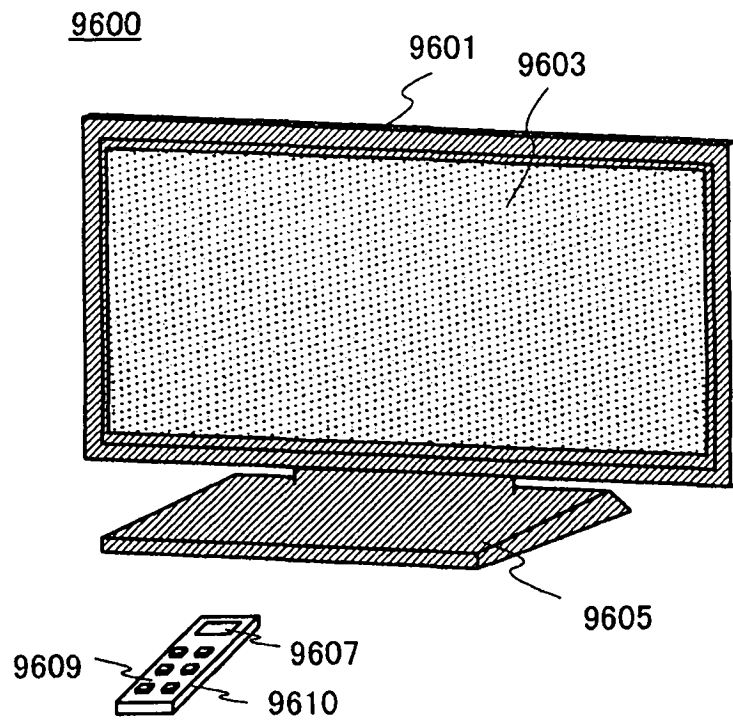


图 30A

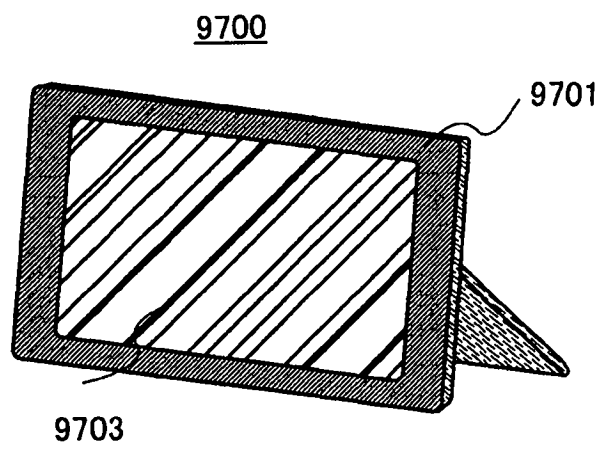


图 30B

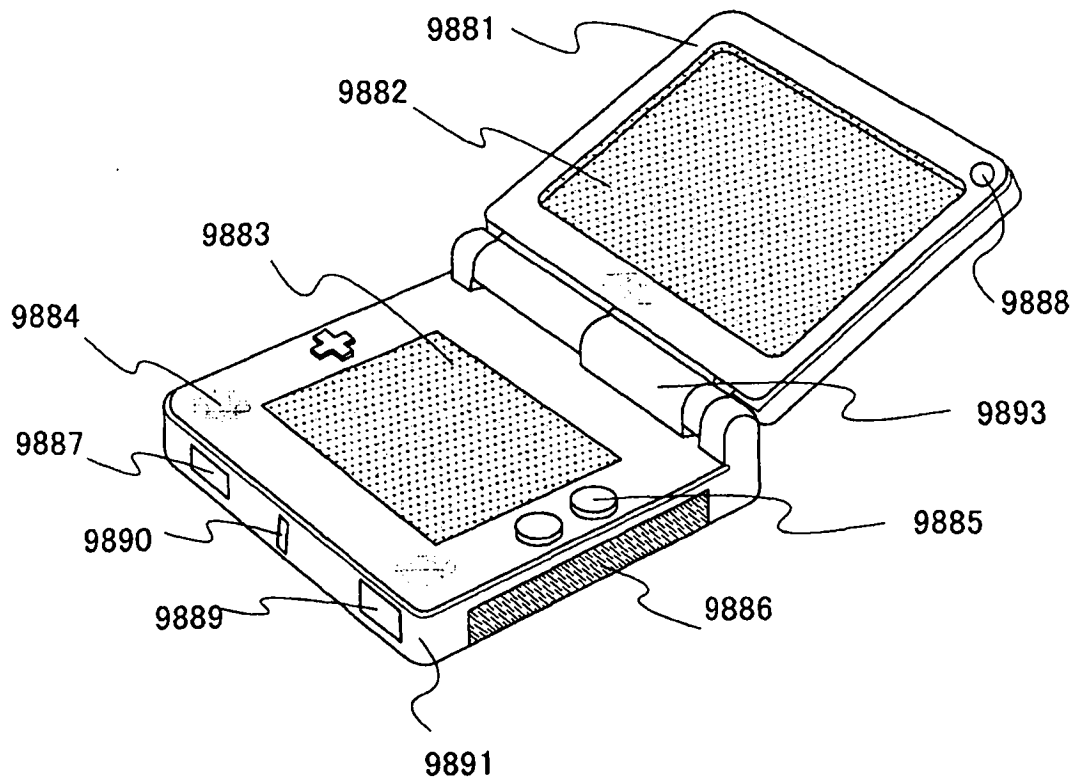


图 31A

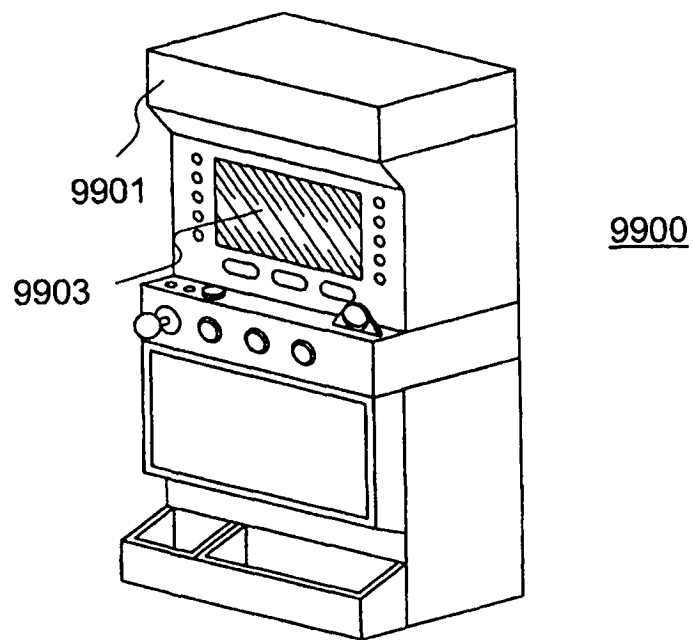


图 31B

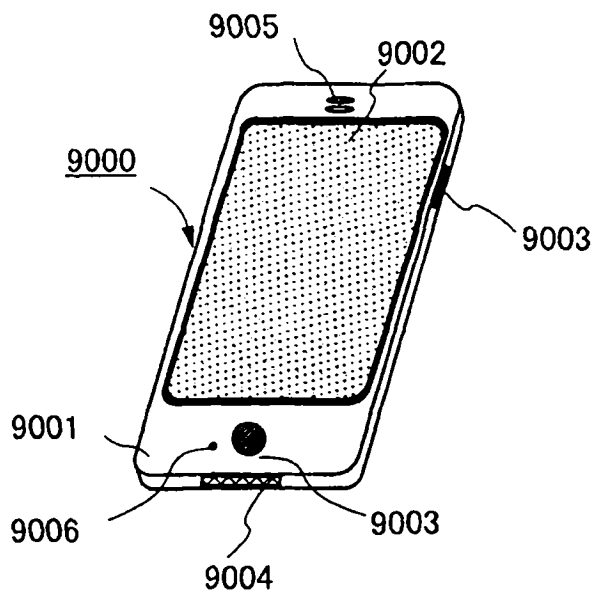


图 32A

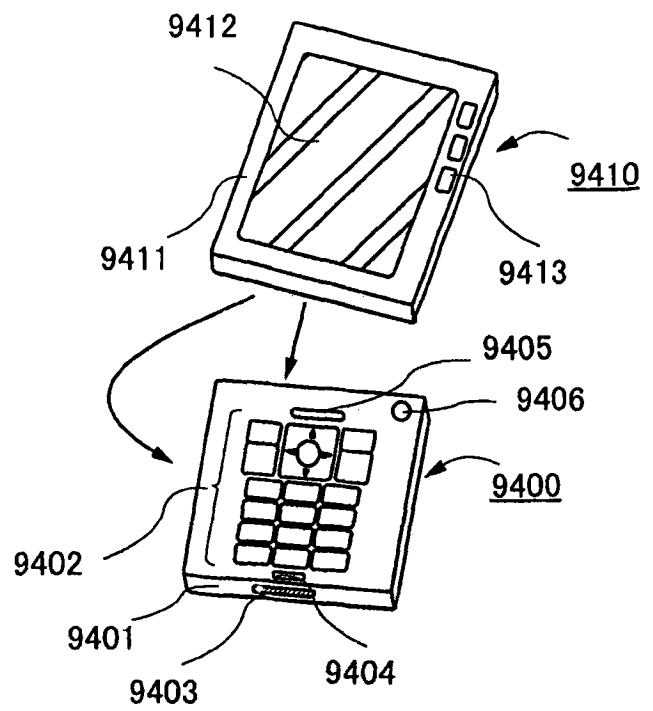


图 32B

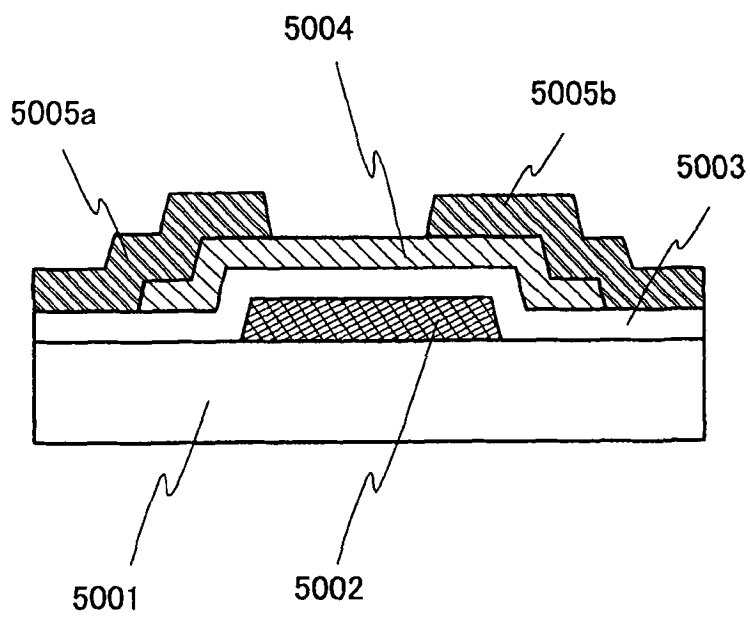


图 33A

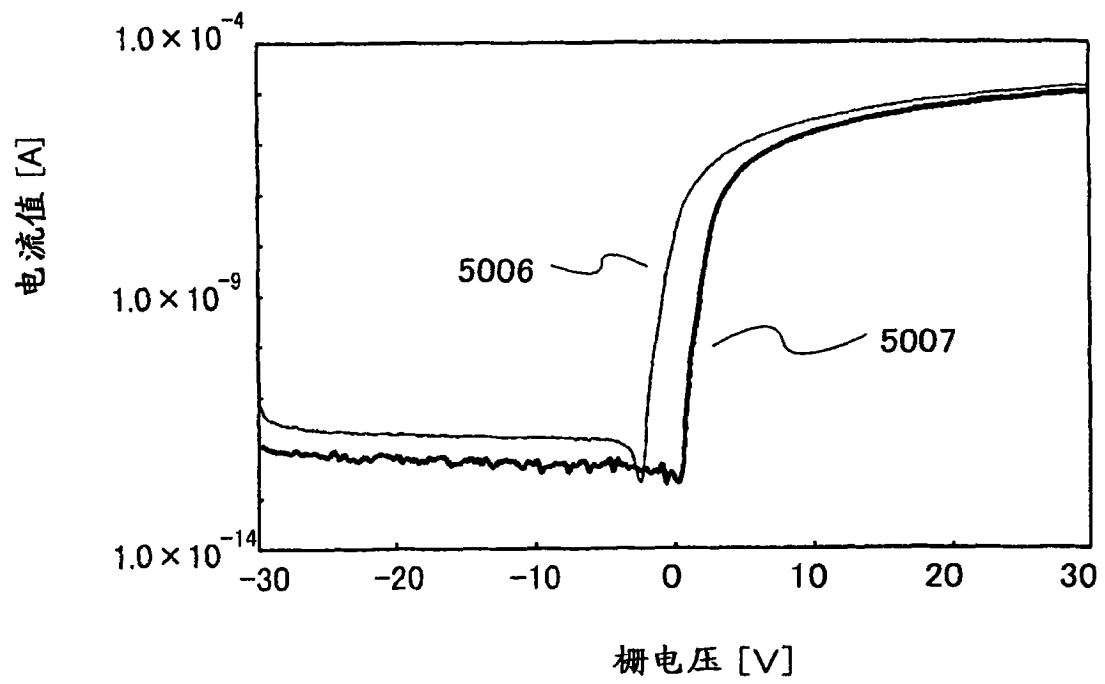


图 33B