RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 470 502**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) **N° 80 25009**

(54) **Circuit de traitement d'un signal vidéo notamment pour un récepteur de télévision.**

(51) Classification internationale (Int. Cl.³). **H 04 N 5/16.**

(22) Date de dépôt..... 25 novembre 1980.
(33) (32) (31) Priorité revendiquée : *Japon, 26 novembre 1979, n° 153194/1979.*

(41) Date de la mise à la disposition du public de la demande..... B.O.P.I. — « Listes » n° 22 du 29-5-1981.

(71) Déposant : Société dite : SONY CORPORATION, résidant au Japon.

(72) Invention de : Atsushi Matsuzaki et Mitsuo Kawamata.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Bert, de Keravenant et Herrburger, 115, bd Haussmann, 75008 Paris.

La présente invention concerne un circuit de traitement d'un signal vidéo notamment pour un récepteur de télévision.

Lorsqu'un signal vidéo est appliqué à la cathode d'un tube cathodique pour entraîner celui-ci, il est choisi de façon que l'écran image du tube cathodique soit le plus sombre pour le niveau de base V_1 du signal vidéo et l plus clair pour le niveau de blanc V_2 du signal vidéo, comme le montre le graphique de la figure 1. Lorsque le niveau de coupure (niveau noir) du tube cathodique est choisi égal au niveau de base du signal vidéo et que sa composante continue est complètement rétablie, il y a une dispersion des niveaux réglés entre les stations (canaux) telle quelle, avec dispersion du niveau noir. C'est pourquoi, on pratique dans un récepteur de télévision, son coefficient de transmission du niveau continu est abaissé de l'ordre de 0,5 à 0,9 pour réduire de façon relative la fluctuation du niveau noir provoquée par la dispersion du niveau réglé. Toutefois, ce procédé ne permet pas de supprimer suffisamment les variations du niveau noir.

Pour résoudre les difficultés ci-dessus, on peut envisager un procédé selon lequel le niveau du signal vidéo est le plus proche du côté noir et est plus proche du niveau noir que d'un niveau prédéterminé détecté dans la période vidéo, ce niveau détecté étant pris comme niveau noir puis fixé comme niveau de coupure du tube céthodique.

L'hypothèse consistant à prendre le niveau d'un signal vidéo dans la période du signal vidéo, de la façon la plus proche du côté noir pour constituer le noir, signifie que l'on traite le signal de façon que le niveau du signal vidéo d'une période horizontale la plus proche du côté noir (pointillés à la figure 2A) soit détecté et que le niveau détecté soit abaissé au niveau de base comme cela est représenté à la figure 2B. Toutefois, suivant le traitement du signal, on convertit un signal vidéo dont le niveau moyen image (on peut appeler niveau APL) est relativement élevé (figure 3A) et dont les fluctuations sont faibles, en un signal vidéo (figure 3B) totalement différent du signal vidéo d'origine par sa luminance ou clarté. Pour cette raison, on envisage un procédé consistant à prendre comme niveau de seuil Vth, un niveau prédéterminé (correspondant par exemple à 20 % du niveau APL) du signal représenté par le trait mixte à la figure 3A, à détecter le niveau du signal vidéo du côté plus

noir que le niveau de seuil Vth et de traiter seulement la partie du signal détecté.

Même lorsque le signal est traité comme cela est indiqué ci-dessus, on peut rencontrer des difficultés. L'une des difficultés correspond au cas d'un relèvement de niveau qui est anormalement élevé, comme cela est représenté par la ligne en pointillés à la figure 3C, le niveau le plus noir du signal vidéo n'étant pas un niveau bas, par comparaison au seuil Vth. Dans ce cas, l'image reproduite est, de façon générale, blanche et ainsi elle présente un faible contraste, si bien que l'image reproduite est meilleure si l'on abaisse le niveau le plus proche du côté noir pour supprimer l'augmentation du niveau. Une autre difficulté existe lorsque le niveau APL d'un signal vidéo est le gris sombre ayant sensiblement 10 % de variations en moins, et comportant pour le signal vidéo (figure 3B) un signal de pulsations de niveau élevé. Dans ce cas, si la partie du signal de niveau plus bas que le seuil Vth est abaissée au niveau de base, pratiquement toute l'image reproduite est noir, ce qui diminue les informations de clarté et peut être interprété à tort comme un déréglage du récepteur.

La présente invention a pour but de créer un processeur de signal vidéo dans lequel le niveau du signal vidéo, plus proche du côté noir, qui est plus prêt du noir qu'un niveau prédéterminé de la période vidéo est détecté pour former le noir et coïncider avec le niveau de coupure du tube cathodique ; on modifie le niveau prédéterminé en fonction du niveau APL du signal vidéo, pour supprimer l'inconvénient propre à l'art antérieur.

A cet effet, l'invention concerne un circuit de traitement de signal vidéo, comportant un formeur de courbes pour régler un niveau d'un signal vidéo d'entrée, un premier niveau continu prédéterminé, supérieur au niveau de base du signal vidéo d'entrée, pendant au moins une période d'effacement du signal vidéo d'entrée et on régénère un signal en forme de courbe, un circuit de maintien de pic, pour conserver le niveau du pic du côté noir du signal en forme de courbe et générer un signal de maintien de pic, un moyen de commande de niveau de noir réglé par le signal de maintien de pic pour commander le niveau continu du signal d'entrée de façon que le niveau le plus noir du signal vidéo d'entrée coïncide avec un second niveau continu

prédéterminé seulement si le pic noir du signal vidéo existe sous une tension de seuil prédéterminée, ce circuit étant caractérisé en ce qu'on change la tension de seuil prédéterminée en fonction du niveau image moyen du signal vidéo d'entrée.

La présente invention sera décrite plus en détail à l'aide des dessins annexés, dans lesquels :

- la figure 1 est un graphique servant à expliquer l'entraînement du tube cathodique,
- les figures 2A, 2B, 3A à 3D, sont des chronogrammes servant à expliquer le fonctionnement de l'invention,
- la figure 4 est une schéma bloc d'un exemple de circuit de traitement de signal vidéo selon l'invention,
- les figures 5A à 5G sont des chronogrammes servant à expliquer le fonctionnement de l'exemple de l'invention de la figure 4,
- la figure 6 est un schéma d'un exemple pratique de l'invention,
- la figure 7 est un schéma de détail d'un autre exemple de comparateur selon l'invention.

Description des différents modes de réalisation préférentiels

La figure 4 montre, de façon générale, un exemple de circuit de traitement de signal vidéo, selon l'invention. Dans cet exemple, le signal vidéo fourni par un détecteur vidéo (non représenté) est appliqué par la borne d'entrée 1, un circuit de verrouillage 2 qui reçoit également une impulsion de verrouillage par la borne 3. Si le circuit de verrouillage 2 donne un signal vidéo S1 dont le niveau de base est fixé par l'impulsion de verrouillage, à un niveau prédéterminé V_O (figure 5A). Le signal vidéo S1 est appliqué au circuit d'effacement 4 qui reçoit également l'impulsion d'effacement P1 (figure 5B) par la borne 5. On efface ainsi le signal vidéo S1 par l'impulsion d'effacement P1, dans une plage légèrement supérieure à la période d'effacement horizontale ; cette période d'effacement est, par exemple, faite pour un potentiel O. Ainsi, partant du circuit d'effacement 4, on obtient un signal de sortie S2 (figure 5C). Ce signal de sortie S2 est appliqué à un circuit de maintien de pic (ou de maximum) 6 c'est-à-dire un circuit de maintien de base qui donne un signal de sortie de maintien de pic S3 correspondant au niveau du pic le plus proche du côté noir de la période vidéo (figure 5D).

La sortie du circuit 6 est reliée par la diode 7 branchée dans le sens direct, à un point de potentiel (potentiel de seuil) égal à V_0 + Vth. C'est pourquoi si la chute de tension directe aux bornes de la diode 7 est négligée, lorsque le signal de sortie de maintien de pic S3 est inférieur au niveau V_0 + Vth, la diode 7 se bloque et le signal de sortie S3 correspond au signal vidéo. Par contre, lorsque le signal de sortie S3 est supérieur au seuil V_0 + Vth, la diode 7 devient conductrice et le signal de sortie S3 passe au niveau V_0 + Vth.

Le signal vidéo S1 du circuit de verrouillage 2 et le signal de sortie S3 de maintien de pic fourni par le circuit 6 sont appliqués à un comparateur 8. Ce comparateur 8 fournit en sortie celui du signal S1 et S3 qui le plus proche du niveau blanc ou le signal S4 (figure 5E). Ce signal S4 est appliqué au circuit de verrouillage 9 qui reçoit également par la borne 10 une impulsion de verrouillage P2 (figure 5F), pour que le circuit de verrouillage 9 donne un signal vidéo S5 dont les périodes d'effacement sont à un niveau prédéterminé (figure 5G), à la sortie 11.

Le niveau de seuil Vth mentionné ci-dessus est changé en fonction du signal de sortie du détecteur APL_{12}. Le détecteur APL_{12} détecte le niveau APL du signal vidéo appliqué à la borne 13 et règle le niveau du seuil Vth de façon que celui-ci soit élevé lorsque le niveau APL du signal vidéo est élevé et qu'il soit bas lorsque le niveau APL du signal vidéo est bas. Si la valeur du niveau de base V_0 du signal vidéo est égale à 0 % du niveau APL, lorsque le niveau APL est élevé, par exemple supérieur à 80 %, le niveau Vth correspond à environ 35 % alors que si le niveau APL est bas, par exemple inférieur à 20 %, le niveau Vth est de l'ordre de 10 %. Le niveau Vth varie ainsi dans une plage comprise entre environ 10 et 35 %.

Comme décrit ci-dessus, selon l'invention, on détecte le niveau d'un signal vidéo qui est plus proche du côté noir que du niveau du seuil, et le plus proche du côté noir, de façon à réduire considérablement l'inconvénient de la réduction de la luminance de l'image reproduite par comparaison avec le signal d'origine selon les figures 3A et 3B.

Plus, même lorsque le niveau entre les postes est anormalement élevé (figure 3C) l'image voisine du noir change de nature vers le côté blanc et le niveau Vth augmente pour couper

le niveau fixé et permettre de voir facilement l'image reproduite selon l'invention.

De plus, dans le cas (figure 3D) lorsque le niveau APL du signal vidéo est bas et que le niveau du signal vidéo correspond au fond noir de l'image est inférieur au niveau Vth, on peut éviter, grâce à l'invention, que le niveau Vth ne soit abaissé pour que le fond noir soit noir et que l'information vidéo ne soit réduite.

Comme indiqué ci-dessus, selon l'invention, suivant le niveau du signal vidéo le plus proche du côté noir est important, le niveau APL du signal vidéo est élevé et lorsque le niveau APL est bas, le niveau du signal vidéo le plus proche du côté noir est également bas, de façon à modifier le seuil pour permettre de corriger de façon appropriée le signal vidéo.

La figure 6 est un exemple de réalisation pratique du circuit de la figure 4 selon l'invention. Dans cet exemple, dans l'étage suivant le circuit de verrouillage 2, on a prévu une paire de transistors 14a, 14b dont les émetteurs sont réunis à une source de courant constant formée d'un transistor 15 d'une diode 16 et d'une résistance 17. L'impulsion d'effacement P1 est appliquée à la borne 5 reliée à la base du transistor 15 par la résistance 17. Ainsi, pendant la période lorsque le transistor 15 est bloqué par l'impulsion d'effacement P1, le collecteur du transistor 14b est pratiquement à la tension d'alimentation $+V_{cc}$. Le signal de sortie S2 du collecteur du transistor 14b est fourni par un miroir de courant formé d'une diode 18 et d'un transistor 19 du type PNP. Cela constitue le circuit d'effacement 4.

Un montage en série formé des résistances 20, 21 est branché entre le collecteur du transistor 19 et la masse ; le point de jonction des résistances 20, 21 est relié à la base du transistor 22 de type NPN dont l'émetteur est à la masse et dont le collecteur est relié à la base du transistor 14b, ainsi qu'au point de jonction de la résistance 23 et du condensateur 24. Le montage en série de la résistance 23 et du condensateur 24 monté entre la borne d'alimentation +Vcc et la masse, ainsi que le transistor 22 constituent le circuit de maintien pic 6.

Lorsque le le potentiel de base du transistor 14a est supérieur à celui-ci appliqué au transistor 14b, aucun courant ne traverse la diode 18 du transistor 19, 22 ; le condensateur 24 se charge ainsi à la tension de la source à travers la résis-

tance 23. On choisit une constante de temps très longue. Lorsque la tension aux bornes du condensateur 24 (potentiel de base du transistor 14b) tend à dépasser le potentiel de base du transistor 14a, un courant traverse la diode 18 et les transistors 19, 22. Le condensateur 24 se décharge et cela abaisse les tensions aux bornes. De cette façon on applique une réaction telle que les potentiels de base des transistors 14a, 14b soient égaux, si bien que le niveau du signal vidéo le plus proche du côté noir de la diode vidéo est maintenu ; le signal de sortie de maintien P3 apparaît sur le collecteur du transistor 22 et est appliqué à la base du transistor 25a.

Le point de jonction de la résistance 23 et du condensateur 24 est relié par la diode 7 à l'émetteur du transistor 26, cet émetteur étant lui-même mis à la masse à travers la résistance 27 dont la valeur est importante et qui constitue une source de courant constant. Le collecteur du transistor 26 est relié à la borne d'alimentation $+V_{cc}$ et sa base est reliée à la source de tension de verrouillage V_0 par l'intermédiaire d'une résistance 28 ainsi qu'au point de jonction des résistances 29 et 30. Ce montage en série des résistances 29 et 30 est placé entre la borne de la source d'alimentation $+V_{cc}$ et le collecteur de transistor 31, dont l'émetteur est relié à la masse par l'intermédiaire de la résistance 32. Lorsque la chute de tension aux bornes de la résistance 28 est ajoutée à la tension de verrouillage V_0, l'émetteur du transistor 26 passe au seuil $V_0 + Vth$.

Le potentiel à la base du transistor 31 est changé par le niveau APL du signal vidéo. Pour l'exemple de la figure 6, le niveau APL n'est pas détecté directement, mais on détecte la valeur moyenne du courant du faisceau du tube cathodique 33. La haute tension fournie par le générateur de haute tension 34 est appliquée à l'anode du tube cathodique 33. Le générateur de haute tension 33 est relié au secondaire 36 du transformateur de retour de spot 35. Entre une extrémité du secondaire 36 et la masse, on a placé une résistance 37 aux bornes de laquelle on recueille la chute de tension suivant les polarités indiquées à la figure, en fonction du courant du faisceau dans le tube cathodique 33.

Le point de jonction de la résistance 28 et du condensateur 39, monté entre la source de tension +B et la masse, est relié au point de jonction du secondaire 36 et la résistance

37 pour y appliquer une tension de polarisation positive de façon que le point de jonction de la résistance 38 et du condensateur 39 donne une tension dont le niveau est faible lorsque le courant du faisceau est important. Cette tension est appliquée à l'étage suivant dans l'intégrateur 40 représenté par un bloc ; la valeur moyenne de la tension fournie par l'intégrateur 40 est appliquée à la base du transistor 31. Ce transistor 31 constitue un élément d'impédance variable. Lorsque la valeur moyenne du courant du faisceau est élevée, le signal de sortie de l'intégrateur 40 devient faible. Ainsi, l'impédance entre le collecteur et l'émetteur 31 devient importante et le potentiel au point de jonction des résistances 29, 30 augmente ; le niveau du seuil V_O + Vth apparaissant sur l'émetteur du transistor 26 varie et passe au niveau élevé. On a ainsi un détecteur 12 de niveau APL.

Il est toutefois possible de remplacer le niveau du seuil V_O + Vth qui varie de façon continue et de faire varier ce seuil plus que sur deux échelons utilisant un élément de commutation.

Dans l'exemple de l'invention selon la figure 6, on a prévu un transistor 25b dont le collecteur et l'émetteur sont reliés aux éléments correspondant du transistor 25a. Le point de jonction des collecteurs des deux transistors 25a, 25b est relié à la borne de la source d'alimentation $+V_{CC}$; le point de jonction des émetteurs de ces deux transistors est relié à la masse par la résistance 41 et à la borne de sortie 8a. Les transistors 25a, 25b forment le comparateur 8. Le signal vidéo S1 fourni par le circuit de verrouillage 2 est appliqué à la base du transistor 25b. L'un des signaux vidéo S1 et le signal de sortie de maintien S3 dont le niveau est supérieur à celui de l'autre, est fourni à la borne de sortie 8a du comparateur 8 comme un signal de sortie S4.

On peut utiliser comme circuit de verrouillage 9 relié sur la borne de sortie 8a, un circuit de verrouillage de réaction analogue, comme cela est connu.

La figure 7 donne un exemple de comparateur 8 utilisable selon l'invention. Dans cet exemple, on a deux diodes 42a 42b dont les anodes reçoivent respectivement les signaux S3, S1 ; les cathodes sont réunies à la masse à travers la résistance 43 ainsi qu'à la borne de sortie 8a du comparateur 8 (voir figure 6).

La description ci-dessus de l'invention montre que les fluctuations du niveau noir provoquées par la dispersion du niveau de réglage peuvent être supprimées, évitant le risque que la luminance du signal vidéo ne soit différente de celle du signal vidéo d'origine, et que le fond noir de l'image reproduite ne devient trop sombre.

La présente invention peut s'appliquer non seulement à un récepteur de télévision, mais également au traitement du signal de sortie d'une caméra de télévision. Un tel traitement de signal est exécuté de façon que le niveau du signal de sortie de la caméra de télévision, qui est le proche du côté noir et qui plus proche du côté noir que le niveau prédéterminé, soit détecté et conservé, et que le niveau conservé soit rendu égal au niveau réglé.

REVENDICATIONS

1°) Circuit de traitement d'un signal vidéo comportant un circuit formeur de courbe (4) pour régler le niveau d'un signal vidéo d'entrée, un premier niveau prédéterminé supérieur au niveau de base du signal vidéo d'entrée, pendant au moins une période d'effacement du signal vidéo d'entrée pour générer un signal de courbe, un circuit de maintien de pic (6) pour conserver le niveau du pic du côté noir dans le signal en forme de courbe et donner un signal de maintien de pic, ainsi qu'un moyen de commande de niveau noir (7, 8, 9) commandé par le signal de maintien de pic pour régler le niveau continu du signal vidéo d'entrée de façon que le niveau le plus noir du signal vidéo d'entrée coïncide avec un second niveau continu prédéterminé seulement lorsqu'il existe le pic du côté noir du signal vidéo d'entrée, sous une tension de seuil prédéterminée, caractérisé en ce que la tension de seuil prédéterminée est changée en réponse au niveau moyen de l'image du signal vidéo d'entrée.

2°) Circuit de traitement d'un signal vidéo comportant un premier circuit de verrouillage pour verrouiller le signal vidéo d'entrée sur un niveau de tension (V_0), continue prédéterminée de la source de tension de verrouillage, un circuit formeur de courbe (4) pour régler un niveau d'un signal vidéo d'entrée à un niveau continu prédéterminé supérieur à un niveau de base du signal vidéo d'entrée pendant la période d'effacement du signal vidéo d'entrée et pour donner un signal en forme de courbe, un circuit de maintien de pic (6) pour conserver le niveau du pic côté noir du signal en forme de courbe et donner un signal de maintien de pic, ainsi qu'un montage en série formé d'une source de tension de seuil et d'une diode (7) branchée entre le circuit de maintien de pic (6) et la source de tension de verrouillage, et un comparateur pour comparer le niveau du signal de sortie du premier circuit de verrouillage et celui du signal de maintien de pic du circuit de maintien de pic, et donner un signal de sortie correspondant à celui des deux signaux dont le niveau est le plus élevé, ainsi qu'un second circuit de verrouillage pour verrouiller le signal de sortie du comparateur, circuit caractérisé en ce qu'il comporte un détecteur de niveau moyen d'image pour modifier la tension de la source de tension de seuil en fonction du niveau moyen de l'image du signal vidéo d'entrée.

2470502

FIG. 1

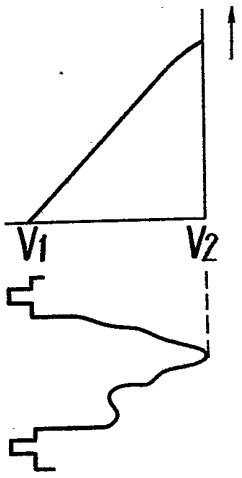


FIG. 2A

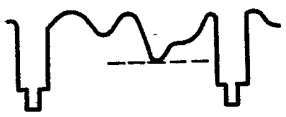


FIG. 2B

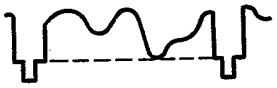


FIG. 3A

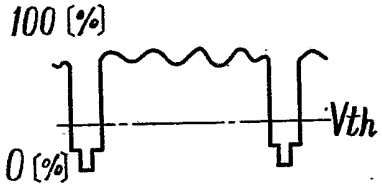


FIG. 3B

FIG. 3C

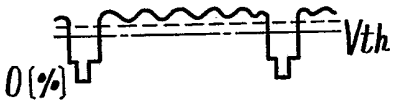
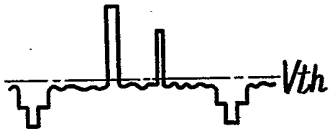


FIG. 3D



2470502

FIG. 4

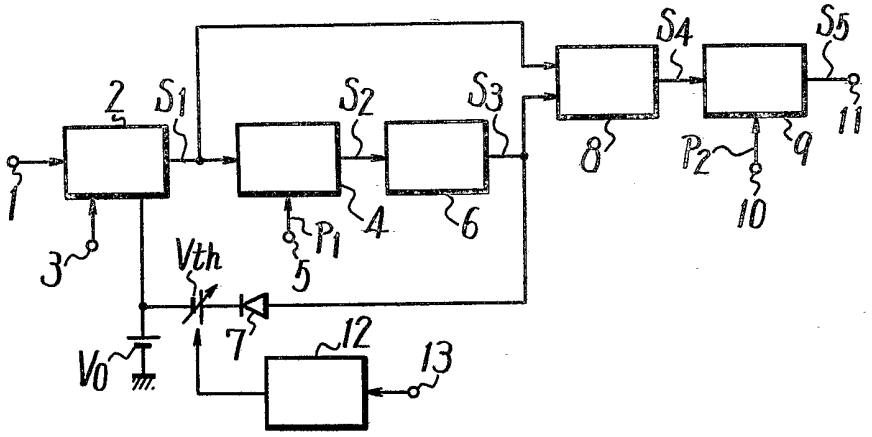


FIG. 5A (S1)

FIG. 5B (P1)

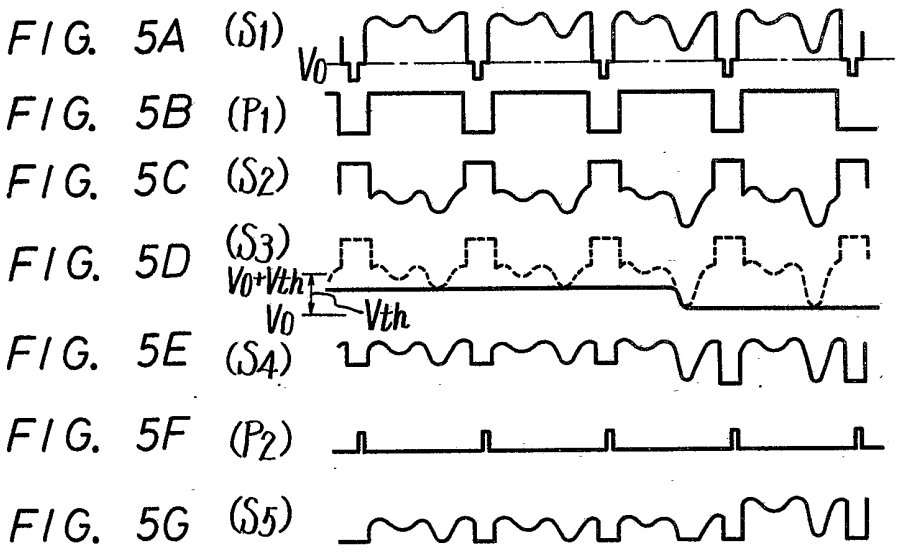
FIG. 5C (S2)

FIG. 5D (S3)

FIG. 5E (S4)

FIG. 5F (P2)

FIG. 5G (S5)



2470502

FIG. 6

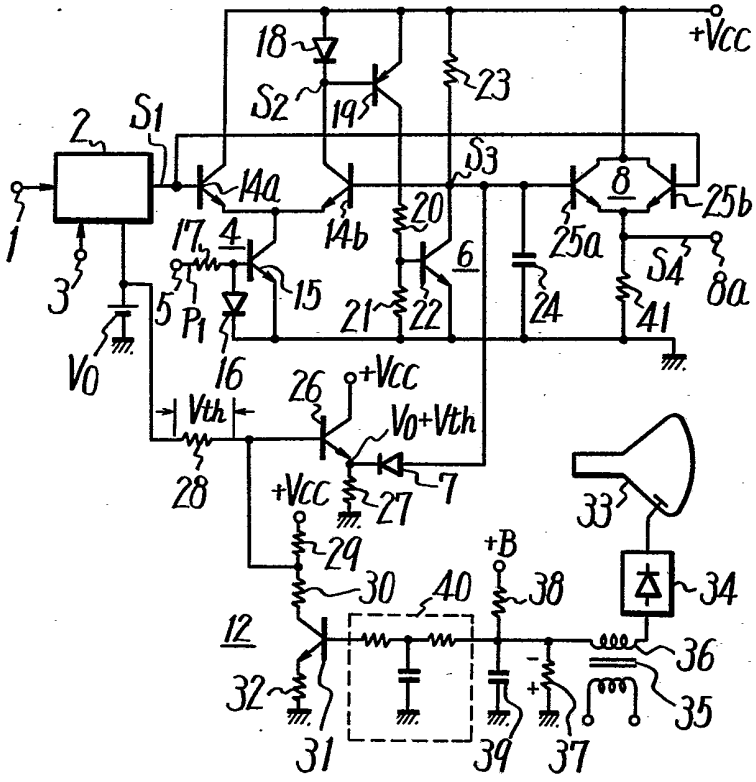
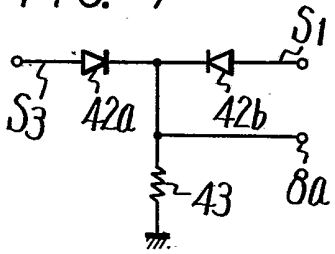



FIG. 7