(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0095731
(43) 공개일자 2016년08월12일

(51) 국제특허분류(Int. Cl.)
*H01L 25/065* (2006.01) *H01L 23/00* (2006.01)
*H01L 23/49* (2006.01)
(52) CPC특허분류
*H01L 25/0657* (2013.01)
*H01L 23/49* (2013.01)
(21) 출원번호 10-2015-0017066
(22) 출원일자 2015년02월04일
심사청구일자 없음

(71) 출원인
**에스케이하이닉스 주식회사**
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
**정정태**
경기도 이천시 중리천로 76 이천라온팰리스 11층 1108호
(74) 대리인
**강성배**

전체 청구항 수 : 총 19 항

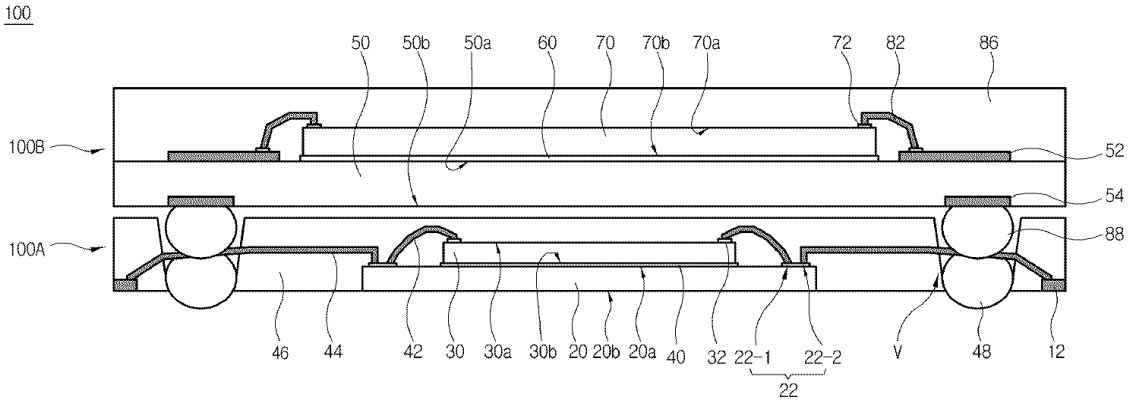
(54) 발명의 명칭 **패키지 온 패키지 타입 적층 패키지 및 그의 제조방법**

## (57) 요 약

본 발명은 패키지들을 적층하여 구현한 패키지 온 패키지 타입 적층 패키지 및 그의 제조방법을 개시한다. 개시된 본 발명에 따른 적층 패키지는, 제1반도체칩 및 제1접속부재들을 갖는 바텀 패키지; 및 상기 바텀 패키지의 상부에 배치되며, 제2반도체칩 및 상기 제1접속부재들과 전기적으로 연결된 제2접속부재들을 갖는 탑 패키지;를

(뒷면에 계속)

## 대 표 도



포함하며, 상기 바텀 패키지는, 상면 가장자리에 배열된 복수의 전극들을 갖는 인터포저; 상기 인터포저의 가장자리로부터 이격하여 배열된 복수의 제1본드핑거들; 상기 인터포저의 상면 상에 상기 전극들을 노출하도록 배치되며, 상면에 배열된 복수의 제1본딩패드들을 갖는 제1반도체칩; 상기 제1본딩패드들과 상기 전극들을 연결하는 제1본딩와이어들; 상기 전극들과 상기 제1본드핑거들을 연결하는 제2본딩와이어들; 및 상기 제1본드핑거들, 인터포저 및 제1반도체칩의 상면 및 측면과 상기 제1 및 제2 본딩와이어들을 덮도록 형성되며, 상기 제2본딩와이어들의 일부분들을 각각 노출하는 비아홀들을 갖는 제1봉지부재;를 포함한다.

(52) CPC특허분류

***H01L 24/46*** (2013.01)

***H01L 24/49*** (2013.01)

*H01L 2933/0033* (2013.01)

# 명 세 서

## 청구범위

### 청구항 1

제1반도체칩 및 제1접속부재들을 갖는 바텀 패키지; 및

상기 바텀 패키지의 상부에 배치되며, 제2반도체칩 및 상기 제1접속부재들과 전기적으로 연결된 제2접속부재들을 갖는 탑 패키지;

를 포함하며,

상기 바텀 패키지는,

상면 가장자리에 배열된 복수의 전극들을 갖는 인터포저;

상기 인터포저의 가장자리로부터 이격하여 배열된 복수의 제1본드핑거들;

상기 인터포저의 상면 상에 상기 전극들을 노출하도록 배치되며, 상면에 배열된 복수의 제1본딩패드들을 갖는 제1반도체칩;

상기 제1본딩패드들과 상기 전극들을 연결하는 제1본딩와이어들;

상기 전극들과 상기 제1본드핑거들을 연결하는 제2본딩와이어들; 및

상기 제1본드핑거들, 인터포저 및 제1반도체칩의 상면 및 측면과 상기 제1 및 제2 본딩와이어들을 덮도록 형성되며, 상기 제2본딩와이어들의 일부분들을 각각 노출하는 비아홀들을 갖는 제1봉지부재;

를 포함하는 적층 패키지.

### 청구항 2

제 1 항에 있어서,

상기 제1반도체칩은 로직 칩을 포함하고, 상기 제2반도체칩은 메모리 칩을 포함하는 것을 특징으로 하는 적층 패키지.

### 청구항 3

제 1 항에 있어서,

상기 인터포저 및 상기 제1반도체칩이 사각 플레이트 형상을 가질 때, 상기 제1본드핑거들은 상기 인터포저의 네 가장자리들을 둘러싸는 형태로 배열되고, 상기 전극들 및 제1본딩패드들은 상기 인터포저 및 상기 제1반도체칩의 상면들의 네 가장자리들을 따라 배열된 것을 특징으로 하는 적층 패키지.

### 청구항 4

제 1 항에 있어서,

상기 비아홀들은 하부 직경이 상부 직경 보다 작은 형태를 갖는 것을 특징으로 하는 적층 패키지.

### 청구항 5

제 1 항에 있어서,

상기 제1접속부재들은 상기 비아홀들 내에 각각 삽입되어 상기 제2본딩와이어들의 노출 부분들과 연결되는 것을 특징으로 하는 적층 패키지.

### 청구항 6

제 1 항에 있어서,

상기 제1접속부재들은 솔더 볼을 포함하는 것을 특징으로 하는 적층 패키지.

**청구항 7**

제 6 항에 있어서,

상기 솔더 볼들은 상기 비아홀들의 상부 직경 보다 작고 하부 직경 보다 큰 직경을 갖는 것을 특징으로 하는 적층 패키지.

**청구항 8**

제 7 항에 있어서,

상기 솔더 볼들은 상기 비아홀들 내부에서 아랫부분에 위치하면서 바텀 패키지의 하부면으로 일부분이 돌출되도록 배치된 것을 특징으로 하는 적층 패키지.

**청구항 9**

제 1 항에 있어서,

상기 제2접속부재들은 상기 바텀 패키지의 비아홀들 내에 각각 삽입되어 사기 제1접속부재들과 연결되는 것을 특징으로 하는 적층 패키지.

**청구항 10**

제 9 항에 있어서,

상기 탑 패키지는,

상면 및 상기 상면에 대향하는 하면을 가지며, 상기 상면에 배열된 제2본드핑거들 및 상기 하면에 배열되고 상기 제2본드핑거들과 전기적으로 연결되며 상기 제2접속부재들과 연결되는 외부전극들을 포함하는 기판;

상기 제2본드핑거들이 노출되도록 상기 기판의 상면 상에 배치되며, 상면에 배열된 복수의 제2본딩패드들을 갖는 상기 제2반도체칩;

상기 제2본딩패드들과 상기 제2본드핑거들을 연결하는 제3본딩와이어들; 및

상기 제2반도체칩 및 제3본딩와이어들을 덮도록 상기 기판의 상면 상에 형성된 제2봉지부재;

를 포함하는 것을 특징으로 하는 적층 패키지.

**청구항 11**

제 9 항에 있어서,

상기 제2접속부재들은 솔더 볼 또는 솔더 페이스트를 포함하는 것을 특징으로 하는 적층 패키지.

**청구항 12**

제1반도체칩과 제1접속부재들을 갖는 바텀 패키지 및 제2반도체칩과 제2연결부재들을 갖는 탑 패키지를 마련하는 단계; 및

상기 제1접속부재들과 제2접속부재들이 상호 연결되도록 상기 바텀 패키지의 상부에 탑 패키지를 적층하는 단계;

를 포함하며,

상기 바텀 패키지를 마련하는 단계는,

상면에 복수의 제1본드핑거들이 배열된 임시 기판을 마련하는 단계;

상기 제1본드핑거들이 노출되도록 상기 임시 기판의 상면 상에 상면에 복수의 전극들이 배열된 인터포저를 배치하는 단계;

상기 전극들이 노출되도록 상기 인터포저의 상면 상에 상면에 복수의 제1본딩패드들이 배열된 제1반도체칩을 배

치하는 단계;

상기 제1본딩패드들과 전극들을 연결하는 제1본딩와이어들 및 상기 전극들과 제1본드핑거들을 연결하는 제2본딩와이어들이 형성하는 단계;

상기 제1 및 제2 본딩와이어들과 인터포저 및 제1반도체칩을 덮도록 상기 임시 기판의 상면 상에 제1봉지부재를 형성하는 단계;

상기 제1봉지부재 내에 상기 제2본딩와이어들의 일부분을 각각 노출하는 비아홀들을 형성하는 단계;

상기 임시 기판을 제거하는 단계; 및

상기 제2본딩와이어들과 연결되도록 각 비아홀들 내에 상기 제1접속부재들을 형성하는 단계;

를 포함하는 적층 패키지의 제조방법.

**청구항 13**

제 12 항에 있어서,

상기 제1반도체칩은 로직 칩을 포함하고, 상기 제2반도체칩은 메모리 칩을 포함하는 것을 특징으로 하는 적층 패키지의 제조방법.

**청구항 14**

제 12 항에 있어서,

상기 임시 기판, 인터포저 및 제1반도체칩이 사각 플레이트 형상을 가질 때, 상기 제1본드핑거들, 전극들 및 제1본딩패드들은 각각 상기 임시 기판, 인터포저 및 제1반도체칩의 상면 네 가장자리들을 따라 배열되도록 형성하는 것을 특징으로 하는 적층 패키지의 제조방법.

**청구항 15**

제 12 항에 있어서,

상기 제1접속부재들은 솔더 볼을 포함하는 것을 특징으로 하는 적층 패키지의 제조방법.

**청구항 16**

제 12 항에 있어서,

상기 바텀 패키지 상부에 상기 탑 패키지를 적층하는 단계는, 상기 탑 패키지의 제2접속부재들이 상기 바텀 패키지의 비아홀들 내에 삽입되어 상기 제1접속부재들과 연결되도록 수행하는 것을 특징으로 하는 적층 패키지의 제조방법.

**청구항 17**

제 12 항에 있어서,

상기 제1본딩와이어들 및 제2본딩와이어들을 형성하는 단계는, 상기 제1본딩패드들과 전극들을 연결하는 제1본딩와이어들을 형성한 후에 상기 전극들과 제1본드핑거들을 연결하는 제2본딩와이어들을 형성하는 방식, 상기 제1본드핑거들과 전극들을 연결하는 제2본딩와이어들을 형성한 후에 상기 전극들과 제1본딩패드들을 연결하는 제2본딩와이어들을 형성하는 방식, 또는, 하나의 제1본드핑거와 전극 및 제1본딩패드를 연결하는 제1 및 제2 본딩와이어들을 형성한 후에 나머지 제1본드핑거들과 전극들 및 제1본딩패드들에 대해 연속으로 제1본딩와이어와 제2본딩와이어를 형성하는 방식 중에서 어느 하나로 수행하는 것을 특징으로 하는 적층 패키지의 제조방법.

**청구항 18**

제 12 항에 있어서,

상기 탑 패키지를 마련하는 단계는,

상면에 제2본드핑거들이 배열되고 하면에 외부전극들이 배열된 기판의 상기 상면 상에 상기 제2본드핑거들이 노

출되도록 상면에 복수의 제2본딩패드들이 배열된 제1반도체칩을 부착하는 단계;

상기 제2본딩패드들과 제2본드핑거들을 연결하도록 제3본딩와이어들을 형성하는 단계;

상기 제2반도체칩 및 제3본딩와이어들을 덮도록 상기 기판의 상면 상에 제2봉지부재를 형성하는 단계; 및

상기 기판 하면의 외부전극들에 각각 제2접속부재들을 부착하는 단계;

를 포함하는 것을 특징으로 하는 적층 패키지의 제조방법.

**청구항 19**

제 18 항에 있어서,

상기 제2접속부재들은 솔더 볼 또는 솔더 페이스트를 포함하는 것을 특징으로 하는 적층 패키지의 제조방법.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는, 패키지들을 적층하여 구현한 패키지 온 패키지 타입 적층 패키지 및 그의 제조방법에 관한 것이다.

### *배 경 기 술*

[0002] 전자 제품이 더 작고 및 고기능화됨에 따라, 요구된 기능을 충족시키기 위하여 고용량의 반도체칩을 필요로 하게 되었고, 이와 더불어, 작은 전자 제품에 더 많은 수의 반도체칩을 실장 할 필요가 있게 되었다. 그런데 고용량의 반도체칩을 제조하거나 한정된 공간 내에 더 많은 수의 반도체칩들을 실장 하는 기술은 그 한계에 부딪히게 되었다.

[0003] 이에, 최근의 추세는 하나의 패키지에 더 많은 수의 반도체칩들을 내장하거나, 또는, 둘 이상의 패키지를 상호 적층 하는 방향으로 진행되고 있다. 이와 더불어, 하나 이상의 반도체칩들을 내장하거나, 둘 이상의 패키지를 상호 적층 하면서도 패키지의 전체 두께를 증가시키지 않고 전기적 특성을 향상시킬 수 있는 다양한 기술이 개발되고 있다.

## *발명의 내용*

### *해결하려는 과제*

[0004] 본 발명의 실시 예는 바텀 패키지의 로우 프로파일을 구현하여 전체 두께를 감소시킨 패키지 온 패키지 타입 적층 패키지 및 그의 제조방법을 제공한다.

### *과제의 해결 수단*

[0005] 실시 예에 따른 적층 패키지는, 제1반도체칩 및 제1접속부재들을 갖는 바텀 패키지; 및 상기 바텀 패키지의 상부에 배치되며, 제2반도체칩 및 상기 제1접속부재들과 전기적으로 연결된 제2접속부재들을 갖는 탑 패키지;를 포함하며, 상기 바텀 패키지는, 상면 가장자리에 배열된 복수의 전극들을 갖는 인터포저; 상기 인터포저의 가장자리로부터 이격하여 배열된 복수의 제1본드핑거들; 상기 인터포저의 상면 상에 상기 전극들을 노출하도록 배치되며, 상면에 배열된 복수의 제1본딩패드들을 갖는 제1반도체칩; 상기 제1본딩패드들과 상기 전극들을 연결하는 제1본딩와이어들; 상기 전극들과 상기 제1본드핑거들을 연결하는 제2본딩와이어들; 및 상기 제1본드핑거들, 인터포저 및 제1반도체칩의 상면 및 측면과 상기 제1 및 제2 본딩와이어들을 덮도록 형성되며, 상기 제2본딩와이어들의 일부분들을 각각 노출하는 비아홀들을 갖는 제1봉지부재;를 포함한다.

[0006] 실시 예에 따른 적층 패키지의 제조방법은, 제1연결부재들을 갖는 바텀 패키지 및 하면에 부착된 제2연결부재들을 갖는 탑 패키지를 마련하는 단계; 및 상기 제1연결부재들과 제2연결부재들이 상호 연결되도록 상기 바텀 패키지의 상부에 탑 패키지를 적층하는 단계;를 포함하며, 상기 바텀 패키지를 마련하는 단계는, 상면에 복수의 제1본드핑거들이 배열된 임시 기판을 마련하는 단계; 상기 제1본드핑거들이 노출되도록 상기 임시 기판의 상면 상에 복수의 전극들이 배열된 인터포저를 배치하는 단계; 상기 전극들이 노출되도록 상기 인터포저의 상면 상에 복수의 제1본딩패드들이 배열된 제1반도체칩을 배치하는 단계; 상기 제1본딩패드들과 전극들을 연결하는 제1본

딩와이어들 및 상기 전극들과 제1본드핑거들을 연결하는 제2본딩와이어들이 형성하는 단계; 상기 제1 및 제2 본딩와이어들과 인터포저 및 제1반도체칩을 덮도록 상기 임시 기판의 상면 상에 제1봉지부재를 형성하는 단계; 상기 제1봉지부재에 상기 제2본딩와이어들의 일부분을 각각 노출하는 비아홀들을 형성하는 단계; 상기 임시 기판을 제거하는 단계; 및 상기 제2본딩와이어들과 연결되고, 상기 탑 패키지의 제2연결부재들과 전기적으로 연결되도록 각 비아홀들 내에 상기 제1연결부재들을 형성하는 단계;를 포함한다.

[0007] 실시 예에 따른 적층 패키지를 구비한 전자 시스템은, 버스에 의해 결합된 콘트롤러, 인터페이스, 입출력장치 및 메모리장치를 포함하고, 상기 콘트롤러 및 메모리장치는, 제1반도체칩 및 제1접속부재들을 갖는 바텀 패키지; 및 상기 바텀 패키지의 상부에 배치되며, 제2반도체칩 및 상기 제1접속부재들과 전기적으로 연결된 제2접속부재들을 갖는 탑 패키지;를 포함하며, 상기 바텀 패키지는, 상면 가장자리에 배열된 복수의 전극들을 갖는 인터포저; 상기 인터포저의 가장자리로부터 이격하여 배열된 복수의 제1본드핑거들; 상기 인터포저의 상면 상에 상기 전극들을 노출하도록 배치되며, 상면에 배열된 복수의 제1본딩패드들을 갖는 제1반도체칩; 상기 제1본딩패드들과 상기 전극들을 연결하는 제1본딩와이어들; 상기 전극들과 상기 제1본드핑거들을 연결하는 제2본딩와이어들; 및 상기 제1본드핑거들, 인터포저 및 제1반도체칩의 상면 및 측면과 상기 제1 및 제2 본딩와이어들을 덮도록 형성되며, 상기 제2본딩와이어들의 일부분들을 각각 노출하는 비아홀들을 갖는 제1봉지부재;를 구비한 적층 패키지를 포함한다.

[0008] 실시 예에 따른 적층 패키지를 포함하는 메모리 카드는, 적층 패키지를 구비한 메모리; 및 상기 메모리를 제어하는 메모리 콘트롤러;를 포함하며, 상기 적층 패키지는, 제1반도체칩 및 제1접속부재들을 갖는 바텀 패키지; 및 상기 바텀 패키지의 상부에 배치되며, 제2반도체칩 및 상기 제1접속부재들과 전기적으로 연결된 제2접속부재들을 갖는 탑 패키지;를 포함하며, 상기 바텀 패키지는, 상면 가장자리에 배열된 복수의 전극들을 갖는 인터포저; 상기 인터포저의 가장자리로부터 이격하여 배열된 복수의 제1본드핑거들; 상기 인터포저의 상면 상에 상기 전극들을 노출하도록 배치되며, 상면에 배열된 복수의 제1본딩패드들을 갖는 제1반도체칩; 상기 제1본딩패드들과 상기 전극들을 연결하는 제1본딩와이어들; 상기 전극들과 상기 제1본드핑거들을 연결하는 제2본딩와이어들; 및 상기 제1본드핑거들, 인터포저 및 제1반도체칩의 상면 및 측면과 상기 제1 및 제2 본딩와이어들을 덮도록 형성되며, 상기 제2본딩와이어들의 일부분들을 각각 노출하는 비아홀들을 갖는 제1봉지부재;를 포함한다.

## *발명의 효과*

[0009] 본 발명은 기판이 없는 구조로 바텀 패키지를 구현하며, 또한, 바텀 패키지의 봉지부재에 비아홀을 형성하여 이러한 바텀 패키지 상에 탑 패키지를 적층할 때 탑 패키지의 솔더 볼이 상기 비아홀 내에 삽입되도록 만든다.

[0010] 이에 따라, 본 발명에 따른 적층 패키지는 바텀 패키지가 로우 프로파일을 갖고, 또한, 탑 패키지의 솔더 볼이 바텀 패키지의 봉지부재 내에 삽입되는 것에 의해 전체 두께가 더욱 감소하여 결과적으로 얇은 프로파일을 갖는 패키지 온 패키지 타입 적층 패키지를 구현할 수 있다.

## *도면의 간단한 설명*

[0011] 도 1은 실시 예에 따른 패키지 온 패키지 타입 적층 패키지를 도시한 단면도이다.

도 2는 실시 예에 따른 패키지 온 패키지 타입 적층 패키지에서 제1봉지부재가 부분 절개된 상태의 바텀 패키지를 도시한 평면도이다.

도 3은 실시 예에 따른 패키지 온 패키지 타입 적층 패키지의 효과를 설명하기 위한 종래의 패키지 온 패키지 타입 적층 패키지를 도시한 단면도이다.

도 4는 실시 예에 따른 패키지 온 패키지 타입 적층 패키지에서의 바텀 패키지의 제조방법을 설명하기 위한 단면도이다.

도 5는 실시 예에 따른 패키지 온 패키지 타입 적층 패키지에서의 탑 패키지의 제조방법을 설명하기 위한 단면도이다.

도 6은 실시 예에 따른 패키지 온 패키지 타입 적층 패키지의 제조방법을 설명하기 위한 단면도이다.

도 7은 실시 예에 따른 패키지 온 패키지 타입 적층 패키지를 적용한 전자 시스템의 블록도이다.

도 8은 실시 예에 따른 패키지 온 패키지 타입 적층 패키지를 포함하는 메모리 카드의 블록도이다.

## *발명을 실시하기 위한 구체적인 내용*

[0012] 본 발명의 실시 예는 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상세히 설명하는 실시 예로 한정되는 것으로 해석되어서는 안 된다. 즉, 본 발명의 실시 예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 상세하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 구성요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어 표현될 수 있으며, 각 도면에서 동일한 부재는 동일한 참조부호로 도시하였음을 유의하여야 한다.

[0013] 이하, 첨부된 도면들을 참조하여 다양한 실시 예들을 상세하게 설명하도록 한다.

[0014] 도 1을 참조하면, 실시 예에 따른 패키지 온 패키지 타입 적층 패키지(100)는 바텀 패키지(100A) 및 상기 바텀 패키지(100A) 상에 적층된 탑 패키지(100B)를 포함할 수 있다.

[0015] 실시 예에서, 바텀 패키지(100A)는 기판 없이 구성될 수 있으며, 제1본드핑거들(12), 인터포저(20), 제1반도체칩(30), 본딩와이어들(42, 44), 제1봉지부재(46) 및 제1접속부재들(48)을 포함할 수 있다. 또한, 바텀 패키지(100A)는 인터포저(20)와 제1반도체칩(30) 사이에 개재된 제1접착부재(40)를 더 포함할 수 있다.

[0016] 상기 제1본드핑거들(12)은 금속과 같은 도전성 물질의 패턴으로 이루어질 수 있으며, 인터포저(20)의 가장자리로부터 소정 간격 이격해서 복수 개가 배열될 수 있다. 예를 들어, 도 2에서와 같이 인터포저(20)가 사각 플레이트 형상을 가질 때, 제1본드핑거들(12)은 인터포저(20)를 네 가장자리를 둘러싸는 형태로 일정 간격으로 배열될 수 있다. 이와 다르게, 도시되지 않았으나 제1본드핑거들(12)은 인터포저(20)의 양측 가장자리에만 복수 개가 배열되도록 마련되는 것도 가능하다.

[0017] 여기서, 제1본드핑거들(12)은 제2본딩와이어(44)가 연결될 수 있는 크기를 가질 수 있으며, 또한, 제1봉지부재(46)에 제2본딩와이어들(44)의 일부분들을 각각 노출시키는 비아홀들(v)이 충분히 형성될 수 있는 간격으로 인터포저(20)의 네 가장자리로부터 이격해서 배열될 수 있다.

[0018] 상기 인터포저(20)는 제1본드핑거들(12)과 제1반도체칩(30) 사이의 연결 매개체로서, 대체로 사각 플레이트 형상을 가질 수 있다. 이러한 사각 플레이트 형상의 인터포저(20)는 상면(20a) 및 하면(20b)을 가지며, 적어도 제1본드핑거들(12)에 대응하는 수만큼 상면(20a)의 네 가장자리를 따라 배열되는 복수의 전극들(22)을 포함할 수 있다. 전극들(22)은 인터포저(20)의 상면(20a) 상에 배치될 수 있으며, 이와 다르게, 전극들(22)은 인터포저(20)에 매립되어 그의 일면이 인터포저(20)의 상면(20a)으로 노출된 형상으로 배치될 수도 있다. 전극들(22)은 제1반도체칩(30)에 인접하여 배치되는 일단(22-1) 및 상기 일단(22-1)으로부터 인터포저(20)의 가장자리를 향해 연장된 타단(22-2)을 포함할 수 있다.

[0019] 상기 제1반도체칩(30)은 로직 칩(logic chip) 일 수 있으며, 이와 다르게, 제1반도체칩(30)은 메모리 칩 일 수 있다. 제1반도체칩(30)은 상면(30a) 및 상면(30a)에 대향하는 하면(30b)을 갖는 사각 플레이트 형상으로 마련될 수 있다. 제1반도체칩(30)은 상면(30a)의 네 가장자리를 따라 배열되는 복수의 제1본딩패드들(32)을 포함할 수 있다. 이와 다르게, 전극들(22)이 인터포저(20)의 상면(20a) 양측 가장자리에만 배열될 경우, 제1본딩패드들(32)은 전극들(22)에 인접하는 제1반도체칩(30)의 상면(30a) 양측 가장자리에만 배열될 수 있다. 이러한 제1반도체칩(30)은 그의 하면(30b)이 인터포저(20)의 상면(20a)과 접하고 전극들(22)을 노출하도록 인터포저(20)의 상면(20a) 중앙부에 페이스-업 타입(face-up)으로 배치될 수 있다. 이때, 제1반도체칩(30)은 제1접착부재(40)를 매개로 하여 인터포저(20)의 상면(20a) 중앙부에 고정될 수 있다.

[0020] 상기 제1본딩와이어들(42)은 와이어 본딩 공정을 통해 제1반도체칩(30)의 제1본딩패드들(32)과 이에 인접하여 배열된 인터포저(20) 전극들(22)의 일단들(22-1)을 상호 연결하도록 형성될 수 있다. 상기 제2본딩와이어들(44)은 와이어 본딩 공정을 통해 일단(22-1)에 제1본딩와이어들(42)이 연결된 인터포저(20) 전극들(22)의 타단들(22-2)과 이에 대응하여 배열된 제1본드핑거들(12)을 상호 연결하도록 형성될 수 있다.

[0021] 상기 제1봉지부재(46)는 제1반도체칩(30)을 외부 영향으로부터 보호하기 위해 마련되는 것으로, 예를 들어, EMC(Epoxy Molding Compond)로 이루어질 수 있다. 이러한 제1봉지부재(46)는 제1본드핑거들(12)과 인터포저(20) 및 제1반도체칩(30)의 상면들 및 측면들과 제1 및 제2 본딩와이어들(42, 44)을 덮도록 형성될 수 있다. 또한, 제1봉지부재(46)는 제2본딩와이어들(44)의 일부분들을 각각 노출시키도록 형성된 복수 개의 TMV(Through Mold Via)들, 즉, 비아홀들(v)을 포함할 수 있다.

[0022] 본 실시 예에서, 비아홀들(v)은 도 1에서와 같이 하부 직경이 상부 직경 보다 작은 형태로 형성될 수 있으며, 이는 솔더 볼로 이루어지는 제1접속부재들(48)이 상기 비아홀들(v) 내에 안정적으로 삽입 설치되도록 하기 위함

인 것으로 이해될 수 있다. 이와 다르게, 도시하지 않았으나 비아홀들(v)은 하부 및 상부가 동일 직경을 갖도록 형성될 수도 있다. 또한, 비아홀들(v)은 도 2에서와 같이 지그재그 형태로 배열되게 형성될 수 있다.

[0023] 상기 제1접속부재들(48)은 탑 패키지(100B) 및 외부 회로와의 전기적 연결을 위해 마련되는 것으로, 예를 들어, 솔더 볼로 이루어질 수 있다. 솔더 볼로 이루어진 제1접속부재들(48)은 비아홀들(v) 내에 각각 삽입되어 각 비아홀들(v) 내에서 제2본딩와이어들(44)의 노출 부분들과 전기적으로 연결될 수 있다. 이때, 제1접속부재들(48)을 구성하는 솔더 볼은, 예를 들어 비아홀(v)의 상부 직경 보다 작고 하부 직경 보다 큰 직경을 갖도록 마련될 수 있으며, 이에 따라, 솔더 볼로 이루어진 제1접속부재들(48)은 각 비아홀들(v) 내의 아랫부분에 위치하게 되고, 특히, 외부 회로에의 접속이 용이하도록 일부분이 비아홀들(v)의 아래쪽으로, 즉, 바텀 패키지(100A)의 하부면 아래로 돌출하게 된다.

[0024] 한편, 전술한 실시 예에서는 제1본드핑거들(12), 전극들(22) 및 제1본딩패드들(32)가 네 가장자리를 따라 배열되는 경우를 도시하고 설명하였으나, 이와 다르게, 제1본드핑거들(12), 전극들(22) 및 제1본딩패드들(32)은 양측 가장자리에만 배열되도록 형성되는 것도 가능하다.

[0025] 계속해서, 본 실시 예에서의 탑 패키지(100B)는 기판(50), 제2반도체칩(70), 제3본딩와이어들(82), 제2봉지부재(86) 및 제2접속부재들(88)을 포함할 수 있다. 또한, 탑 패키지(100B)는 기판(50)과 제2반도체칩(70) 사이에 개재된 제2접착부재(60)를 더 포함할 수 있다.

[0026] 상기 기판(50)은 인쇄회로기판(Printed Circuit Board)일 수 있으며, 대체로 사각 플레이트 형상을 갖는다. 이러한 기판(50)은 상면(50a) 및 상면(50a)에 대향하는 하면(50b)을 가지며, 또한, 상면(50a) 가장자리에 배열된 복수의 제2본드핑거들(52) 및 하면(50b)에 배열된 복수의 외부전극들(54)을 포함할 수 있다. 제2본드핑거들(52)과 외부전극들(54)은 기판(50) 내부에 형성되는 비아 패턴들(도시안됨)에 의해 상호 전기적으로 연결될 수 있다. 여기서, 제2본드핑거들(52)은 기판(50)의 상면(50a) 가장자리를 따라 배열되되, 기판(50)이 사각 플레이트 형상을 가질 때, 제2본드핑거들(52)은 기판(50)의 양측 가장자리를 따라 배열될 수 있고, 이와 다르게, 네 가장자리들을 따라 배열될 수 있다.

[0027] 상기 제2반도체칩(70)은 상면(70a) 및 상면(70a)에 대향하는 하면(70b)을 갖는 사각 플레이트 형상으로 마련될 수 있다. 제2반도체칩(70)은 제2접착부재(60)를 매개로 하여 기판(50)의 상면(50a) 상에 부착될 수 있다. 이때, 제2반도체칩(70)은 그의 하면(70b)이 기판(50)의 상면(50a)과 마주하도록 배치되며, 특히, 제2본드핑거들(52)이 노출되도록 기판(50)의 상면(50a) 중앙부에 배치될 수 있다.

[0028] 본 실시 예에서, 제2반도체칩(70)은 메모리칩 일 수 있으며, 이와 다르게, 제2반도체칩(70)은 로직 칩 일 수 있다.

[0029] 제2반도체칩(70)은 그의 상면(70a) 가장자리에 배열된 복수의 제2본딩패드들(72)을 포함할 수 있다. 제2본딩패드들(72)은 적어도 제2본드핑거들(52)에 대응하는 수만큼 배열될 수 있으며, 제2본드핑거들(52)과 마찬가지로 제2반도체칩(70)의 상면(70a)에 그의 양측 가장자리를 따라 배열될 수 있음은 물론, 네 가장자리들을 따라 배열될 수 있다.

[0030] 상기 제3본딩와이어들(82)은 와이어 본딩 공정을 통해 상호 대응하는 기판(50)의 제2본드핑거들(52)과 제2반도체칩(70)의 제2본딩패드들(72)을 연결하도록 형성될 수 있다.

[0031] 상기 제2봉지부재(86)는 제2반도체칩(70)을 외부 영향으로부터 보호하기 위한 것으로, 예를 들어 EMC로 이루어질 수 있다. 이러한 제2봉지부재(86)는 제2반도체칩(70) 및 제3본딩와이어들(82)을 덮도록 기판(50)의 상면(50a) 상에 형성될 수 있다.

[0032] 상기 제2접속부재들(88)은 기판(50)의 하면(50b)에 배열된 외부전극들(54) 상에 형성될 수 있다. 이러한 제2접속부재들(88)은 솔더 볼로 이루어지질 수 있으며, 바텀 패키지(100A)와의 적층 구조에서 바텀 패키지(100A)의 비아홀들(v) 내에 각각 삽입되어 솔더 볼로 이루어진 제1접속부재들(48)과 전기적으로 연결될 수 있다. 이때, 제2접속부재들(88)을 구성하는 솔더 볼들은 바텀 패키지(100A)의 비아홀들(v) 내에 삽입될 수 있도록 상기 비아홀들(v)의 상부 직경 보다 작은 직경을 갖도록 마련됨이 바람직하다. 본 실시 예에서, 솔더 볼들로 이루어지는 제2접속부재들(88)은 그 직경을 조절함에 따라 바텀 패키지(100A)와 탑 패키지(100B) 사이의 간격을 조절할 수 있고, 결과적으로, 실시 예에 따른 적층 패키지(100)의 전체 두께를 조절할 수 있다.

[0033] 이와 다르게, 제2접속부재들(88)은 솔더 페이스트로 이루어질 수 있으며, 이 경우에도 솔더 페이스트로 이루어지는 제2접속부재들(88)은 바텀 패키지(100A)의 비아홀들(v) 내에 각각 삽입되어 제1접속부재들(48)과 전기적으

로 연결될 수 있다.

[0034] 한편, 본 실시 예에서는 상기와 같은 구조를 갖는 탑 패키지(100B)의 예를 도시하고 설명하였으나, 실시 예에 따른 적층 패키지(100)에서의 탑 패키지(100B)는 그 이외에도 다양한 구조의 것이 적용될 수 있다. 예를 들어, 탑 패키지(100B)는 반도체 칩 위에 범프를 형성하여 기판에 플립 칩 본딩으로 실장한 플립 칩 패키지일 수도 있다.

[0035] 전술한 바와 같은 구성을 갖는 본 실시 예에서의 바텀 패키지(100A)와 탑 패키지(100B)는 상기 탑 패키지(100B)의 제2접속부재들(88)이 바텀 패키지(100A)의 비아홀들(v) 내에 삽입되어 제1접속부재들(48)과 전기적으로 연결되는 것에 의해 패키지 온 패키지 타입 적층 패키지(100)를 구성하게 된다.

[0036] 따라서, 실시 예에 따른 패키지 온 패키지 타입 적층 패키지(100)는 바텀 패키지(100A)가 기판 없이 구성되는 것으로 인해 로우 프로파일(low profile)을 가지게 되고, 또한, 탑 패키지(100B)의 제2접속부재들(88)이 바텀 패키지(100A)의 비아홀들(v) 내에 삽입되는 것에 의해 전체 두께가 더욱 낮아지게 되며, 결과적으로, 얇은 프로파일(low profile)을 갖게 된다.

[0037] 구체적으로, 도 3에 도시된 바와 같이, 종래의 패키지 온 패키지 타입 적층 패키지(200)는 바텀 패키지(200A)가 기판(110)을 포함하고, 탑 패키지(200B)의 제2접속부재들(188)이 바텀 패키지(200A)에서의 기판(110)의 상면에 마련된 볼랜드들(112)과 콘택하는 구조를 갖는다.

[0038] 반면, 도 1에 도시된 바와 같이, 실시 예에 따른 패키지 온 패키지 타입 적층 패키지(100)는 바텀 패키지(100A)가 기판 없이 구성되는 것에 의해 로우 프로파일을 갖고, 또한, 탑 패키지(100B)의 제2접속부재들(88)이 바텀 패키지(100A)의 비아홀들(v) 내에 삽입 배치되는 구조를 갖는다.

[0039] 그러므로, 실시 예에 따른 패키지 온 패키지 타입 적층 패키지(100)는 종래의 패키지 온 패키지 타입 적층 패키지(200)와 비교해서 전체 두께가 감소되어 얇은 프로파일을 갖는다.

[0040] 이하에서는 실시 예에 따른 바텀 패키지 및 탑 패키지의 제조방법과 패키지 온 패키지 타입 적층 패키지의 제조방법을 설명하도록 한다.

[0041] 먼저, 바텀 패키지(100A)는 다음과 같은 순서로 제조될 수 있다.

[0042] 도 4를 참조하면, 임시 기판(10)을 마련한다. 여기서, 임시 기판(10)으로서 케리어 테이프 또는 마운트 테이프를 적용할 수 있다. 임시 기판(10)의 상면(10a) 상에, 예를 들어, 도전막 형성 공정과, 형성된 도전막에 대한 식각 공정을 차례로 진행하여 복수의 제1본드핑거들(12)을 형성한다. 여기서, 제1본드핑거들(12)은 후속에서 임시 기판(10)의 상면(10a) 상에 배치되는 사각 플레이트 형상을 갖는 인터포저(20)의 네 가장자리들을 둘러싸는 형태로 배열되도록 형성한다.

[0043] 임시 기판(10)의 상면(10a) 상에 대체로 사각 플레이트 형상을 갖는 인터포저(20)를 부착한다. 인터포저(20)는 상면(20a) 및 상면(20a)에 대향하는 하면을 갖고, 상면(20a) 가장자리를 따라 배열된 복수의 전극들(22)을 포함할 수 있다. 이러한 인터포저(20)는 그의 하면(20b)이 임시 기판(10)과 마주하고 제1본드핑거들(12)을 노출하도록 배치될 수 있다. 전극들(22)은 일단(22-1) 및 타단(22-2)을 포함할 수 있다. 인터포저(20)의 상면(20a) 상에 대체로 사각 플레이트 형상을 갖는 제1반도체칩(30)을 부착한다. 전술한 바와 같이, 제1반도체칩(30)은 로직 칩일 수 있으며, 상면(30a) 및 상면(30a)에 대향하는 하면(30b)을 갖고, 그의 상면(30a) 가장자리를 따라 배열된 복수의 제1본딩패드들(32)을 포함할 수 있다. 이러한 제1반도체칩(30)은 전극들(22)을 노출하도록 인터포저(20)의 상면(20a) 중앙부 상에 제1접착부재(40)을 매개로 하여 페이스-업 타입으로 부착될 수 있다. 제1반도체칩(30)은 메모리칩 일 수도 있다.

[0044] 와이어 본딩 공정을 통해, 상호 인접하여 배열된 제1반도체칩(30)의 제1본딩패드들(32)과 인터포저(20) 전극들(22)의 일단들(22-1)을 연결하는 제1본딩와이어들(42)을 형성하고, 그리고, 상호 인접하여 배열된 인터포저(20) 전극들(22)의 타단들(22-2)과 제1본드핑거들(12)을 연결하는 제2본딩와이어들(44)을 형성한다.

[0045] 여기서, 제1 및 제2 본딩와이어들(42, 44)을 형성하기 위한 와이어 본딩 공정은 제1본딩와이어들(42)을 우선 형성한 후, 이어서 제2본딩와이어들(44)을 형성하는 방식으로 진행하거나, 이와는 반대로 제2본딩와이어들(44)을 우선 형성한 후, 이어서 제1본딩와이어들(42)을 형성하는 방식으로 진행할 수 있다. 또한, 와이어 본딩 공정은 하나의 제1본드핑거(12)와 전극(22) 및 제1본딩패드(32)에 대하여 제1본딩와이어(42)와 제2본딩와이어(44)를 차례로 형성한 후, 이와 같은 방식으로 나머지 제1본드핑거들(12)과 전극들(22) 및 제1본딩패드들(32)에 대해서

연속으로 제1본딩와이어(42)와 제2본딩와이어(44)를 차례로 형성하는 방식으로 진행하는 것도 가능하다.

[0046] 제1반도체칩(30)과 제1 및 제2 본딩와이어들(42, 44)을 덮도록 임시 기판(10)의 상면(10a) 상에 제1봉지부재(46)를 형성한다. 제1봉지부재(46)는, 예를 들어, EMC(Epoxy Molding Compound)일 수 있다. 이때, 제1봉지부재(46)는 바텀 패키지(100A)의 두께를 고려하여 최소 두께를 갖도록 형성함이 바람직하다. 제1봉지부재(46)에 제2본딩와이어들(44)의 일부분을 각각 노출하는 TMV들, 즉, 비아홀들(v)을 형성한다. 비아홀들(v)의 형성은 레이저 드릴링 공정, 또는, 포토 및 식각 공정들로 진행할 수 있다.

[0047] 제1봉지부재(46) 및 비아홀들(v)이 형성된 결과물로부터 임시 기판(10)을 제거한다. 그런 다음, 각 비아홀들(v) 내에 각각 구형의 솔더 볼들을 삽입한 후, 이에 대한 리플로우(reflow)를 실시하여 각 비아홀들(v) 내에 삽입 배치되면서 상기 비아홀들(v)에 의해 노출된 제2본딩와이어들(44) 부분들과 전기적으로 연결되는 솔더 볼들로 이루어진 제1접속부재들(48)을 형성하고, 이 결과로서, 바텀 패키지(100A)의 제조를 완성한다.

[0048] 여기서, 상기 제1접속부재들(48)을 구성하는 솔더 볼들은 각 비아홀들(v) 내에서 아랫부분에 위치하게 되며, 특히, 그의 일부분이 바텀 패키지(100A)의 하부면으로 돌출하게 된다.

[0049] 한편, 본 실시 예에서는 임시 기판(10)의 제거 후에 솔더 볼로 이루어진 제1접속부재들(48)을 형성하는 방식을 적용하였지만, 이와 반대로, 제1접속부재들(48)을 형성한 후에 임시 기판(10)을 제거하는 방식을 적용하는 것도 가능하다.

[0050] 다음으로, 탑 패키지(100B)는 다음과 같은 순서로 제조될 수 있다.

[0051] 도 5를 참조하면, 상면(50a)에 제2본드핑거들(52)이 배열되고 하면(50b)에 외부전극들(54)이 배열된 기판(50)을 마련한다. 전술한 바와 같이 기판(50)은 인쇄회로기판일 수 있으며, 대체로 사각 플레이트 형상을 가질 수 있다. 제2본드핑거들(52)은 기판(50) 상면(50a)의 양측 가장자리는 물론 네 가장자리들을 따라 복수 개가 배열될 수 있다.

[0052] 기판(50)의 상면(50a) 상에 제2접착부재(60)를 매개로 하여 제2반도체칩(70)을 부착한다. 제2반도체칩(70)은 메모리칩 일 수 있으며, 기판(50)보다 작은 크기를 가지면서 대체로 사각 플레이트 형상을 가질 수 있다. 제2반도체칩(70)은 그의 상면(70a) 가장자리에 배열된 복수 개의 제2본딩패드들(72)을 포함하며, 그의 하면(70b)이 기판(50)의 상면(50a)와 마주하도록 페이스-업 타입으로 배치될 수 있고, 특히, 제2본드핑거들(52)이 노출되도록 배치될 수 있다. 제2반도체칩(70)은 로직 칩 일 수도 있다. 와이어 본딩 공정을 통해 상호 인접하여 배치된 제2반도체칩(70)의 제2본딩패드들(72)과 기판(50)의 제2본드핑거들(52)을 연결하는 제3본딩와이어들(82)을 형성한다.

[0053] 제2반도체칩(70) 및 제3본딩와이어들(82)을 덮도록 기판(50)의 상면(50a) 상에 제2봉지부재(86)를 형성한다. 제2봉지부재(86)는, 예를 들어, EMC로 형성할 수 있다. 기판(50)의 하면(50b)에 배열된 외부전극들(54) 각각에, 예를 들어, 솔더 볼로 이루어진 제2접속부재들(88)을 형성하고, 이를 통해, 탑 패키지(100B)의 제조를 완성한다. 여기서, 솔더 볼로 이루어진 제2접속부재들(88)의 형성은, 예를 들어, 외부전극들(54) 상에 각각 솔더 볼을 도팅한 후, 이들을 리플로우(reflow)하는 것에 의해 달성될 수 있다.

[0054] 도 6을 참조하면, 전술한 바와 같은 제조 공정들을 통해 바텀 패키지(100A)와 탑 패키지(100B)를 마련한 후, 바텀 패키지(100A) 상부에 제1접속부재들(48)과 제2접속부재들(88)이 상호 연결되도록 탑 패키지(100B)를 적층 함으로써 실시 예에 따른 패키지 온 패키지 타입 적층 패키지(100)를 제조할 수 있다.

[0055] 여기서, 탑 패키지(100B)의 적층은 솔더 볼로 이루어진 제2접속부재들(88)이 바텀 패키지(100A)의 비아홀들(v) 내에 삽입되고, 그리고, 비아홀들(v) 내에서 바텀 패키지(100A)의 솔더 볼로 이루어진 제1접속부재들(48)과 전기적 및 물리적으로 연결되는 것에 의해 이루어질 수 있다.

[0056] 상술한 패키지 온 패키지 타입 적층 패키지는 다양한 종류의 반도체 장치들 및 이를 구비하는 패키지 모듈에 적용될 수 있다.

[0057] 도 9는 실시 예들에 따른 패키지 온 패키지 타입 적층 패키지를 적용한 전자 시스템의 블록도이다. 도시된 바와 같이, 전자 시스템(1000)은 콘트롤러(1100), 입출력장치(1200) 및 메모리장치(1300)를 포함할 수 있다. 콘트롤러(1100), 입출력장치(1200) 및 메모리장치(1300)는 데이터들이 이동하는 통로를 제공하는 버스(1500)를 통하여 결합될 수 있다.

[0058] 예컨대, 콘트롤러(1100)는 적어도 하나의 마이크로프로세서, 디지털신호프로세서, 마이크로컨트롤러, 그리고 이

들과 유사한 기능을 수행할 수 있는 논리소자들 중에서 적어도 어느 하나를 포함할 수 있다. 콘트롤러(1100) 및 메모리장치(1300)는 실시 예에 따른 적층 패키지를 포함할 수 있다. 입출력장치(1200)는 키패드, 키보드 및 표시 장치 등에서 선택된 적어도 하나를 포함할 수 있다.

[0059] 메모리장치(1300)는 데이터 및/또는 콘트롤러(1100)에 의해 실행되는 명령어 등을 저장할 수 있다. 메모리장치(1300)는 디램과 같은 휘발성 메모리 소자 및/또는 플래시 메모리와 같은 비휘발성 메모리 소자를 포함할 수 있다. 예컨대, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 플래시 메모리가 장착될 수 있다. 이러한 플래시 메모리는 반도체 디스크 장치(SSD)로 구성될 수 있다. 이 경우 전자 시스템(1000)은 대용량의 데이터를 플래시 메모리 시스템에 안정적으로 저장할 수 있다.

[0060] 이와 같은 전자 시스템(1000)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(1400)를 더 포함할 수 있다. 인터페이스(1400)는 유무선 형태일 수 있다. 예컨대, 인터페이스(1400)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다.

[0061] 한편, 도시하지 않았으나, 전자 시스템(1000)은 응용 칩셋(Application Chipset) 및 카메라 이미지 프로세서 등을 더 포함할 수 있다.

[0062] 전자 시스템(1000)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예컨대, 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 타블렛(web tablet), 모바일폰(mobile phone), 스마트폰(smart phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템 (digital music system), 그리고, 정보 전송/수신 시스템 중 어느 하나일 수 있다.

[0063] 전자 시스템(1000)이 무선 통신을 수행할 수 있는 장비인 경우에, 전자 시스템(1000)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), NADC(North American Digital Cellular), E-TDMA(Enhanced-Time Division Multiple Access), WCDMA(Wideband Code Division Multiple Access), CDMA2000, LTE(Long Term Evolution), Wibro(Wireless Broadband Internet)과 같은 통신 시스템에서 사용될 수 있다.

[0064] 도 10은 실시 예에 따른 패키지 온 패키지 타입 적층 패키지를 포함하는 메모리 카드의 블록도이다. 도시된 바와 같이, 실시 예에 따른 적층 패키지는 메모리 카드(2000)의 형태로 제공될 수 있다. 일례로, 메모리 카드(2000)는 비휘발성 메모리 소자와 같은 메모리(2100) 및 메모리 콘트롤러(2200)를 포함할 수 있다. 메모리(2100) 및 메모리 콘트롤러(2200)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다.

[0065] 메모리(2100)는 전술한 실시 예에 따른 적층 패키지가 적용된 비휘발성 메모리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 메모리 콘트롤러(2200)는 호스트(2300)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 메모리(2100)를 제어할 수 있다.

[0066] 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

## *부호의 설명*

[0067]

| | |
|---|---|
| 10: 임시 기판 | 12: 제1본드핑거 |
| 20: 인터포저 | 22: 전극 |
| 30: 제1반도체칩 | 32: 제1본딩패드 |
| 40: 제1접착부재 | 42: 제1본딩와이어 |
| 44: 제2본딩와이어 | 46: 제1봉지부재 |
| 48: 제1접속부재 | 50: 기판 |
| 52: 제2본드핑거 | 54: 외부전극 |
| 60: 제2접착부재 | 70: 제2반도체칩 |
| 72: 제2본딩패드 | 82: 제3본딩와이어 |

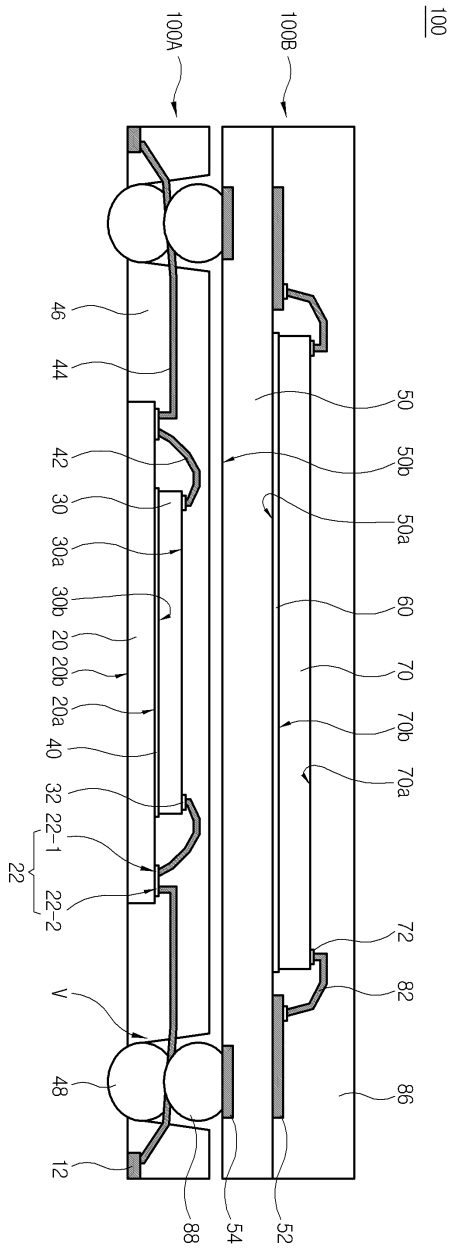
86: 제2봉지부재 88: 제2접속부재

100: 적층 패키지 100A: 바텀 패키지

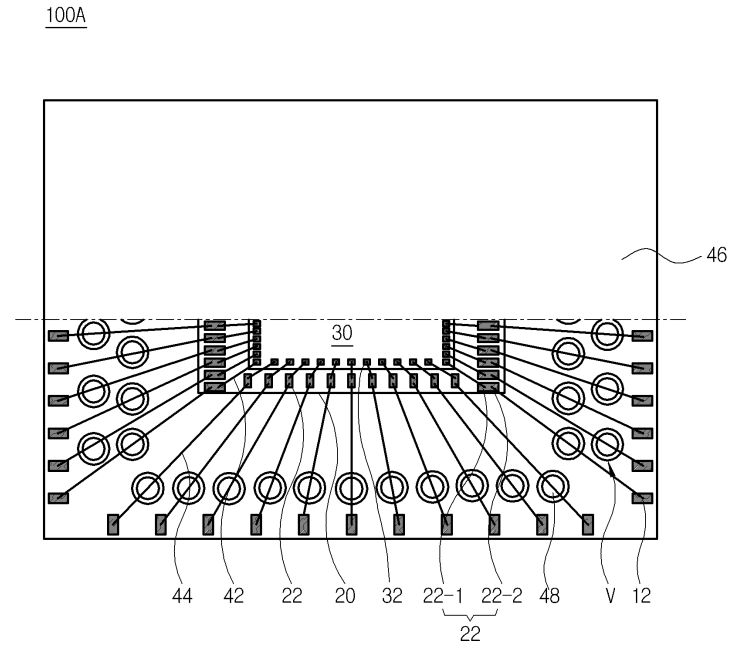
100B: 탑 패키지

## 도면

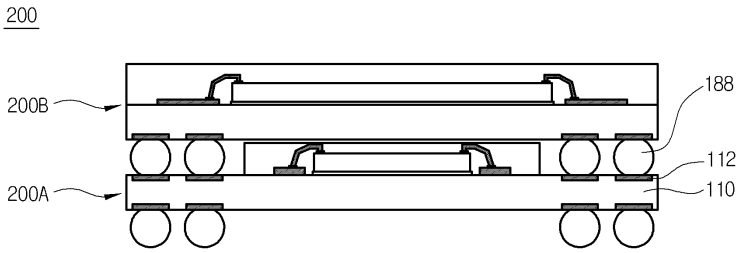
### 도면1



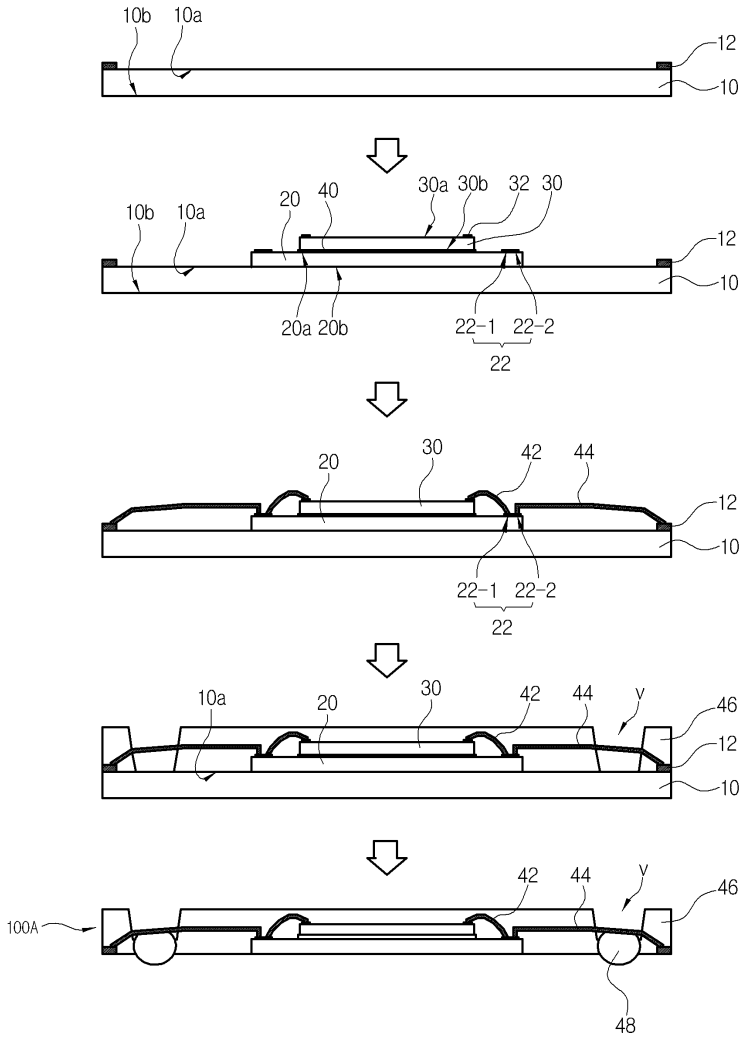
도면2


100A
46
30
44
42
22
20
32
22-1
22-2
48
V
12
22

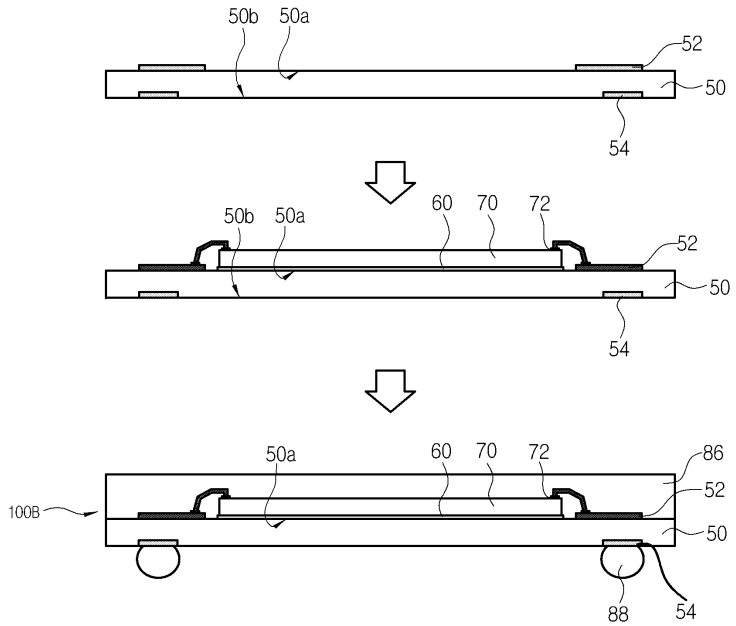
도면3


200
200B
200A
188
112
110

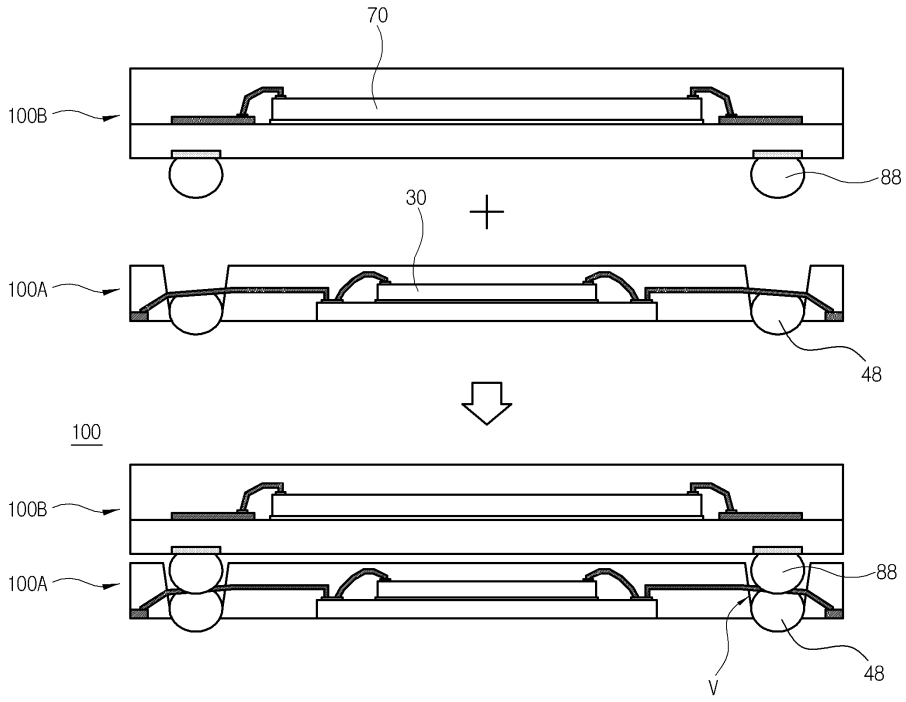
도면4


10b
10a
12
10
20
40
30a
30b
32
30
20a
20b
22-1
22-2
22
42
44
46
y
100A
48

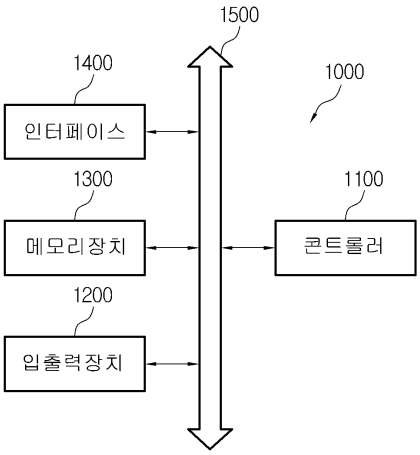
도면5


50b
50a
52
50
54
60
70
72
86
100B
88

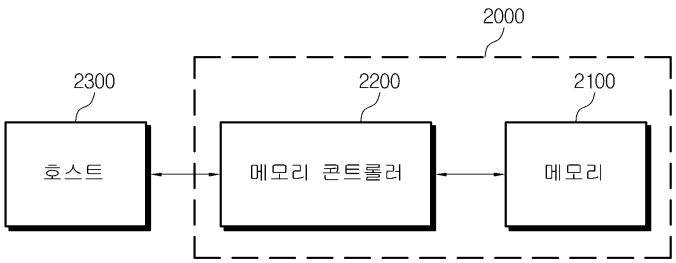
도면6


70
100B
88
30
100A
48
100
100B
100A
88
V
48

도면7


1500
1400
1000
인터페이스
1300
1100
메모리장치
콘트롤러
1200
입출력장치

도면8


2000
2300
2200
2100
호스트
메모리 콘트롤러
메모리