(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-11209
(P2017-11209A)
(43)公開日　平成29年1月12日(2017.1.12)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 31/10	(2006.01)	H01L	31/10	A	2K102
G02F 1/01	(2006.01)	G02F	1/01	A	5F849

審査請求 未請求　請求項の数 12　ＯＬ　（全 33 頁）

(21)出願番号　特願2015-127650 (P2015-127650)
(22)出願日　平成27年6月25日 (2015.6.25)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　110001737
特許業務法人スズエ国際特許事務所
(72)発明者　鈴木　信夫
神奈川県川崎市幸区小向東芝町１　東芝リサーチ・コンサルティング株式会社内
(72)発明者　山崎　雄一
東京都港区芝浦一丁目１番１号　株式会社東芝内

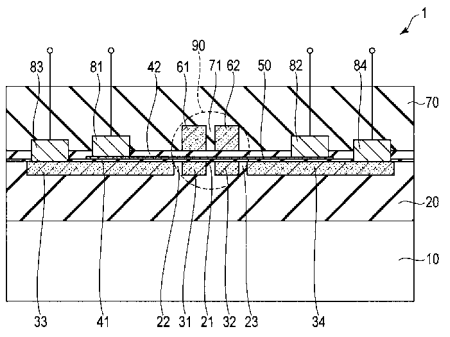
Ｆターム(参考)　2K102 BA02 BA10 BB01 BC04 BD01 CA11 DA04 DA16 DC08 DD03 DD10 EA02 EA18 EB01 EB16 EB22

最終頁に続く

(54)【発明の名称】グラフェン受光素子、およびグラフェン光変調器

(57)【要約】
【課題】グラフェンの特性を活用した小型・高速・高効率の受光素子および光変調器を提供することを課題とする。
【解決手段】実施形態のグラフェン受光素子は、基板と、第１の絶縁膜と、第１および第２の高屈折率領域と、第１および第２の導電性半導体領域と、第２の絶縁膜と、グラフェン膜と、第３の絶縁膜と、第３および第４の高屈折率領域と、第４の絶縁膜と、第１および第２の電極と、第３および第４の電極と、を備える。第１から第４の高屈折率領域およびこれらに挟まれた部分は一体の光導波路を構成しており、光導波路に入射された光に応じた電流が第１および第２の電極から出力される。
【選択図】図１

図1



【特許請求の範囲】
【請求項１】
基板と、
前記基板上に配置された第１の絶縁膜と、
前記第１の絶縁膜の表面領域に、第１の間隙を空けて配置された第１および第２の高屈折率領域と、
前記第１および第２の高屈折率領域の左右の外側に、第２および第３の間隙を空けて各々配置された第１および第２の導電性半導体領域と、
前記第１および第２の高屈折率領域の表面並びに前記第１、第２および第３の間隙を覆い、前記第１および第２の導電性半導体領域上に延出するように配置された第２の絶縁膜と、
前記第２の絶縁膜の上に前記第１、第２および第３の間隙をまたがるように配置されたグラフェン膜と、
前記グラフェン膜を覆い前記第２の絶縁膜上に延出するように配置された第３の絶縁膜と、
前記第３の絶縁膜の上に前記第１および第２の高屈折率領域の各々に対応する位置に、第４の間隙を空けて各々配置された第３および第４の高屈折率領域と、
前記第３および第４の高屈折率領域を覆い、前記第３の絶縁膜上に延出するように配置された第４の絶縁膜と、
前記グラフェン膜の上に前記第３および第４の高屈折率領域の左右の外側に、前記グラフェン膜に電気的にコンタクトするように各々配置された第１および第２の電極と、
前記第１および第２の導電性半導体領域と電気的にコンタクトするように各々配置された第３および第４の電極とを備え、
前記第１、第２、第３および第４の高屈折率領域は前記第１および第４の絶縁膜の屈折率よりも高い屈折率を有し、
前記第１、第２、第３および第４の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成しており、
前記光導波路に入射された光に応じた電流が前記第１および第２の電極から出力されることを特徴とするグラフェン受光素子。
【請求項２】
前記グラフェン膜は、単結晶グラフェンであることを特徴とする請求項１記載のグラフェン受光素子。
【請求項３】
前記第１の電極は前記第２の電極に対して正のバイアス電圧が印加され、
前記第３の電極は前記第１の電極に対して正のバイアス電圧が印加され、
前記第４の電極は記第２の電極に対して負の電圧が印加されることを特徴とする請求項１記載のグラフェン受光素子。
【請求項４】
前記グラフェン受光素子は、前記グラフェン受光素子と同一断面構造を有するが信号光が入射されないダミー素子とさらに集積化されており、
前記グラフェン受光素子の出力と前記ダミー素子の出力には、前記グラフェン受光素子の出力と前記ダミー素子の出力との差分に比例する出力信号を出力する回路が接続されていることを特徴とする、請求項１記載のグラフェン受光素子。
【請求項５】
前記第１の間隙と前記第４の間隙とが前記グラフェン膜を挟んで対向している部分の幅が、前記第４の間隙の幅の２５％以上あることを特徴とする、請求項１記載のグラフェン受光素子。
【請求項６】
基板と、
前記基板上に配置された第１の絶縁膜と、

前記第１の絶縁膜の表面領域に、第１の間隙を空けて配置された第１および第２の高屈折率領域と、
前記第１および第２の高屈折率領域の左右の外側に、第２および第３の間隙を空けて各々配置された第１および第２の導電性半導体領域と、
前記第１および第２の高屈折率領域の表面並びに前記第１、第２および第３の間隙を覆い、前記第１および第２の導電性半導体領域の上部に延出するように配置された第２の絶縁膜と、
前記第２の絶縁膜の上に前記第１および第２の間隙をまたがるように配置された第１のグラフェン膜と、
前記第１のグラフェン膜を覆い、前記第２の絶縁膜の上部に延出するように配置された第３の絶縁膜と、
前記第３の絶縁膜の上に前記第１および第３の間隙をまたがるように配置された第２のグラフェン膜と、
前記第２のグラフェン膜を覆い、前記第３の絶縁膜の上部に延出するように配置された第５の絶縁膜と、
前記第５の絶縁膜の上に前記第１および第２の高屈折率領域の各々に対応する位置に、第４の間隙を空けて各々配置された第３および第４の高屈折率領域と、
前記第３および第４の高屈折率領域を覆い、前記第５の絶縁膜の上部に延出するように配置された第４の絶縁膜と、
前記第１のグラフェン膜の上に第３の高屈折率領域から第４の高屈折率領域とは反対側に前記第１のグラフェン膜と電気的にコンタクトするように配置された第１の電極と、
前記第２のグラフェン膜の上の前記第４の高屈折率領域から前記第３の高屈折率領域とは反対側に前記第２のグラフェン膜と電気的にコンタクトするように配置された第２の電極と、
前記第１および第２の導電性半導体領域に電気的にコンタクトするように各々配置された第３および第４の電極と、を備え、
前記第１、第２、第３および第４の高屈折率領域は前記第１および第４の絶縁膜の屈折率よりも高い屈折率を有し、
前記第１、第２、第３および第４の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成しており、
前記第１の電極と前記第２の電極の間に印加された電圧に応じて前記光導波路を伝搬する光の強度が変調されることを特徴とするグラフェン光変調器。

【請求項７】
前記第１のグラフェン膜および第２のグラフェン膜は、単結晶グラフェンであることを特徴とする請求項６記載のグラフェン光変調器。

【請求項８】
前記第１の電極、前記第２の電極、前記第３の電極および前記第４の電極に印加されるバイアス電圧をそれぞれV_1、V_2、V_3およびV_4とするとき、各バイアス電圧の間には、$V_3 > V_1 < V_2 > V_4$または、$V_3 < V_1 > V_2 < V_4$の関係があることを特徴とする、請求項６記載のグラフェン光変調器。

【請求項９】
前記基板上に配置された第６の絶縁膜と、
第６の絶縁膜の表面領域に、第７の間隙を空けて配置された第７および第８の高屈折率領域と、
前記第７および第８の高屈折率領域の左右の外側に、第８および第９の間隙を空けて各々配置された第３および第４の導電性半導体領域と、
前記第７および第８の高屈折率領域の表面並びに第７、第８および第９の間隙を覆い、前記第３および第４の導電性半導体領域の上部に延出するように配置された第７の絶縁膜と、
前記第７の絶縁膜の上に前記第７から第９の間隙をまたがるように配置された第３のグ

ラフェン膜と、
前記第３のグラフェン膜の上を覆い、前記第７の絶縁膜の上部に延出するように配置された第８の絶縁膜と、
前記第８の絶縁膜の上に前記第７および第８の高屈折率領域の各々に対応する位置に第１０の間隙を規定する第１０の間隔を空けて各々配置された第９および第１０の高屈折率領域と、
前記第９および第１０の高屈折率領域を覆い、前記第８の絶縁膜の上部に延出するように配置された第９の絶縁膜と、
前記第３のグラフェン膜の上に前記第９および第１０の高屈折率領域の左右の外側に、前記第３のグラフェン膜に電気的にコンタクトするように各々配置された第５および第６の電極と、
前記第３および第４の導電性半導体領域に電気的にコンタクトするように各々配置された第７および第８の電極と、を備え、
前記第７、第８、第９および第１０の高屈折率領域は前記第６および第９の絶縁膜の屈折率よりも高い屈折率を有し、
第７、第８、第９および第１０の高屈折率領域並びにこれらに挟まれた部分は一体の第２の光導波路を構成しており、
前記第２の光導波路に入射された光に応じた電流が前記第５および第６の電極から出力されることを特徴とするグラフェン受光素子が、前記基板上に集積化されていることを特徴とする、請求項６記載のグラフェン光変調器。

【請求項１０】
基板と、
前記基板上に配置された第１の絶縁膜と、
前記第１の絶縁膜の表面領域に配置された第１の高屈折率領域と、
前記第１の高屈折率領域の左右の外側に、第２および第３の間隙を空けて各々配置された第１および第２の導電性半導体領域と、
前記第１の高屈折率領域の表面並びに前記第２および第３の間隙を覆い、前記第１および第２の導電性半導体領域の上部に延出するように配置された第２の絶縁膜と、
前記第２の絶縁膜の上に配置された第１のグラフェン膜と、
前記第１のグラフェン膜を覆い、前記第２の絶縁膜の上部に延出するように配置された第３の絶縁膜と、
前記第３の絶縁膜の上に配置された第２のグラフェン膜と、
前記第２のグラフェン膜を覆い、前記第３の絶縁膜の上部に延出するように配置された第５の絶縁膜と、
前記第５の絶縁膜の上に前記第１の高屈折率領域に対応する位置に、第４の間隙を空けて各々配置された第３および第４の高屈折率領域と、
前記第３および第４の高屈折率領域を覆い、前記第５の絶縁膜の上部に延出するように配置された第４の絶縁膜と、
前記第１のグラフェン膜の上に第３の高屈折率領域から第４の高屈折率領域とは反対側に前記第１のグラフェン膜と電気的にコンタクトするように配置された第１の電極と、
前記第２のグラフェン膜の上に前記第４の高屈折率領域から前記第３の高屈折率領域とは反対側に前記第２のグラフェン膜と電気的にコンタクトするように配置された第２の電極と、
前記第１および第２の導電性半導体領域に電気的にコンタクトするように各々配置された第３および第４の電極と、を備え、
前記第１、第３および第４の高屈折率領域は前記第１および第４の絶縁膜の屈折率よりも高い屈折率を有し、
第１、第３および第４の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成しており、
前記第１のグラフェン膜は前記第２および第４の間隙をまたがるように配置されてお

り、
前記第２のグラフェン膜は前記第３および第４の間隙をまたがるように配置されており、
前記第１の電極と前記第２の電極の間に印加された電圧に応じて前記光導波路を伝搬する光の強度が変調されることを特徴とするグラフェン光変調器。
【請求項１１】
基板と、
前記基板上に配置された第１の絶縁膜と、
前記第１の絶縁膜の表面領域に、第１の間隙を空けて配置された第１および第２の高屈折率領域と、
前記第１および第２の高屈折率領域の左右の外側に、第２および第３の間隙を空けて各々配置された第１および第２の導電性半導体領域と、
前記第１および第２の高屈折率領域の表面並びに前記第１、第２および第３の間隙を覆い、前記第１および第２の導電性半導体領域の上部に延出するように配置された第２の絶縁膜と、
前記第２の絶縁膜の上に前記第１および第２の間隙をまたがるように配置された第１のグラフェン膜と、
前記第１のグラフェン膜を覆い、前記第２の絶縁膜の上部に延出するように配置された第３の絶縁膜と、
前記第３の絶縁膜の上に前記第１および第３の間隙をまたがるように配置された第２のグラフェン膜と、
前記第２のグラフェン膜を覆い、前記第３の絶縁膜の上部に延出するように配置された第５の絶縁膜と、
前記第５の絶縁膜の上に前記第１および第２の高屈折率領域に対応する位置に配置された第３の高屈折率領域と、
前記第３の高屈折率領域を覆い、前記第５の絶縁膜の上部に延出するように配置された第４の絶縁膜と、
前記第１のグラフェン膜の上に前記第３の高屈折率領域の外側の前記第１のグラフェン膜と電気的にコンタクトするように配置された第１の電極と、
前記第２のグラフェン膜の上に前記第３の高屈折率領域から前記第１の電極とは反対側の前記第２のグラフェン膜と電気的にコンタクトするように配置された第２の電極と、
前記第１および第２の導電性半導体領域に電気的にコンタクトするように各々配置された第３および第４の電極と、を備え、
前記第１、第２および第３の高屈折率領域は前記第１および第４の絶縁膜の屈折率よりも高い屈折率を有し、
第１、第２および第３の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成しており、
前記第１の電極と前記第２の電極の間に印加された電圧に応じて前記光導波路を伝搬する光の強度が変調されることを特徴とするグラフェン光変調器。
【請求項１２】
基板と、
前記基板上に配置された第１の絶縁膜と、
前記第１の絶縁膜の表面領域に、第１の間隙を空けて配置された第１および第２の高屈折率領域と、
前記第１の絶縁膜の表面領域の第２の高屈折率領域から第１の高屈折率領域とは反対側に、第５の間隙を空けて配置された第５の高屈折率領域と、
第１および第５の高屈折率領域の左右の外側に、第２および第３の間隙を空けて各々配置された第１および第２の導電性半導体領域と、
第１、第２および第５の高屈折率領域の表面並びに前記第１、第２、第３および第５の間隙を覆い、前記第１および第２の導電性半導体領域の上部に延出するように配置された

第２の絶縁膜と、
前記第２の絶縁膜の上に第１、第２および第５の間隙をまたがるように配置された第１のグラフェン膜と、
前記第１のグラフェン膜を覆い前記第２の絶縁膜の上部に延出するように配置された第３の絶縁膜と、
前記第３の絶縁膜の上に第１、第３および第５の間隙をまたがるように配置された第２のグラフェン膜と、
前記第２のグラフェン膜を覆い、前記第３の絶縁膜の上部に延出するように配置された第５の絶縁膜と、
前記第５の絶縁膜の上に前記第１および第２の高屈折率領域の各々に対応する位置に、第４の間隙を空けて各々配置された第３および第４の高屈折率領域と、
前記第５の絶縁膜の上に前記第５の高屈折率領域に対応する位置に、前記第４の高屈折率領域から前記第３の高屈折率領域とは反対側に、第６の間隙を空けて配置された第６の高屈折率領域と、
前記第３、第４および第６の高屈折率領域を覆い、前記第５の絶縁膜の上部に延出するように配置された第４の絶縁膜と、
前記第１のグラフェン膜の上に前記第３の高屈折率領域から前記第４の高屈折率領域とは反対側に前記第１のグラフェン膜と電気的にコンタクトするように配置された第１の電極と、
前記第２のグラフェン膜の上の前記第６の高屈折率領域から前記第４の高屈折率領域とは反対側に前記第２のグラフェン膜と電気的にコンタクトするように配置された第２の電極と、
前記第１および第２の導電性半導体領域に電気的にコンタクトするように各々配置された第３および第４の電極と、を備え、
前記第１、第２、第３、第４、第５および第６の高屈折率領域は前記第１および第４の絶縁膜の屈折率よりも高い屈折率を有し、
前記第１、第２、第３、第４、第５および第６の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成しており、
前記第１の電極と前記第２の電極の間に印加された電圧に応じて前記光導波路を伝搬する光の強度が変調されることを特徴とするグラフェン光変調器。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は光導波路から光が入力される、グラフェン受光素子、およびグラフェン光変調器に関する。
【背景技術】
【０００２】
グラフェンは、炭素原子がハニカム状に並んだ厚さ約０．３３４ｎｍのシート状物質である。グラフェンの伝導帯と価電子帯は、ブリルアンゾーンのＫ点（ディラック点）で頂点が接する対称な円錐で近似することができる。純粋な単層グラフェンのフェルミ準位E_Fはディラック点にあり（E_F＝０ｅＶ）、ディラック点近傍の電子は１０，０００ｃｍ$^2V^{-1}s^{-1}$以上の高いキャリア移動度を有することから、次世代エレクトロニクスの材料として期待されている。
【０００３】
また、グラフェンは、グラフェンが可視光から赤外の幅広い波長領域で光を吸収する特性を持つため、光デバイス応用の材料としても注目されている。
【０００４】
このグラフェンの高い移動度およびグラフェン間のビルトイン電界を利用し、光吸収で発生した電子と正孔を再結合する前に光電流として取り出せば、受光素子として動作することが知られている。そして、グラフェン受光素子は、一般に、光電流の取り出し効率が

低い。
【０００５】
また、グラフェンを利用した、光変調器も知られている。しかし、グラフェン光変調器は、一般的に、消光比が低い。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】米国特許第８０５３７８２号明細書
【特許文献２】特開２０１３－８８８１０号公報
【非特許文献】
【０００７】
【非特許文献１】Y.Hu, et al., “Broadband 10Gb/s graphene electro-absorption modulator on silicon for chip-level optical interconnects,” in Technical Digest, International Electron Devices Meeting 2014, pp. 128-131, Paper 5.6.
【発明の概要】
【発明が解決しようとする課題】
【０００８】
実施形態の課題は、グラフェンの特性を活用した小型・高速・高効率の受光素子と光変調器を提供することである。
【課題を解決するための手段】
【０００９】
実施形態のグラフェン受光素子は、基板と、第１の絶縁膜と、第１および第２の高屈折率領域と、第１および第２の導電性半導体領域と、第２の絶縁膜と、グラフェン膜と、第３の絶縁膜と、第３および第４の高屈折率領域と、第４の絶縁膜と、第１および第２の電極と、第３および第４の電極とを備える。第１の絶縁膜は基板上に配置されている。第１および第２の高屈折率領域は、第１の絶縁膜の表面領域に、第１の間隙を空けて配置されている。第１および第２の導電性半導体領域は、第１および第２の高屈折率領域の左右の外側に、第２および第３の間隙を空けて各々配置されている。第２の絶縁膜は、第１および第２の高屈折率領域の表面並びに第１から第３の間隙を覆い、第１および第２の導電性半導体領域上に延出するように配置されている。グラフェン膜は、第２の絶縁膜上に第１、第２および第３の間隙をまたがるように配置されている。第３の絶縁膜は、グラフェン膜を覆い、第２の絶縁膜上に延出するように配置されている。第３および第４の高屈折率領域は、第３の絶縁膜の上において、第１および第２の高屈折率領域の各々に対応する位置に第４の間隙を空けて各々配置されている。第４の絶縁膜は、第３および第４の高屈折率領域を覆い、第３の絶縁膜上に延出するように配置されている。第１および第２の電極は、グラフェン膜の上に第３および第４の高屈折率領域の左右の外側に、グラフェン膜に電気的にコンタクトするように各々配置されている。第３および第４の電極は、第１および第２の導電性半導体領域に電気的にコンタクトするように各々配置されている。第１、第２、第３および第４の高屈折率領域は第１および第４の絶縁膜より高い屈折率を有する。第１、第２、第３および第４の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成する。そして、光導波路に入射された光に応じた電流が第１および第２の電極から出力される。
【００１０】
また、実施形態のグラフェン光変調器は、基板と、第１の絶縁膜と、第１および第２の高屈折率領域と、第１および第２の導電性半導体領域と、第２の絶縁膜と、第１のグラフェン膜と、第３の絶縁膜と、第２のグラフェン膜と、第５の絶縁膜と、第３および第４の高屈折率領域と、第４の絶縁膜と、第１の電極と、第２の電極と、第３および第４の電極とを備える。第１の絶縁膜は、基板上に配置されている。第１および第２の高屈折率領域は、第１の絶縁膜の表面領域に、第１の間隙を空けて配置されている。第１および第２の導電性半導体領域は、第１および第２の高屈折率領域の左右の外側に、第２および第３の

間隙を空けて各々配置されている。第２の絶縁膜は、第１および第２の高屈折率領域の表面並びに第１から第３の間隙を覆い、第１および第２の導電性半導体領域上に延出するように配置されている。第１のグラフェン膜は、第２の絶縁膜上に第１および第２の間隙をまたがるように配置されている。第３の絶縁膜は、第１のグラフェン膜を覆い、第２の絶縁膜上に延出するように配置されている。第２のグラフェン膜は、第３の絶縁膜上に第１および第３の間隙をまたがるように配置されている。第５の絶縁膜は、第２のグラフェン膜を覆い、第３の絶縁膜上に延出するように配置されている。第３および第４の高屈折率領域は、第５の絶縁膜の上において、第１および第２の高屈折率領域の各々に対応する位置に第４の間隙を空けて各々配置されている。第４の絶縁膜は、第３および第４の高屈折率領域を覆い、第５の絶縁膜上に延出するように配置されている。第１の電極は、第１のグラフェン膜の上に第３の高屈折率領域から第４の高屈折率領域とは反対側に第１のグラフェン膜と電気的にコンタクトするように配置されている。第２の電極は、第２のグラフェン膜の上の第４の高屈折率領域から第３の高屈折率領域とは反対側に第２のグラフェン膜と電気的にコンタクトするように配置されている。第３および第４の電極は、第１および第２の導電性半導体領域に電気的にコンタクトするように各々配置されている。第１、第２、第３および第４の高屈折率領域は第１および第４の絶縁膜より高い屈折率を有する。第１、第２、第３および第４の高屈折率領域並びにこれらに挟まれた部分は一体の光導波路を構成している。第１の電極と第２の電極の間に印加された電圧に応じて光導波路を伝搬する光の強度が変調される。

【図面の簡単な説明】

【００１１】

【図１】実施形態に係わるグラフェン受光素子の概略断面図である。

【図２】実施形態に係るグラフェン受光素子のスロット導波路を伝搬する波長１．３１μｍのＴＥ基本モード光の基板に平行な光電界成分E_xのプロファイルを示す図である。

【図３】実施形態に係るグラフェン受光素子のグラフェン膜内のバンドと電子に対するポテンシャルの状態を説明するための概念図である。

【図４】実施形態に係るグラフェン受光素子の等価回路と、接続される外部回路の一形態を説明するための図である。

【図５】実施形態に係るグラフェン受光素子の暗電流をキャンセルするための構成例を説明するための図である。

【図６】実施形態に係るグラフェン受光素子に対するいくつかの対比構造を示す模式図である。

【図７】実施形態に係るグラフェン受光素子において、グラフェン膜の上側のＳｉ層と下側のＳｉ層のパターンがΔｘずれることによる、吸収される光パワーへの影響を示す図である。

【図８】実施形態に係るグラフェン受光素子の変形形態を説明するための模式図である。

【図９】実施形態に係るグラフェン光変調器の概略断面図である。

【図１０】実施形態に係るグラフェン光変調器の吸収係数の印加電圧依存性を示す図である。

【図１１】実施形態に係るグラフェン光変調器の等価回路と、グラフェン光変調器と接続される外部回路の一形態を説明する図である。

【図１２】実施形態に係るグラフェン光変調器においてグラフェン膜の上側のＳｉ層と下側のＳｉ層とのパターンがΔｘだけずれることによる、消光比と挿入損に対する影響を示す図である。

【図１３】実施形態に係るグラフェン光変調器のいくつかの変形形態を説明するための模式図である。

【図１４】実施形態に係るグラフェン光変調器の高屈折率領域にアモルファスシリコンを用いた変形形態において、第１および第２の高屈折率領域と第３および第４の高屈折率領域の厚さの比を変えた場合の消光比と挿入損を示す図である。

【図１５】実施形態に係るグラフェン光変調器の高屈折率領域にＳｉＮを用いた変形形態

のスロット導波路を伝搬する（ａ）ＴＥ伝搬モードの$Ｅ_{x}$成分と（ｂ）ＴＭ伝搬モードの$Ｅ_{y}$成分のモードプロファイルを示す図である。
【図１６】実施形態に係るグラフェン光変調器の高屈折率領域にＳｉＮを用いた変形形態の吸収係数の印加電圧依存性を示す図である。
【図１７】実施形態の変形形態に係るグラフェン光変調器の模式図である。
【図１８】図１７に示す変形形態に係るグラフェン光変調器のスロット導波路を伝搬するＴＥモードの（ａ）$Ｅ_{x}$成分と（ｂ）$Ｅ_{y}$成分のプロファイルを示す図である。
【図１９】図１７に示す変形形態に係るグラフェン光変調器の光吸収係数の電圧依存性を示す図である。
【図２０】実施形態のグラフェン受光素子を同一基板上に集積化したグラフェン光変調器を模式的に示す図である。
【発明を実施するための形態】
【００１２】
以下、いくつかの実施形態を、図面を参照しながら具体的に説明する。
【００１３】
なお、説明の便宜上、図面の縦横比、寸法等は、実際の縦横比や寸法とは異なって描いた。また、発明の本質に係らない部分については、図面への記載や説明を省略した。
【００１４】
本明細書中、部品等の相対的位置関係を示すために、便宜上、図面に対応させて「上」、「下」、「左」、「右」等の用語を用いるが、実際の素子の向きを規定するものではなく、例えば素子全体を左右反転させた構造なども等価なものである。また、寸法、キャリア密度、電圧等の数値は発明の一実施形態として例示するものであり、特に請求項に記載したものを除いて、実施形態の必須構成要件を規定するものではない。
【００１５】
図１は、実施形態に係るグラフェン受光素子１の概略断面図である。
【００１６】
本実施形態のグラフェン受光素子１は、Ｓｉ基板１０を有する。Ｓｉ基板１０の上には第１の$ＳｉＯ_{2}$層（第１の絶縁膜）２０が配置されている。第１の$ＳｉＯ_{2}$層２０の表面領域には、第１の間隙２１を空けて配置された第１および第２のＳｉストライプ（第１および第２の高屈折率領域）３１、３２と、第１および第２のＳｉストライプ３１、３２の左右の外側に第２および第３の間隙２２、２３を空けて各々配置された第１および第２のｎ型Ｓｉ領域３３、３４が配置されている。ここで、ｎ型Ｓｉ領域とはｎ型にドーピングされることにより導電性を帯びた半導体領域のことをいう（以下、ドーピングにより導電性をおびた半導体領域を導電性半導体領域または導電性Ｓｉ領域ともいう）。第１および第２のＳｉストライプ３１、３２並びに第１および第２のｎ型Ｓｉ領域３３、３４は、図１の紙面に垂直な方向に同じ長さにわたって延びている。これらの構造３１～３４の表面を含んで第１の$ＳｉＯ_{2}$層２０の表面を覆って、第１の$Ａｌ_{2}Ｏ_{3}$膜（第２の絶縁膜）４１が配置されている。第１の$Ａｌ_{2}Ｏ_{3}$膜４１の上にはグラフェン膜５０が配置されている。グラフェン膜５０は、第１、第２および第３の間隙２１、２２、２３にまたがって配置されている。グラフェン膜５０および第１の$Ａｌ_{2}Ｏ_{3}$膜４１を覆って第２の$Ａｌ_{2}Ｏ_{3}$膜（第３の絶縁膜）４２が配置されている。第２の$Ａｌ_{2}Ｏ_{3}$膜４２の上には第１および第２のＳｉストライプ３１、３２にそれぞれ対応する位置に、第４の間隙７１を空けて第３および第４のＳｉストライプ（第３および第４の高屈折率領域）６１、６２が配置されている。第３および第４のＳｉストライプ６１、６２を覆って、第２の$Ａｌ_{2}Ｏ_{3}$膜４２上には第２の$ＳｉＯ_{2}$層（第４の絶縁膜）７０が配置されている。第１、第２、第３および第４のＳｉストライプ３１、３２、６１、６２は、第１および第２の$ＳｉＯ_{2}$層２０、７０の屈折率よりも高い屈折率を有する。グラフェン膜５０の上にはそれぞれ第３および第４のＳｉストライプ６１、６２の左右の外側に、グラフェン膜５０に電気的にコンタクトする第１および第２の電極８１、８２が配置され、またそれぞれ第１および第２のｎ型Ｓｉ領域３３、３４に電気的にコンタクトする第３および第４の電極８３、８４が配置

されている。

【００１７】

第１および第２のＳｉストライプ３１、３２と第１および第２のｎ型Ｓｉ領域３３、３４の厚さは同じであり、例えば５０ｎｍとすることができる。また、これらの領域３１～３４の下面からＳｉ基板１０までの第１のSiO_2層２０の厚さは例えば２μｍとすることができる。第１および第２のＳｉストライプ３１、３２は故意にドーピングを行っておらず、ストライプ幅は例えば２５０ｎｍとすることができる。第１および第２のｎ型Ｓｉ領域３３、３４は、例えばリン（Ｐ）のイオン注入とアニール処理によりｎ型になっている。

【００１８】

Ｓｉストライプ３１、３２およびｎ型Ｓｉ領域３３、３４の形成方法の例示としては、Ｓｉ基板１０上にＢＯＸ（ｂｕｒｉｅｄ　ｏｘｉｄｅ）層とトップＳｉ層が形成されてなるＳＯＩ（ｓｉｌｉｃｏｎ－ｏｎ－ｉｎｓｕｌａｔｏｒ）基板のトップＳｉ層をＳｉストライプ３１、３２およびｎ型Ｓｉ領域３３、３４になる部分を残してエッチングして前記ＢＯＸ層の表面を露出させた後、これらの構造をSiO_2層で埋め込み、ＣＭＰによりＳｉストライプ３１、３２およびｎ型Ｓｉ領域３３、３４が所定の厚さになるように平坦化することにより、Ｓｉストライプ３１、３２およびｎ型Ｓｉ領域３３、３４を形成することができる。

【００１９】

また、Ｓｉストライプ３１、３２およびｎ型Ｓｉ領域３３、３４は、基板１０上にまず、SiO_2層を形成し、その上にｎ型ポリＳｉ層の形成とパターンニングを行ってｎ型Ｓｉ領域３３、３４を形成する。その後、ｎ型Ｓｉ領域３３、３４をSiO_2層で埋め込み、ＣＭＰで平坦化し、埋め込んだSiO_2層のＳｉストライプ３１、３２を形成する部分に溝を形成し、溝をａ－Ｓｉで埋め込み、ＣＭＰによりＳｉストライプ３１、３２、およびｎ型Ｓｉ領域３３、３４が所定の厚さになるように平坦化することによっても形成することができる。

【００２０】

第１のＳｉストライプ３１と第２のＳｉストライプ３２の間に形成された第１の間隙２１、第１のＳｉストライプ３１と第１のｎ型Ｓｉ領域３３の間に形成された第２の間隙２２、および第２のＳｉストライプ３２と第２のｎ型Ｓｉ領域３４の間に形成された第３の間隙２３は、いずれも幅が同じであり、例えば１００ｎｍとすることができる。また、図１の実施形態では、第１、第２および第３の間隙２１、２２、２３は第１のSiO_2層２０のSiO_2により満たされている。しかし、第１、第２および第３の間隙２１、２２、２３は、必ずしもSiO_2（第１の絶縁膜２０）で満たされている必要はなく、その一部ないし全部が屈折率の小さく光伝搬に悪影響のない他の材料や真空等に置き換えられていてもよい。また、例えば第１、第２および第３の間隙２１、２２、２３中のSiO_2（第１の絶縁膜２０）には空間が形成されていてもよい。

【００２１】

第１および第２のAl_2O_3膜４１、４２の厚さは、それぞれ例えば５ｎｍ、７ｎｍとすることができる。

【００２２】

グラフェン膜５０は、研磨と高圧アニールで表面を平坦化したＣｕ箔上に、ＣＶＤにより成長させた単結晶単層グラフェンを第１のAl_2O_3膜４１上に転写することによって設けることができる。

【００２３】

グラフェン膜５０は、転写・パターニングの後、アニール等の処理により吸着分子を除去して、フェルミ準位がディラック点近傍にくるように調整してあり、例えば、電圧を加えていない状態における移動度は$2\times10^5\ cm^2V^{-1}s^{-1}$、シート抵抗は２．５ｋΩ／□とすることができる。

【００２４】

第３および第４のＳｉストライプ６１、６２は、第２のＡｌ$_2$Ｏ$_3$膜４２の上に堆積したアンドープのアモルファスシリコン（ａ－Ｓｉ）を、第１および第２のＳｉストライプ３１、３２に対応する部分にそれぞれ位置するように、ストライプ状に加工することによって形成することができる。第３および第４のＳｉストライプ６１、６２は、例えば、厚さは１２５ｎｍ、ストライプ幅は２５０ｎｍとすることができる。第３のＳｉストライプ６１と第４のＳｉストライプ６２の間の第４の間隙７１は、例えば、幅は１００ｎｍとすることができ、第２のＳｉＯ$_2$層７０によって埋め込まれている。しかし、第４の間隙７１は、必ずしもＳｉＯ$_2$（第４の絶縁膜７０）で満たされている必要はなく、その一部ないし全部が屈折率の小さく光伝搬に悪影響のない他の材料や真空等に置き換えられていてもよい。また、例えば第４の間隙７１中のＳｉＯ$_2$（第４の絶縁膜７０）には空間が形成されていてもよい。

【００２５】

第１の電極８１はＴｉ（１０ｎｍ）／Ａｕ、第２の電極８２はＡｕとすることができる。金属－グラフェン間の電荷移動があるため、第１の電極８１のＴｉの下のグラフェン膜はｎ型、および第２の電極８２のＡｕの下のグラフェン膜はｐ型になっている。Ａｌ／Ａｕなどの電極を使用することによってもグラフェンをｎ型とすることができる。また、Ｐｔ／Ａｕ、Ｐｄ／Ａｕなどの電極を使用することによってもグラフェンをｎ型とすることができる。

【００２６】

第１の電極８１および第２の電極８２は、例えば、リフトオフ等の方法によりグラフェン膜５０上に設けることができる。

【００２７】

第３および第４の電極８３、８４は例えばニッケルシリサイドにより形成することができる。第３のＳｉストライプ６１と第１の電極８１との間隔、および第４のＳｉストライプ６２と第２の電極８２との間隔の幅は、例えばいずれも８００ｎｍとすることができる。この幅は、後述する光導波路９０を伝搬する光の電磁波成分に、電極が悪影響しない程度の幅が確保されていればよく、また同一でなくてもよい。

【００２８】

上記の実施形態の説明において例示した具体的な材料および数値を適用したグラフェン受光素子１は近赤外域の広い波長範囲にわたって使用できるが、波長１．３１μｍ帯の強度変調された信号光の受光用に設計されている。波長１．３１μｍにおけるＳｉの屈折率ｎ$_{Si}$は３．５０１、ＳｉＯ$_2$の屈折率ｎ$_{SiO2}$は１．４４７、Ａｌ$_2$Ｏ$_3$の屈折率は１．７５である。第１、第２、第３および第４のＳｉストライプ３１、３２、６１、６２とこれらに挟まれた部分やその近傍の構造は、一つの単一ＴＥモードの光導波路（スロット導波路）９０を形成している。スロット導波路において、スロット（第１および第４の間隙）２１、７１の両側の高屈折率の光導波構造部は「レール」と呼ばれている。本実施形態のグラフェン受光素子においては、第１、第２、第３および第４のＳｉストライプ３１、３２、６１、６２がレールに相当する。

【００２９】

図２は、上記の実施形態の説明において例示した具体的な材料および数値を適用したグラフェン受光素子１の、スロット導波路９０を伝搬する波長１．３１μｍのＴＥ基本モード光の基板に平行な光電界成分Ｅ$_x$のプロファイルである。図２のＸ軸およびＹ軸は、受光素子１の左右方向および上下方向とそれぞれ対応する。また、受光素子１の第１および第４の間隙２１、７１の中心軸は図２のＸ＝０（μｍ）と、受光素子１のＳｉＯ$_2$層２０と第１のＡｌ$_2$Ｏ$_3$膜４１との境界は図２のＹ＝０（μｍ）とそれぞれ対応する。また、図２の縮尺は受光素子１の縮尺と同一である。光電界Ｅ$_x$は第１および第４の間隙２１、７１において最大値１を示している。なお、図２の右側には、光電界Ｅ$_x$の最大値を１、最小値を０とし、図２の色と光電界Ｅ$_x$の関係を示してある。ε_0を真空中の誘電率、$\varepsilon_r = n^2$を比誘電率とすると、Ｓｉストライプ３１、３２、６１、６２の側壁では界面に垂直な電束密度$D_x = \varepsilon_0 \varepsilon_r E_x$が連続という境界条件により、ＳｉＯ$_2$側２０の電界

強度がＳｉ側３１、３２、６１、６２の電界強度の（３．５０１／１．４４７）^{2}＝５．８５倍に増強される。そのため、Ｓｉストライプ３１、３２、６１、６２に挟まれた第１および第４の間隙（光電界E_xが最も強くなっているため主スロットと記載する）２１、７１で光電界E_xが最も強くなっている。また、Ｓｉストライプ３１、３２と導電性Ｓｉ領域３３、３４の間の第２および第３間隙（光電界E_xが強くなっているが主スロットほど増強されていないため副スロットと記載する）２２、２３においても光電界E_xの増強が起きている。Ｓｉストライプ３１、３２、６１、６２内にもピーク（主スロット２１、７１および副スロット２２、２３に比べると光電界E_xが弱いため、以下サブピークという）が見られるが、導電性Ｓｉ領域３３、３４への光電界の滲みだしはほとんどない。そのため、第１および第２の電極８１、８２や導電性Ｓｉ領域３３、３４による光吸収損失は無視することができる。図２は受光素子１のＳｉO_2層２０と第１のAl_2O_3膜４１との境目をＹ＝０（μｍ）としており、第１のAl_2O_3膜４１は５ｎｍ（０．００５μｍ）の厚さを有しているため、グラフェン膜５０はＹ＝０．００５μｍ付近に位置している。グラフェン膜５０内においても、スロット部において光電界E_xが増強される。

【００３０】

本実施形態に係るグラフェン受光素子１の長さ、すなわちグラフェン膜５０の図１の紙面に垂直な方向の長さは例えば５０μｍとすることができる。光導波路９０の吸収係数は０．２７ｄＢ／μｍで、光が５０μｍ伝搬する間に入射パワーの９５．６％がグラフェン膜５０により吸収される。グラフェン膜５０内では、主スロット領域２１、７１の吸収が最も強く、次いで副スロット領域２２、２３、Ｓｉストライプ３１、３２、６１、６２と続く。副スロット２２、２３の存在により導電性Ｓｉ領域３３、３４へのモードの拡がりが抑圧されるので、グラフェン膜の導電性Ｓｉ領域３３、３４に対応する部分（配線領域）で吸収される光パワーは、グラフェン膜５０の全吸収パワーの１％以下に抑えられている。

【００３１】

本実施形態に係るグラフェン受光素子１は、Ｓｉチャネル導波路により他の光素子と接続されることができる、つまり集積化されることができる。Ｓｉチャネル導波路を伝搬してきたＴＥモード光は、チャネル導波路とスロット導波路のモード変換器を介して本実施形態に係るグラフェン受光素子１に入射する。チャネル導波路とスロット導波路のモード変換器には様々なタイプがある。特性の良いモード変換器を使えば、モード変換部の長さを２０μｍ以下、挿入損失を０．１ｄＢ以下に抑えることができる。

【００３２】

偏波保持機能のない光ファイバ等を伝搬してきた光をＳｉチャネル導波路に入射する場合など、光の偏波モードが確定しない場合は、偏波ダイバーシティ受信を行えばよい。すなわち、Ｓｉチャネル導波路入射光を偏波分離器でＴＥモードとＴＭモードに分離し、ＴＥモードはそのまま、ＴＭモードはＴＭ－ＴＥモード変換器でＴＥモードに変換してから、それぞれ別々のチャネル導波路とスロット導波路のモード変換器を通して別のグラフェン受光素子１で受光し、二つの電気出力を受信回路で足し合わせればよい。

【００３３】

図３は、電圧が印加された状態のグラフェン膜５０内のバンドと電子に対するポテンシャルｅφ（一点鎖線）の状態を模式的に示す図である。図３の上部に示した素子主要部の配置と対応させて描いてある。ｅは電子の素電荷で、ｅＶｂは電圧Ｖｂ（Ｖ単位）に対応したポテンシャルエネルギー（ｅＶ単位）を表す。電子（ｅ＜０）に対するポテンシャルは電圧と符号が逆で、上向きの矢印は正の値、下向きの矢印は負の値を示す。後述のように、グラフェン膜５０の第１のｎ型Ｓｉ領域３３に対向する部分と第２のｎ型Ｓｉ領域３４に対向する部分にはバックゲートによりそれぞれ電子と正孔が誘起されており、フェルミ準位はＤｉｒａｃ点からそれぞれ$+E_F$、$-E_F$シフトしている。第１の電極８１には第２の電極８２に対して正のバイアス電圧Ｖｂが印加されているので、第１のｎ型Ｓｉ領域３３のフェルミ準位は第２のｎ型Ｓｉ領域３４のフェルミ準位よりｅＶｂ低い位置にあり、間のグラフェン膜は電界により空乏化した状態となる（実際にはバックゲート部のグ

ラフェン膜内には暗電流と直列抵抗による電圧降下があるが、説明を簡単化するため本図では無視して描いた。）。

【００３４】

図４は、本実施形態のグラフェン受光素子１の等価回路と、第１、第２、第３および第４の電極８１、８２、８３、８４を介して本実施形態のグラフェン受光素子１に接続された外部回路の一形態を説明するための図である。

【００３５】

第１の電極８１には正のバイアス電圧V_b（＞０）が印加される。第２の電極８２は演算増幅器１００と帰還抵抗R_Lからなるトランスインピーダンス型の前置増幅器に接続されており、仮想接地されている。第３の電極８３には第１の電極８１よりV_{bg1}だけ高いバックゲート電圧が印加される。グラフェン膜５０と第１のｎ型Ｓｉ領域３３は、第１のAl_2O_3膜４１を挟んでキャパシタC_{bg1}を構成しているので、第１のｎ型Ｓｉ領域３３の表面に空乏層（バックゲート電圧が高い場合は反転層）が形成され、ｎ型Ｓｉ領域３３に対向する部分のグラフェン膜５０には電子が誘起される。すなわち、この領域のグラフェン膜はｎ型領域となる。同様に、第４の電極８４には第２の電極８２よりV_{bg2}だけ低い電圧が印加される。グラフェン膜５０と第２のｎ型Ｓｉ領域３４は第１のAl_2O_3膜４１を挟んでキャパシタC_{bg2}を構成しているので、第２のｎ型Ｓｉ領域３４の表面に蓄積層が形成され、第２のｎ型Ｓｉ領域３４に対向する部分のグラフェン膜５０には正孔が誘起される。すなわち、この領域のグラフェン膜はｐ型領域となる。

【００３６】

例えば、バックゲート電圧を$V_{bg1}=V_{bg2}=1V$とすると、グラフェン膜５０の第１のｎ型Ｓｉ領域３３に対向する部分には$4.5\times10^{12}cm^{-2}$程度の電子、第２のｎ型Ｓｉ領域３４に対向する部分には$4.5\times10^{12}cm^{-2}$程度の正孔が誘起される。フェルミ準位E_Fはそれぞれ、およそ＋０．２５ｅＶ、－０．２５ｅＶである。この程度のドーピングでは、グラフェンのバンド間吸収はほとんど抑制されない。配線領域の光吸収で発生した少数キャリアの大部分はすぐに再結合してしまうので、光電流として取り出すことができない。しかし、前述のように、配線領域で吸収される光の割合はグラフェン膜５０で吸収される光の全パワーの１％以下なので、量子効率への影響は軽微である。

【００３７】

バックゲートによりキャリアが誘起されたグラフェン膜５０のシート抵抗は、２５０Ω／□に低下している。配線幅は５０μｍ（＝受光素子長）、配線長は７００ｎｍなので、それぞれの配線領域の抵抗は３．５Ωである。また、第１および第２の電極８１、８２の下にもバックゲートがかかっており、電極下のグラフェンと配線領域の導電型が同じなので、コンタクト抵抗も１．５Ωに抑えられている。図４の等価回路において、コンタクトと配線の直列抵抗は$R_{s1}=R_{s2}=5\Omega$であり、演算増幅器１００の帰還抵抗R_Lと比べて十分に小さく抑えられている。

【００３８】

スロット導波路９０と重なる部分のグラフェンはイントリンシックな状態のままである。電圧無印加時のグラフェンの室温における真性キャリア密度（電子と正孔の擬フェルミ準位が共にＤｉｒａｃ点にある場合のキャリア密度）は$n_i=9\times10^{10}cm^{-2}$であるが、通常、欠陥や不純物の存在によりグラフェン膜５０のイントリンシック領域のキャリア密度は$10^{11}cm^{-2}$のオーダーになっている（電子の擬フェルミ準位はＤｉｒａｃ点より上にあり、正孔の擬フェルミ準位はＤｉｒａｃ点より下にある。）。この状態で第１の電極８１に正のバイアス電圧V_bを印加すると、図３に示すようにグラフェン膜５０のイントリンシック領域は空乏化する（電子の擬フェルミ準位がＤｉｒａｃ点より低くなり、正孔の擬フェルミ準位がＤｉｒａｃ点より高くなる。）。したがって、バックゲートがかかった状態の本実施形態のグラフェン受光素子１は、ｐｉｎフォトダイオードとして機能する。

【００３９】

グラフェン膜５０のイントリンシック領域の幅は８００ｎｍなので、バイアス電圧がV_b＝０．８Ｖの場合、イントリンシック領域にかかる平均電界強度は１０ｋＶ／ｃｍとなる。電界強度が１０ｋＶ／ｃｍの場合のグラフェン膜５０の電子の飽和速度は4×10^7ｃｍ／ｓで、加速時には最大速度約5×10^7ｃｍ／ｓのオーバーシュートも伴う。平均速度を4×10^7ｃｍ／ｓ、平均走行距離を４００ｎｍとしてキャリアの平均走行時間を見積もると、１ｐｓとなる。光パワーの集中する主スロット２１、７１内で発生した電子と正孔は直ちに逆向きに加速される。主スロット２１、７１より左側では正孔密度が低く、右側では電子密度が低くなっている。このため、キャリア寿命は無電界の場合より長くなる。キャリア寿命を５ｐｓ、キャリア走行時間を１ｐｓと仮定すると、光励起で発生したキャリアの８３％を再結合させずに光電流としてとりだせることになる。

【００４０】

実際には下側のＳｉストライプ３１、３２と上側のＳｉストライプ６１、６２に挟まれた部分の電界はＳｉストライプ表面に誘起される電荷の影響で小さくなり、その分スロット部２１、７１の電界が大きくなる。Ｓｉストライプに挟まれた部分の電界低下による減速が大きい場合は、印加電圧V_bを上げたり、Ｓｉストライプの幅を狭めたりすることで、キャリアの走行時間を短縮することができる。

【００４１】

グラフェン膜５０として、結晶粒界や結晶欠陥の多い多結晶グラフェンを用いると、イントリンシック領域の飽和速度が低下し、光電流の取り出し効率が低下する。したがって、本実施形態のグラフェン受光素子１の特性を十分に引き出すためには、グラフェン膜５０は単結晶グラフェンであることが望ましい。

【００４２】

なお、バックゲート容量C_{bg1}、C_{bg2}と三つのスロット２１、２２、２３の直列容量C_{sl}は、発生した光電流の高周波成分に対するリークパスとなりうる。本実施形態に係るグラフェン受光素子１では、第１および第２のＳｉストライプ３１、３２に不純物ドーピングを行わず、抵抗率を10^3Ωｃｍ程度に保っている。スロットの容量C_{sl}と直列にメガ（Ｍ）Ωオーダーの抵抗R_{st}が挿入された形になるため、並列容量を介した光電流の高周波成分のリークを無視できるレベルに抑えることができる。

【００４３】

ｎ型Ｓｉ領域３３、３４から他の部分への高周波成分のリークを抑えるために、ｎ型Ｓｉ領域３３、３４は他の配線や導電性領域から十分に離して形成されている。

【００４４】

グラフェンは零ギャップ半導体なので、光が入射しなくても、フォノン吸収等により電子と正孔が発生する。フォノン吸収で発生したキャリアのエネルギーは小さく、印加電圧が小さい場合は光励起キャリアより短い時間で再結合するので、暗電流として外に現れる割合は小さい。しかし、印加電圧を上げると低エネルギーの電子と正孔も電界により加速されて再結合しにくくなるので、ＩｎＧａＡｓのような半導体と比べて大きな暗電流I_dが発生する。したがって、印加電圧を過度に高めるのは好ましくない。また、良好な受信特性を得るためには、受信回路側で暗電流の影響を減じることが好ましい。暗電流I_dが一定で既知の場合、図４の回路において、演算増幅器１００の＋側入力を接地する代わりに、暗電流I_dと帰還抵抗R_Lの積に相当する電圧$V_d=I_dR_L$を印加すれば、光電流に比例した電圧出力$V_0=-I_pR_L$を出力させることができる。バイアス電圧、温度変化、経時変化等によりグラフェン受光素子１の暗電流が変動する場合は、出力電圧V_0の直流成分が小さくなるように、後段の回路から演算増幅器の＋側入力に印加する電圧V_dをフィードバック制御してもよい。

【００４５】

あるいは、図５（ａ）に示すように、実施形態のグラフェン受光素子１と同様の構成であるが信号光が入力されないダミー素子１０１をグラフェン受光素子１の近傍に配置しておき、ダミー素子１０１の出力を演算増幅器１００の＋側入力と一端が接地された負荷抵抗R_{L2}（$=R_L$）に接続してもよい。図５（ａ）のＡ点には、本実施形態のグラフェン

受光素子１の出力（図４のＡ点に相当する部分）が接続される。なお、図中において、ダミー素子１０１の主要部には、本実施形態のグラフェン受光素子１の対応部分には、受光素子１における符号数字に１００を加えた数字を付してある。本実施形態のグラフェン受光素子１の暗電流I_dとダミー素子１０１の暗電流$I_{d'}$はほぼ等しく、$R_{L2}=R_L$に設定してあるので、演算増幅器１００の出力電圧は$V_0=-I_pR_L$となる。暗電流の値や抵抗の値にずれがあると若干の直流成分が残るが、それでも図４の場合と比べて暗電流の影響を大幅に減じることができる。

【００４６】

ダミー素子１０１は、本実施形態のグラフェン受光素子１とまったく同一の構造でなくてもよい。例えば、ダミー素子１０１の方が素子長が短く、暗電流$I_{d'}$が本実施形態のグラフェン受光素子１の暗電流I_dの１／ｓになる場合、R_{L2}をR_Lのｓ倍に設定すれば、演算増幅器１００の出力電圧は$V_0=-I_pR_L$となる。

【００４７】

ｎ個の本実施形態のグラフェン受光素子1_1～１ｎが近接して集積化されている場合、図５（ｂ）に示すように、ダミー素子１０１をｎ個のグラフェン受光素子1_1～１ｎに共有させてもよい。図のA_1～Ａｎ点、Ａ‘点には、それぞれｎ個のグラフェン受光素子1_1～１ｎとダミー素子１０１の第２の電極の出力が接続されており、各演算増幅器100_1～１００ｎ、１００‘の＋側入力は接地されている。グラフェン受光素子1_1～１ｎに接続された各演算増幅器100_1～１００ｎの出力電圧は$V_{01}=-(I_{p1}+I_d)R_L$～$V_{0n}=-(I_{pn}+I_d)R_L$、ダミー素子１０１に接続された演算増幅器１００‘の出力は$V_{0'}=-I_dR_L$となるから、後段に配置した差動増幅器102_1～１０２ｎで引き算を行えば、１個のダミー素子１０１を利用して各グラフェン受光素子1_1～１ｎの暗電流の影響をまとめてキャンセルすることができる。このような方法以外にも、様々な方法で暗電流による影響を減じることができる。

【００４８】

グラフェン受光素子１には、上述の光起電力による光電流のほか、キャリア密度が低ければ光熱電効果による光電流が、キャリア密度が高くて暗電流が大きな場合にはボロミック効果による光電流が流れる。光熱電効果やボロミック効果による光電流は、条件によっては光起電力による光電流を打ち消す向きに流れるので、効率を下げる原因となる。

【００４９】

例えば、ｐ－p^+接合を利用したグラフェン受光素子では、ボロミック効果による光電流が光起電力による光電流を減らす向きに流れる（ｐ－p^+接合には多数の正孔が存在しているので、電圧印加により元々大きな暗電流が流れている。光吸収による温度上昇で移動度が低下し、元々流れていた暗電流が減る現象を、ボロミック効果により逆向きの光電流が流れたと表現する）。また、ｐｉｐ構造の負極側にできる空乏領域の電界で光励起キャリアを引き出すタイプのグラフェン受光素子では、光励起キャリアで負極側の電子温度の方が高くなるため、負極側で多数キャリアである正孔が励起され、正極側へと拡散する（ゼーベック効果）。すなわち、光起電力による光電流（正極側から負極側に流れる）を打ち消す向きに光熱電効果による光電流が流れることになる。

【００５０】

これに対し、ｐｉｎ構造に逆バイアスを印加した本実施形態に係るグラフェン受光素子１では、ｉ領域のキャリア密度が低いので、ボロミック効果による光電流は光起電力による光電流と比べて小さく、無視できる。また、光熱電効果による光電流と光起電効果による光電流は、向きが同じ（電子温度の高くなったｉ領域で発生した正孔は負極側のｐ領域へ、電子は正極側のｎ領域へと拡散する）である。光熱電効果は電子温度に依存する現象なので、光起電力による光電流と同様、高速に応答する。したがって、本実施形態のグラフェン受光素子１によれば、ボロミック効果による量子効率の低下は無視でき、逆に光熱電効果による量子効率の増大が期待できる。

【００５１】

なお、光励起キャリアによりグラフェン受光素子１の電子温度はダミー素子１０１の電

子温度より高くなるが、電子温度の上昇で発生したキャリアによる電流の増加分は光熱電効果による光電流であって、暗電流としてはカウントされない。したがって、光励起キャリアによる電子温度の上昇を考慮しても、ダミー素子１０１による暗電流の補償は有効である。

【００５２】

本実施形態のグラフェン受光素子１においては、グラフェン膜５０の上下に間隙を挟んで二つずつ設けた計四つの高屈折率領域３１、３２、６１、６２をレールとする光導波路（スロット導波路）９０が形成されており、第１および第２の高屈折率領域（レール）３１、３２の間隙（第１の間隙）２１と、第３および第４の高屈折率領域（レール）６１、６２の間隙（第４の間隙）７１が一つの主スロットを構成しており、第１の高屈折率領域３１と第１の導電性半導体領域３３の間隙（第２の間隙）２２と、第２の高屈折率領域３２と第２の導電性半導体領域３４の間隙（第３の間隙）２３が副スロットを構成している。図６（ａ）、（ｂ）、（ｃ）および（ｄ）は、本実施形態のグラフェン受光素子とは異なる対比構造の例である。それぞれ、光導波路９０の周辺部のみを図示しており、図にない部分は図１の構造と同様である。なお、実施形態のグラフェン受光素子と対応する部位に同じ符号数字を付したが、各部の寸法が等しいことを意味しているわけではない。

【００５３】

図６（ａ）の対比構造のグラフェン受光素子では、第１のAl_2O_3層４１下のＳｉ層のうち、光導波路近傍のＳｉ層３３ａ、３４ａは光吸収の小さなアンドープ領域、光導波路から離れた部分のＳｉ層３３ｂ、３４ｂは低抵抗のｎ型領域である。実施形態のグラフェン受光素子１の場合と同じように下部Ｓｉ層のｎ型領域３３ｂ、３４ｂからグラフェン膜５０にバックゲートをかけると、直流電流は流れないので、アンドープ領域３３ａ、３４ａの電位も、それぞれｎ型領域３３ｂ、３４ｂと同じになる。したがって、アンドープ領域３３ａの第１のAl_2O_3層４１との界面付近には正孔、アンドープ領域３４ａの第１のAl_2O_3層４１との界面付近には電子が誘起され、グラフェン膜５０の対向する部分にはそれぞれ電子、正孔が誘起される。グラフェン膜５０のうち電極８１への電圧印加時に大きな電界のかかるイントリンシック領域は、主スロット部のみとなる。また、副スロットがないので、導波モードは下部Ｓｉ層の上にＳｉストライプ６１、６２が形成されていない部分にも尾を引くことになる。スロット部以外のグラフェンで発生した光励起キャリアの大部分はほとんど再結合により失われてしまうので、電流取出し効率は実施形態の受光素子の半分程度になる。

【００５４】

図６（ｂ）の対比構造のグラフェン受光素子では、光導波路とバックゲート部との光学的・電気的分離は図れている。しかし、導波モードはＳｉストライプ３７、６７に広がって分布しており、グラフェン膜５０のＳｉストライプ３７、６７に挟まれた広い範囲で電子と正孔が発生することになる。この部分は逆バイアス印加時の電界が比較的小さく、導波路ストライプの幅にわたって電子と正孔が共存しているので、光電流として取り出せる割合よりも再結合により失われる割合の方が高くなってしまう。

【００５５】

なお、図６（ｂ）の対比構造において、Ｓｉストライプ３７、６７を厚めにしてＴＭモードが導波されるようにすれば、ＴＭモードに対するスロット導波路になる。この場合、グラフェン膜５０において光電界E_yは増強されるが、グラフェン膜５０は電界が膜に平行な成分しか吸収せず、ＴＭモードは膜に平行な電界成分E_x、E_zが非常に小さいので、吸収効率はそれほど高くならない。また、光吸収で発生したキャリアを光電流として取り出せる割合が低いことは、ＴＥモードの場合と同様である。

【００５６】

グラフェン膜５０上側または下側のみに主スロットを設けた図６（ｃ）のような対比構造も考えられる。この場合、ある程度の量子効率の改善は期待できるが、実施形態と比べて主スロット部７１直下のグラフェン膜５０内の電界が弱く、実施形態と比べて改善度は小さい。

【００５７】
また、グラフェン膜５０が上下の高屈折率領域で挟まれていない、図６（ｄ）のような対比構造も考えられる。この場合、主スロット部７１のグラフェン内のＴＥモードの光電界はそれほど強くならないので、実施形態のグラフェン受光素子で得られたような高い量子効率を実現することはできない。
【００５８】
また、実施形態の受光素子１に示すように、グラフェン膜５０が上下の高屈折率領域３１、３２、６１、６２で挟まれている場合であっても、下側の高屈折率領域３１、３２または上側の高屈折率領域６１、６２のどちらか一方が過度に薄い場合も同様に、主スロット部２１、７１のグラフェン膜５０内のＴＥモードの光電界はそれほど強くならない。大きな量子効率を得るためには、グラフェン膜５０の下側に配した高屈折率領域３１、３２、または上側に配置されている高屈折率領域６１、６２のうち薄い方の厚さを上下の高屈折率領域３１、３２、６１、６２の合計膜厚の２０％以上にすることが好ましい。
【００５９】
本実施形態のグラフェン受光素子１によれば、ＴＥモードとグラフェン膜の電界の大きな部分のオーバーラップが改善され、電流取出し効率も改善されるので、上記のような対比構造のグラフェン受光素子と比べて、量子効率を大きく改善することができる。
【００６０】
なお、本実施形態のグラフェン受光素子１において、第３および第４のＳｉストライプ６１、６２は、第１および第２のＳｉストライプ３１、３２とは別の工程で作製されることになるから、上下のＳｉストライプ（レール）の位置や幅を完全にそろえることは困難である。
【００６１】
図７は、上記の実施形態の説明において例示した、具体的な材料および数値を適用した場合のグラフェン受光素子１において、グラフェン膜５０の下側のＳｉ層３１、３２のパターンに対し、上側のａ－Ｓｉストライプ６１、６２のパターンがΔｘだけずれた場合の、入射光パワーを１としたときの、素子長が５０μｍの実施形態に係るグラフェン受光素子１で吸収される光パワーＰｓ（太実線）、イントリンシック領域で吸収される光パワーＰｉ（細実線）、およびその比Ｐｉ／Ｐｓ（破線）を示す図である。位置ずれ量Δｘが７５ｎｍ以内であれば、全吸収光パワーの９９％がイントリンシック領域で吸収されるので、量子効率の低下はほとんどない。位置ずれ量Δｘが７５ｎｍを超えるとイントリンシック領域で吸収される光の割合の低下が顕著になるが、位置ずれ量が１７５ｎｍあっても全吸収光パワーの９５％がイントリンシック領域で吸収されており、量子効率の低下は５％に過ぎない。
【００６２】
このように、通常のＣＭＯＳプロセスで生じるような誤差の範囲であれば、多少の位置ずれがあってもそれほど顕著な特性の低下は生じない。したがって、本実施形態に係るグラフェン受光素子１では、第１の高屈折率領域３１と第３の高屈折率領域６１の占めるｘ座標の範囲や、第２の高屈折率領域３２と第４の高屈折率領域３３の占めるｘ座標の範囲を完全に一致させる必要はない。ただし、特性の低下を小さく抑えるためには、位置ずれ量Δｘがスロット幅の７５％以内となっていること、すなわち、下側の高屈折率領域の間隙（第１の間隙）２１と上側の高屈折率領域の間隙（第４の間隙）７１がグラフェン膜５０を挟んで対向している部分の幅が、上側の高屈折率領域の間隙（第４の間隙）７１の幅の２５％以上確保されていることが好ましい。
【００６３】
本実施形態は、発明の趣旨を逸脱しない範囲で様々な変形、応用が可能である。
【００６４】
実施形態の説明において例示した具体的な材料および数値を適用したグラフェン受光素子１は、位置ずれ許容度を考慮して広めの設計となっている。プロセス精度が高くて、それほど大きな位置ずれがない場合は、ストライプ幅やスロット幅を狭めれば、キャリア走

行時間が短縮されるので、量子効率をさらに改善できる。幅を狭めるとＴＥモードの導電性半導体領域３３、３４への分布割合が増える場合は、第３および第４のＳｉストライプ６１、６２を少し厚めに設定すればよい。

【００６５】

上記の実施形態では、第１および第２の導電性半導体領域３３、３４はいずれもｎ型であるが、第１および第２の導電性半導体領域３３、３４は、両方ともｎ型であっても、両方ともｐ型であっても、ｎ型とｐ型の組み合わせになっていてもよい。

【００６６】

上記の実施形態では、第１の電極８１に正のバイアス電圧を印加し、第２の電極８２が仮想接地されているが、逆に第１の電極８１を仮想接地し、第２の電極８２に負のバイアス電圧を印加してもよい。

【００６７】

本実施形態では、Ｃｕ箔上でＣＶＤにより成長させることよりグラフェン膜５０を作製したが、グラフェン膜５０の作成方法としてはこれに限定されず他の方法よって作製してもよい。

【００６８】

また、単層のグラフェン膜５０に替えて２層グラフェン膜を用いれば、長さあたりの吸収係数が約２倍になるので、素子長を短縮したり、量子効率を高めたりすることができる。この場合、グラフェン膜５０を２層とも低抵抗にするために、バックゲート電圧を上げることが望ましい。バックゲートが適切にかかってｐｉｎフォトダイオードとして機能する範囲であれば、グラフェン膜５０をさらに多層化しても構わない。

【００６９】

本実施形態では、第１のAl_2O_3膜４１より下の部分はＳＯＩ基板を加工して作製するのに適した構造になっている。第１および第２の高屈折率領域３１、３２をアモルファスシリコン（ａ－Ｓｉ）、第１および第２の導電性半導体領域３３、３４をｐ型ポリシリコンに替えれば、高価なＳＯＩ基板を使わずにバックゲートプロセスで素子を作製することもできる。この場合、第１および第２の高屈折率領域３１、３２の厚さを導電性Ｓｉ領域３３、３４の厚さと一致させる必要はない。図８（ａ）に示すように、第１および第２の高屈折率領域３１ａ、３２ａの厚さを第３および第４の高屈折率領域６１ａ、６１ｂの厚さとほぼ等しくなるようにすれば、スロット内の光電界の最も強い領域にグラフェン膜５０を配置することができ、さらなる素子長の短縮、ないしは量子効率の改善を図ることができる。

【００７０】

第１、第２、第３および第４の高屈折率領域（レール）３１ａ、３２ａ、６１ａ、６２ａは半導体である必要はなく、周囲のクラッド（SiO_2）より屈折率が十分に大きく、光吸収損失の小さな絶縁体（例えばＳｉリッチのSiN_xなど）であってもよい。Ｓｉと比べると屈折率が低いので、スロット部への光電界の集中効果は弱まり、光導波路の断面積も広くなる。しかし、グラフェン膜５０内の電界が高屈折率領域３１ａ、３２ａ、６１ａ、６２ａで挟まれた部分で低下しないので、この部分におけるキャリア走行速度の低下を避けることができる。高屈折率領域３１ａ、３２ａ、６１ａ、６２ａに比誘電率ε_rの大きなｈｉｇｈ－ｋ材料（HfO_2、ZrO_2など）を使えば、グラフェン膜５０内の高屈折率領域３１ａ、３２ａ、６１ａ、６２ａに挟まれた領域の電界を大きくすることもできる。

【００７１】

このほか、図８（ｂ）に示したように、右側のＳｉストライプ３２、６２と第２の導電性半導体領域３４との間の間隙２３を広げてその間に第５および第６のＳｉストライプ３５、６５を追加して、主スロット数を２つ、あるいはそれ以上に増やしてもよい。主スロットが２つある図８（ｂ）のグラフェン受光素子でも、基本ＴＥモードに対する量子効率は実施形態のグラフェン受光素子１とほとんど同じである。

【００７２】

第１の絶縁膜２２０や第４の絶縁体２７０はＳｉＯ$_2$に限定されるものではなく、その一部ないし全部が低損失のクラッドとして機能する他の材料（例えばＳｉＯＮ、ポリイミドなど）であってもよい。

【００７３】

また、上記の実施形態の受光素子１についての説明において、第１第２および第３の間隙２１、２２、２３の幅が同一である例を示した。第１第２および第３の間隙２１、２２、２３の幅は必ずしも同一でなくてもよい。

【００７４】

第３および第４の絶縁膜４１、４２もＡｌ$_2$Ｏ$_3$膜に限定されるものではなく、他の誘電体膜（ＳｉＮ膜、ｈ－ＢＮ膜、ｈｉｇｈ－ｋ材料など）であってもよい。ただし、グラフェンにキャリアを誘起したり不安定にしたりする材料は好ましくない。例えば、ＳｉＯ$_2$膜上に形成された従来のグラフェン受光素子では、グラフェンがｐ$^+$型になっている例が多い。表面が親水性のＳｉＯ$_2$膜を用いると、界面のＯＨ基などによりグラフェン膜のフェルミ準位が変動しやすくなることも知られている。

【００７５】

なお、受光素子１の光導波路を伝搬する光は必ずしも単一モードである必要はない。吸収係数の最も小さいモード光の大部分を吸収できるだけの素子長があれば、どのモードの光も吸収されて光電流として取り出せるからである。ただし、素子長をできるだけ短く保つためには、モード間の吸収係数の差が小さくなるように、スロットの数や位置を設定することが望まれる。

【００７６】

以上、本実施形態のグラフェン受光素子１によれば、光電流の取り出し効率が低いという従来技術のグラフェン受光素子の課題を解決して、小型、高効率、高速、広波長帯域といった優れた特性を併せ持つグラフェン受光素子を提供することが可能になる。

【００７７】

以下、実施形態に係るグラフェン光変調器について説明する。

【００７８】

図９は、実施形態に係るグラフェン光変調器２０１の概略断面図である。

【００７９】

なお、実施形態に係るグラフェン受光素子１と対応する部分、類似の部分には、受光素子１における符号数字に２００を加えた数字を付してある。

【００８０】

本実施形態のグラフェン光変調器２０１は、Ｓｉ基板２１０を有する。Ｓｉ基板２１０の上には第１のＳｉＯ$_2$層（第１の絶縁膜）２２０が配置されている。第１のＳｉＯ$_2$層２２０の表面領域には、第１の間隙２２１を空けて配置された第１および第２のＳｉストライプ（第１および第２の高屈折率領域）２３１、２３２と、第１および第２のＳｉストライプ２３１、２３２の左右の外側に第２および第３の間隙２２２、２２３を空けて各々配置された第１および第２のｎ型Ｓｉ領域（第１および第２の導電性半導体領域）２３３、２３４が配置されている。第１および第２のＳｉストライプ３１、３２並びに第１および第２のｎ型Ｓｉ領域３３、３４は、図９の紙面に垂直な方向に同じ長さにわたって延びている。これらの構造２３１～２３４の表面を含んで第１のＳｉＯ$_2$層２２０の表面を覆って、第１のＡｌ$_2$Ｏ$_3$膜（第２の絶縁膜）２４１が配置されている。第１のＡｌ$_2$Ｏ$_3$膜２４１の上には第１のグラフェン膜２５１が配置されている。第１のグラフェン膜２５１は少なくとも第１および第２の間隙２２１、２２２にまたがって配置されている。第１のグラフェン膜２５１を覆い、第１のＡｌ$_2$Ｏ$_3$膜２４１上に延出するように第２のＡｌ$_2$Ｏ$_3$膜（第３の絶縁膜）２４２が配置されている。第２のＡｌ$_2$Ｏ$_3$膜２４２の上には第２のグラフェン膜２５２が配置されている。第２のグラフェン膜２５２は少なくとも第１および第３の間隙２２１、２２３にまたがって配置されている。第２のグラフェン膜２５２および第２のＡｌ$_2$Ｏ$_3$膜２４２を覆って第３のＡｌ$_2$Ｏ$_3$膜（第５の絶縁膜）２４３が配置されている。第３のＡｌ$_2$Ｏ$_3$膜２４３の上には第１および第２のＳｉストライ

プ２３１、２３２にそれぞれ対応する位置に、第３および第４のＳｉストライプ（第３および第４の高屈折率領域）２６１、２６２が配置されている。第３および第４のＳｉストライプ２６１、２６２を覆って、第３のAl_2O_3膜２４３上には第２のSiO_2層（第４の絶縁膜）２７０が配置されている。第１、第２、第３および第４のＳｉストライプ２３１、２３２、２６１、２６２は、第１および第２のSiO_2層２２０、２７０の屈折率よりも高い屈折率を有する。第１のグラフェン膜２５１の上には第３のＳｉストライプ２６１から第４のＳｉストライプ２６２とは反対側に、第１のグラフェン膜２５１と電気的にコンタクトする第１の電極２８１が配置されている。第２のグラフェン膜２５２の上には第４のＳｉストライプ２６２から第３のＳｉストライプ２６１とは反対側に第２のグラフェン膜２５２と電気的にコンタクトする第２の電極２８２が配置されている。また、第１および第２の導電性Ｓｉ領域２３３、２３４に電気的にコンタクトする第３および第４の電極２８３、２８４が配置されている。

【００８１】

第１および第２のＳｉストライプ２３１、２３２と第１および第２のｎ型Ｓｉ領域２３３、２３４の厚さは同じであり、例えば５０ｎｍとすることができる。また、これらの領域２３１～２３４の下面からＳｉ基板２１０までの第１のSiO_2層の厚さは例えば２μｍとすることができる。第１および第２のＳｉストライプ２３１、２３２は故意にドーピングを行っておらず、ストライプ幅は例えば２２５ｎｍとすることができる。第１および第２のｎ型Ｓｉ領域２３３、２３４には例えばリン（Ｐ）の注入とアニール処理によりｎ型になっている。

【００８２】

Ｓｉストライプ２３１、２３２およびｎ型Ｓｉ領域２３３、２３４の形成方法の例示としては、ＳＯＩ基板のトップＳｉ層をＳｉストライプ２３１、２３２およびｎ型Ｓｉ領域２３３、２３４になる部分を残してエッチングしてＳＯＩ基板のＢＯＸ層の表面を露出させた後、これらの構造をSiO_2層で埋め込み、ＣＭＰによりＳｉストライプ２３１、２３２およびｎ型Ｓｉ領域２３３、２３４が所定の厚さになるように平坦化することにより、Ｓｉストライプ２３１、２３２およびｎ型Ｓｉ領域２３３、２３４を形成することができる。

【００８３】

また、Ｓｉストライプ２３１、２３２およびｎ型Ｓｉ領域２３３、２３４は、基板２１０にまず、SiO_2層２２０を形成し、その上にｎ型ポリＳｉ層の形成とパターンニングを行ってｎ型Ｓｉ領域２３３、２３４を形成する。その後、ｎ型Ｓｉ領域２３３、２３４をSiO_2層で埋め込み、ＣＭＰで平坦化し、埋め込んだSiO_2層のＳｉストライプ２３１、２３２を形成する部分に溝を形成し、溝をａ－Ｓｉで埋め込み、ＣＭＰによりＳｉストライプ２３１、２３２、およびｎ型Ｓｉ領域２３３、２３４が所定の厚さになるまで平坦化することによっても形成することができる。

【００８４】

第１のＳｉストライプ２３１と第２のＳｉストライプ２３２の間に形成された間隙（第１の間隙）２２１の幅は例えば１００ｎｍとすることができる。また、図９の実施形態では、第１、第２および第３の間隙２２１，２２２，２２３は第１のSiO_2層２２０のSiO_2により満たされている。しかし、第１、第２および第３の間隙２２１，２２２，２２３は、必ずしもSiO_2（第１の絶縁膜）で満たされている必要はなく、その一部ないし全部が屈折率の小さく光伝搬に悪影響のない他の材料や真空等に置き換えられていてもよい。また、例えば第１、第２および第３の間隙２２１，２２２，２２３中のSiO_2（第１の絶縁膜）に空間が形成されていてもよい。

【００８５】

グラフェン膜は、実施形態の受光素子１と同様の方法により設けることができる。

【００８６】

第１のＳｉストライプ２３１と第１のｎ型Ｓｉ領域２３３の間に形成された間隙（第２の間隙）２２２、および第２のＳｉストライプ２３２と第２のｎ型Ｓｉ領域２３４の間に

形成された間隙（第３の間隙）２２３の幅はいずれも同じであり、例えば１２５ｎｍとすることができる。

【００８７】

第１、第２および第３のAl_2O_3膜２４１、２４２、２４３の厚さは、例えばそれぞれ５ｎｍ、２ｎｍ、５ｎｍとすることができる。

【００８８】

第１および第２のグラフェン膜２５１、２５２は、研磨と高圧アニールで表面を平坦化したＣｕ箔上に、ＣＶＤにより成長させた単結晶単層グラフェンを、それぞれ第１のAl_2O_3膜２４１、第２のAl_2O_3膜２４２上に転写することによって設けることができる。

【００８９】

第１および第２のグラフェン膜２５１、２５２は、転写・パターニングの後、アニール等の処理により吸着分子を除去して、フェルミ準位がディラック点近傍にくるように調整してあり、電圧を加えていない状態において、移動度は$2\times10^5\ cm^2V^{-1}s^{-1}$、シート抵抗は２．５ｋΩ／□である。本実施形態では、Ｃｕ箔上でのＣＶＤにより成長させることによりグラフェン膜２５１、２５２を作製したが、グラフェン膜の作成方法としてはこれに限定されず他の方法よって作製してもよい。

【００９０】

第３および第４のＳｉストライプ２６１、２６２は、第３のAl_2O_3膜２４３の上に堆積したアンドープのアモルファスシリコン（ａ－Ｓｉ）を、第１および第２のＳｉストライプ２３１、２３２とそれぞれ対応する部分に位置するように、ストライプ状に加工することによって形成することができる。第３および第４のＳｉストライプ２６１、２６２の厚さは１５０ｎｍ、ストライプ幅は２２５ｎｍとすることができる。第３のＳｉストライプ２６１と第４のＳｉストライプ２６２の間の間隙２７１の幅は例えば１００ｎｍとすることができ、第２のSiO_2層２７０によって埋め込まれている。

【００９１】

第１の電極２８１はＴｉ／Ａｕ、第２の電極２８２はＡｕであってよい。金属－グラフェン間の電荷移動があるため、Ｔｉ／Ａｕである第１の電極下のグラフェン膜２５１はｎ型に、Ａｕである第２の電極下のグラフェン膜２５２はｐ型になっている。第１および第２の電極２８１、２８２は、例えばリフトオフにより第１および第２のグラフェン膜２５１、２５２上にそれぞれ設けることができる。

【００９２】

第３および第４の電極２８３、２８４は例えばニッケルシリサイドであってよい。第３のＳｉストライプ２６１と第１の電極２８１との間隔の幅、および第４のＳｉストライプ２６２と第２の電極２８２との間隔の幅は、例えばいずれも８００ｎｍとすることができる。この幅は、後述する光導波路２９０を伝搬する光の電磁波成分に、電極が悪影響しない程度の幅が確保されていればよい。

【００９３】

上記の実施形態の説明で例示した具体的な材料および数値を適用したグラフェン光変調器２０１は、波長１．３１μｍ帯の入射光の強度変調用に設計されているが、印加電圧を調整すれば、光導波路が単一モード条件を満たす範囲で比較的広い波長範囲の変調に使用することができる。もちろん、導波路各部の寸法を変えて、他の波長での使用に最適化することもできる。第１、第２、第３および第４のＳｉストライプ（レール）２３１、２３２、２６１、２６２とこれらに挟まれた部分やその近傍の構造は、一つの単一ＴＥモードの光導波路（スロット導波路）２９０を形成している。実施形態のグラフェン受光素子とは導波路構造が微妙に異なるが、スロット導波路９０を伝搬する波長１．３１μｍのＴＥ基本モード光の基板に平行な光電界成分E_xは、図２と類似したモードプロファイルを有している。

【００９４】

本実施形態に係るグラフェン光変調器２０１の長さ、すなわち第１および第２のグラフ

ェン膜２５１、２５２が図９の紙面に垂直な方向に延伸する長さは例えば３０μｍとすることができる。

【００９５】

本実施形態に係るグラフェン光変調器２０１は前後にモード変換器を介してＳｉチャネル導波路と接続されることができ、他の光素子と集積化されることができる。

【００９６】

第１のグラフェン膜２５１と第２のグラフェン膜２５２は、光導波路部２９０でオーバーラップするように積層されている。第１のグラフェン膜２５１と第２のグラフェン膜２５２とその間に挟まれた第２のAl_2O_3膜２４２はキャパシタC_m（以下、グラフェン・キャパシタと呼ぶ）を構成している。グラフェン・キャパシタの面積は例えば３０μｍ×０．６μｍ＝１８μm^2とすることができる。このグラフェン・キャパシタに電圧Ｖを印加すると、第１のグラフェン膜２５１と第２のグラフェン膜２５２に逆極性の電荷が誘起され、グラフェンのフェルミ準位が変化する。波長λが１．３１μｍ（光子エネルギー$h\nu$＝０．９４７ｅＶ、ｈはプランクの定数、ν＝ｃ／λは光の周波数、ｃは真空中の光速）の入射光は、フェルミ準位E_Fの絶対値が$h\nu$／２（～０．４７３ｅＶ）よりある程度小さいとグラフェンにより吸収されるが、それよりある程度大きいと透過する。その間の電圧領域は、室温におけるグラフェンのフェルミ分布を反映した遷移領域となる。

【００９７】

図１０は、光導波路２９０の吸収係数のグラフェン・キャパシタへの印加電圧依存性を示す図である。本実施形態の光変調器２０１に用いられるグラフェン膜２５１、２５２はいずれもアンドープであるので、電圧の極性を反転させてもほぼ同様の特性を示す。グラフェン・キャパシタへの印加電圧の絶対値｜Ｖ｜が１Ｖ以下なら吸収係数は０．４８ｄＢ／μｍで、長さ３０μｍの伝搬で１４．４ｄＢの吸収を生じる。｜Ｖ｜が２．５Ｖ以上なら、吸収係数は０．０２ｄＢ／μｍで、３０μｍの伝搬で０．６ｄＢの損失を受ける。すなわち、中心電圧を±１．７５Ｖに設定して、±０．７５Ｖの変調を行えば、挿入損失０．６ｄＢ、消光比１３．８ｄＢの変調を行える。

【００９８】

｜Ｖ｜＝２．８Ｖ付近にグラフェンのプラズマ振動への共振に関連した小ピークが現れているが、バンド間吸収と比べて弱く、電圧範囲も狭いので、それほど大きな問題にはならない。大きな消光比を得たい場合には、透過側の電圧がこの領域にかからないように設定すればよい。

【００９９】

プラズマ共振による吸収ピークはグラフェン膜２５１、２５２内の電荷の集団振動（表面プラズモン）に起因している。グラフェン膜２５１、２５２の面に平行な電界成分に対する比誘電率の実部、屈折率、消衰係数をそれぞれ$Re[\varepsilon_{r//}]$、$n_{//}$、$k_{//}$とするとき、$Re[\varepsilon_{r//}]=n_{//}^2-k_{//}^2\sim 0$となる条件で共鳴吸収が起こる。この条件はグラフェンのキャリア密度に依存しており、グラフェン膜２５１、２５２内のフェルミ準位のばらつきが大きい場合は強くて鋭い吸収ピークは生じない。この吸収ピークは、通常はグラフェン膜２５１、２５２に垂直な電界成分E_yをもつＴＭモードの吸収のみに寄与する。しかし、上下非対称な三次元導波路でグラフェン膜２５１、２５２内にE_y成分が存在する場合には、ＴＥ導波モードにもある程度の吸収を生じうる。

【０１００】

図１１は本実施形態のグラフェン光変調器２０１の等価回路と、電極２８１、２８２、２８３、２８４を介して本実施形態の光変調器に接続される外部回路の一形態を示す図である。本実施形態に係るグラフェン光変調器２０１は素子長が短いので、駆動回路を素子に近接して集積化すれば、集中定数素子として扱うことができる。

【０１０１】

第２の電極２８２は接地され、第１の電極２８１、第３の電極２８３および第４の電極２８４には、それぞれ電圧V_b（＝－１．７５Ｖ）、V_{bg1}（＝－０．７５Ｖ）およびV_{bg2}（＝－１．４Ｖ）の直流バイアスがかけられる。それぞれ、高周波成分を通さな

いよう、直列抵抗R_b、R_{bg1}およびR_{bg2}が挿入される。第１の電極２８１には駆動回路３００から振幅１．５V_{pp}高速変調信号が印加される。バックゲート容量C_{bg1}、C_{bg2}とスロット導波路の直列容量C_{sl}を介した高速変調信号のリークは、高抵抗のＳｉストライプ２３１、２３２、２６１、２６２による直列抵抗R_{st}により無視できるレベルに抑えられている。

【０１０２】

アンドープ・グラフェンのシート抵抗は２．５ｋΩ／□あるので、バックゲート電圧が印加されていない状態では、第１および第２の電極２８１、２８２からグラフェン・キャパシタまでの長さ８００ｎｍ、幅３０μｍの配線領域の抵抗は６７Ωである。各電極の抵抗を３Ωとすると、直列抵抗は$R_{s1}=R_{s2}=70\Omega$となる。グラフェン・キャパシタの容量C_mは、第２のAl_2O_3膜２４２の容量（０．６８ｐＦ）と第１および第２のグラフェン膜２５１、２５２の量子容量の直列接続になる。各グラフェン膜２５１、２５２の量子容量は電圧に依存し、｜Ｖ｜＝１Ｖのときの１．４０ｐＦ、｜Ｖ｜＝２．５Ｖのときの２．６７ｐＦとなる。バイアス電圧｜Ｖ｜＝１．７５Ｖにおける量子容量は２．０９ｐＦで、このときのグラフェン・キャパシタの容量$C_m=0.41$ｐＦを使ってＲＣ時定数を見積もると５７ｐｓとなる。遮断周波数はｆ＝１／（２πＲＣ）＝２．７７ＧＨｚに留まるので、ＮＲＺ信号で変調を行う場合のビットレートの上限は４Ｇｂｐｓ程度となる。

【０１０３】

本実施形態のグラフェン光変調器２０１では、第１のグラフェン膜２５１側に例えば－１．７５Ｖのバイアス電圧を印加すると、グラフェン・キャパシタ部において、第１のグラフェン膜２５１には1.79×10^{13}ｃｍ$^{-2}$程度の電子が、第２のグラフェン膜２５２には同程度の正孔が誘起され、フェルミ準位は約±０．４９ｅＶになる。印加電圧が－１Ｖと－２．５Ｖの間で変調されるとき、グラフェン・キャパシタのキャリア密度は0.8×10^{13}ｃｍ$^{-2}$から2.9×10^{13}ｃｍ$^{-2}$の間で変化し、フェルミ準位は±０．３４ｅＶくらいから±０．６３ｅＶくらいの範囲で変化する。

【０１０４】

本実施形態のグラフェン光変調器２０１においては、実施形態のグラフェン受光素子１とは異なり、配線領域のグラフェンは低抵抗化していればよいので、等価回路上では誘起される電荷の極性は任意である。しかし、グラフェン・キャパシタに誘起される電荷と極性を合わせた方が、ポテンシャルの不連続が小さく、電荷の充放電がスムーズに行える。バックゲート電圧は、例えば、第１のグラフェン膜２５１の配線領域に4.5×10^{12}ｃｍ$^{-2}$程度の電子が、第２のグラフェン膜２５２の配線領域に4.5×10^{12}ｃｍ$^{-2}$程度の正孔が誘起されるように設定することができる。バックゲートにより配線領域のシート抵抗は２５０Ω／□に下がり、配線領域の直列抵抗は$R_{s1}=R_{s2}=10\Omega$に下がる。ＲＣ時定数は８．２ｐｓとなり、遮断周波数は１９．４ＧＨｚに改善される。この結果、２５ＧｂｐｓのＮＲＺ変調が可能になる。バックゲート電圧を上げればシート抵抗をもう少し下げることも可能であるが、電圧を上げるほど、電圧増に対するシート抵抗の減少率は緩やかになる。

【０１０５】

なお、第１および第２のグラフェン膜２５１、２５２として、結晶粒界や結晶欠陥の多い多結晶グラフェンを用いると、配線領域のシート抵抗が十分に下がらず、応答速度が低下する。したがって、本実施形態のグラフェン光変調器２０１の特性を十分に引き出すためには、グラフェン膜２５１、２５２が単結晶グラフェンであることが好ましい。

【０１０６】

より高速の変調をかけたい場合は、第２のAl_2O_3膜２４２を厚くして、グラフェン・キャパシタの容量C_mを小さくすればよい。例えば、第２のAl_2O_3膜２４２を５ｎｍにすれば、遮断周波数は約２倍になり、５０ＧｂｐｓのＮＲＺ変調も可能になる。Al_2O_3膜２４２の膜質に問題がある場合、Al_2O_3膜２４２の膜厚が２ｎｍではリーク電流が流れる場合、および耐圧が持たなかったりする場合は、Al_2O_3膜２４２の膜厚

を厚めに設定すればよい。グラフェン・キャパシタの絶縁膜厚を厚くした場合は、バイアス電圧や変調電圧も上げる必要がある。グラフェン・キャパシタの絶縁膜２４２に比誘電率がより大きい材料を用いれば、変調電圧や高速応答特性を大きく変化させずに絶縁膜２４２の膜厚を厚くすることができる。

【０１０７】

本実施形態のグラフェン光変調器２０１においては、グラフェン・キャパシタの上下に二つずつ設けた計四つの高屈折率領域２３１、２３２、２６１および２６２をレールとする一つのスロット導波路２９０が形成されており、第１および第２の高屈折率領域２３１、２３２の間の間隙（第１の間隙）２２１と、第３および第４の高屈折率領域２６１、２６２の間の間隙（第４の間隙）２７１が一つの主スロットを構成しており、第１の高屈折率領域２３１と第１の導電性半導体領域２３３の間の間隙（第２の間隙）２２２と第２の高屈折率領域２３２と第２の導電性半導体領域２３４の間の間隙（第３の間隙）２２３が副スロットを構成している。実施形態のグラフェン受光素子１の場合と同様、このような構成を取ることにより、グラフェンの特性を十分に引き出すことができる。例えば、グラフェン・キャパシタをシリコン導波路の表面に集積化した従来技術のグラフェン光変調器では、ＴＥモード光に対して十分な消光比の変調を行うことが困難であったが、本実施形態のグラフェン光変調器２０１を用いれば、数十μｍの短い素子長で十分大きな消光比の光変調が可能となる。

【０１０８】

以下、図６（ａ）、（ｂ）および（ｄ）においてグラフェン膜５０が、第１および第２のグラフェン膜２５１、２５２およびこれらに挟まれた絶縁膜２４２（グラフェン・キャパシタ）に置き換えられた対比構造のグラフェン光変調器について、簡単に説明する。副スロットのない図６（ａ）に類似の対比構造では、主スロット部以外のグラフェン膜２５１、２５２にバックゲートがかかってしまうため、主スロット部でしか変調をかけられず、高い変調効率が得られない。また、図６（ｂ）に類似の主スロットのない対比構造の場合、本実施形態の光変調器と同等の特性を実現するのに、本実施形態の光変調器２０１の１．７倍程度の素子長が必要である。図６（ｄ）に類似の対比構造も、光電界とグラフェン膜２５２、２５２のオーバーラップが悪いため、素子長を５０μｍ程度に伸ばさないと本実施形態の光変調器２０１と同等の消光比を得ることができない。一方、本実施形態のグラフェン光変調器２０１によれば、ＴＥモードとグラフェン膜の相互作用が大きく改善されるので、短い素子長（～３０μｍ）でも十分な消光比（＞１０ｄＢ）の変調が可能になる。

【０１０９】

なお、図６（ｄ）に類似の対比構造で、高屈折率領域２６１、２６２を少し厚めに設定してＴＭモードも伝搬できるようにした場合、ＴＭモードにもＴＥモードと同オーダーのバンド間吸収を生じる。ＴＭモードにおいても、Ｓｉストライプ２６１、２６２の最上面や最下面の近傍にE_z成分が、また、Ｓｉストライプ２６１、２６２の角の近傍にE_x成分が存在するからである。スロット７１がなく、Ｓｉ導波路コアの上にグラフェン膜を配した従来技術のグラフェン光変調器では、ＴＥモードのグラフェン膜内のE_x成分がＴＭモードのE_x成分やE_z成分より小さいため、ＴＥモードのバンド間吸収はＴＭモードのバンド間吸収より弱くなる。

【０１１０】

実施形態のグラフェン光変調器２０１においても、実施形態の受光素子１の場合と同様、通常のＣＭＯＳプロセスで生じる程度のアライメント誤差やストライプ（レール）幅の誤差は、許容される。

【０１１１】

図１２は、上記の実施形態の説明において例示した具体的な材料および数値を適用したグラフェン光変調器２０１において、消光比と挿入損に対する上下のＳｉ層の位置ずれの影響を示す図である。位置ずれによる消光比の低下や挿入損失の増加は緩やかである。位置ずれが例えば７０ｎｍ以内なら、消光比は１２ｄＢ以上、挿入損失は１ｄＢ以下を維持

することができる。

【０１１２】

なお、本明細書に記載した数値はグラフェンのフェルミ準位の揺らぎが無視できる場合の数値である。グラフェン膜にしわ、多結晶粒界面、欠陥、不純物、吸着分子等があると、グラフェン膜内でフェルミ準位が揺らぐため、吸収曲線に大きなボケを生じ、消光比の低下、挿入損の増大、変調電圧の増大等を招くことになる。また、グラフェン・キャパシタと電極間の配線領域においても、移動度の低下、抵抗の増大、ひいては動作速度低下の原因となる。本実施形態の光変調器２０１の作製に当たっては、高品質のアンドープ単結晶グラフェン膜を用いるとともに、しわ、欠陥、不純物、吸着分子等を極力減らせるよう、作製プロセスに注意を払うことが望まれる。そのような注意を払っても若干のフェルミ準位の揺らぎが残ってしまう場合は、変調電圧振幅を少し大きくしたり、素子長を少し長めに設定したりする必要を生じる。そのような場合においても、本実施形態の光変調器２０１によれば、従来技術の光変調器と比べて短い素子長で大きな消光比の高速変調を実現することができる。

【０１１３】

説明が重複するので詳細な説明は省略するが、実施形態のグラフェン光変調器２０１も、実施形態のグラフェン受光素子１の場合と同様に、必要に応じ、発明の趣旨を逸脱しない範囲で様々に変形、応用することができる。例えば、図１３（ａ）のように、第１、第２、第３および第４の高屈折率領域２３１ａ、２３２ａ、２６１ａ、２６２ａをアモルファスシリコンまたは絶縁体で構成してもよいし、第１および第２の導電性半導体領域２３３、２３４をポリシリコンとしてもよい。また、図１３（ｂ）のように、第５および第６の高屈折率領域２３５、２６５を追加して複数の主スロットを持つようにしてもよい。なお、図１３は光導波路２９０の周辺部のみを図示しており、図９と対応する部位に同じ符号数字を付してある。ただし、同じ符号数字を付した部位の寸法が等しいことを意味しているわけではない。

【０１１４】

第１および第２の高屈折率領域２３１ａ、２３２ａにアモルファスシリコンを用いる場合、第１および第２の導電性半導体領域２３３、２３４とは異なるプロセスで作製することになるので、第１および第２の高屈折率領域２３１ａ、２３２ａの厚さである$h_{lower\ Si}$は、第１および第２の導電性半導体領域２３３、２３４の厚さ（５０ｎｍ）と異なる厚さとすることができる。

【０１１５】

図１４は、素子長をＬ＝３０μｍ、第３および第４の高屈折率領域２６１ａ、２６２ａの厚さ$h_{upper\ Si}$および$h_{lower\ Si}$の合計の厚さを２００ｎｍとして、印加電圧V_b＝－１．０ＶとV_b＝－２．５Ｖの間で変調を行った場合の、消光比と挿入損の$h_{upper\ Si}$依存性を示している。例えば、$h_{lower\ Si}$＝$h_{upper\ Si}$＝１００ｎｍとすると、消光比は１５．７ｄＢに増加する。また、素子長を２６μｍに短縮しても消光比１３．１ｄＢ、挿入損０．５９ｄＢが得られることになる。

【０１１６】

第１、第２、第３および第４の高屈折率領域２３１ａ、２３２ａ、２６１ａ、２６２ａには、ＳｉＮのような絶縁体材料を用いることもできる。第１、第２、第３および第４のＳｉＮストライプ２３１ａ、２３２ａ、２６１ａ、２６２ａの厚さを２５０ｎｍ、幅を６００ｎｍ、主スロット２２１、２７１の幅を１００ｎｍ、副スロット２２２、２２３の幅を１５０ｎｍ、ＳｉＮの屈折率を２．１、第１および第２の導電性半導体領域（導電性Ｓｉ領域２３３、２３４の厚さを４０ｎｍとした場合の光変調器の光導波路を伝搬する波長１．３１μｍのＴＥモード（実効屈折率n_{eff}＝１．７９４、E_x）とＴＭモード（n_{eff}＝１．７６１、E_y）のプロファイルを、図１５（ａ）および図１５（ｂ）にそれぞれ示す。この変形形態では、導電性Ｓｉ領域２３３、２３４を薄くしたので、ＴＭモードも伝搬可能になっている。図１５（ａ）、（ｂ）のＸ軸およびＹ軸は、この変形形態の光変調器の左右方向および上下方向とそれぞれ対応する。また、本変形形態の光変調器の

主スロット２２１、２７１の中心線は図１５（ａ）、（ｂ）のＸ＝０（μｍ）と、この変形形態のＳｉＯ$_2$層２２０と第１のＡｌ$_2$Ｏ$_3$膜２４１との境界は図１５（ａ）、（ｂ）のＹ＝０（μｍ）とそれぞれ対応する。また、図１５（ａ）、（ｂ）の縮尺はこの変形形態の光変調器の縮尺と同一である。図１５（ａ）において光電界Ｅ$_x$は主スロット２２１、２７１において最大値１を示している。また、図１５（ｂ）において光電界Ｅ$_y$は、第１および第３の高屈折率領域２３１ａ、２６１ａに挟まれた部分、および第２および第４の高屈折率領域２３２ａ、２６２ａに挟まれた部分の第１および第２のグラフェン膜付近で最大値１を示している。なお、図１５（ａ）、（ｂ）の右側には、光電界Ｅ$_x$および光電界Ｅ$_y$の最大値を１、最小値を０とし、図１５（ａ）、（ｂ）の色と光電界Ｅ$_x$および光電界Ｅ$_y$との関係を示してある。

【０１１７】

図１６は、この変形形態の光変調器の吸収係数の印加電圧Ｖ$_b$依存性を示す図である。第１、第２、第３および第４の高屈折率領域にシリコンを用いた場合と比べてモードプロファイルが広がるので、ＴＥモードの吸収係数は小さくなっている。しかし、素子長を５０μｍと長めに設定すれば、印加電圧Ｖ$_b$＝－１Ｖと－２．５Ｖの間で変調することにより、消光比１２．３ｄＢ、挿入損０．４６ｄＢが得られる。本変形形態の変調器のグラフェン・キャパシタの幅は１．３μｍと広いため、変調帯域は実施形態の光変調器２０１の半分弱になる。グラフェン間のＡｌ$_2$Ｏ$_3$層２４２の厚さを４～５ｎｍにすれば、変調電圧は大きくなるが、実施形態のグラフェン光変調器と同等の高速変調が可能になる。

【０１１８】

ＴＭモードに対するグラフェンのバンド間吸収は小さいが、－２．８１Ｖ付近にプラズマ振動への共鳴による鋭い吸収ピークがある。この吸収ピークを利用すれば、ＴＭモードの光変調も可能である。この吸収ピークは鋭いので、フェルミ準位の揺らぎが無視できる場合にはＴＥモードより高効率（低変調電圧、短素子）の変調を実現できる。しかし、吸収ピークが鋭い分、フェルミ準位の揺らぎの影響を受けやすい。プラズマ振動の吸収ピークを利用する場合は、フェルミ準位のばらつきが極力小さくなるよう、作製プロセスに特に留意する必要がある。

【０１１９】

なお、実施形態のグラフェン受光素子で１は、グラフェン膜５０の光吸収で発生した電子と正孔を再結合する前に分離する必要上、図６（ｃ）のような第１および第２の高屈折率領域３１、３２がスロットで分離されていない構造は好ましくなかった。一方、光変調器の場合は、下側の高屈折率領域２３１、２３２および上側の高屈折率領域２６１、２６２のうち一方のみが二つに分離した構造であっても十分に機能することができる。ただし、下側の高屈折率領域２３１、２３２と、上側の高屈折率領域２６１、２６２の厚さが異なる場合は、厚い方がスロットにより二つに分離していることが望ましい。

【０１２０】

図１７は、下側の高屈折率領域２３７がスロットで分離されていない変形形態のグラフェン光変調器の光導波路近傍の断面を模式的に示す図である。グラフェン・キャパシタの上側には主スロット（第４の間隙）２７１を挟んで第３および第４の高屈折率領域（Ｓｉストライプ）２６１、２６２が設けられており、グラフェン・キャパシタの下側の第３および第４の高屈折率領域２６１、２６２と主スロット２７１に対向する部分には第１の高屈折率領域（Ｓｉストライプ）２３７が設けられている。したがって、本変形形態に係るグラフェン光変調器においては第２の高屈折率領域は存在しないことになる。例えば、第１の高屈折率領域２３７の厚さは５０ｎｍ、幅は５５０ｎｍで、第３および第４の高屈折率領域（レール）２６１、２６２の厚さは１５０ｎｍ、幅は２２５ｎｍとすることができる。また、例えば主スロット２７１の幅は１００ｎｍで、グラフェン・キャパシタの幅は６００ｎｍとすることができる。第１および第２の導電性半導体領域２３３、２３４の厚さは例えば５０ｎｍとすることができ、第１の高屈折率領域２３７と第１および第２の導電性半導体領域２３３、２３４との間の副スロット２２２、２２３の幅は例えば１２５ｎｍとすることができる。その他の部分の構成は実施形態のグラフェン光変調器２０１とほ

ぼ同様である。

【０１２１】

図１８（ａ）、（ｂ）は、図１７に示す変形形態の説明において例示した具体的な数値を適用した変形形態のグラフェン光変調器を伝搬する波長１．３１μｍのＴＥモードのＥ$_{x}$成分とＥ$_{y}$成分のプロファイルである。図１８（ａ）、（ｂ）のＸ軸およびＹ軸は、変形形態のグラフェン光変調器の左右方向および上下方向とそれぞれ対応する。変形形態のグラフェン光変調器の第４の間隙２７１の中心線は図１８（ａ）（ｂ）のＸ＝０（μｍ）と、変形形態のグラフェン光変調器の第１の高屈折率領域２３７と第１のＡｌ$_{2}$Ｏ$_{3}$膜２４１との境界は図１８（ａ）（ｂ）のＹ＝０（μｍ）とそれぞれ対応する。また、図１８（ａ）、（ｂ）の縮尺は変形形態のグラフェン光変調器の縮尺と同一である。図１８（ａ）のプロファイルにおいて、光電界Ｅ$_{x}$は主スロット２７１で最大値１を示している。図１８（ａ）の右側には、光電界Ｅ$_{x}$の最大値を１、最小値を０とし、図１８（ａ）の色と光電界Ｅ$_{x}$の関係を示してある。また、図１８（ｂ）のプロファイルにおいて、光電界Ｅ$_{y}$は第１および第３の高屈折率領域２３７、２６１に挟まれている部分のグラフェン膜２５１、２５２、並びに第１および第４の高屈折率領域２３７、２６２に挟まれている部分のグラフェン膜２５１、２５２で、光電界Ｅ$_{y}$は最大値０．４２３０８を示している。図１８（ｂ）の右側には、光電界Ｅ$_{y}$最大値を０．４２３０８、最小値を０とし、図１８（ｂ）色と光電界Ｅ$_{y}$との関係を示してある。図１８（ａ）、（ｂ）は変形形態の光変調器のＳｉＯ$_{2}$層２２０と第１のＡｌ$_{2}$Ｏ$_{3}$膜２４１との境目をＹ＝０（μｍ）としており、第１のＡｌ$_{2}$Ｏ$_{3}$膜２４１は５ｎｍ（０．００５μｍ）、第２のＡｌ$_{2}$Ｏ$_{3}$膜２４２は２ｎｍ（０．００５μｍ）の程度の厚さを有しているため、グラフェン膜２５１、２５２は図のＹ＝０．００５２μｍ付近とＹ＝０．００７５μｍ付近に位置している。本変形形態においても、主スロット２７１下部のグラフェン膜２５１、２５２内においてＥ$_{x}$成分が強くなっていることがわかる。また、上下の非対称性のため、主スロット２７１のすぐ外側のグラフェン・キャパシタ内でＥ$_{y}$成分が大きく（Ｅ$_{x}$成分のピークの約４割程度に）なっている。なお、ＴＭモードは第１および第２の導電性半導体領域２３３、２３４のスラブモードと結合していてリーキーである。

【０１２２】

図１９に、図１７に示した変形形態のグラフェン光変調器の光吸収係数の電圧依存性を示す。素子長３０μｍのとき、Ｖ$_{b}$＝－１Ｖと－２．５Ｖの間で消光比１２．９ｄＢ、挿入損０．６５ｄＢの変調が可能である。なお、上下の非対称性が強い本変形形態のグラフェン光変調器においては、ＴＥモードのグラフェン膜内に比較的大きなＥ$_{y}$成分が存在するため、Ｖ$_{b}$～－２．８２Ｖにバンド間吸収と同程度のプラズモン共鳴吸収を生じている。したがって、本変形形態のグラフェン光変調器によれば、ＴＥモードに対してもプラズマ振動による鋭い吸収ピークを利用できるようになる。例えば、素子長が３０μｍの場合、印加電圧Ｖ$_{b}$＝－２．８２ＶとＶ$_{b}$＝－３．３Ｖの間で変調を行うと、０．４８Ｖ$_{pp}$の電圧振幅で消光比１４．０ｄＢの高効率の変調が実現できることになる。このときの挿入損は０．４５ｄＢである。ただし、グラフェン内のフェルミ準位のばらつきが大きいと鋭い共振ピークは得られず、高効率、高消光比の変調は実現できない。また、バンド間吸収を利用する場合でも、フェルミ準位のばらつきで表面プラズモンの吸収ピークとバンド間吸収の裾が重なると、消光比の低下や挿入損の増大を招く。

【０１２３】

上記の変形形態とは逆に、グラフェン・キャパシタの下側には主スロット（第１の間隙）２２１を挟んで第１および第２の高屈折率領域が設けられているが、上側には高屈折率領域が一つ（第３の高屈折率領域）しかない変形形態も可能である。この場合、第１および第２の高屈折率領域の厚さを第３の高屈折率領域の厚さより厚くすることが望ましい。

【０１２４】

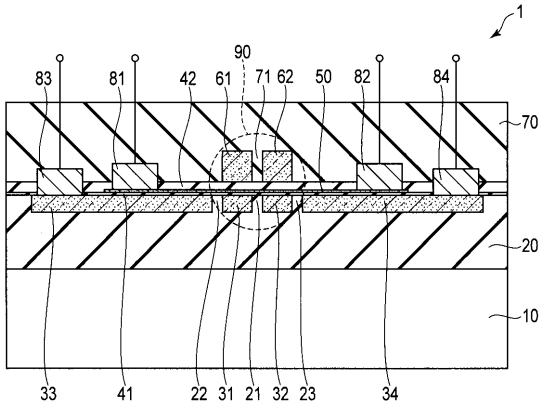
以上、本実施形態やその変形形態のグラフェン光変調器によれば、消光比が低く、変調速度が遅いというグラフェン光変調器の課題を解決して、高効率、小型、高速、広波長帯域の光変調器を提供することが可能になる。

【０１２５】
実施形態のグラフェン光変調器２０１の作製工程は、実施形態のグラフェン受光素子１の作製工程にグラフェン膜とAl_2O_3層を１層ずつ余分に積層する工程が増えるだけなので、同一基板上に容易に集積化することができる。実施形態のグラフェン受光素子１も実施形態のグラフェン光変調器２０１もフットプリントが小さく、ＣＭＯＳプロセスとの親和性が高いので、ＬＳＩ上に高密度のオンチップ光配線を形成することができる。
【０１２６】
図２０は、実施形態のグラフェン受光素子１や実施形態のグラフェン光変調器２０１が集積化されたＬＳＩチップ４００上の光配線層を模式的に示す図である。要素となる光素子はＬＳＩチップのサイズ（＞１ｃｍ）と比べてずっと小さく、実際にははるかに多数の光素子が集積化されているが、説明の都合上、少数の素子のみを実際よりずっと大きく描いている。
【０１２７】
光ファイバ（図では省略）を介してグレーティング・カプラ４１１にレーザ光を入射し、Ｓｉストリップ導波路（第１の領域）４２１の基本ＴＥモードに結合させる。Ｓｉストリップ導波路（第１の領域）４２１に入射した光は光分岐器４１２により複数のＳｉストリップ導波路（第２の領域）４２２に分岐される。以下、一つの分岐に注目して説明を行うが、他の分岐についても構成や作用は同様である。他のグレーティング・カプラに接続された光配線も、基本構成は同じである。
【０１２８】
各Ｓｉストリップ導波路（第２の領域）４２２に分岐された光は、第１のストリップ・スロット・モード変換器４３１を介して第１のＳｉスロット導波路４４１に導かれ、第１のＳｉスロット導波路４４１に設けられた実施形態のグラフェン光変調器２０１で変調される。変調光は第２のストリップ・スロット・モード変換器４３２を介してＳｉストリップ導波路４２３に出力される。Ｓｉストリップ導波路４２３を伝わってきた信号光は、第３のストリップ・スロット・モード変換器４３３を介して第２のＳｉスロット導波路４４２に導かれ、第２のＳｉスロット導波路４４２に設けられた実施形態のグラフェン受光素子１で電気信号に変換される。なお、図では記載を省略したが、グラフェン光変調器２０１やグラフェン受光素子１は変調回路や受光回路と集積化されている。
【０１２９】
図２０は本実施形態の一応用例にすぎず、様々な変形が考えられる。グラフェン光変調器に入力するレーザ光は、グレーティング・カプラの代わりにチップ端に設けたスポット・サイズ変換器を介してチップ外から入力してもよいし、同一チップ内に集積化したレーザ（Ｓｉハイブリッド・レーザ等）から供給してもよい。図では１入力に対して２分岐となっているが、４～１６分岐させて並列配線することもできる。また、一般にグラフェン光変調器２０１からグラフェン受光素子１までの配線長が短い場合は、モード変換器を介さずにスロット導波路でそのまま光変調器から受光素子まで接続してもよい。また、Ｓｉストリップ導波路４２１、４２２、４２３の内部には、Al_2O_3層４１、４２、２４１、２４２、２４３を残してもよいし、除去してもよい。上述の素子以外にも、光スイッチ、偏波カプラ、偏波回転器、ＭＭＩカプラ、方向性結合器など、他の様々な光素子を集積化してもよい。
【０１３０】
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。
【符号の説明】
【０１３１】

１…グラフェン受光素子、１０…Ｓｉ基板、２０…第１の絶縁膜、２１…第１の間隙、２２…第２の間隙、２３…第３の間隙、３１…第１の高屈折率領域、３２…第２の高屈折率領域、３３…第１の導電性半導体領域、３４…第２の導電性半導体領域、３５…第５の高屈折率領域、３７…第１の高屈折率領域、４１…第２の絶縁膜、４２…第３の絶縁膜、５０…グラフェン膜、６１…第３の高屈折率領域、６２…第４の高屈折率領域、６５…第６の高屈折率領域、６７…第３の高屈折率領域、７０…第４の絶縁膜、７１…第４の間隙、８１…第１の電極、８２…第２の電極、８３…第３の電極、８４…第４の電極、９０…光導波路（スロット導波路）、１００…演算増幅器、１０１…ダミー素子、１０２…差動増幅器、２０１…グラフェン光変調器、２１０…Ｓｉ基板、２２０…第１の絶縁膜、２２１…第１の間隙、２２１ｂ…第５の間隙、２２２…第２の間隙、２２３…第３の間隙、２３１…第１の高屈折率領域、２３２…第２の高屈折率領域、２３３…第１の導電性半導体領域、２３４…第２の導電性半導体領域、２３５…第５の高屈折率領域、２３７…第１の高屈折率領域、２４１…第２の絶縁膜、２４２…第３の絶縁膜、２４３…第５の絶縁膜、２５１…第１のグラフェン膜、２５２…第２のグラフェン膜、２６１…第３の高屈折率領域、２６２…第４の高屈折率領域、２６５…第６の高屈折率領域、２７０…第４の絶縁膜、２７１…第４の間隙、２７１ｂ…第６の間隙、２８１…第１の電極、２８２…第２の電極、２８３…第３の電極、２８４…第４の電極、２９０…光導波路、３００…駆動回路、４００…ＬＳＩチップ、４１１…グレーティング・カプラ、４１２…光分岐器、４２１…Ｓｉストリップ導波路、４２２…Ｓｉストリップ導波路、４２３…Ｓｉストリップ導波路、４３１…ストリップ・スロット・モード変換器、４３２…ストリップ・スロット・モード変換器、４３３…ストリップ・スロット・モード変換器、４４１…第１のＳｉスロット導波路、４４２…第２のＳｉスロット導波路、

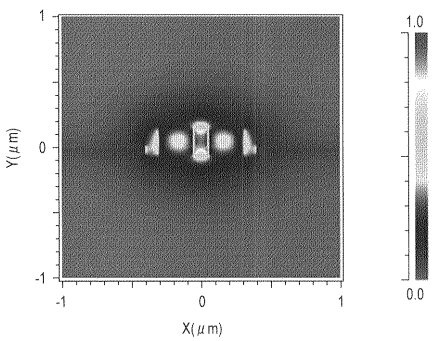
【図１】

図1



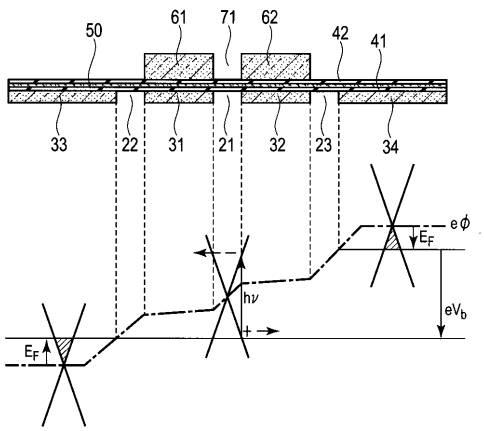
【図２】

図2



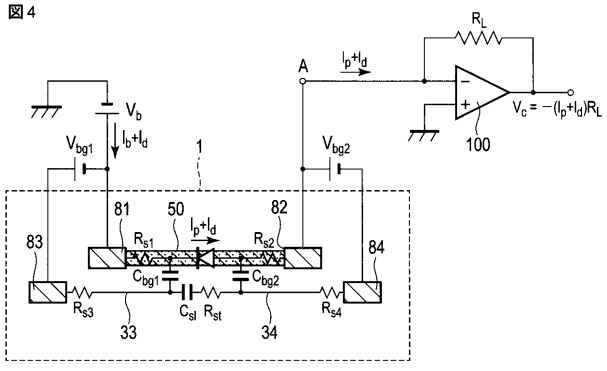
【図３】

図3



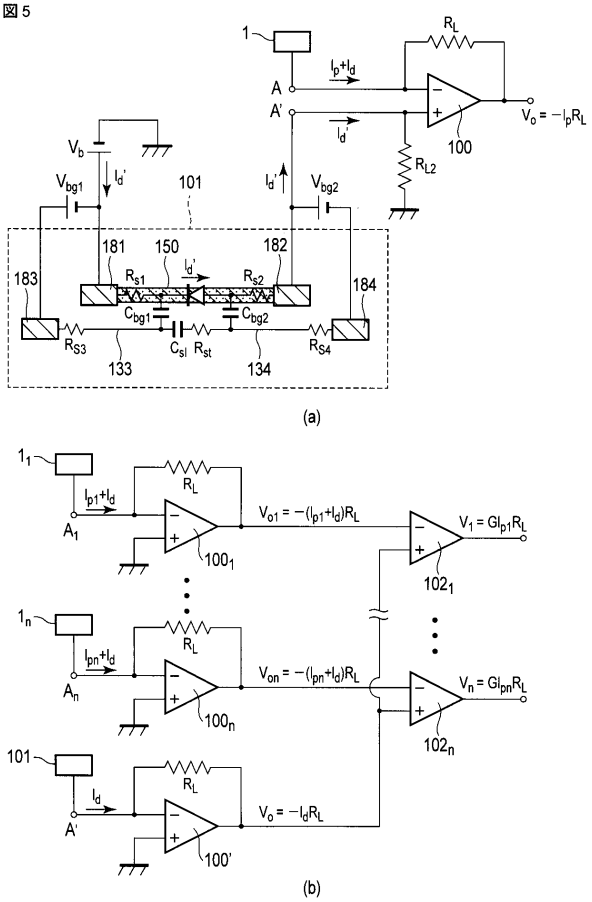
【図４】

図4



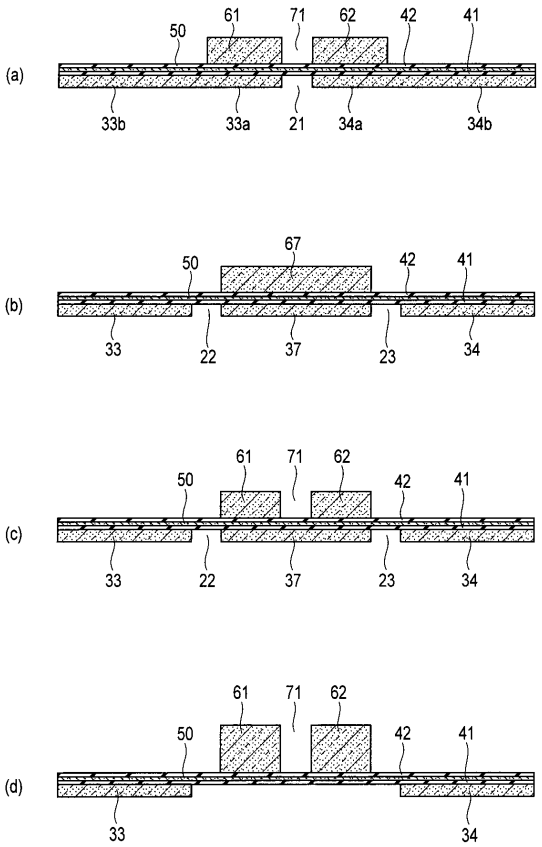
【図５】

図5



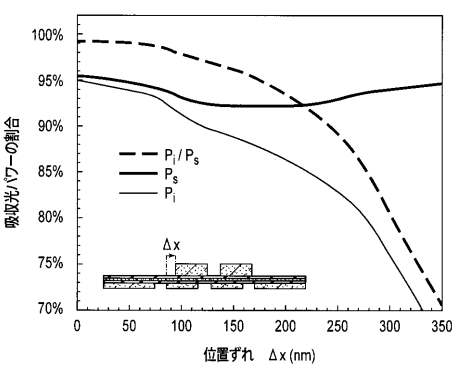
【図６】

図6



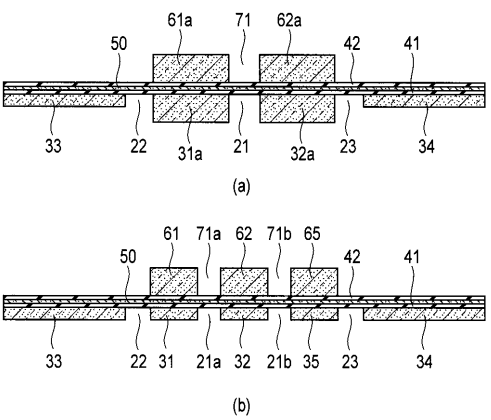
【図７】

図7



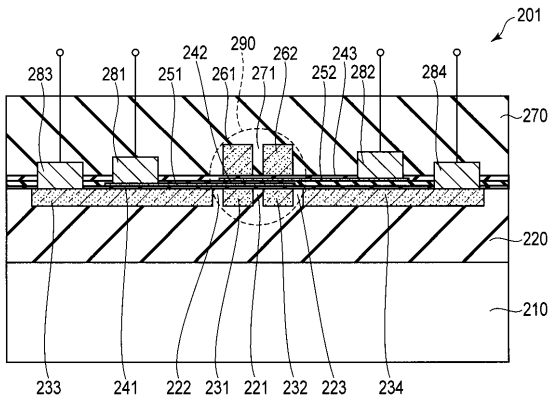
【図８】

図8



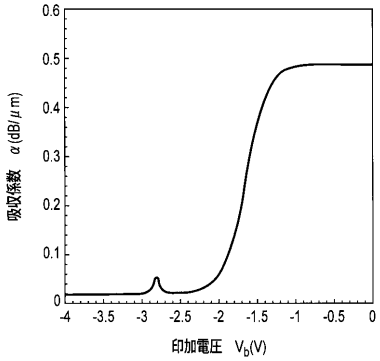
【図９】

図9



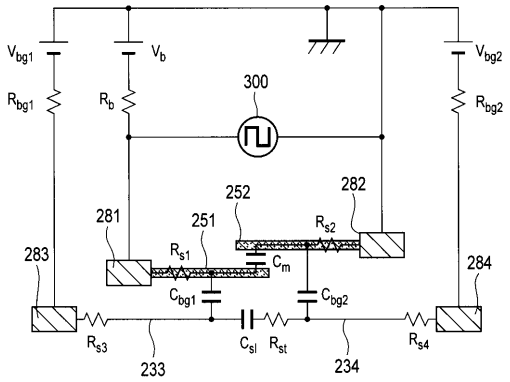
【図１０】

図10



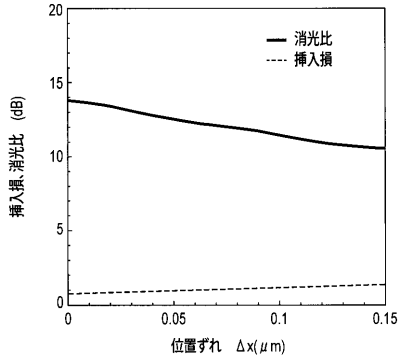
【図１１】

図 11



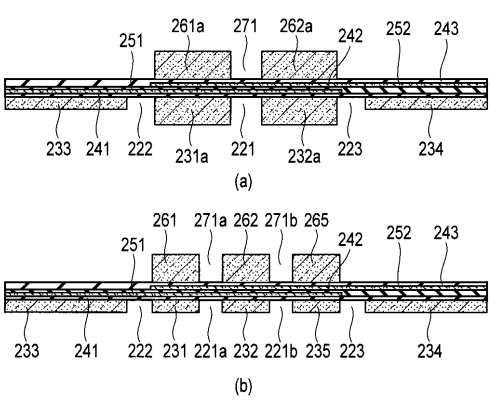
【図１２】

図 12



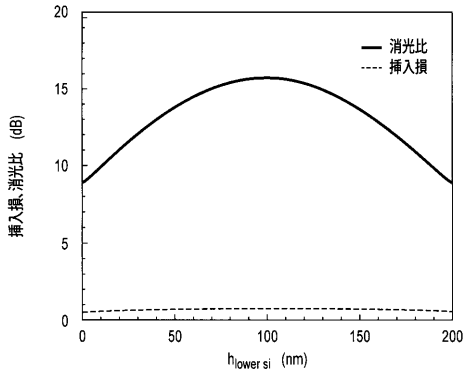
【図１３】

図 13



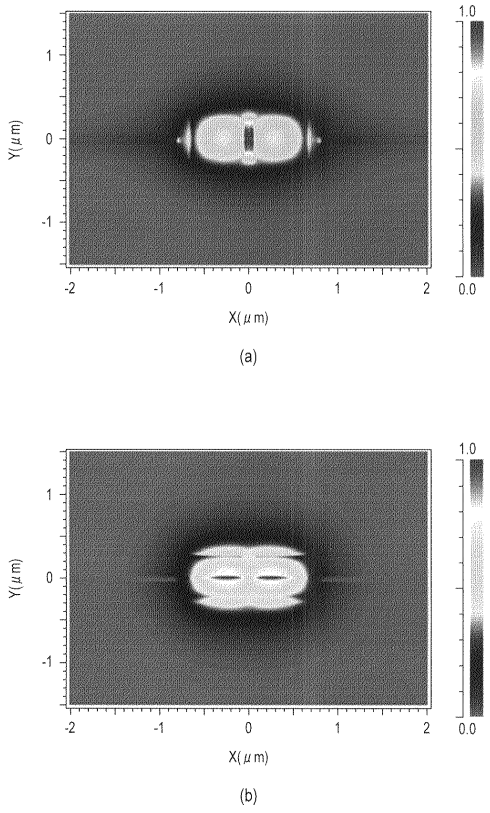
【図１４】

図 14



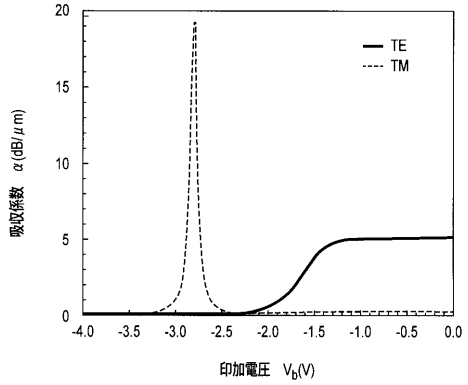
【図１５】

図 15



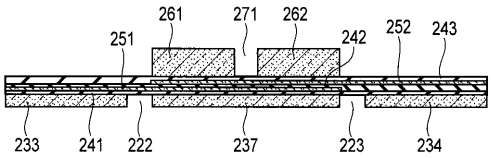
【図１６】

図16



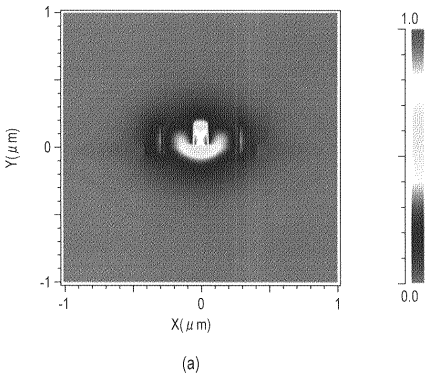
【図１７】

図17

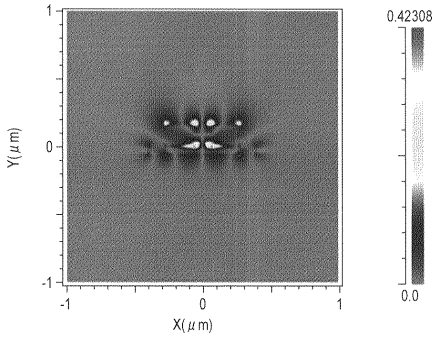


【図１８】

図18



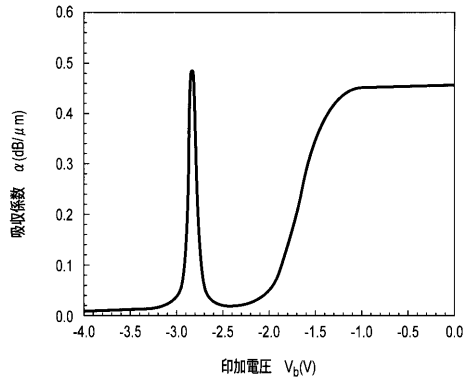
(a)



(b)

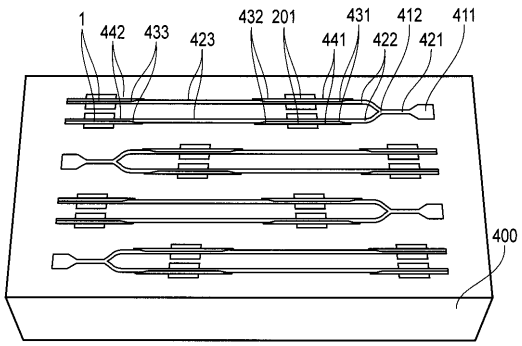
【図１９】

図19



【図２０】

図20



フロントページの続き

Ｆターム(参考) 5F849 AA04 AB03 BA01 BA03 BA25 CB03 DA06 DA50 EA02 FA05
GA04 LA01 LA02 XB15 XB37