

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2002-217426(P2002-217426A)

【公開日】平成14年8月2日(2002.8.2)

【出願番号】特願2001-292502(P2001-292502)

【国際特許分類第7版】

H 01 L 29/872

H 01 L 29/417

H 01 L 29/78

【F I】

H 01 L 29/48	F
--------------	---

H 01 L 29/78	6 5 2 N
--------------	---------

H 01 L 29/78	6 5 3 C
--------------	---------

H 01 L 29/78	6 5 5 F
--------------	---------

H 01 L 29/48	E
--------------	---

H 01 L 29/50	J
--------------	---

H 01 L 29/50	B
--------------	---

H 01 L 29/50	U
--------------	---

【手続補正書】

【提出日】平成16年11月12日(2004.11.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】終端構造及びトレンチ金属酸化膜半導体素子

【特許請求の範囲】

【請求項1】トレンチ金属酸化膜半導体素子用の終端構造において、トレンチ金属酸化膜半導体素子が形成された活性領域と、該活性領域の境界から半導体基板の端部に亘って形成されたトレンチとを有する半導体基板と、上記トレンチの側壁にスペーサとして形成された金属酸化膜半導体ゲートと、上記スペーサ及び上記トレンチの底面の一部を覆うように形成された終端構造酸化層と、上記半導体基板の背面に第1の電極として形成された第1の導電層と、上記半導体基板の上記活性領域から上記スペーサを介して上記終端構造酸化層の一部に至る表面に第2の電極として形成された第2の導電層とを備える終端構造。

【請求項2】上記トレンチの深さは、0.4μm乃至10μmであることを特徴とする請求項1記載の終端構造。

【請求項3】上記金属酸化膜半導体ゲートは、ゲート酸化層上に形成された導電層を備えることを特徴とする請求項1記載の終端構造。

【請求項4】上記トレンチ金属酸化膜半導体素子はパワートランジスタを備えることを特徴とする請求項1記載の終端構造。

【請求項5】上記パワートランジスタは、準備された半導体基板の種類及び上記金属酸化膜半導体ゲートが上記金属酸化膜半導体ゲートの導電層を上記第2の電極から分離する相互接続酸化層を有するか否かに応じて、ショットキーダイオード、二重拡散金属酸化膜半導体及び絶縁ゲート型バイポーラトランジスタからなるグループから選択されることを特徴とする請求項4記載の終端構造。

【請求項 6】 トレンチ金属酸化膜半導体素子用の終端構造において、該終端構造及び該トレンチ金属酸化膜半導体素子は、第1のトレンチ及び第2のトレンチが形成された半導体基板と、上記第1のトレンチ内に形成された第1の金属酸化膜半導体ゲート及び上記第2のトレンチの側壁にスペーサとして形成された第2の金属酸化膜半導体ゲートと、上記スペーサ及び上記トレンチの底面の一部を覆うように形成された終端構造酸化層と、上記半導体基板の背面に第1の電極を形成し、上記半導体基板の表面に第2の電極を形成する導電層とを備える終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 7】 上記半導体基板は、第1の種類の導電性不純物が低濃度にドープされた第1の層と、該第1の種類の導電性不純物が高濃度にドープされたベース基板とを備えるショットキーダイオード用の半導体基板であることを特徴とする請求項6記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 8】 上記第1のトレンチ及び第2のトレンチは、上記第1の層内に形成され、 $0.4\text{ }\mu\text{m} \sim 10\text{ }\mu\text{m}$ の深さを有することを特徴とする請求項7記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 9】 上記第1の金属酸化膜半導体ゲート及び第2の金属酸化膜半導体ゲートは、上記第1のトレンチ及び第2のトレンチの底面及び側壁に形成されたゲート酸化層と、該ゲート酸化層上に形成され該第1のトレンチ及び第2のトレンチを埋める第1の導電層とを備えることを特徴とする請求項6記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 10】 上記第1のトレンチは、活性領域内に形成され、上記第2のトレンチは、該活性領域の境界から上記半導体基板の端部に亘って形成されていることを特徴とする請求項6記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 11】 上記第1の導電層は、金属、ポリシリコン及び非結晶シリコンからなるグループから選択された材料から形成されることを特徴とする請求項9記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 12】 上記第2の電極は、上記活性領域に接続され、空乏領域の湾曲領域が上記活性領域の境界から少なくとも $2\text{ }\mu\text{m}$ 離間するように、上記スペーサを含む上記終端構造酸化層の一部を覆うように形成されていることを特徴とする請求項7記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 13】 上記半導体基板は、最上面に形成され、p型導電性不純物が高濃度にドープされた第1の層と、該第1の層の下層に形成され、p型導電性不純物が低濃度にドープされた第2の層と、該第2の層の下層に形成され、n型導電性不純物が低濃度にドープされた第3の層と、該第3の層の下層に形成され、n型導電性不純物が高濃度にドープされたベース基板と、上記第1の層の内部及び上記第2の層の上部にn型導電性不純物を高濃度にドープして形成された複数の領域とを備える二重拡散金属酸化膜半導体素子用の半導体基板であることを特徴とする請求項6記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 14】 上記第1の金属酸化膜半導体ゲートは、上記第1の導電層を上記第1の電極から分離する相互接続酸化層を表面に備えることを特徴とする請求項13記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 15】 上記第1の層及び第2の層の厚みは $0.5\text{ }\mu\text{m}$ 乃至 $5.0\text{ }\mu\text{m}$ であり、上記第3の層の厚みは $3.0\text{ }\mu\text{m}$ 乃至 $30.0\text{ }\mu\text{m}$ であることを特徴とする請求項13記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項 16】 上記半導体基板は、最上層に形成され、p型導電性不純物が高濃度にドープされた第1の層と、該第1の層の下層に形成され、p型導電性不純物が低濃度にドープされた第2の層と、該第2の層の下層に形成され、n型導電性不純物が低濃度にドープされた第3の層と、該第3の層の下層に形成され、n型導電性不純物が高濃度にドープされた第4の層と、該第4の層の下層に形成され、p型導電性不純物が高濃度にドープされたベース基板と、上記第1の層の内部及び上記第2の層の上部にn型導電性不純物を高濃度にドープして形成された複数の領域とを備える絶縁ゲート型バイポーラトランジスタ素子。

子用の半導体基板であり、上記第1の金属酸化膜半導体ゲートは、上記第1の導電層を上記第1の電極から分離するための相互接続酸化層を表面に備えることを特徴とする請求項6記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項17】 トレンチ金属酸化膜半導体素子用の終端構造において、該終端構造及び該トレンチ金属酸化膜半導体素子は、活性領域内にそれぞれ互いに離間して形成された複数の第1のトレンチと、該活性領域の境界から半導体基板の端部に亘って形成された第2のトレンチとを有する半導体基板と、上記各第1のトレンチに形成された第1の種類の金属酸化膜半導体ゲート及び上記第2のトレンチの側壁にスペーサとして形成された第2の金属酸化膜半導体ゲートと、上記第2のトレンチにおいて、上記スペーサ及び該第2のトレンチの底面の一部を覆うように形成された終端構造酸化層と、上記半導体基板の背面に第1の電極を形成し、該半導体基板の表面に第2の電極を形成する導電層であって、上記第2の電極は、上記活性領域に接続され、空乏領域の湾曲領域が上記活性領域の境界から少なくとも $2\text{ }\mu\text{m}$ 離間するように、上記スペーサを含む上記終端構造酸化層の一部を覆うように形成された第2の電極を形成する導電層とを備える終端構造及びトレンチ金属酸化膜半導体素子。

【請求項18】 上記半導体基板は、第1の種類の導電性不純物が低濃度にドープされた第1の層と、該第1の種類の導電性不純物が高濃度にドープされたベース基板とを備えるショットキーダイオード用の半導体基板であることを特徴とする請求項17記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項19】 上記第1のトレンチ及び第2のトレンチは、 $0.4\text{ }\mu\text{m} \sim 10\text{ }\mu\text{m}$ の深さを有することを特徴とする請求項17記載の終端構造。

【請求項20】 上記第1の種類の金属酸化膜半導体ゲート及び第2の金属酸化膜半導体ゲートは、上記第1のトレンチ及び第2のトレンチの底面及び側壁に形成されたゲート酸化層と、該ゲート酸化層上に形成され該第1のトレンチ及び第2のトレンチを埋める第1の導電層とを備えることを特徴とする請求項17記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項21】 上記第1の導電層は、金属、ポリシリコン及び非結晶シリコンからなるグループから選択された材料から形成されることを特徴とする請求項20記載の終端構造及びトレンチ金属酸化膜半導体素子。

【請求項22】 上記第2の電極は、上記活性領域に接続され、空乏領域の湾曲領域が上記活性領域の境界から少なくとも $2\text{ }\mu\text{m}$ 離間するように、上記スペーサを含む上記終端構造酸化層の一部を覆うように形成されていることを特徴とする請求項17記載の終端構造及びトレンチ金属酸化膜半導体素子。

【発明の詳細な説明】

【0001】

発明の分野

本発明は、半導体装置に関し、特に漏れ電流を防止するためのトレンチ金属酸化膜半導体用の終端構造に関する。

【0002】

発明の背景

二重拡散金属酸化膜半導体の電界効果トランジスタ(Doubled diffused metal-oxide-semiconductor field effect transistor:以下、DMOSFETという。)、絶縁ゲート型バイポーラトランジスタ(insulated gate bipolar transistor:以下、IGBTといふ。)、ショットキーダイオードは、重要な電力素子であり、スイッチング電源及び他の高速電力スイッチングの応用における出力整流子として広く使用されている。このような用途には、例えばモータの駆動、通信装置、産業の自動化及び電子的な自動化におけるスイッチング等が含まれる。パワー素子は、通常、順方向電流が大きく、逆バイアス耐圧が例えば30ボルト以上と高く、逆バイアス時の漏れ電流が少ないことが要求される。これらの要求に対して、トレンチDMOS、トレンチIGBT、トレンチショットキーダイオードは、プレーナ構造のものよりも優れていることが知られている。

【 0 0 0 3 】

パワートランジスタにおいては、大電流を流す活性領域の素子に加えて、活性領域の周囲、通常ダイの端部に終端構造を設け、早期の電圧降伏現象を防止する必要がある。従来の終端構造には、シリコンの選択酸化 (local oxidation of silicon: 以下、LOCOSという。)、電界プレート (field plate)、ガードリング (guard ring) 及びこれらの組合せ等がある。LOCOSは、バーズビーク特性 (bird beak characteristic) を有していることが知られている。バーズビークにおいては、衝突電離係数が高いために、電界集中現象 (field crowding phenomena) が発生しやすい。この結果、漏れ電流が増加し、活性領域の電気的特性が劣化する。

【 0 0 0 4 】

ここで、ショットキーダイオード用のトレンチMOS構造及びトレンチ終端構造が形成された半導体基板の具体例をFIG.1に示す。この半導体基板は、高濃度に拡散形成された n^+ 基板10と、この上に形成されたエピタキシャル層20を備える。エピタキシャル層20内には、複数のトレンチMOS15が形成されている。エピタキシャル層20、ゲート酸化層25、ポリシリコン層30を含むトレンチMOS素子は、活性領域5に形成されている。活性領域5からダイの端までの境界は、厚さ約6000のLOCOS領域である。

【 0 0 0 5 】

電界集中現象を緩和するために、LOCOS領域の真下には、イオン注入により、 p^+ ドープ領域50が形成されている。 p^+ ドープ領域50は、逆バイアス耐圧を高めるためのガードリングとして機能する。活性領域5の表面からLOCOS領域の p^+ ドープ領域50に対応する表面に亘って、アノード(金属層)55が設けられている。これは、空乏層の湾曲領域を活性領域5から遠ざけるために設けられている。ガードリング50は、電界集中を緩和し、活性領域5近傍に発生する電界強度の傾きを滑らかにするが、 p^+ ドープ領域50とトレンチMOS15の底部の下側との間の隣接領域60は、円滑な曲線を描かない。このため、漏れ電流が増加し、逆バイアス耐圧が低下する。フィールドプレートとガードリングを組み合わせて用いた場合も同様の状況が発生する。さらに、上述した従来の構造は、製造段階で多数の(少なくとも4回の)フォトマスクプロセスを必要とし、処理が複雑である。さらに、このような構造を形成するためにコストが嵩むという問題もある。

【 0 0 0 6 】

従来の終端構造のいずれも、上述の問題を解決するものではない。そこで、本発明は、新規な終端構造を提供するものである。本発明が提供する終端構造により、空乏層の湾曲領域を活性領域から遠ざけることができ、空乏層の境界を従来より平坦にすることができます。さらに、本発明は、従来より単純なプロセスで製造できる終端構造及び終端構造の製造方法を提供する。本発明においては、終端構造及びトレンチを同時に形成するため、フォトマスクプロセスは3回ですみ、全体の製造プロセスが単純化され、製造コストも低減できる。

【 0 0 0 7 】**発明の開示**

本発明は、トレンチMOS素子と同時に形成できる新規な終端構造を提供する。MOS素子は、どのような半導体基板が準備されるかにより、ショットキーダイオードであっても、二重拡散金属酸化膜半導体(DMOS)であっても、絶縁ゲート型バイポラトランジスタ(IGBT)であってもよい。終端構造及びトレンチMOS素子は、活性領域内にそれぞれ互いに離間して形成された複数の第1のトレンチと、活性領域の境界から半導体基板の端部に亘って形成された第2のトレンチとを有する半導体基板と、各第1のトレンチに形成された第1の種類の金属酸化膜半導体ゲート及び第2のトレンチの側壁にスペーサとして形成された第2の金属酸化膜半導体ゲートと、第2のトレンチにおいて、スペーサ及び第2のトレンチの底面の一部を覆うように形成された終端構造酸化層と、半導体基板の背面及び表面にそれぞれ形成された第1及び第2の電極とを備える。第2の電極は、空

乏領域の湾曲領域が活性領域の境界から離間するように、半導体基板の上記活性領域から上記スペーサを介して上記終端構造酸化層の一部に至る表面に亘って形成されている。

【0008】

発明の実施の形態

上述の発明の背景において説明したように、従来の終端構造としては、選択酸化、電界プレート、ガードリング及びこれらの組合せ等があるが、このような終端構造のいずれも電界集中の問題を完全に解決するものではない。電界の集中が発生する位置は、設計の違いにより、様々である。本発明は、新規なトレンチ終端構造及びその製造方法を提供する。本発明に基づくトレンチ終端構造は、電界集中の問題を解決する。また、本発明に基づくトレンチ終端構造は、平坦な空乏層境界を実現し、この境界における湾曲領域は、逆バイアス電圧が印加されても、活性領域から遠く離れている。したがって、本発明に基づく終端構造により、降伏現象が早期に発生することを防止することができる。

【0009】

さらに、本発明に基づく終端構造は、ショットキーダイオード、二重拡散金属酸化膜半導体 (Doubled diffused metal-oxide-semiconductor: 以下、DMOSという。)、絶縁ゲート型バイポーラトランジスタ (insulated gate bipolar transistor: 以下、IGBTという。) 等、いかなるパワートランジスタにも適用できる。最も重要な点は、トレンチMOS素子をトレンチ終端構造と同時に形成できるという点である。

【0010】

以下、本発明の幾つかの具体的な実施例を順次説明する。

【0011】

まず、第1の好ましい実施例として、ショットキーダイオードとトレンチ終端構造とを同時に形成する方法を説明する。

【0012】

FIG.2は、半導体基板100の断面を示す図であり、半導体基板100は、第1の種類の導電性不純物（例えば、n型不純物）がドープされている第1の層100Aと、第1の種類の導電性不純物が高濃度にドープされているベース基板100Bとを備える。第1の層100Aは、ショットキー接合を形成するためにベース基板100B上にエピタキシャル成長により形成され、ベース基板100Bはオーム接触を形成するためであり、その上に金属層が形成される。

【0013】

そして、酸化層101は、第1の層100A上に化学蒸着 (chemical vapor deposit: 以下、CVDという。) 法により2000~10000の厚さで形成される。次に、フォトレジスト（図示せず）により酸化層101を覆い、複数の第1のトレンチ110及び1個の第2のトレンチ120を画定 (define) する。各第1のトレンチ110は、活性領域の断面において、0.2~2.0 μmの幅を有するように形成される。第2のトレンチ120は、第1のトレンチ110からメサ1個分離間し、活性領域の境界から半導体基板（又はダイ）100の端部に亘って形成される。第2のトレンチ120は、空乏境界を平坦にし、電界集中を防止するために設けられる。

【0014】

FIG.3に示すように、酸化層101を除去した後、高温酸化プロセスによりゲート酸化層125を形成する。ゲート酸化層125は、約150~3000の厚みを有し、第1及び第2のトレンチ110、120の側壁110A、120A及び底面110B、120B、及びメサ表面115A上に形成される。これに代えて、高温蒸着法により、ゲート酸化層125を高温酸化 (high temperature oxide: HTO) 蒸着層として形成してもよい。

【0015】

続いて、ゲート酸化層125に対してCVDプロセスを施し、第1のトレンチ110及び第2のトレンチ120を埋め、少なくともメサ表面115Aより高い第1の導電層140を形成する。第1の導電層140は、CVDプロセスにより、半導体基板100の背面

にも形成される。第1の導電層140の材料は、金属、ポリシリコン及び非結晶シリコンからなるグループから選択される。第1の導電層140の厚みは、0.5~3.0 μmとするとよい。第1のトレンチ110の内部に空隙(void)が形成されることを防ぐために、ステップカバレッジ(段差被覆性)が良好となるように、第1の導電層140の材料としては、ポリシリコンを用い、減圧CVD(low-pressure CVD)法によりポリシリコン層を形成するとよい。なお、第1のトレンチ110のアスペクト比が5以上である場合、非結晶シリコン層をPECVD法により形成するとよい。非結晶シリコンは、ポリシリコンに比べて、空隙埋込特性(gap filled characteristic)が良好である。なお、非結晶シリコンに導電性を持たせるためには、非結晶シリコン再結晶処理が必要である。

【0016】

次に、FIG.4に示すように、メサ表面115A上のゲート酸化層125をエッチング停止層(etching stop layer)として用いて、異方性エッチングを行い、メサ表面115Aより上の第1の導電層140を除去する。この処理の後、第2のトレンチ120の側壁125Aに第2のトレンチ120の高さと略等しい幅(断面図における横方向の幅)を有するスペーサ122を形成する。

【0017】

次に、終端構造のための誘電層150を形成する。誘電層150は、テトラエチルオルソシリケート(tetraethyl orthosilicate:TEOS)、PETEOS、O₃-TEOS、HTOのいずれにより形成してもよい。誘電層150の厚みは、0.2 μm~1.0 μmとするとよい。

【0018】

次に、誘電層150をフォトレジストパターン155で覆い、ショットキー接合の範囲を画定する。次に、このフォトレジストパターン155をマスクとして用いてドライエッチングを行い、メサ表面115A及び第1のトレンチ110の第1の導電層140を露出させる。

【0019】

このフォトレジストパターン155を剥離した後、FIG.5Aに示すように、背面の不要な層を除去し、ベース基板110Bの背面を露出させる。この不要な層とは、誘電層150、第1の導電層140、ゲート酸化層125を含む活性領域の素子を形成するための熱酸化プロセス又はCVDプロセスにより半導体基板の背面に形成された層である。

【0020】

続いて、スパッタリングプロセスにより、第2の導電層を蒸着させ、第2の導電層と第1の基板100Aとの間にショットキー接合領域115を形成し、及び第2の導電層と第2の基板100Bとの間のオーミック接触となるカソード160を形成する。次に、フォトレジストパターン165を第2の導電層上に形成し、アノード160Aを画定する。この具体例においては、アノード160Aは、活性領域から第2のトレンチ120に亘って、少なくとも活性領域から2.0 μm以上延出するように形成される。これにより、空乏領域の湾曲領域を活性領域から遠く離間させることができる。

【0021】

FIG.5Bは、トレンチMOS終端構造(FIG.5Aに示す)の電気特性の具体例を示す図である。ここでは、逆バイアスをシミュレートするために、ショットキーダイオードに逆バイアス電圧を印加している。すなわち、アノード183を0Vとして、カソード160に183ボルトの電圧を印加する。線180は、等電位線を表している。FIG.5Bにおいては、等電位線180により表される電位は、底部から上部にかけて徐々に低くなっている。等電位線180に直交する線185は、電気力線(electrical force)を表している。FIG.5Bに示すように、漏れ電流は、活性領域のみで発生し、終端領域の下の空乏領域においては、ほとんど発生していない。さらに、空乏領域の境界180Aは、平坦な特性を有し、早期の電圧降伏は発生しない。なお、空乏領域の境界180Aでは、ごく僅かしか漏れ電流が生じない。

【0022】

F I G . 5 C は、終端構造を有さないトレンチM O S 構造体における逆電流曲線 1 9 5 と、本発明に基づく終端構造を有するトレンチM O S 構造体における逆電流曲線 1 9 0 とを比較して示すグラフである。この終端構造により、増加する逆電流は 8 . 8 % のみである。これに対し、従来の終端構造であるガードリングと L O C O S の組合せでは、逆電流が 1 2 . 8 % 増加する。このように、本発明によれば、特性が著しく向上する。さらに、従来の構造では、少なくとも 4 回のフォトマスクプロセスが必要であったが、本発明では、フォトマスクプロセスは 3 回（トレンチの形成（1回目）、コンタクト画定（2回目）、アノードを形成するための第 2 の導電層のエッティング（3回目））のみでよい。すなわち、本発明によれば、終端構造の製造プロセスを単純化することができる。

【 0 0 2 3 】

本発明に基づく終端構造を用いて、トレンチD M O S 構造及び終端構造を形成する第 2 の具体例について説明する。

【 0 0 2 4 】

F I G . 6 に示すように、D M O S 構造のために、準備される半導体基板は、ショットキーダイオードを形成する半導体基板と異なるものであるが、半導体基板に対して施される処理は極めて似ている。D M O S 構造及び終端構造を同時に形成するために、準備された半導体基板 2 0 0 は、上面から底面に向かって、第 1 の層 2 0 0 A 、第 2 の層 2 0 0 B 、第 3 の層 2 0 0 C を備える。第 1 の層 2 0 0 A 及び第 2 の層 2 0 0 B は、ベース基板 2 0 0 C 上にエピタキシャル成長プロセスを施すことにより形成されている。

【 0 0 2 5 】

第 1 の層 2 0 0 A は、ベース層として p 型導電性不純物がドープされており、さらに、第 1 の層 2 0 0 A の表面には、 p 型導電性不純物が高濃度にドープされている。第 2 の層 2 0 0 B は、 n 型導電性不純物がドープされており、第 3 の層 2 0 0 C には、 n 型導電性不純物が高濃度にドープされている。さらに、F I G . 6 に示す具体例では、第 1 の層 2 0 0 A の表面には、複数の n⁺ 領域がイオン注入により形成され、これにより、多くの n⁺ 領域 2 0 4 及び p⁺ 領域 2 0 3 が形成されている。第 1 の層 2 0 0 A の厚みは、 0 . 5 μ m ~ 5 . 0 μ m であり、第 2 の層 2 0 0 B の厚みは、 3 μ m ~ 3 0 μ m である。

【 0 0 2 6 】

次に、F I G . 7 に示すように、第 1 の具体例において説明した処理と同様に、メサ 2 1 5 を挟んで、複数の第 1 のトレンチ 2 1 0 と、第 2 のトレンチ 2 2 0 とを形成する。第 1 のトレンチ 2 1 0 は、 n⁺ 領域 2 0 4 を貫通して、活性領域内に形成され、第 2 のトレンチ 2 2 0 は、活性領域の境界から半導体基板（又はダイ） 2 0 0 の端部に亘って形成されている。

【 0 0 2 7 】

次に、高温酸化プロセスを行って、約 1 5 0 ~ 3 0 0 0 の厚みを有するゲート酸化層 2 2 5 を形成する。次に、メサ 2 1 5 を越えて、第 1 のポリシリコン（first polysilicon）及び非結晶シリコンのいずれかから選択された導電層 2 4 0 を第 1 のトレンチ 2 1 0 及び第 2 のトレンチ 2 2 0 に埋め込む。次に、メサ表面 2 1 5 A 上のゲート酸化層 2 2 5 を停止層（stopping layer）として用いて、エッティングプロセスを行うことにより、余分な導電層 2 4 0 を除去する。次に、 n⁺ 領域 2 0 4 と p⁺ 領域 2 0 3 とを停止層（stopping layer）として用いて、メサ表面 2 1 5 A 上のゲート酸化層 2 2 5 を除去する。

【 0 0 2 8 】

続いて、さらなる熱酸化プロセスを施し、第 1 の導電層 2 4 0 の一部を酸化させることにより、相互導電酸化層（inter-conductive oxide layer） 2 4 5 を形成する。ポリシリコンの粒子境界により、酸素高速拡散パス（oxygen fast diffusion paths）が形成されるので、第 1 のトレンチ 2 1 0 及び第 2 のトレンチ 2 2 0 内にポリシリコン層又は非結晶シリコン層により形成される酸化層は、半導体基板上のメサ表面 2 1 5 A に形成される酸化層より厚くなる。

【 0 0 2 9 】

次に、F I G . 8 に示すように、エッティングプロセスにより、第 1 の層 2 0 0 A 、 n⁺

領域 204 及び p⁺ 領域 203 の表面より上の熱酸化層 245 を除去する。なお、第2のトレンチ 220 のスペーサ 240 及び第1の導電層 240 上の熱酸化層 245 は、このエッチングプロセスの後も残留し、これにより分離機能 (isolation function) が実現される。続いて、全ての領域に TEOS 酸化層 250 が形成される。次に、第1の層 200A の TEOS 酸化層 250 上にフォトレジストパターンが形成され、ソース接合領域が画定される。

【0030】

次に、FIG. 9 に示すように、スパッタリングプロセスを行う前に、半導体基板（すなわちベース基板 200C）の背面に形成されている不要な層を除去する。この不要な層には、活性領域内の素子を形成するときにベース基板 200C の背面に同時に形成された TEOS 酸化層 250 と、相互導電酸化層 245 と、第1の導電層 240 と、ゲート酸化層 255 とが含まれる。

【0031】

続いて、スパッタリングプロセスにより金属層 260 を堆積し、これにより第1の層 200A 上のソース接合及びベース基板 200C 上のドレイン接合、すなわち半導体基板の背面が形成される。上述の具体例と同様に、活性領域上に形成される金属層 260 は、約 2.0 μm 以上終端構造 220 に延出し、その端部が活性領域から離間している必要がある。これにより、上述の具体例と同様のリソグラフィックプロセス及びエッチングプロセスを続いて行うことができる。

【0032】

次に、本発明に基づく終端構造を用いてトレンチ IGBT 構造と終端構造とを同時に形成する第3の具体例について説明する。FIG. 10 に示すように、トレンチ MOS を IGBT 構造として形成するために準備される半導体基板は、ショットキーダイオードを形成するための半導体基板とは異なるものであるが、トレンチ DMOS 構造用に準備される半導体基板に非常に似ている。さらに、ここでの処理は、トレンチ DMOS を製造するための処理と略同一である。IGBT 構造及び終端構造を同時に形成するために準備される半導体基板 300 は、上面から底面に向かって、第1の層 300A、第2の層 300B、第3の層 300C、及びベース基板 300D を備える。第1の層 300A、第2の層 300B、第3の層 300C は、ベース基板 300D 上にエピタキシャル成長プロセスを施すことにより形成されている。

【0033】

第1～第3の層 300A、300B、300C には、FIG. 6 に示す半導体基板と同様の種類の不純物が同様の濃度でドープされている。例えば、第1の層 300A は、p 型のベース層であり、p 型のベース層 302 の上部には、n⁺ 領域 304 と p⁺ 領域 303 が形成されている。第2の層 300B は、ドリフト層として機能する n 型ドープ層であり、第3の層 300C は、バッファ層として機能する n⁺ 層である。ベース基板 300D は、p 型導電性不純物が高濃度にドープされている。第1の層 300A の厚さは、0.5 μm ~ 10.0 μm であり、第2の層 300B の厚さは、3 μm ~ 100 μm である。

【0034】

FIG. 11 に示すように、n⁺ ドープ領域 304 を貫通して、複数の第1のトレンチ 310 を形成する。第1のトレンチ 310 の底面は、p 型ドープ層 302 より深い位置に形成される。さらに、各第1のトレンチ 310 及び第2のトレンチ 320 は、0.2 μm ~ 4.0 μm のメサ 315 により離間されている。第2のトレンチ 310 は、活性領域の境界から半導体基板の端部に亘って形成されている。

【0035】

150 ~ 3000 の厚みを有するゲート酸化層を形成する熱酸化プロセスの後、第1のトレンチ 310 及び第2のトレンチ 320 にポリシリコン又は非結晶シリコン層等の第1の導電材料 340 の埋込処理を行う。次に、メサ 315 の表面を停止層として、ゲート酸化層 325 を用いてエッチバックプロセスを行い、これにより、第1のトレンチ 310 及び第2のトレンチ 320 のスペーサのみに第1の導電材料 340 が残留する。

【0036】

上述の第2の具体例と同様、第1の層300Åの表面上のゲート酸化層325が除去され、さらなる熱酸化プロセスが実行され、導電層340及び金属層(後に形成される)分離のための相互接続酸化層(inter-conductive oxide layer)345が形成される。次に、メサ315の表面上の熱酸化層345が除去される。なお、第1のトレンチ310及び第2のトレンチ320内の第1の導電層340上の熱酸化層は、相互接続酸化層として残される。

【0037】

さらに、FIG.11に示すように、上述と同様に、全ての領域上にTEOS誘電層350を形成し、これをフォトレジストパターンにより覆う。この後、エッティングプロセスを行い、 n^+ ドープ領域304及び p^+ ドープ領域303を露出させる。

【0038】

次に、FIG.12に示すように、金属スパッタリングを行う前に、ベース基板の背面に形成されている不要な層を除去する。第2の導電層に続いて、通常、ベース基板300Dの表面に金属層が形成され、これによりコレクタ電極が形成される。リソグラフィックプロセス及びエッティングプロセスを順次行った後、第1の層300Åの表面に p^+ 領域303と n^+ 領域304に接続されたエミッタ電極が形成される。エミッタ電極の一方の端部は、活性領域から所定の距離離間した位置に設けられる。

【0039】

本発明の効果は以下の通りである。

(1) 空乏境界が平坦であり、空乏境界の湾曲領域を活性領域から遠く離すことができる。このような特性により早期の電圧降伏現象を防止することができる。

(2) 本発明に基づく終端構造に逆バイアス電圧を印加することにより生じる漏れ電流は、従来のLOCOS及びガードリングにより構成される終端構造より小さい(8.8%対12.8%)。

(3) 本発明に基づく終端構造を有するトレンチMOS素子は、従来より単純なプロセスで製造できる。本発明によれば、フォトマスクプロセスを減らすことができる。

【0040】当業者にとってあきらかなように、上述した本発明の好ましい実施の形態は、本発明を限定する目的ではなく、例示的に示したものにすぎない。本発明は、添付の請求の範囲に含まれる様々な変形例及び同様の構成を包含する。すなわち、本発明の範囲は、最も広く解釈され、このような変形例及び同様の構造の全てを含むものと解釈される。

【図面の簡単な説明】

【図1】

FIG.1は、LOCOS及びガードリングを終端構造として用いた従来のトレンチショットキーダイオードを示す図である。

【図2】

FIG.2は、本発明に基づいて形成された第1のトレンチ及び第2のトレンチを示す断面図である。

【図3】

FIG.3は、本発明に基づいて、第1のトレンチ及び第2のトレンチに第1の導電材料を埋め込んだ状態を示す断面図である。

【図4】

FIG.4は、本発明に基づいて、終端構造の酸化層を画定し、活性領域及びスペーサを露出させた状態を示す断面図である。

【図5】

FIG.5Aは、半導体基板の両面にアノード電極及びカソード電極を形成し、本発明に基づくショットキーダイオード及び終端構造を完成させた状態を示す断面図である。

【図6】

FIG.5Bは、本発明に基づくショットキーダイオード及び終端構造を用いたシミュレーションにおける等電位線及び電力線を示す図である。

【図7】

FIG.5Cは、本発明に基づく終端構造を有するトレンチショットキーダイオード及び有さないトレンチショットキーダイオードの漏れ電流を比較するシミュレーション結果を示す図である。

【図8】

FIG.6は、本発明に基づくDMOS素子及び終端構造のために準備される半導体基板の断面図である。

【図9】

FIG.7は、第1の導電層をエッチバックし、高温熱酸化プロセスにより相互接続酸化層を形成した状態を示す断面図である。

【図10】

FIG.8は、終端構造酸化層を画定し、活性領域及びスペーサを露出した状態を示す断面図である。

【図11】

FIG.9は、半導体基板の両面にソース電極及びドレイン電極を形成し、本発明に基づくDMOS素子及び終端構造を完成させた状態を示す断面図である。

【図12】

FIG.10は、本発明に基づくIGBT及び終端構造のために準備される半導体基板の断面を示す図である。

【図13】

FIG.11は、終端構造酸化層を画定し、活性領域及びスペーサを露出させた状態を示す断面図である。

【図14】

FIG.12は、半導体基板の両面にエミッタ電極とコレクタ電極とを形成し、本発明に基づくIGBT及び終端構造を完成させた状態を示す断面図である。