



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

配線形成方法

5

技術分野：

本発明は配線形成方法に関するものである。

発明の背景：

- 10 半導体デバイス（特にシリコンデバイス）は、微細化（スケーリング則：M o r e の法則）によってデバイスの集積化・低電力化が進められ、3年4倍のペースで開発が進められてきた。近年、M O S F E T のゲート長は20nm以下となり、リソグラフィプロセスの高騰（装置価格およびマスクセット価格）、およびデバイス寸法の物理的限界（動作限界・ばらつき限界）により、これまでのスケ
- 15 ーリング則とは異なるアプローチでのデバイス性能の改善が求められている。

半導体装置上の銅多層配線内部に形成される機能素子としては、例えば抵抗変化型不揮発素子（以下「抵抗変化素子」という。）やキャパシタ（容量素子）等がある。

- 20 ロジックL S I 上に混載するキャパシタとしては、エンベデッドD R A M や、デカップリングキャパシタなどがある。これらのキャパシタを銅配線上に搭載することで、キャパシタの大容量化や小面積化を実現可能になる。

- ゲートアレイとスタンダードセルの中間的な位置づけとしてF P G A と呼ばれるデバイスが開発されている。これは顧客自身がチップの製造後に任意の回路構成を行うことを可能とするものである。プログラマブル素子として、抵抗変化素
- 25 子等を配線接続部に介在させ、顧客自身が任意に配線の電氣的接続をできるようにしたものである。このような半導体装置を用いることで、回路の自由度を向上させることができる。

抵抗変化素子としては、金属酸化物を用いたR e R A M (R e s i s t i v e R a n d o m A c c e s s M e m o r y) や、固体電解質を用いた固体電解

質スイッチ素子などがある。

抵抗変化素子は下部電極と上部電極によって抵抗変化層を挟んだ3層構造を有しており、両電極間に電圧を印加することで抵抗変化層の抵抗変化が生じる現象を利用している。既に1950～60年代から、このような電圧の印加により抵抗変化が生じる現象について研究されており、現在までにさまざまな金属酸化物を用いた抵抗変化層3における抵抗変化現象が報告されている。例えば、非特許文献1および2には、酸化ニッケル(NiO)を用いた抵抗変化素子が報告されている(非特許文献1、2)。

抵抗変化層として固体電解質を用いた固体電解質スイッチ素子の研究についても、1990年代後半からいくつか報告されており、さまざまな固体電解質材料による抵抗変化現象が確認されている。例えば、非特許文献3および4には、カルコゲナイド化合物を用いた抵抗変化現象が報告されている(非特許文献3、4)。また、これらを半導体装置上の銅多層配線内部に形成する手法についても知られている。例えば、特許文献1および非特許文献5では、CMOS基板上の銅多層配線層内部に作製した固体電解質スイッチ素子が報告されている(特許文献1、非特許文献5)。

固体電解質スイッチ素子とは、固体電解質を2つの電極で挟んだ構造を有する素子であり、例えば一方の電極に負電圧を印加すると、他方の電極を構成する金属原子がイオン化して固体電解質中に溶出し、金属架橋が形成される。この金属架橋により2つの電極が電氣的に接続されることで、スイッチが低抵抗のオン状態に変化する。一方で上記オン状態において一方の電極に正電圧を印加すると、前記金属架橋が固体電解質中へ溶解し、2つの電極が電氣的に絶縁されることで、スイッチが高抵抗のオフ状態に変化する。このように固体電解質スイッチ素子はこのオン状態とオフ状態の間を不揮発で、かつ繰り返し切り替える動作が可能であり、この特性を利用することで不揮発性メモリあるいは不揮発性スイッチへの応用が可能になる。

ここで、近年では半導体デバイスのさらなる高集積化および微細化が求められており、微細化に伴う配線抵抗および配線間容量の増大を抑制するためにCu/低誘電率(low-k)配線層が用いられているが、この配線層中へ固体電解質

スイッチ素子などの各種BEO L (Back End Of Line) デバイスを搭載するには、多層配線形成のプロセス温度をできるだけ低くすることが好ましい。しかしながら、このプロセス低温化に伴い、ビアファーストデュアルダマシンプロセスにおいて、BEO Lデバイスの上部電極上に開口したビアホールを介して発生するポ
5 イゾニングガスの発生が増加し、ビアホール開口後の配線露光の際に、塗布したフォトリソト (PR) に含まれる化学増幅材が失活化され、その結果、配線パターンの解像不良を生じるという課題を有していた。

一方、これらのポイゾニング現象を防ぐ手法として、従来、多層レジストプロセスが用いられてきた。例えば、Spin-on-Glass (SOG) 層、ある
10 いはSiO₂層をポイゾニングガスのブロック層として挿入する手法が知られている。従来のデュアルダマシン配線溝露光技術としては、基板から近い順にSpin-on-Carbon (SOC) / SOG / 反射防止膜 (BARC, Bottom Anti Reflection Coating) / PR、SOC / SiO₂ / BARC / PRなどの多層レジスト構造を用いたパターンニング手法が知られている。しかしながら、さらなる微
15 細配線パターンを形成するために、レジストの薄膜化も進んでおり、低温化とともにブロック層の膜厚 (SOGやSiO₂) を薄くする必要が生じており、その結果、ポイゾニングガス発生 of 十分な抑制は困難となっている。

また、ブロック層としてSOG層よりもSiO₂層を用いた方がブロック性に優れるが、SiO₂層を用いた場合には、SOC層と密着性が低く剥離が生じやすい
20 という問題を有していた。

さらに、目ずれなどが生じた場合には、上層レジスト (ブロック層より上のレジスト層) のみをO₂アッシングや有機溶剤などにより、剥離・除去してから、再度上層レジストを塗布して露光・現像処理を行う手法が用いられる。しかし、低温で形成したSOG膜やSiO₂膜のブロック膜はO₂アッシング処理によって
25 屈折率が変化したり、有機溶剤によってブロック膜が剥がれたりするという問題を有していた。

一方、配線パターンの解像不良を解消する他の手法としては、ビアホールの面積当たりの個数を増やしポイゾニングガス発生を分散させる手法や、ビア底のエッチストップ層を2層構造にするなどの手法が知られている。しかしながら、銅

多層配線内部にBEOLデバイスを形成するにあたっては、配線層構造はデバイス特性を優先して設計する必要があり、配線層構造によらないポイズニング解決策が望まれていた。

5 特許文献2には、三層レジスト構造において、前述の O_2 アッシングおよび有機溶剤を用いた洗浄によるブロック層の劣化を防止する手法として、ブロック層として低温CVD法により成膜したTEOS層を用いる技術が開示されている（特許文献2）。

10 また、特許文献3には、三層レジスト構造において、SOC層と上層のブロック層とのドライエッチング選択比を向上する目的で、ブロック層として高密度プラズマを用いたCVD法により成膜した SiO_2 層あるいは Si_3N_4 層を用いる技術が開示されている（特許文献3）。

先行技術文献

特許文献

- 15 特許文献1：特開2011-091317号公報
特許文献2：特許第4571880号明細書
特許文献3：特開平7-183194号公報

非特許文献

20 非特許文献1：J. F. Gibbons, et al., "Switching properties of thin NiO films" Solid-State Electronics Vol. 7, p. 785-790, 1964

25 非特許文献2：D. C. Kim, et al., "Electrical observations of filamentary conduction for the resistive memory switching in NiO films" Applied Physics Letters Vol. 88, p. 202102, 2006

非特許文献3：M. N. Kozicki, et al., "Information storage using nanoscale ele

ctrodeposition of metal in solid electrolytes” Superlattices and Microstructures Vol. 34, p. 459-465, 2003

5 非特許文献4: R. Waser, et al., “Nanoionic s-based resistive switching memories” Nature Materials Vol. 6, p. 833-840, 2007

10 非特許文献5: M. Tada et. al., “Highly scalable nonvolatile $\text{TiO}_x/\text{TaSiO}_y$ solid-electrolyte crossbar switch integrated in local interconnect for low power reconfigurable logic” IEEE IEDM Technical Digest, p. 493-496, 2009

15 発明の概要:

発明が解決しようとする課題

しかしながら、特許文献2の技術を用いた場合においても、下層からのポイズニングガスを十分にブロックすることは困難であった。

20 また、特許文献3の技術を用いた場合には、高密度プラズマを用いた SiO_2 層あるいは Si_3N_4 層を成膜時に、下層のSOC層表面がエッチングされてしまうため、いわゆるビアホール内にSOC層を埋め込んで平坦化するビアファーストプロセスの要求に応えられなかった。

そのため、配線層構造によらずにポイズニングガス発生を抑制する有効な手段は無いのが現状であった。

25 本発明は、上述したような技術が有する問題点を解決するためになされたものであり、ポイズニングガス発生を抑制し配線パターンの解像不良を解消することで、所望の配線層構造を形成し、特性歩留まりを改善した機能素子を形成可能な配線形成方法を提供することを目的とする。

課題を解決するための手段

上記の課題を解決するため、本発明の第1の態様は、層間絶縁膜の一部にビアホールが形成され、ビアホール内にはSOC層が埋め込まれた基板上に、基板に近い方から順に、少なくともSOC層と、SOG層と、SiO₂層と、化学増幅型

5 レジストが積層された多層レジスト構造を形成して、所定のレジストパターンを形成し、前記レジストパターンをマスクにエッチングを行い、配線層およびビアプラグのパターンを形成し、前記パターンに配線層およびビアプラグを形成することを特徴とする配線形成方法である。

10 発明の効果

本発明によれば、配線露光の際に、ビアホールを有する半導体基板上に、前記多層レジスト構造を形成することで、ポイズニングガスの発生を抑制し、所定の配線パターンを露光することができる。これにより形成された配線およびビアに接続して形成した固体電解質スイッチなどの機能素子の特性歩留まりを改善する

15 ことができる。

図面の簡単な説明：

図1は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

20 図2は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

図3は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

25 図4は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

図5は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

図6は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

図 7 は本実施形態に係る半導体基板上の多層配線層の製造方法を説明するための断面図である。

図 8 は本実施形態に係る半導体基板上の多層配線層の構成を模式的に示した部分断面図である。

5 図 9 は抵抗変化素子断面の模式図である。

図 10 は固体電解質スイッチ素子の動作を説明するための模式図である。

図 11 は抵抗変化素子として、固体電解質スイッチ素子を用いた場合の電流－電圧特性を模式的に示した図である。

10 図 12 は本実施形態に係る半導体基板上の多層配線層内部に形成した 2 端子型固体電解質スイッチ素子の構成を模式的に示した断面図である。

図 13 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 14 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

15 図 15 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 16 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

20 図 17 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 18 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 19 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

25 図 20 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 21 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 22 は図 12 に示した固体電解質スイッチ素子の製造方法を説明するための

断面図である。

図 2 3 は図 1 2 に示した固体電解質スイッチ素子の製造方法を説明するための断面図である。

図 2 4 は図 1 2 に示した固体電解質スイッチ素子の製造方法を説明するための
5 断面図である。

図 2 5 は本実施形態に係る CMOS デバイス基板上の多層配線層内部に形成した 3 端子型固体電解質スイッチ素子の構成を模式的に示した部分断面図である。

図 2 6 は本実施形態に係る配線形成方法の概略を示すフロー図である。

10 発明を実施するための形態：

以下、図面に基づいて本発明に好適な実施形態を詳細に説明する。

本発明の実施の形態について詳細に説明する前に、本願における用語の意味を説明する。

半導体基板とは、半導体装置が構成された基板や、単結晶基板、SOI (Silicon on Insulator) 基板や TFT (Thin Film Transistor) 基板、液晶製造用基板などの基板も含む。
15

プラズマ CVD (Chemical Vapor Deposition) 法とは、例えば、気体原料、あるいは液体原料を気化させることで減圧下の反応室に連続的に供給し、プラズマエネルギーによって、分子を励起状態にし、気相反
20 応、あるいは基板表面反応などによって基板上に連続膜を形成する手法である。

CMP (Chemical Mechanical Polishing) 法とは、多層配線形成プロセス中に生じるウェハ表面の凹凸を、研磨液をウェハ表面に流しながら回転させた研磨パッドに接触させて研磨することによって平坦化する方法である。溝に埋め込まれた余剰の銅を研磨することによって埋め込み配
25 線 (ダマシン配線) を形成したり、層間絶縁膜を研磨したりすることで平坦化を行う。

バリアメタルとは、配線を構成する金属元素が層間絶縁膜や下層へ拡散することを防止するために、配線の側面および底面を被覆する、バリア性を有する導電性膜を示す。例えば、配線を構成する材料が Cu を主成分とする金属である場合

には、タンタル (Ta)、窒化タンタル (Ta₃N₅)、窒化チタン (TiN)、炭窒化タングステン (WCN) のような高融点金属やその窒化物等、またはそれらの積層膜が使用される。これらの膜は、ドライエッチング加工が容易であり、従来のLSI製造プロセスとの整合性が良い。

- 5 バリア絶縁膜とはCu配線の上面に形成され、Cuの酸化や絶縁膜中へのCuの拡散を防ぐ機能、および加工時にエッチングストップ層としての役割を有する。例えば、SiC膜、SiCN膜、SiN膜、あるいはこれらの積層膜などが用いられている。

- 10 本発明では、半導体基板上に銅多層配線を形成する際に、少なくとも低誘電率膜あるいは窒素を含む絶縁膜から構成される層間絶縁膜の一部にビアホールを形成後、基板に近い方から順に、少なくともSOC層と高密度SiO₂層と、化学増幅型レジストが積層された多層レジスト構造を形成して、所定のレジストパターンを形成することを特徴とする。

- 15 ビアホール内にSOC層を埋め込むのは、ビアの粗密によって生じる段差を解消し、上層の露光におけるフォーカスマージンを確保するためである。

高密度SiO₂層をブロック層として用いることで、プロセス温度を低温化しつつ、ブロック層を薄膜化した場合にも効果的にポイズニングガスの発生を抑制することができるようになる。さらに目ずれ発生時に上層レジストを剥離する際にブロック層の屈折率の変化や剥離を生じることがない。

- 20 SOC層を成膜後、SiO₂層の成膜前にSOG層を挿入し、基板から近い順にSOC層/SOG層/SiO₂層、とすることで、例えば高密度SiO₂層を成膜するために、高密度プラズマ源を用いた成膜におけるSOC層のエッチングを抑制することができる。

- 25 前記ビアホールの底部は、SiCN膜、あるいはSiN膜が露出しており、その下層がTa、Ti、あるいはそれらの窒素化合物であることを特徴とする。ビアホール底部が特に上記のような構造である場合、ドライエッチングによるビアホール形成時に、底部の絶縁膜を貫通し下層の金属膜表面が露出し、腐食しないよう、ドライエッチング条件を調節し、底部の絶縁膜を過度にエッチングせず厚く残す必要がある。しかしながら、SiCN層あるいはSiN層の底部の絶縁膜

を厚く残すと、絶縁膜内部からのポイズニングガス発生が増大し、配線パターンの露光不良の原因となる。したがって、ビアホール底部が上記の構造である場合は、ビアホール形成後の基板上に、基板から近い順に、SOC層/SOG層/SiO₂層を有する多層レジスト構造を用いて、ポイズニングガス発生を抑制し、
5 配線パターンの解像不良を防止することができる。

前記SiO₂層は、密度が2.1 g/cm³以上の高密度SiO₂層であることが好ましい。この高密度SiO₂層を用いることで、その緻密な膜構造により下層からのポイズニングガス発生を十分に抑制することができる。さらには、高密度化に伴いSiO₂層の薄膜化を図ることができ、配線パターンの微細化にも対応す
10 ることができる。

前記高密度SiO₂層は、電子密度が10¹⁰個/cm³以上の高密度プラズマ(HDP)にて形成されることが好ましい。このようなHDPを用いた化学気相堆積法(CVD)によって、HDPを用いないプラズマCVD法に比べて、より低い基板温度、例えば200℃においても、上記のような高い密度を有するSiO₂
15 層を堆積することができる。

前記高密度SiO₂層は、基板温度が250℃以下で形成されることが好ましい。これは、前記高密度SiO₂層を堆積中に、SOG層下層のSOC層が熱分解するのを抑制するためである。これにより、所定の前記多層レジスト構造を形成することができる。また、前記高密度SiO₂層の成膜レートの観点から、基板温度は
20 150℃以上であることがより好ましい。

高密度SiO₂膜を形成する手法として、Plasma-Enhanced Atomic Layer Deposition (PE-ALD)法を用いても良い。ALD法を用いて形成したSiO₂膜はSOC層上に形成すると密着性が弱く、剥離を生じやすい。このため同じSiO成分を含むSOG層をALD-SiO₂
25 膜とSOC層との間に挿入した構造とすることで、密着性を確保することができるようになる。

前記SOG層は、基板上に液体原料を塗布した後、熱処理を行うにより形成されることを特徴とする。このSOG層の形成方法によって、下層の前記SOC層の膜質を劣化させることなく、SOG層をSOC層上に形成することができる。

これに加えて、例えば300mm径の半導体基板においても、基板表面全体にわたり膜厚および膜質が均一なSOG層を、安価かつ高いスループットで形成することができる。

- 前記SOG層と前記SiO₂層との合計膜厚は、100nm以下であることが好ましい。これは、前記多層レジスト構造を構成する層のうち、前記SOG層と前記SiO₂層は、多層レジスト構造下部の配線層のエッチング加工中に、前記SOC層を残して全て同時に除去される必要があるためである。したがって、配線層の微細化に対応するために、前記SOG層と前記SiO₂層との合計膜厚を100nm以下に設定することで、前記SOG層と前記SiO₂層を、配線層のエッチング処理中に同時に除去することができる。ここで、SiO₂層として前記高密度SiO₂層を用いることで、ポイズニングガスの発生 of 十分な抑制性能を損なわずに、前記SOG層と前記SiO₂層の合計膜厚を100nm以下に薄膜化することができる。一方、SOG層の塗布の膜厚均一性と再現性の確保、およびポイズニングガス発生 of 十分な抑制性能という観点からは合計膜厚の下限は50nmである。
- また、前記SOG層の膜厚は15nm～60nmであり、前記SiO₂層の膜厚は30nm～80nmであることがより好ましい。SOG層の膜厚を15nm～60nmとすることで、高密度SiO₂層堆積中におけるプラズマ雰囲気から、SOG層下層のSOC層を効果的に保護することができる。その上の高密度SiO₂層の膜厚を30nm～80nmとすることで、ポイズニングガス発生を十分に抑制することができる。さらに、SOG層および高密度SiO₂層の膜厚をこのように設定することで、露光時の光干渉の影響を抑制しつつ、SOG層とSiO₂層を配線層のエッチング処理中に同時に除去できるため、高密度SiO₂層上に反射防止膜（BARC）を挿入することなくPR層を形成後、所望の微細配線パターンを露光形成することができる。なお、最も好ましい膜厚は、SOG層の膜厚が40nm、SiO₂層の膜厚が60nmである。

前記高密度プラズマは、少なくともシラン原料と、酸化性ガスとを含むことを特徴とする。また、少なくともシラン原料としてSiH₄と、酸化性ガスとしてN₂Oとを含むことが好ましく、さらに不活性ガスとしてArを含むことがより好ましい。SiH₄およびN₂Oを混合して用いることにより、副生成物を含まない均

質な SiO_2 層を形成することができる。また Ar は、前記高密度プラズマの発生を容易にし、かつ安定化させるために用いられる。半導体基板上にこれらのガスを含む高密度プラズマを発生させることで、緻密な構造の高密度 SiO_2 層を形成することができる。

- 5 以下、添付図面を用いて、本発明を実施するための第1の実施の形態について説明する。

本実施の形態の概要は図26に示すとおりである、即ち、本実施の形態は、層間絶縁膜の一部にビアホールを有する半導体基板上に銅配線パターンを形成する方法であって、該半導体基板上に、基板に近い方から順に、少なくともSOC層
10 と、SOG層と、 SiO_2 層と、化学増幅型レジストが積層された多層レジスト構造を形成することで、所定のレジストパターンを形成し（図26のS1）、レジストパターンをマスクにエッチングを行い、配線層およびビアプラグのパターンを形成し（図26のS2）、形成したパターンに配線層およびビアプラグを形成する（図26のS3）ことにより、配線パターン露光不良を改善することを特徴とする、機能素子製造用の配線形成方法に関するものである。

（第1の実施の形態）

図1～図8は、半導体基板上に銅配線を製造する手順のうち、リソグラフィ、ドライエッチングにより、半導体基板の層間絶縁膜の一部にビアホールを形成した後、その上部に本発明により多層レジスト構造を堆積し、目的の配線パターン
20 をリソグラフィにより形成し、デュアルダマシンプロセスにより、ビアを介して下層配線と接続する銅配線を形成する一連の手順を説明するための断面図である。本実施形態において銅配線が形成される基板の構造は、図1に示すように半導体基板101と、層間絶縁膜102と、層間絶縁膜103と、キャップ絶縁膜104と、バリアメタル105と、第1の配線106と、バリア絶縁膜107と、
25 ビアホール111とを有する。ここで言う半導体基板101は、半導体基板そのものであってもよく、基板表面に半導体素子（図示せず）が形成されている基板であってよい。

また、ビアホール111は、図1に示すように、第1の配線106の上部に設けられた、ビア層間絶縁膜108と、層間絶縁膜109と、キャップ絶縁膜11

0を貫通して開口されており、ビアホール底がバリア絶縁膜107上となっているが、ビアホール底はバリア絶縁膜107の上面を一部エッチングし、バリア絶縁膜107中にあっても良い。

ここで層間絶縁膜102、103、109、ビア層間絶縁膜108、キャップ
5 絶縁膜104および110はシリコン酸化膜でもよく、シリコン酸化膜よりも比誘電率の低いSiOCH膜などでも良いが、層間絶縁膜102を第1の配線106の形成のためのドライエッチング加工におけるエッチングストップ層とする目的で、層間絶縁膜102、および103は互いに異なる材料を用いることが好ましい。同様の理由で、ビア層間絶縁膜108および層間絶縁膜109についても、
10 互いに異なる材料を用いることが好ましい。また、層間絶縁膜102、および103、109およびビア層間絶縁膜108のいずれかは複数の絶縁膜を積層することで層間絶縁膜としても良い。例えば、層間絶縁膜102は膜厚300nmのシリコン酸化膜であり、層間絶縁膜103および109は膜厚150nmのSiOCH膜であり、キャップ絶縁膜104および110は膜厚100nmのシリコン
15 酸化膜であり、ビア層間絶縁膜108は150nmのシリコン酸化膜である。

以上のような銅配線層の構造は、当該技術分野における一般的な手法を用いて作製することができる。

次に、層間絶縁膜の一部にビアホールが形成された基板表面において、図2に示すように、半導体基板101から近い順に、SOC層112、SOG層113、
20 SiO₂層114およびフォトレジスト層115を有する多層レジスト構造116を堆積する。

SOC層112は、ビアホール111中を埋め込み、さらにSOC層112上面が平滑になるように堆積される。SOC層112は、例えば200nmである。SOC層112を200nm堆積することで、本形態におけるビアホール111
25 を埋め込み、上面を平滑化することができる。

SiO₂層114は、薄膜化しつつ下層からのポイズニングガス発生を十分に抑制する目的から、密度が2.1g/cm³以上の高密度SiO₂層であることが好ましい。このような高密度SiO₂層は、電子密度が10¹⁰個/cm³以上の高密度プラズマを用いたCVD法にて形成することができる。高密度プラズマには、

シラン原料として SiH_4 と、酸化性ガスとして N_2O と、高密度プラズマを安定化させるために、不活性ガスとして Ar を含む。この時、 SOG 層113および SiO_2 層114は、後述するキャップ絶縁膜110および層間絶縁膜109のエッチング処理中に全てエッチング除去される目的から、 SOG 層113および SiO_2 層114の合計膜厚を薄くする必要がある。また、 SiO_2 層成膜時の SOC 層へのダメージ抑制、およびポイズニングガス発生抑制の観点から、 SOG 層113および SiO_2 層114の膜厚は、例えばそれぞれ40 nm、60 nmである。フォトレジスト層115は、後述する下層の SiO_2 層114および SOG 層113のドライエッチング処理中に保持され、かつ、さらに SOC 層112のエッチング処理中に全てエッチング除去される必要がある。フォトレジスト層115の膜厚は、例えば、125 nmである。

SOG 層113は、回転させた基板上に有機シリカ原料を塗布した後、熱処理を行うにより形成することができる。熱処理温度は、例えば、200℃である。これにより、下層の SOC 層112の膜質の劣化を伴わずに、 SOG 層113を SOC 層112上に形成することができる。また、 SOC 層112およびフォトレジスト層115は、当該技術分野における一般的な塗布手法によって形成することができる。

続いて、露光処理により、図3に示すように、フォトレジスト層115に所望の配線パターンを形成する。この露光処理は、例えば、一般的な液浸 ArF 露光装置を用いて行うことができる。

続いて、ドライエッチングによって、図4に示すように、フォトレジスト層115をマスクとして、下層の SiO_2 層114、 SOG 層113および SOC 層112の異方性エッチングを行う。 SiO_2 層114および SOG 層113のドライエッチングには、例えば、 CF_4 および Ar を含むプラズマを用いることができ、 SOC 層112のドライエッチングには、例えば、 O_2 を含むプラズマを用いることができる。このドライエッチング処理により、フォトレジスト層115に形成された配線パターンを、下層の SiO_2 層114、 SOG 層113および SOC 層112に転写することができる。また、このドライエッチング処理中に、フォトレジスト層115は全てエッチング除去されていることが好ましい。

さらに、引き続きドライエッチング処理によって、図5に示すように、 SiO_2 層114、SOG層113およびSOC層112をマスクとして、下層のキャップ絶縁膜110および層間絶縁膜109の異方性エッチングを行う。キャップ絶縁膜110および層間絶縁膜109のドライエッチングには、例えば、 CF_4 を含むプラズマを用いることができる。このドライエッチング処理により、所定の配線パターンを、キャップ絶縁膜110および層間絶縁膜109に形成することができる。また、このドライエッチング処理中に、 SiO_2 層114およびSOG層113は全てエッチング除去されていることが好ましい。

次に、アッシング処理によって、図6に示すように、キャップ絶縁膜110上およびビアホール111内に残っているSOC層112を除去する。このアッシング処理は、 O_2 プラズマを用いることができるが、露出するビア層間絶縁膜108あるいは層間絶縁膜109に SiOCH 膜を含む場合、 H_2 および He を含むプラズマを用いることで、 SiOCH 膜の O_2 プラズマによる変質を防止することができる。

次に、ビア層間絶縁膜をマスクとして、ビアホール111底部に露出しているバリア絶縁膜107をドライエッチング処理することにより、図7に示すように、第1の配線106の上面にまで達する開口部をバリア絶縁膜107に形成する。バリア絶縁膜107が SiN 膜あるいは SiCN 膜である場合、 CF_4 を含むプラズマを用いることでドライエッチングすることができる。

その後、配線溝およびビアホール111にバリアメタル117を介して金属を埋め込み、CMPにより余分な金属を除去し表面を平坦化することで、ビアプラグ118および第2の配線119を同時に形成する。第2の配線119の材料は、例えば、銅である。バリアメタル117は、第2の配線119およびビアプラグ118に含まれる金属がビア層間絶縁膜108、層間絶縁膜109、キャップ絶縁膜110へ拡散することを防止する、バリア性を有する導電性膜であり、第2の配線119およびビアプラグ118の側面および底面を被覆している。バリアメタル117の積層構造は、第2の配線119およびビアプラグ118を構成する材料が銅を主成分とする金属である場合には、例えば、 TaN （膜厚5 nm）/ Ta （膜厚5 nm）である。

続いて、図8に示すように、第2の配線119を含むキャップ絶縁膜110上にバリア絶縁膜120を形成する。バリア絶縁膜120は、例えば、膜厚50nmのSiCN膜である。

5 以上で説明した本発明の配線形成方法を実施することで、配線層の構造に依存せず、配線構造の電気特性のばらつきおよび歩留まりを改善することができる。

(第2の実施の形態)

第2の実施の形態においては、本発明の配線形成方法を用い、機能素子の一例として、半導体基板上の多層配線層内部に形成した2端子型固体電解質スイッチ素子およびその製造方法について、図9～24を参照しながら説明する。

10 まず、抵抗変化素子および抵抗変化素子の1つである固体電解質スイッチ素子の動作を簡単に説明する。図9は抵抗変化素子断面の模式図である。抵抗変化素子は第1電極1（下部電極）と第2電極2（上部電極）によって抵抗変化層3を挟んだ3層構造をとり、両電極間に電圧を印加することで抵抗変化が生じる現象を利用している。図10および図11は固体電解質スイッチ素子の動作を説明する
15 模式図である。図10（a）中の第2電極2に負電圧を印加すると、第1電極1を構成する金属原子6がイオン化して固体電解質5中に溶出し、図10（b）に示すように、金属架橋が形成される。この金属架橋により第1電極1と第2電極2が電氣的に接続されることで、スイッチが低抵抗のオン状態に変化し、図11に示すグラフの右側のような電気特性を示す。

20 次に、上記オン状態において第2電極2に正電圧を印加すると、図10（c）に示すように、金属架橋が固体電解質5中へ溶解し、これにより第1電極1と第2電極2が電氣的に絶縁されることで、スイッチが高抵抗のオフ状態に変化し図11に示すグラフの左側のような電気特性を示す。固体電解質スイッチ素子はこのオン状態とオフ状態の間を不揮発で、かつ繰り返し切り替える動作が可能であり、この特性を利用することで不揮発性メモリあるいは不揮発性スイッチへの応用
25 が可能になる。

図12は、本実施形態に係る半導体基板上の多層配線層内部に形成した2端子型固体電解質スイッチ素子の構成を模式的に示した部分断面図である。

本実施形態により形成した固体電解質スイッチ素子部124は、第1の配線1

06と、固体電解質層121と、第1の上部電極122と、第2の上部電極123とを有する。

また、本実施形態により形成した固体電解質スイッチ素子部124において、第1の上部電極122、第2の上部電極123の積層体上に第2のハードマスク膜125および第3のハードマスク膜126が形成されている。固体電解質層121、第1の上部電極122、第2の上部電極123、第2のハードマスク膜125、第3のハードマスク膜126、の側面と、バリア絶縁膜107上は、保護絶縁膜127で覆われている。

第1の配線106は、第1の実施の形態において図4に示した構造と同様に、層間絶縁膜103およびキャップ絶縁膜104に形成された配線溝にバリアメタル105を介して埋め込まれた配線である。固体電解質スイッチ素子部124は、第1の配線106が銅を主成分とする金属材料で構成されている場合には、第1の配線106中の銅原子をイオン化して固体電解質層121中へ溶出させる目的で、第1の配線106自身を下部電極として用いることができ、固体電解質層121と第1の配線とはバリア絶縁膜107の開口部にて接続されている。このとき、固体電解質層121と接続する第1の配線106の幅は、バリア絶縁膜107の開口部の直径よりも大きいことが好ましい。

第2の配線119も、第1の実施の形態において図11に示した構造と同様に、層間絶縁膜109およびキャップ絶縁膜110に形成された配線溝にバリアメタル117を介して埋め込まれた配線であり、ビアプラグ118と一体になっている。ビアプラグ118は、ビア層間絶縁膜108、保護絶縁膜127、第3のハードマスク膜126および第2のハードマスク膜125に形成されたビアホール111にバリアメタル117を介して埋め込まれている。またこのビアプラグ118は、バリアメタル117を介して第2の上部電極123と電氣的に接続されている。バリアメタル117には、第1の実施の形態と同様に、例えば、Ta₂N₅（膜厚5nm）／Ta（膜厚5nm）の積層構造が用いられる。

バリアメタル117は、接触抵抗の低減の観点から、第2の上部電極123と同一材料であることが好ましい。例えば、バリアメタル117がTa₂N₅（下層）／Ta（上層）の積層構造である場合には、下層材料であるTa₂N₅を第2の上部

電極 1 2 3 に用いることが好ましい。

第 3 のハードマスク膜 1 2 6 は、第 2 のハードマスク膜 1 2 5 をエッチングする際のハードマスクとなる膜である。第 2 のハードマスク膜 1 2 5 は、第 3 のハードマスク膜 1 2 6 と異なる種類の膜であることが好ましく、例えば、第 2 のハードマスク膜 1 2 5 が SiCN 膜であれば、第 3 のハードマスク膜 1 2 6 に SiO₂ 膜を用いることが可能である。

保護絶縁膜 1 2 7 は、側面が露出した固体電解質スイッチ素子部 1 2 4 にダメージを与えることなく、さらに固体電解質スイッチ素子部 1 2 4 からビア層間絶縁膜 1 0 8 への構成原子の拡散を防ぐ機能を有する絶縁膜である。保護絶縁膜 1 2 7 には、例えば、SiN 膜あるいは SiCN 膜等を用いることができる。保護絶縁膜 1 2 7 は、第 2 のハードマスク膜 1 2 5 およびバリア絶縁膜 1 0 7 と同一材料であることが好ましい。同一材料である場合には、保護絶縁膜 1 2 7 とバリア絶縁膜 1 0 7 および第 2 のハードマスク膜 1 2 5 が一体化して、界面の密着性が向上するためである。

次に、図 1 2 で示した、半導体基板上の多層配線層内部に形成した 2 端子型固体電解質スイッチ素子の製造方法について、図 1 3 ~ 2 4 を用いて説明する。

また、図 1 3 ~ 2 4 には、本発明の第 2 の実施の形態に係る配線形成方法を用いた、固体電解質スイッチ素子の製造方法を説明するための図であり、素子断面が製造の手順毎に模式的に示されている。

まず、本実施形態において銅配線が形成される基板の構造は、図 1 3 (a) に示すように、第 1 の実施の形態を説明するために図 4 で示した構造の一部と同様であり、半導体基板 1 0 1 と、層間絶縁膜 1 0 2 と、層間絶縁膜 1 0 3 と、キャップ絶縁膜 1 0 4 と、バリアメタル 1 0 5 と、第 1 の配線 1 0 6 と、バリア絶縁膜 1 0 7 とを有する。例えば、層間絶縁膜 1 0 2 は膜厚 3 0 0 nm のシリコン酸化膜であり、層間絶縁膜 1 0 3 は膜厚 1 5 0 nm の SiOCH 膜であり、キャップ絶縁膜 1 0 4 は膜厚 1 0 0 nm のシリコン酸化膜である。バリアメタル 1 0 5 の積層構造は、例えば、Ta₂N₅ (膜厚 5 nm) / Ta (膜厚 5 nm) である。第 1 の配線 1 0 6 の材料は、例えば銅である。バリア絶縁膜 1 0 7 は、例えば、膜厚 3 0 nm の SiCN 膜である。

図13(a)に示した構造の基板上に、バリア絶縁膜107上に第1のハードマスク膜128を形成する(図13(b))。第1のハードマスク膜128は、ドライエッチング加工におけるエッチング選択比を大きく保つ観点から、バリア絶縁膜107とは異なる材料であることが好ましく、絶縁膜であっても導電膜であっても良い。例えば、シリコン酸化膜、TiN、Ti、Ta、Ta₂Nなどを用いることができる。ここでは、第1のハードマスク膜128として、例えば、シリコン酸化膜を用いる。

続いて、所定の開口部パターンを有するフォトリソグ(図示せず)を第1のハードマスク膜128上に形成し、フォトリソグをマスクにしてドライエッチング行って第1のハードマスク膜128に開口部パターンを転写する。その後、酸素プラズマアッシング等によってフォトリソグを剥離する(図14(a))。

次に、第1のハードマスク膜128をマスクとして、第1のハードマスク膜128の開口部に露出しているバリア絶縁膜107をエッチバック(ここでは、反応性ドライエッチングを用いる)することにより、第1の配線106の上面にまで達する開口部をバリア絶縁膜107に形成する。第1のハードマスク膜128は、このエッチバック中にエッチング除去される。この開口部が形成された後、開口部の第1の配線106上に形成される自然酸化膜およびエッチング副生成物を、有機溶剤、あるいは、H₂または不活性ガスを含むガスを用いたプラズマ照射処理によって除去し、開口部において清浄な銅表面を得る(図14(b))。図13(a)から図14(b)の順に示した構造を形成するまでをプロセスA1とする。

前記プロセスA1において、バリア絶縁膜107の開口部を形成する際の反応性ドライエッチングは、CF₄/Arのガス流量=25/50sccm、圧力0.53Pa、ソースパワー400W、基板バイアスパワー90Wの条件で行うことができる。ソースパワーを低下、または基板バイアスを大きくすることで、エッチング時のイオン性を向上させ、バリア絶縁膜107のテーパ形状の角度を小さくすることができる。このとき、バリア絶縁膜107の開口部の底のバリア絶縁膜107の残膜約20nmに対して、35nm相当(約80%のオーバーエッチングに相当)のエッチングを行うことができる。

また、プロセスA1において、バリア絶縁膜107の開口部を形成する際の反応性ドライエッチングおよびエッチバックは、減圧した雰囲気下で基板を350℃に加熱して行ってもよく、この加熱は、エッチバックをスパッタリング装置で行えば、スパッタリング装置内に搭載されているヒートチャンバにて行うことができる。

また、プロセスA1において、不活性ガスを用いたRFエッチングでエッチバックを行う場合、不活性ガスを用いたRFエッチングは、RFエッチングチャンバにてArガスを用いて、Arガス流量=30sccm、圧力1.3Pa、ソースパワー290W、基板バイアスパワー130Wの条件で行うことができる。RFエッチング時間は、プラズマCVD法により形成したSiO₂膜のエッチング量で定量化することができ、SiO₂膜換算で3nmとすることができる。

また、プロセスA1において、開口部の銅配線表面に形成した自然酸化膜およびエッチング副生成物を、還元ガスを用いた還元プラズマ照射処理で除去する場合、冷却機構を備えたエッチング処理室にてH₂ガスおよび不活性ガスであるHeガスをを用いて、H₂ガス流量=100sccm、Heガス流量=100sccm、圧力800mTorr、RFパワー1000W条件で行うことができる。この還元プラズマ照射処理は、開口部の銅配線表面のラフネス増加を抑制する目的で、基板温度を低下させても良く、例えば、-20℃の基板温度で行うことができる。

次に、第1の配線106が露出した開口部を含むバリア絶縁膜107上に固体電解質層121を堆積する。固体電解質層121には、Ta、Ni、Ti、Zr、Hf、Si、Al、Fe、V、Mn、Co、Wのうち少なくとも1つを含む金属酸化物膜、SiOCH膜、カルコゲナイド膜、およびそれらの積層などを用いることができるが、例えば、膜厚6nmのSiOCH膜が用いられる。この場合、プラズマCVD法によって堆積し、続いて不活性プラズマ処理を行う。次に、固体電解質層121上にスパッタリング法により第1の上部電極122および第2の上部電極123をこの順に形成する(図15(a))。第1の上部電極122は、化学的に不活性であり、かつドライエッチングによる加工が容易な金属が用いられることが好ましく、例えば、Ruである。また、第2の上部電極123は、下層の第2の上部電極の金属が上部でバリアメタル117を介して電氣的に接続す

るビアプラグ118へ拡散するのを防止する観点から、バリア性の高い導電性材料が好ましい。さらには、接触抵抗を低減する目的から、バリアメタル117と同一材料であることがより好ましい。したがって、本実施形態では、例えば、TaNを用いる。

- 5 続いて、第2の上部電極123上に第2のハードマスク膜125、および第3のハードマスク膜126をこの順に積層する(図15(b))。第2のハードマスク膜125は、密着性の観点からバリア絶縁膜107と同一材料を用いることが好ましく、例えば、膜厚30nmのSiCN膜である。第3のハードマスク膜126は、例えば、膜厚100nmのSiO₂膜である。

- 10 図14(b)から図15(b)に示した構造を形成するまでの手順をプロセスA2とする。

プロセスA2において、固体電解質層121にSiOCH膜を用いた場合、プラズマCVD法では、原料には液体SiOCHモノマー分子を用い、基板温度は400℃以下とし、He流量500~2000sccm、原料流量0.1~0.8g/min、プラズマCVDチャンバー圧力2.7~4.2Torr、RFパ
15 ワー20~100Wにそれぞれ設定することで固体電解質層121を堆積することができる。具体的には、基板温度350℃、He流量1500sccm、原料流量0.75g/min、プラズマCVDチャンバー圧力3.5Torr、RF
パワー50Wの条件で堆積することができる。

- 20 固体電解質層121堆積後の不活性プラズマ処理は、不活性ガスとしてHeを用い、基板温度は400℃以下とし、He流量500~1500sccm、プラズマチャンバー圧力2.7~3.5Torr、RFパワー20~200Wにそれぞれ設定することで行うことができる。具体的には、基板温度350℃、He流
25 量1000sccm、プラズマチャンバー圧力2.7Torr、RFパワー50W、処理時間30秒の条件で行うことができる。この不活性プラズマ処理によっ
て、次に堆積する第1の上部電極122との密着性を改善することができる。

また、プロセスA2において、第1の上部電極122は、DCスパッタリングによりRuをターゲットとして、基板温度は室温、スパッタパワー0.2kW、Ar流量20sccm、圧力0.27Paの条件で膜厚10nmを堆積すること

ができる。また、第2の上部電極123は、同じくDCスパッタリングによりTaをターゲットとして、基板温度は室温、スパッタパワー0.2kW、Ar流量20sccm、N₂流量15sccm、圧力0.27Paの条件で同条件で膜厚30nmを堆積することができる。

- 5 また、第2のハードマスク膜125および第3のハードマスク膜126は、プラズマCVD法を用いて成膜することができる。第2のハードマスク膜125および第3のハードマスク膜126は当該技術分野における一般的なプラズマCVD法を用いて形成することができる。成膜温度は200℃～400℃の範囲を選択することが可能である。ここでは、成膜温度を350℃とした。

- 10 次に、リソグラフィおよびドライエッチングにより、第3のハードマスク膜126に対して、下層の固体電解質スイッチ素子部124を形成するためのパターンを形成する(図16(a))。その後、第3のハードマスク膜126をマスクとして、第2のハードマスク膜125、第2の上部電極123、第1の上部電極122、固体電解質層121を連続的にドライエッチングする(図16(b))。図15(b)に示した構造から図16(b)に示した構造に至るまでの手順をプロセスA3とする。

- 20 プロセスA3において、第3のハードマスク膜126のドライエッチングは、第2のハードマスク膜125の上面または内部で停止していることが好ましい。この場合、固体電解質層121は第2のハードマスク膜125によってカバーされているため、酸素プラズマ中に暴露されることはない。また、第1の上部電極122のRuも酸素プラズマに暴露されることがないため、第1の上部電極122に対するサイドエッチの発生を抑制することができる。なお、第3のハードマスク膜126のドライエッチングは、一般的な平行平板型のドライエッチング装置を用いることができる。

- 25 プロセスA3において、第2のハードマスク膜125、第2の上部電極123、第1の上部電極122、および固体電解質層121の各エッチングは、平行平板型のドライエッチング装置を用いることができる。第2のハードマスク膜125(例えば、SiCN膜)のエッチングは、CF₄/Arのガス流量=25/50sccm、圧力0.53Pa、ソースパワー400W、基板バイアスパワー90W

の条件で行うことができる。

また、第2の上部電極123（例えば、TaN）のエッチングは、基板温度90℃、C12ガス流量＝50 sccmにて圧力0.53 Pa、ソースパワー400 W、基板バイアスパワー60 Wの条件で行うことができる。

- 5 また、第1の上部電極122（例えば、Ru）のエッチングは、基板温度は室温、O₂のガス流量＝160 sccmにて圧力0.53 Pa、ソースパワー300 W、基板バイアスパワー100 Wの条件で行うことができる。

- 10 また、固体電解質層121（例えば、SiOCH）のエッチングは、基板温度は室温、CF₄流量＝15 sccm、Ar流量15 sccmにて圧力0.53 Pa、ソースパワー600 W、基板バイアスパワー100 Wの条件で行うことができる。

また、プロセスA3において、上述の条件にて、第2のハードマスク膜125、第2の上部電極123、第1の上部電極122、および固体電解質層121の各エッチングは、平行平板型のドライエッチング装置を用いて行うことができる。

- 15 また、プロセスA3において、上述の条件にて、第2のハードマスク膜125、第2の上部電極123、第1の上部電極122、および固体電解質層121の各エッチングを行った後、第3のハードマスク膜126の残り膜厚は50 nmとすることができる。

- 次に、第3のハードマスク膜126、第2のハードマスク膜125、第2の上部電極123、第1の上部電極122、固体電解質層121、およびバリア絶縁膜107を有する積層構造上に保護絶縁膜127を堆積する（図17）。保護絶縁膜127は、バリア絶縁膜107および第2のハードマスク膜125と同一材料を用いることが好ましく、例えば、膜厚30 nmのSiCN膜を用いる。この保護絶縁膜127上に、プラズマCVD法を用いて、引き続きビア層間絶縁膜108を堆積する（図18）。ビア層間絶縁膜108は、例えば、膜厚300 nmのSiO₂膜である。続いて、CMPを用いて、ビア層間絶縁膜108を平坦化する（図19）。図16（b）に示した構造から図19に示した構造に至るまでの手順をプロセスA4とする。
- 20
- 25

プロセスA4において、保護絶縁膜127は、例えばSiCN膜を用いる場合、テトラメチルシランとアンモニアを原料ガスとし、基板温度350℃にて、プラ

ズマCVD法を用いて形成することができる。この保護絶縁膜127の形成により、第1の配線106上のバリア絶縁膜107、保護絶縁膜127、および第2のハードマスク膜125はSiCN膜で同一材料として抵抗変化素子の周囲を一体化し保護することで、界面の密着性が向上し、吸湿性や耐水性、酸素脱離耐性を向上でき、素子の歩留まりと信頼性を向上することができる。

また、プロセスA4において、ビア層間絶縁膜108のCMPによる平坦化では、ビア層間絶縁膜108の頂面から約150nmを削り取り、残膜を約150nmとすることができる。このとき、ビア層間絶縁膜108のCMPでは、一般的な、コロイダルシリカ、あるいはセリア系のスラリーを用いて研磨することができる。

次に、上面を平坦化したビア層間絶縁膜108上に、層間絶縁膜109、およびキャップ絶縁膜110をこの順に堆積する(図20)。層間絶縁膜109は、エッチング加工時に下部で接するビア層間絶縁膜108をエッチングストッパ層とするために、ビア層間絶縁膜108とは異なる材料が用いられ、例えば、膜厚150nmのSiOCH膜である。図19に示した構造から図20に示した構造に至るまでの手順をプロセスA5とする。

プロセスA5において、層間絶縁膜109およびキャップ絶縁膜110は、プラズマCVD法を用いて堆積することができる。

次に、リソグラフィおよびドライエッチングにより、図21に示す構造のように、固体電解質スイッチ素子部124の上部に、上面から順に、キャップ絶縁膜110、層間絶縁膜109、ビア層間絶縁膜108、保護絶縁膜127、および第3のハードマスク膜126を貫通し、底部に第2のハードマスク膜125が露出した、ビアホール111を形成する。図20に示した構造から図21に示した構造に至るまでの手順をプロセスA6とする。

プロセスA6において、ビアホール111を形成するためのドライエッチングでは、エッチング条件と時間を調節することで、第2のハードマスク膜125上またはその内部で停止することができる。ビアホール111の底径は、バリア絶縁膜107の開口部径よりも小さくしておくことが好ましい。本実施形態では、例えばビアホール111の底部の直径は60nm、バリア絶縁膜107の開口部

の直径は100nmとする。

次に、本発明による配線形成方法を用いて、図22に示すように、SOC層112、SOG層113、SiO₂層114およびフォトリソ層115を有する多層レジスト構造116を順に堆積する。多層レジスト構造116を堆積後、露光処理により、図23に示すように、フォトリソ層115に所望の配線パターンを形成する。この露光処理は、例えば、一般的な液浸ArF露光装置を用いて行うことができる。この方法により、下層の第2の上部電極（本実施形態ではTa₂N₅）あるいは第2のハードマスク膜125からのポイズニングガスの発生を抑制し、フォトリソ層115に所定の配線パターンを形成することができる。

図21に示した構造から図23に示した構造に至るまでの手順をプロセスA7とする。

プロセスA7において、SOC層112は、ビアホール111中を埋め込み、さらにSOC層112上面が平滑になるように堆積される。SOC層112は、例えば200nmである。

また、プロセスA7において、SiO₂層114は、例えば、電子密度が10¹⁹個/cm³以上の高密度プラズマを用いたCVD法にて形成した、2.1g/cm³以上の密度を有する高密度SiO₂層である。高密度プラズマは、原料ガスとしてSiH₄およびN₂Oとを含み、さらにプラズマ安定化のためにArを含む。

また、プロセスA7において、第1の実施の形態と同様の理由から、SOC層112、SOG層113、SiO₂層114、およびフォトリソ層の各膜厚は、例えばそれぞれ200nm、40nm、60nmおよび125nmに設定する。

また、プロセスA7において、SOG層113は、基板上に液体原料を塗布した後、200℃の熱処理によりSOC層112上に形成される。また、SOC層112およびフォトリソ層115は、一般的な塗布手法によって形成することができる。

この方法により、下層の第2の上部電極（本実施形態ではTa₂N₅）からのポイズニングガスの発生を抑制し、フォトリソ層115に所定の配線パターンを形成することができる。

次に、第1の実施の形態において説明した、図3に示した構造から図6に示し

た構造に至るまでの手順と同様に、ドライエッチング処理およびアッシング処理を行うことにより、図24に示した構造を形成する。図23に示した構造から図24に示した構造を経て図12に示した構造に至るまでの手順をプロセスA8とする。

- 5 プロセスA8において、多層レジスト構造116のドライエッチング、キャップ絶縁膜110と層間絶縁膜109のドライエッチング、およびSOC層112のアッシング除去は、第1の実施の形態において図3から図6までを用いて説明した手順と同様の方法で行うことができる。これにより、図22に示したように、所定の配線パターンを、キャップ絶縁膜110および層間絶縁膜109に形成する
- 10 ことができる。

- また、プロセスA8において、第2のハードマスク膜125がSiN膜あるいはSiCN膜であり、第2の上部電極123がTa₂Nである場合、ビアホール111の底部に露出した第2のハードマスク膜125を、CF₄を含むプラズマを用いてドライエッチング処理することにより、第2の上部電極123の上面に達する開口部を、第2の上部電極123を腐食することなく形成することができる。
- 15 ことができる。

- また、プロセスA8において、第2のハードマスク膜125への開口部を形成後、第1の実施の形態と同様の方法で、ビアプラグ118および第2の配線119を同時に形成することができる。第2の配線119の材料は、例えば、銅であり、バリアメタル117は、第2の配線119およびビアプラグ118を構成する材料が銅を主成分とする金属である場合には、例えば、Ta₂N（膜厚5nm）/Ta（膜厚5nm）である。
- 20 である。

また、プロセスA8において、第2の配線119を含むキャップ絶縁膜110上に形成されるバリア絶縁膜120は、例えば、膜厚50nmのSiCN膜である。

- 25 以上で説明した本発明の配線形成方法を実施することで、配線層の構造によらず所定の配線を形成することができ、これにより形成された配線およびビアに接続して半導体基板上の多層配線層内部に形成した2端子型固体電解質スイッチ素子の、特性歩留まりを改善することができる。

実施例：

(実施例 1)

図 2 1 に示したような、固体電解質スイッチ素子部 1 2 4 上部にビアホール 1 1 1 を有する構造を形成後、本発明による、基板から近い順に SOC 層、SOG 層、高密度 SiO_2 層、およびフォトレジスト層を有する多層レジスト構造を形成した場合と、高密度 SiO_2 層を含まない多層レジスト構造を形成した場合と、および高密度 SiO_2 層の代わりに密度 2.1 g/cm^3 未満の低密度 SiO_2 層を用いた多層レジスト構造を形成した場合とで、それぞれ配線層を形成した。その結果、低密度 SiO_2 層を用いた場合は、測定した全素子のうち 3 V バイアスによりスイッチングを得た固体電解質スイッチ素子の歩留まりは 85.0%、 SiO_2 層を用いない場合は 79.1% であった。これらに対し、本発明による高密度 SiO_2 層を用いた場合は 99.7% の歩留まりのスイッチングを得た。これは、高密度 SiO_2 層を挿入したことによって、下層の第 2 の上部電極 1 2 3、第 2 のハードマスク膜 1 2 5、あるいは保護絶縁膜 1 2 7 からビアホール 1 1 1 を介して発生するポイズニングガスの透過を抑制し、フォトレジスト層を失活させることなく所定の配線パターンを形成できるためと考えられる。

(実施例 2)

本発明のプラズマ照射処理を用い、CMOS デバイス基板上的多層配線層内部に MRAM (Magnetic Random Access Memory) 素子を形成した。

具体的には、図 1 3 (b) に示すようにバリア絶縁膜に開口部を形成した後、露出した第 1 の配線 1 0 6 上に Ta (5 nm) / Ru (5 nm) / Ta (5 nm) の下部電極を形成し、続いて、PtMn (20 nm) の反強磁性層、CoFeB (3 nm) / MgO (1.6 nm) / CoFeB (3 nm) の磁気トンネル接合層、Ta (5 nm) / Ru (5 nm) / TaN (5 nm) 上部電極、第 2 のハードマスク膜 1 2 5 および第 3 のハードマスク膜 1 2 6 を順に堆積する。第 2 および第 3 のハードマスク膜堆積以降の手順は、第 2 の実施の形態と同様に本発明による配線形成方法を用いることで、多層配線層内部に MRAM 素子を形成することができる。

多層レジスト構造を、基板から近い順に、SOC 層 / SOG 層 / 高密度 SiO_2

層／フォトレジスト層とすることで、MRAM素子における磁気スイッチング歩留まりが、高密度SiO₂層を用いない場合の77.6%から97.1%へ改善した。このような効果が得られたのは、上部電極、第2のハードマスク膜125、あるいは保護絶縁膜127からのポイズニングガス発生が抑制されたためと考えられる。

(実施例3)

本発明の配線形成方法を用い、CMOSデバイス基板上的多層配線層内部に相変化メモリ素子を形成した。

具体的には、図13(b)に示すようにバリア絶縁膜に開口部を形成した後、露出した第1の配線106上にTiN(5nm)/W(30nm)/TiN(5nm)の下部電極を形成する。本実施例では、バリアメタル105および第1の配線として、それぞれTiNおよびWを用いた。続いて、このTiN/W/TiN下部電極上に相変化メモリ層としてGe₂Se₂Te₅(50nm)を堆積する。次に下部電極と同様のTiN/W/TiN上部電極を形成し、第2のハードマスク膜125および第3のハードマスク膜126を堆積する。第2および第3のハードマスク膜堆積以降の手順は、第2の実施の形態と同様に本発明による配線形成方法を用いることで、多層配線層内部に相変化メモリ素子を形成することができる。多層レジスト構造を、基板から近い順に、SOC層/SOG層/高密度SiO₂層/フォトレジスト層とすることで、相変化メモリ素子におけるスイッチング歩留まりが、高密度SiO₂層を用いない場合の74.9%から95.2%へ改善した。このような効果が得られたのも実施例3と同様の理由からであり、TiN上部電極、第2のハードマスク膜125、あるいは保護絶縁膜127からのポイズニングガス発生が抑制されたためと考えられる。

(実施例4)

本発明の配線形成方法を用い、CMOSデバイス基板上的多層配線層内部にReRAM素子を形成した。

具体的には、図13(b)に示すようにバリア絶縁膜に開口部を形成した後、露出した第1の配線106上にTaN(5nm)/Ru(5nm)の下部電極を形成し、続いて、このTaN/Ru下部電極上に抵抗変化層としてTiO_x(3n

m) /TaO_x (7 nm) を堆積する。次に、第2の実施の形態と同様にRu/TaN上部電極を形成する。Ru/TaN上部電極形成以降の手順は、第2の実施の形態と同様に本発明による配線形成方法を用いることで、多層配線層内部にReRAM素子を形成することができる。

- 5 多層レジスト構造を、基板から近い順に、SOC層/SOG層/高密度SiO₂層/フォトリソ層とすることで、本実施例のReRAM素子におけるスイッチング歩留まりが、高密度SiO₂層を用いない場合の80.9%から98.0%へ改善した。このように、多層配線層内部に形成したReRAM素子においてもスイッチング歩留まりの改善が見られたのは、上部電極、第2のハードマスク膜
- 10 125、あるいは保護絶縁膜127からのポイズニングガス発生が抑制されたためと考えられる。

また、同様の歩留まりの改善が、HfO_x、ZrO_x、NiO_xなどの金属酸化物を有する抵抗変化層を用いたReRAM素子においても確認された。

(実施例5)

- 15 本発明の配線形成方法を用いて、CMOSデバイス基板上の多層配線層内部に3端子型固体電解質スイッチ素子を形成した。

図25に示すように、3端子型固体電解質スイッチ素子においては、バリア絶縁膜107に形成した1つの開口部から、層間絶縁膜303およびキャップ絶縁膜304を挟んで互いに離間した第1の下部配線306aおよび第2の下部配線306bの各表面が露出した構造を有している。第1の下部配線306aおよび第2の下部配線306bは銅であり、層間絶縁膜303はSiOCHであり、キャップ絶縁膜304はSiO₂であり、バリア絶縁膜はSiCN、固体電解質層308はSiOCHである。ドライエッチングによる開口部の形成において、第1の下部配線306aおよび第2の下部配線306bに挟まれたキャップ絶縁膜304は、表面がドライエッチングされることにより膜減りが生じている。開口部を形成後、第1の下部配線306aおよび第2の下部配線306bの表面を含む開口部上に固体電解質層308を堆積する。固体電解質層308堆積以降の手順は第2の実施の形態と同様に本発明による配線形成方法を用いることで、多層配線層内部に3端子型固体電解質スイッチ素子を形成することができる。

20

25

上記の3端子型積固体電解質スイッチ素子を形成においても、本発明の配線形成方法を用いることで、スイッチング歩留まりが、多層レジスト中に高密度SiO₂層を挿入しなかった場合の90.4%から99.7%へ低減した。さらに、3端子型積固体電解質スイッチ素子の閾値電圧ばらつき幅についても±0.7Vから±0.3Vへ改善することが確認された。

産業上の利用可能性：

以上、実施形態および実施例に基づき本発明を説明したが、これら実施形態および実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではない。当業者であれば、上記記載に基づき各種変形例および改良例に想等するのは当然であり、これらも本発明の範囲に含まれるものと了解される。

例えば上記した実施形態および実施例では、発明の背景となった利用分野であるCMOS回路を有する半導体製造装置技術に関して詳しく説明し、半導体基板上の銅配線上部に固体電解質スイッチ素子を形成する例について説明したが、本発明はそれに限定されるものではなく、例えば、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリ、FRAM (Ferro-Electric Random Access Memory)、キャパシタ、バイポーラトランジスタ等のようなメモリ回路を有する半導体製品、マイクロプロセッサなどの論理回路を有する半導体製品、あるいはそれらを同時に搭載したボードやパッケージの金属配線形成にも適用することができる。また、本発明は半導体装置への、電子回路装置、光回路装置、量子回路装置、マイクロマシン、MEMSなどに接続する配線形成にも適用することができる。

この出願は、2012年10月9日に提出された日本出願特願第2012-224323号を基礎とする優先権を主張し、その開示のすべてをここに取り込む。

符号の説明：

1 ：第1電極

	2	: 第2電極
	3	: 抵抗変化層
	5	: 固体電解質
	6	: 金属原子
5	1 0 1	: 半導体基板
	1 0 2	: 層間絶縁膜
	1 0 3	: 層間絶縁膜
	1 0 4	: キャップ絶縁膜
	1 0 5	: バリアメタル
10	1 0 6	: 第1の配線
	1 0 7	: バリア絶縁膜
	1 0 8	: ビア層間絶縁膜
	1 0 9	: 層間絶縁膜
	1 1 0	: キャップ絶縁膜
15	1 1 1	: ビアホール
	1 1 2	: SOC層
	1 1 3	: SOG層
	1 1 4	: SiO ₂ 層
	1 1 5	: フォトレジスト層
20	1 1 6	: 多層レジスト構造
	1 1 7	: バリアメタル
	1 1 8	: ビアプラグ
	1 1 9	: 第2の配線
	1 2 0	: バリア絶縁膜
25	1 2 1	: 固体電解質層
	1 2 2	: 第1の上部電極
	1 2 3	: 第2の上部電極
	1 2 4	: 固体電解質スイッチ素子部
	1 2 5	: 第2のハードマスク膜

- 1 2 6 : 第 3 のハードマスク膜
- 1 2 7 : 保護絶縁膜
- 1 2 8 : 第 1 のハードマスク膜
- 3 0 3 : 層間絶縁膜
- 5 3 0 4 : キャップ絶縁膜
- 3 0 6 a : 第 1 の下部配線
- 3 0 6 b : 第 2 の下部配線
- 3 0 8 : 固体電解質層

請 求 の 範 囲

[請求項1]

層間絶縁膜の一部にビアホールが形成され、ビアホール内にはSOC層が埋め
5 込まれた基板上に、基板に近い方から順に、少なくともSOC層と、SOG層と、
SiO₂層と、化学増幅型レジストが積層された多層レジスト構造を形成して、所
定のレジストパターンを形成し、前記レジストパターンをマスクにエッチングを
行い、配線層およびビアプラグのパターンを形成し、前記パターンに配線層およ
びビアプラグを形成することを特徴とする配線形成方法。

10 [請求項2]

前記ビアホールの底部は、SiCN膜、あるいはSiN膜が露出しており、そ
の下層がWN、Ta₂N₅、あるいはTiNのうち少なくとも1つであることを特徴
とする請求項1に記載の配線形成方法。

[請求項3]

15 前記SiO₂層は、密度が2.1g/cm³以上の高密度SiO₂層であることを
特徴とする、請求項1に記載の配線形成方法。

[請求項4]

前記高密度SiO₂層は、電子密度が10¹⁰個/cm³以上の高密度プラズマ(H
DP)にて形成されることを特徴とする、請求項3に記載の配線形成方法。

20 [請求項5]

前記高密度SiO₂層は、基板温度が250℃以下、150℃以上で形成される
ことを特徴とする、請求項3または4のいずれか一項に記載の配線形成方法。

[請求項6]

前記SOG層は、回転する基板上に有機シリカ原料を塗布した後、熱処理を行
25 うにより形成されることを特徴とする、請求項1から5のいずれか一項に記載の
配線形成方法。

[請求項7]

前記SOG層と前記SiO₂層との合計膜厚は、100nm以下、50nm以上
であることを特徴とする、請求項1～6のいずれか一項に記載の配線形成方法。

[請求項 8]

前記 SOG 層の膜厚は 15 nm ~ 60 nm であり、前記 SiO₂ 層の膜厚は 30 nm ~ 80 nm であることを特徴とする、請求項 7 に記載の配線形成方法。

[請求項 9]

- 5 前記高密度プラズマ (HDP) は、少なくともシラン原料と、酸化性ガスとを含むことを特徴とする、請求項 4 に記載の配線形成方法。

[請求項 10]

前記高密度プラズマ (HDP) は、少なくとも SiH₄ と、N₂O と、Ar とを含むことを特徴とする、請求項 9 に記載の配線形成方法。

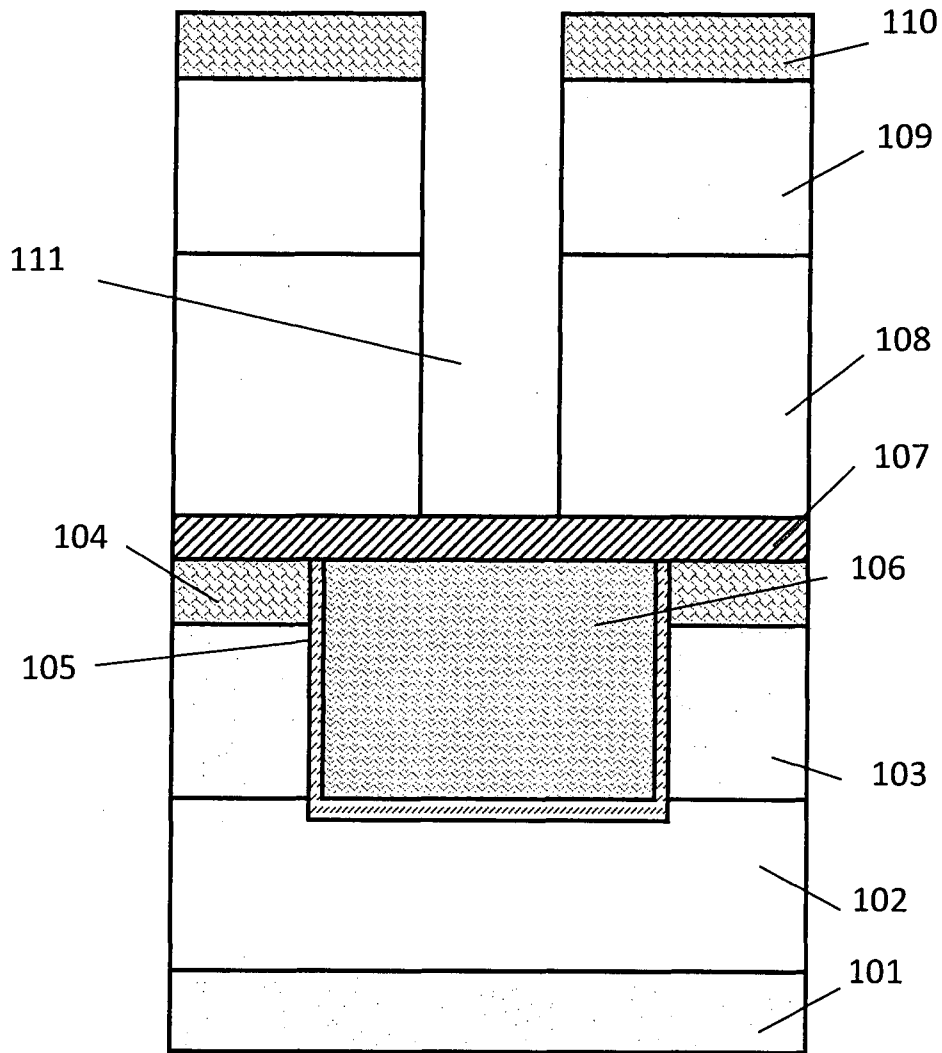


図 1

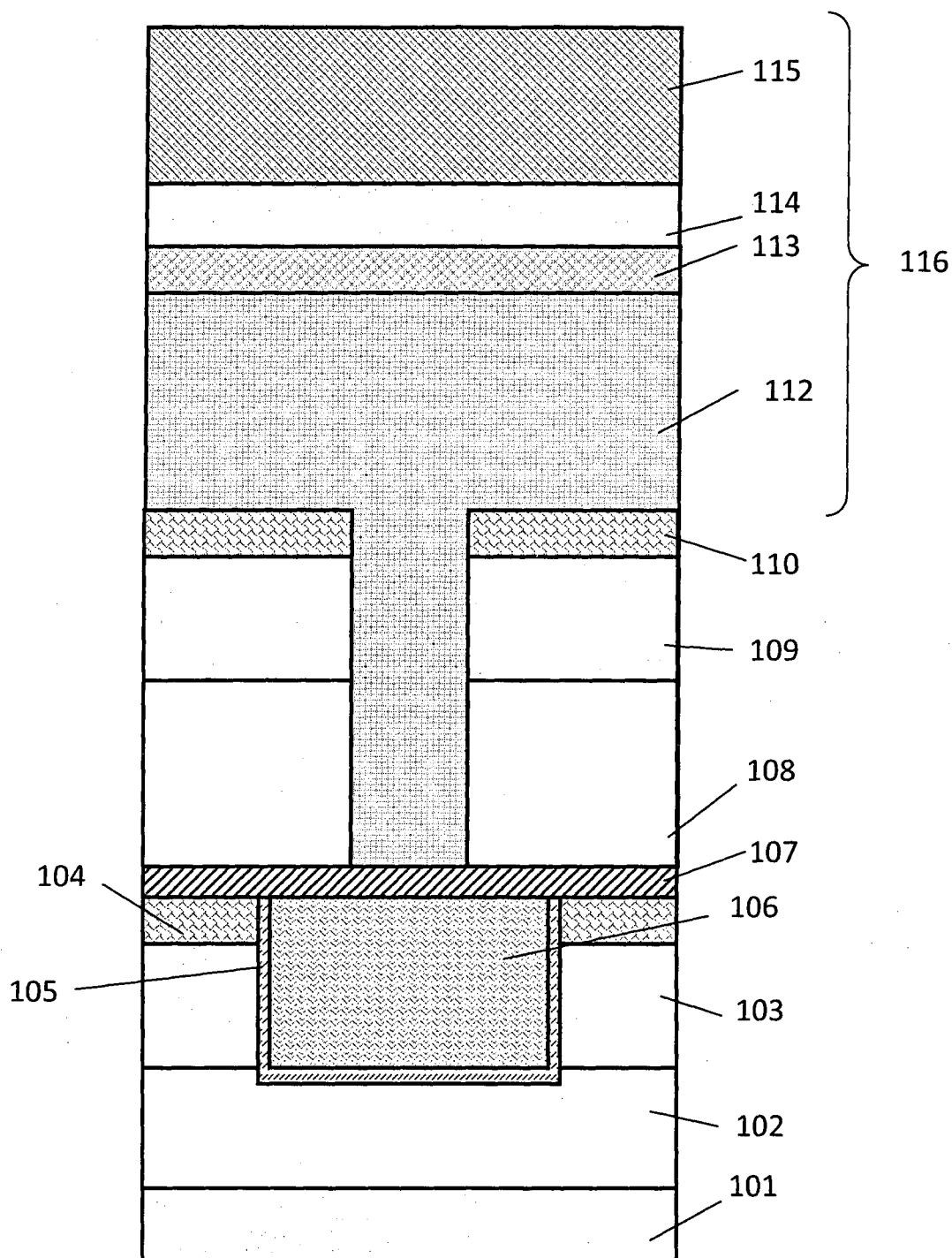


図 2

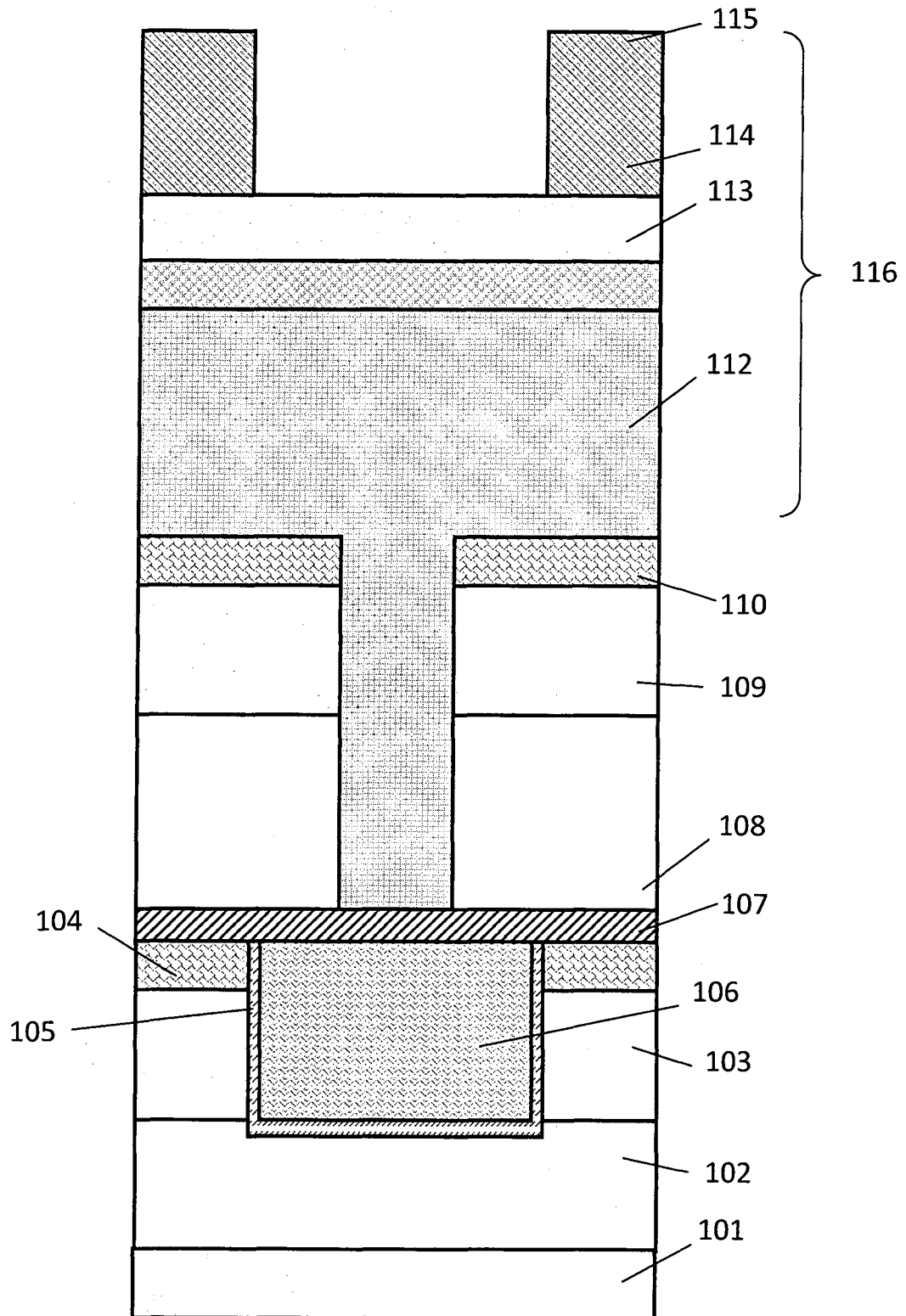


図 3

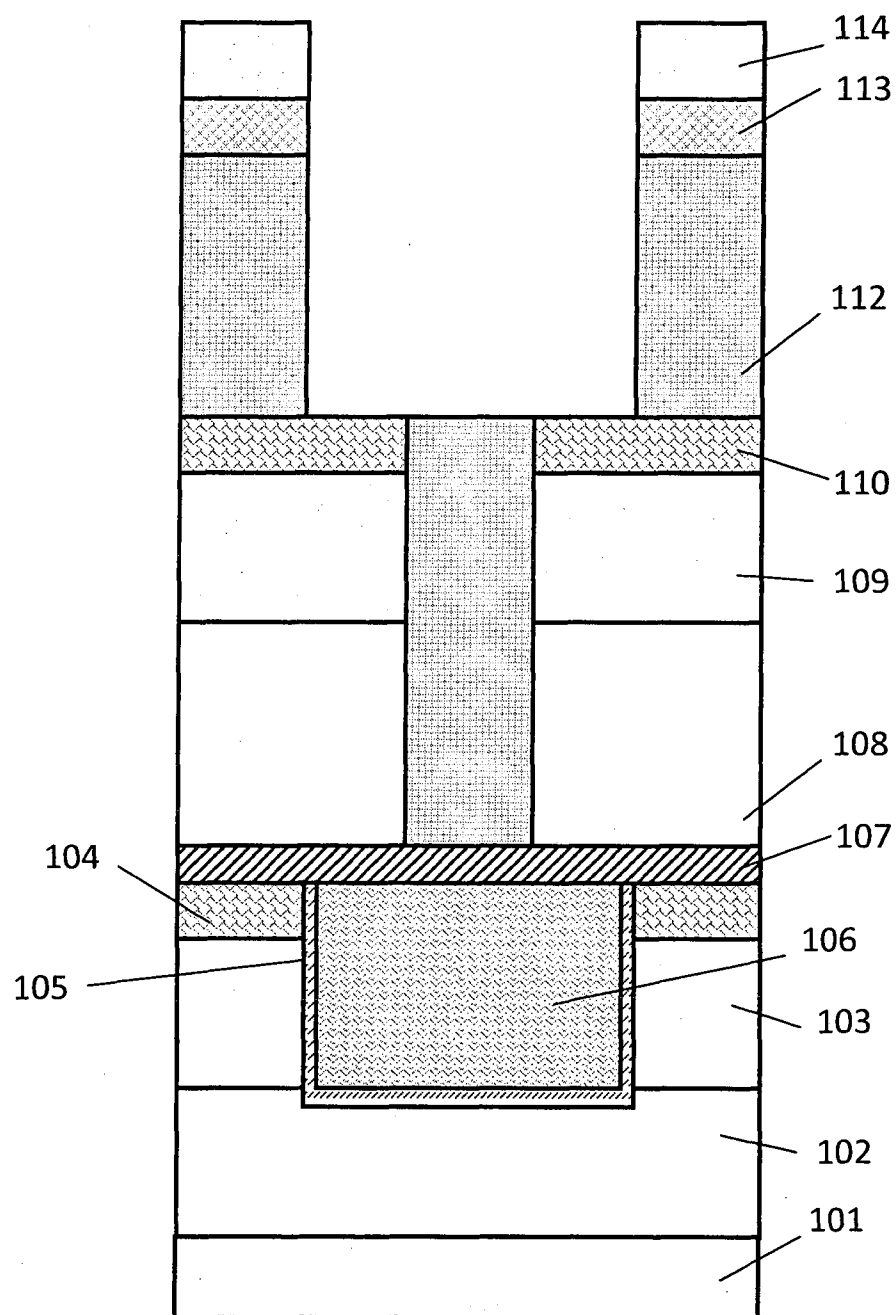


図 4

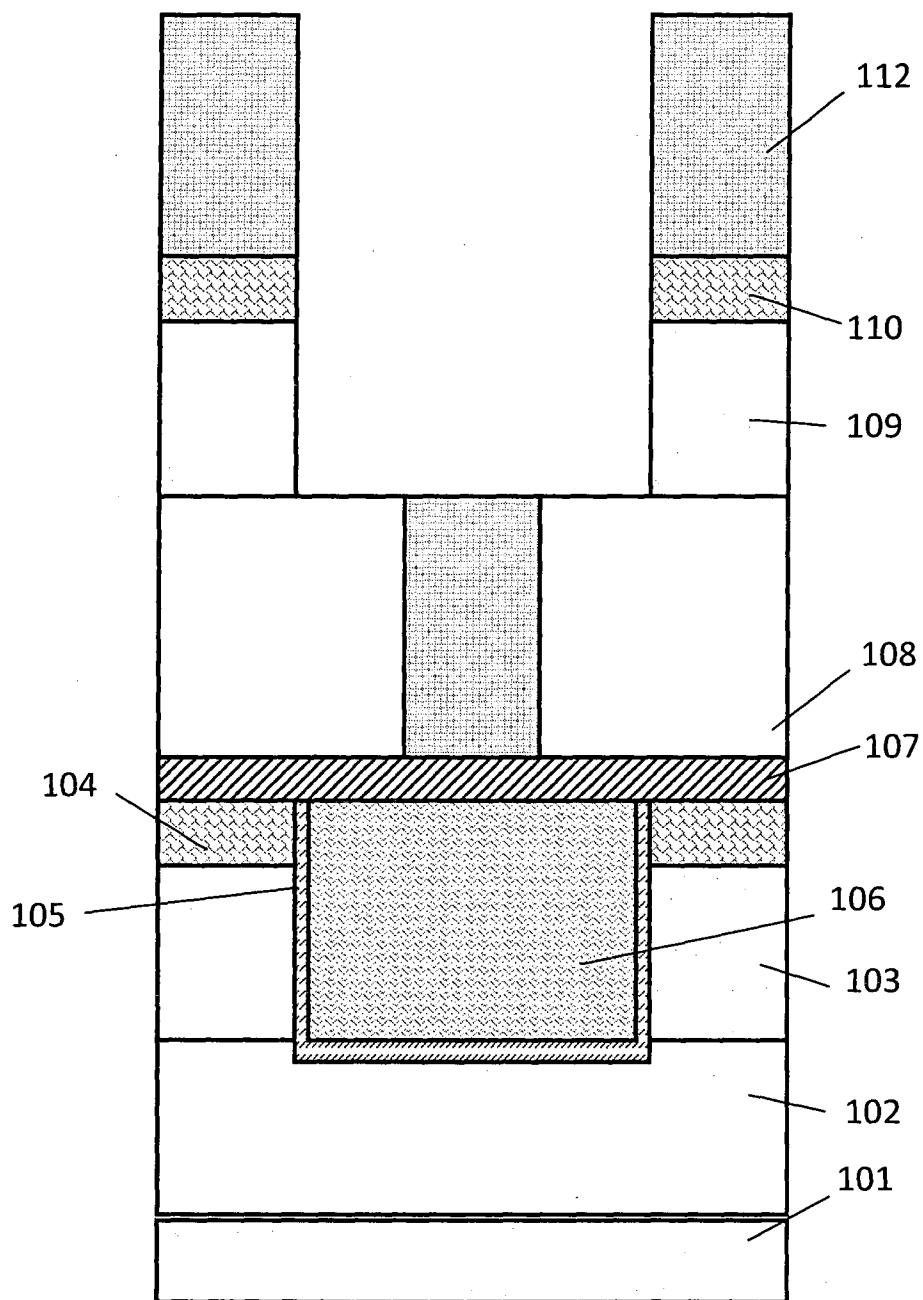


図 5

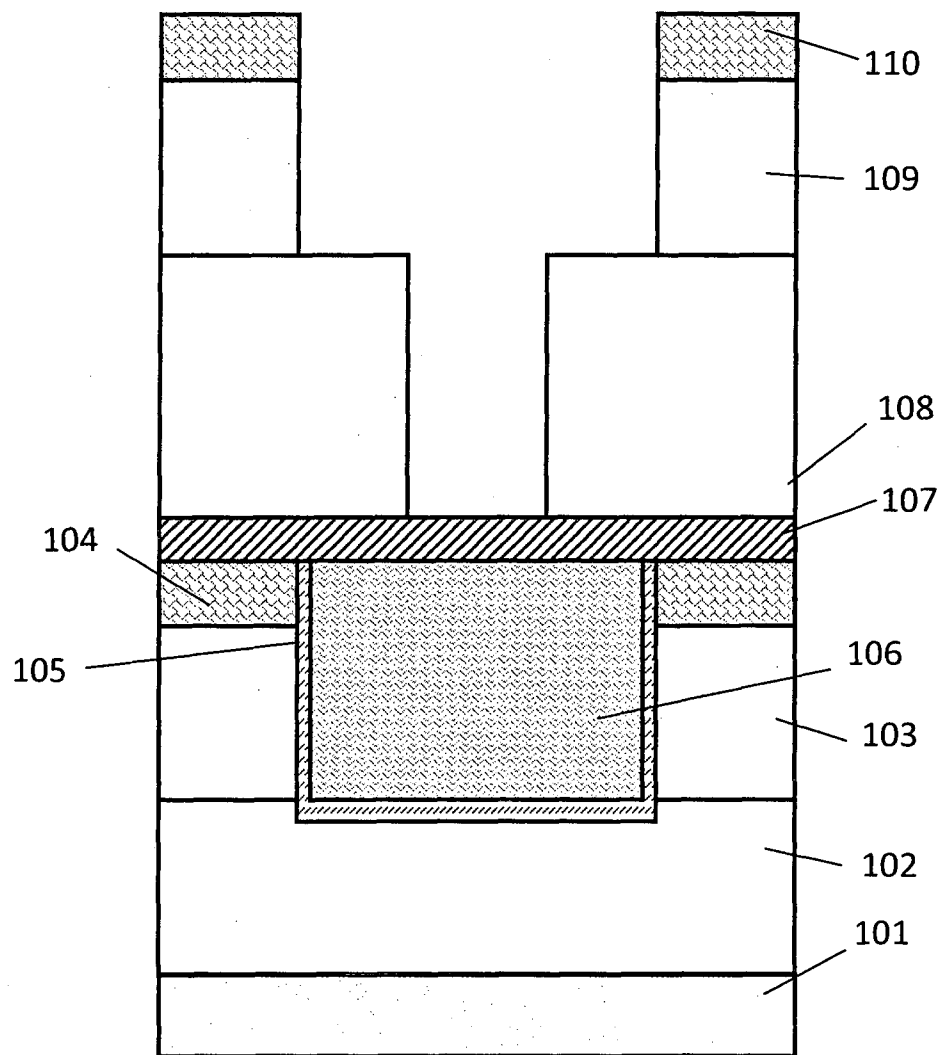


図 6

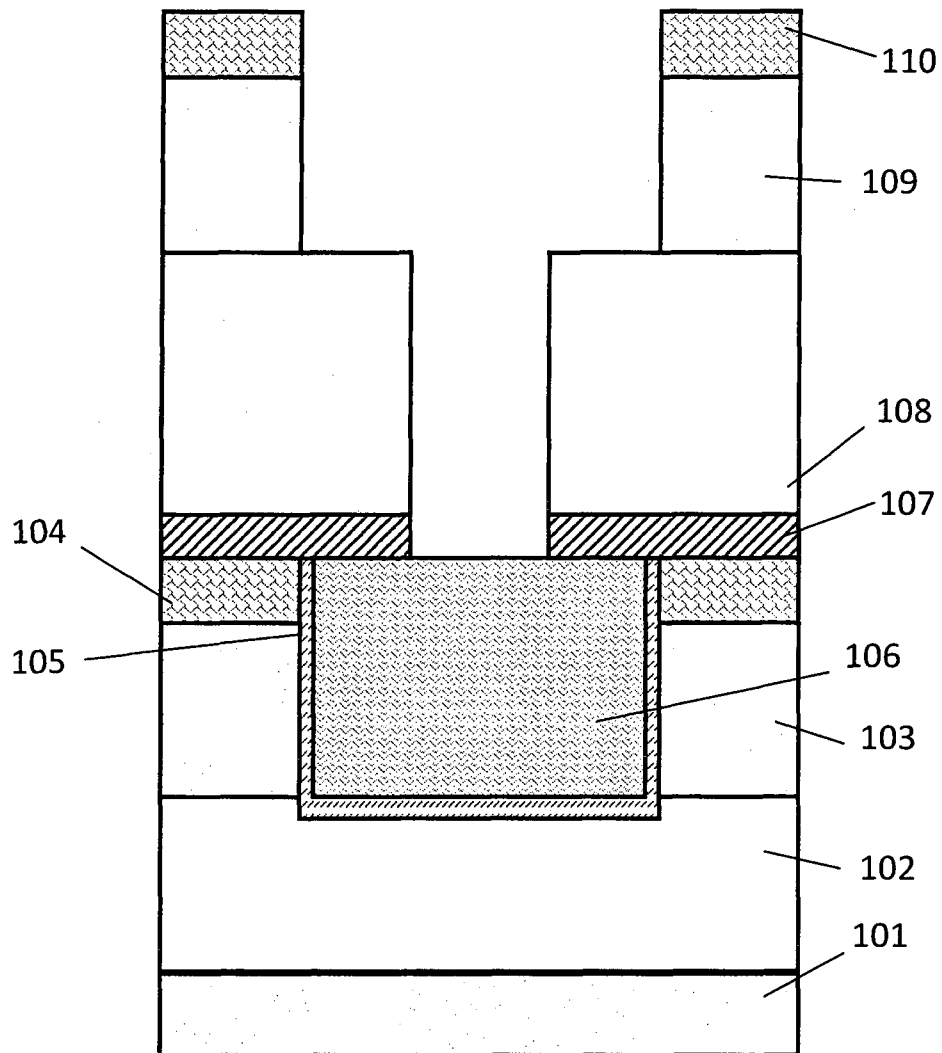


図 7

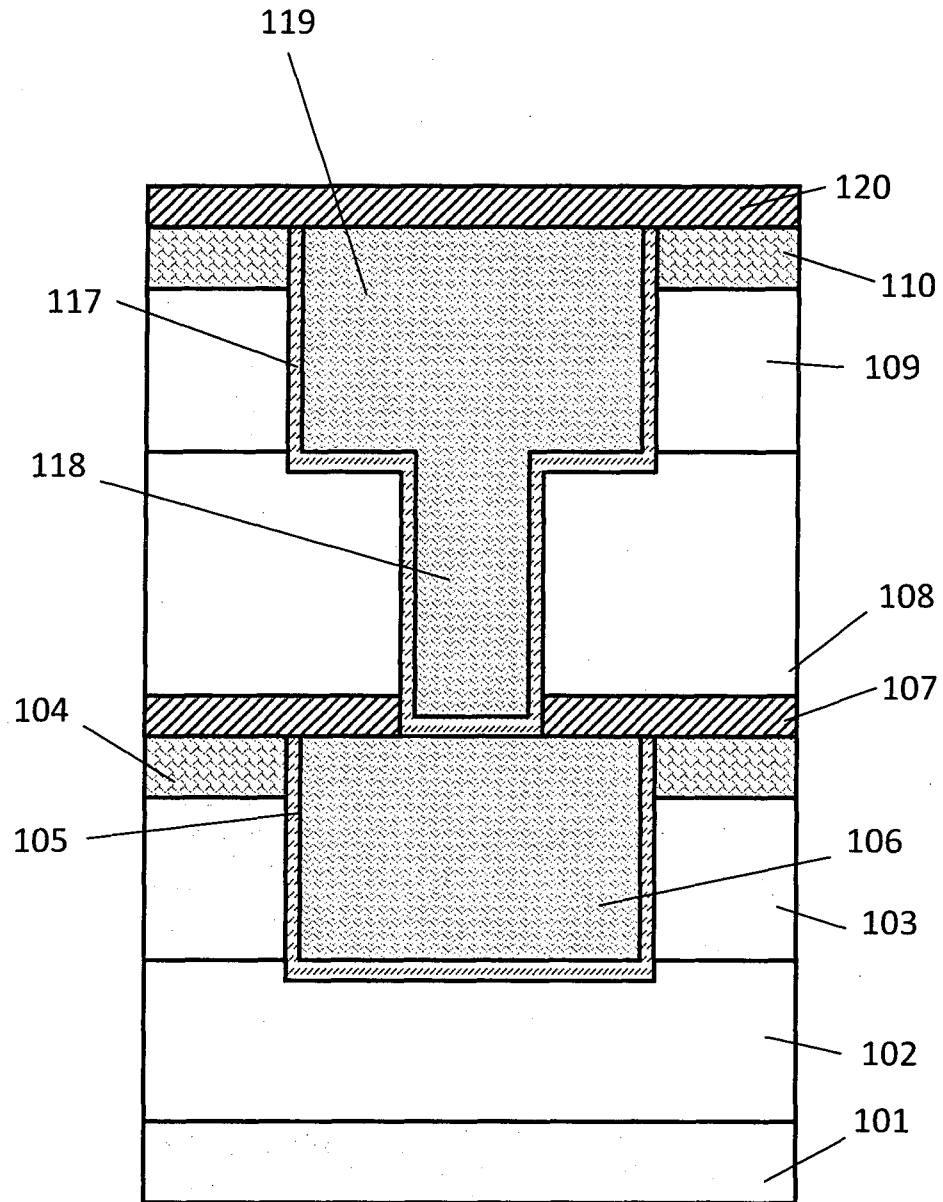


図 8

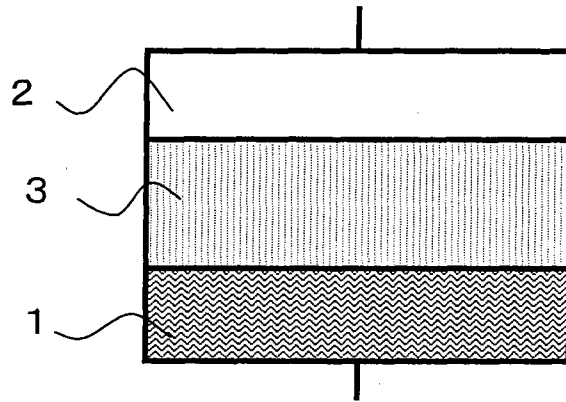


図 9

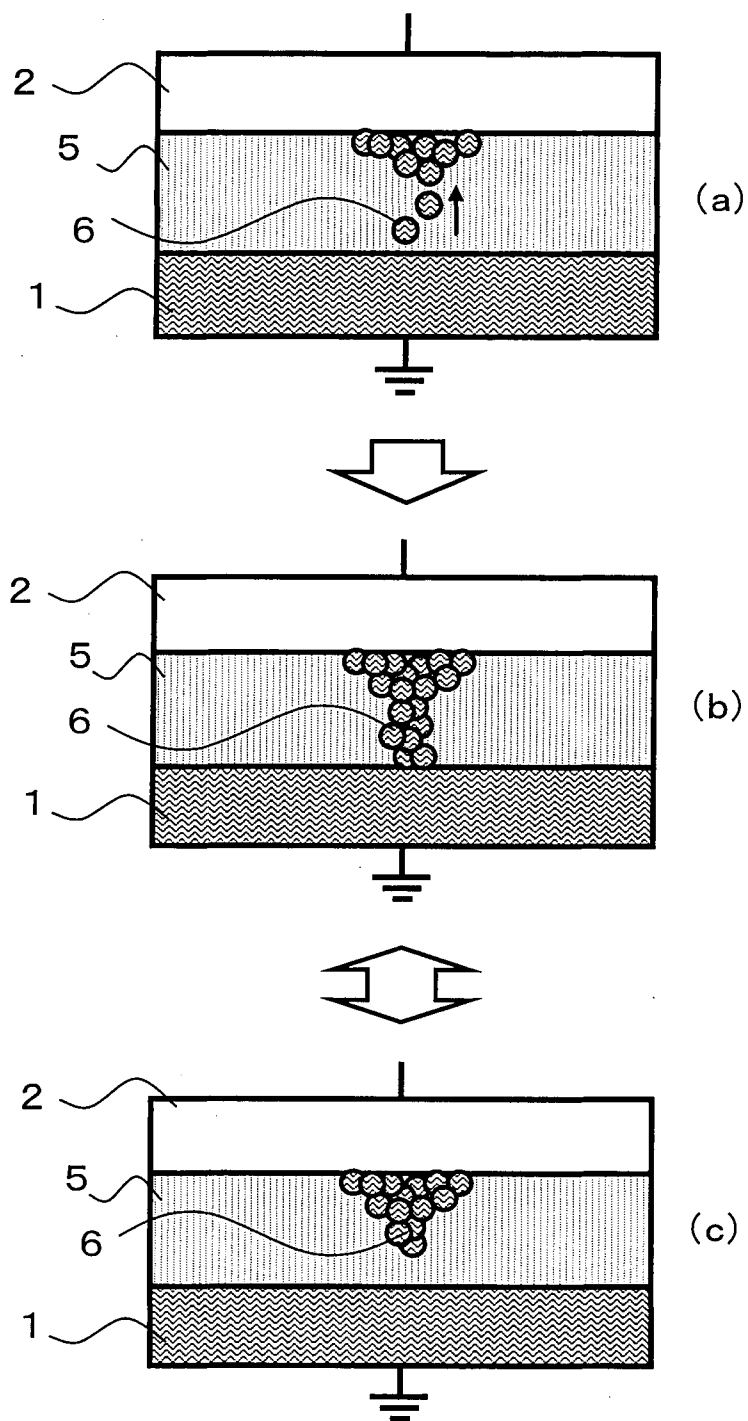


図 10

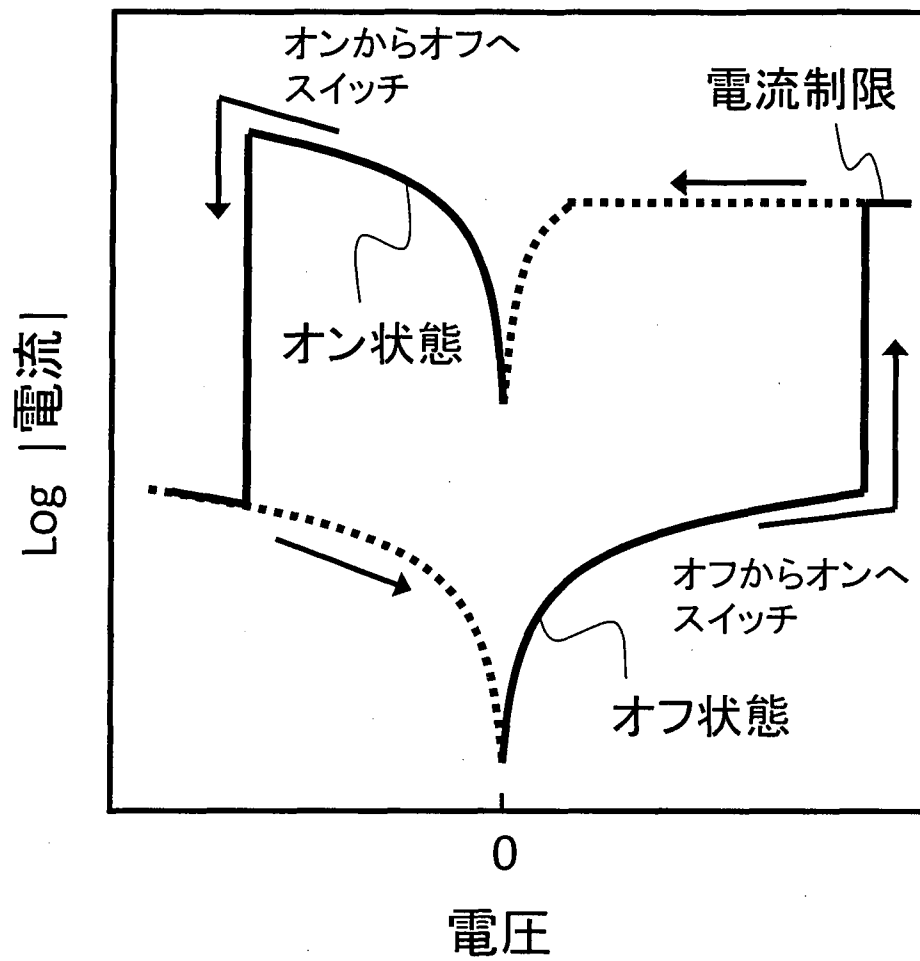


図 11

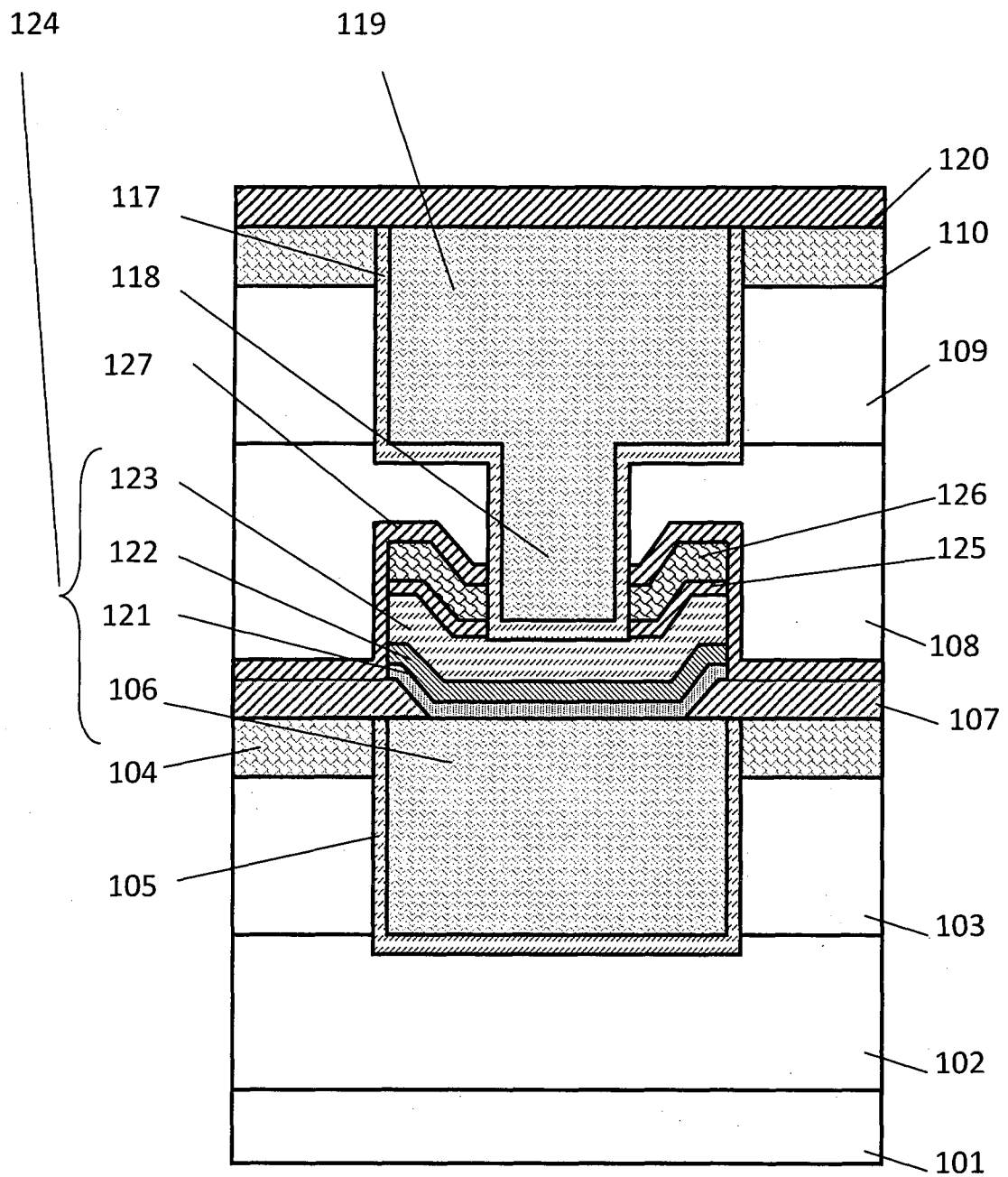


図 12

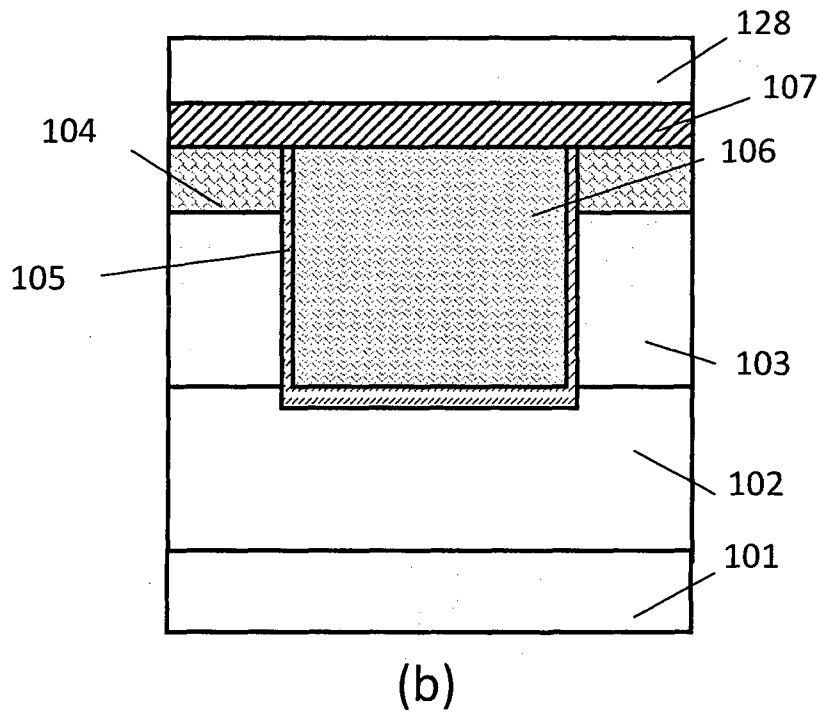
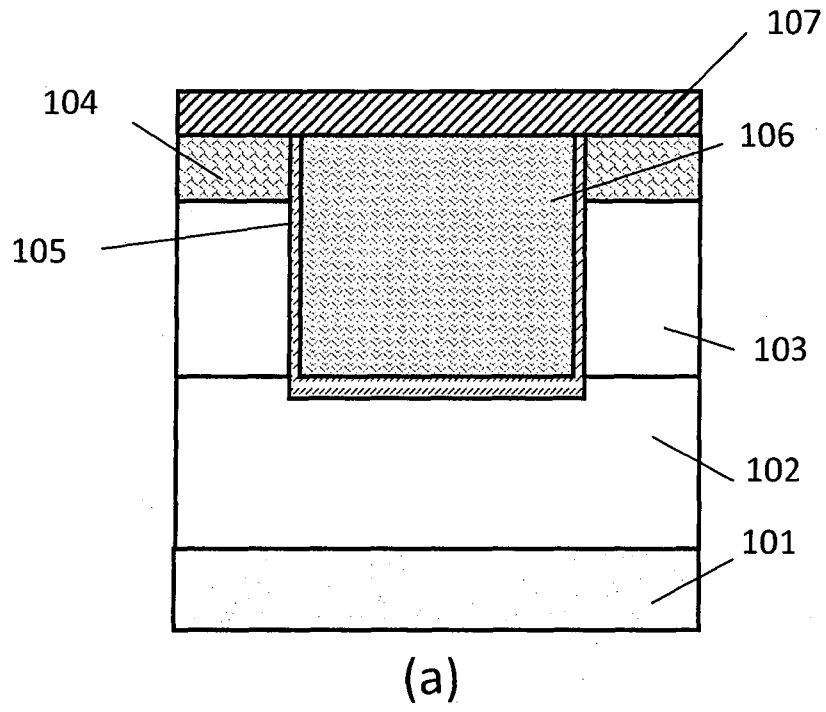
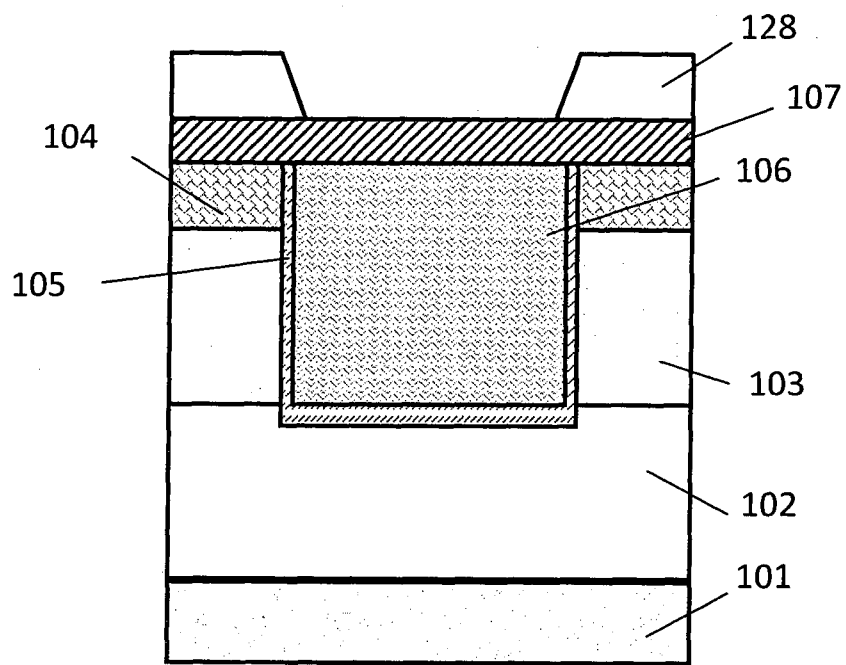
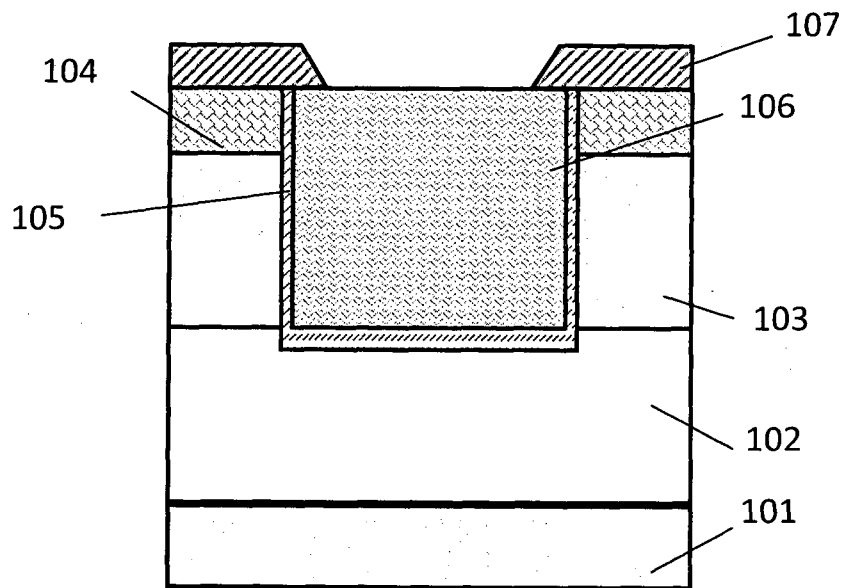


図 13

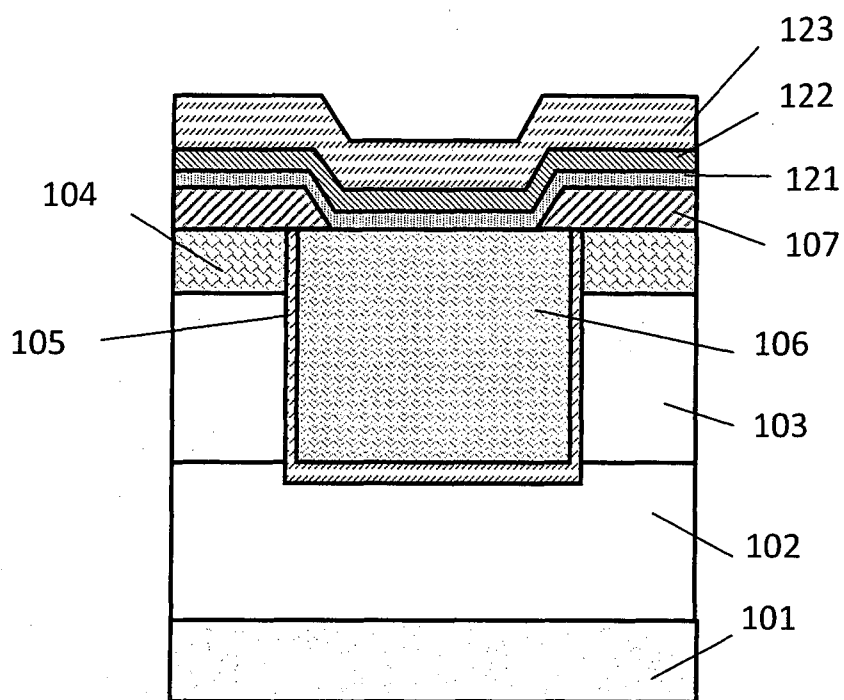


(a)

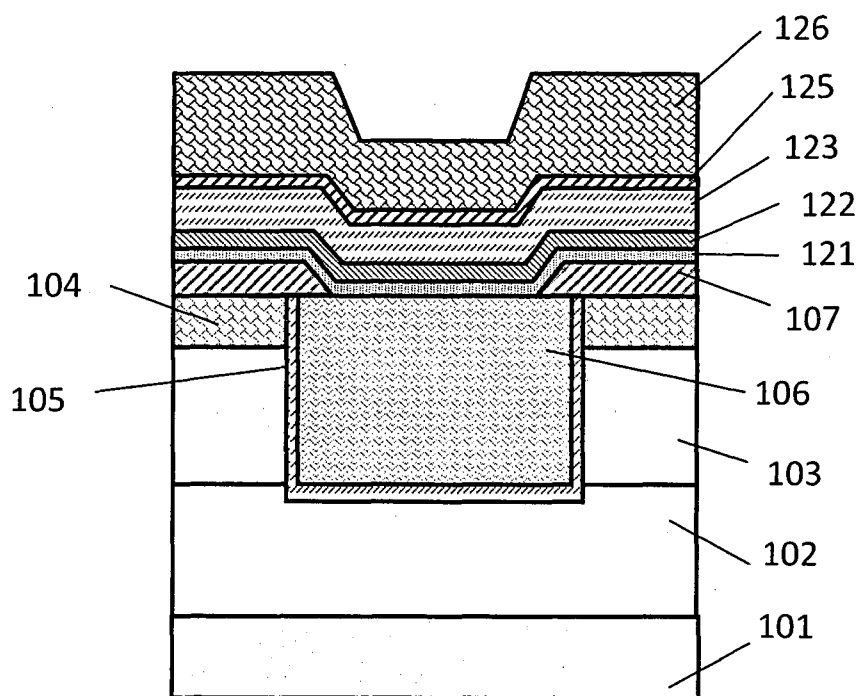


(b)

図 14

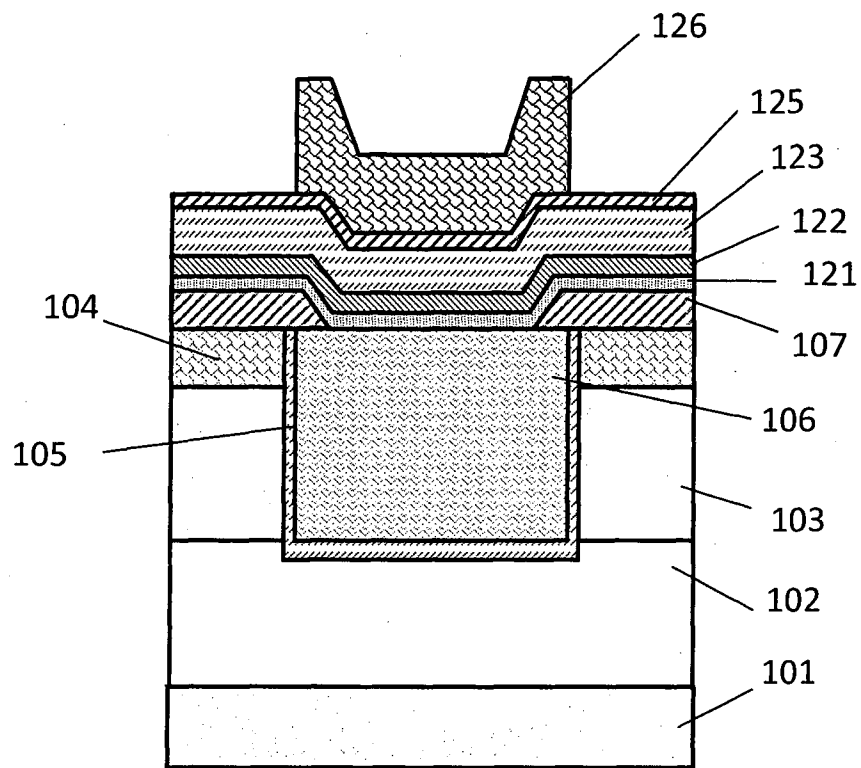


(a)

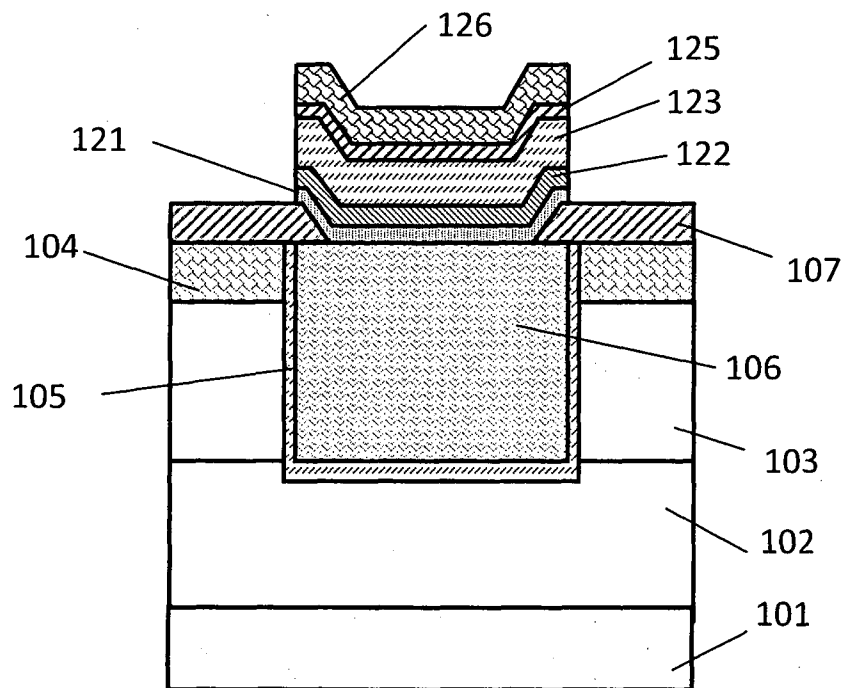


(b)

図 15



(a)



(b)

図 16

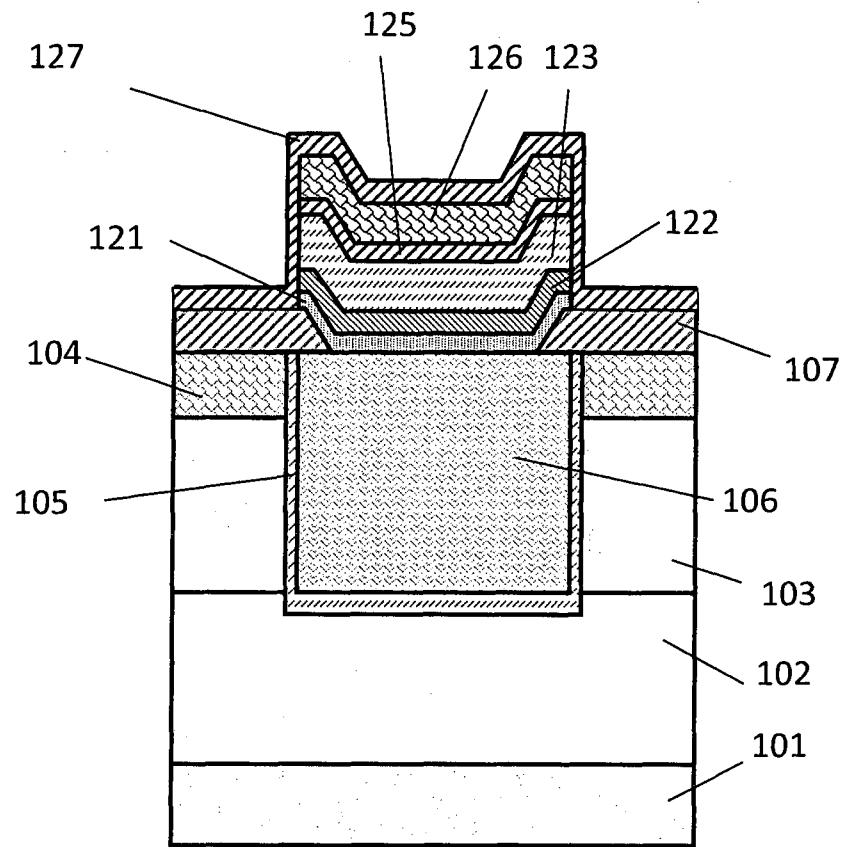


図 17

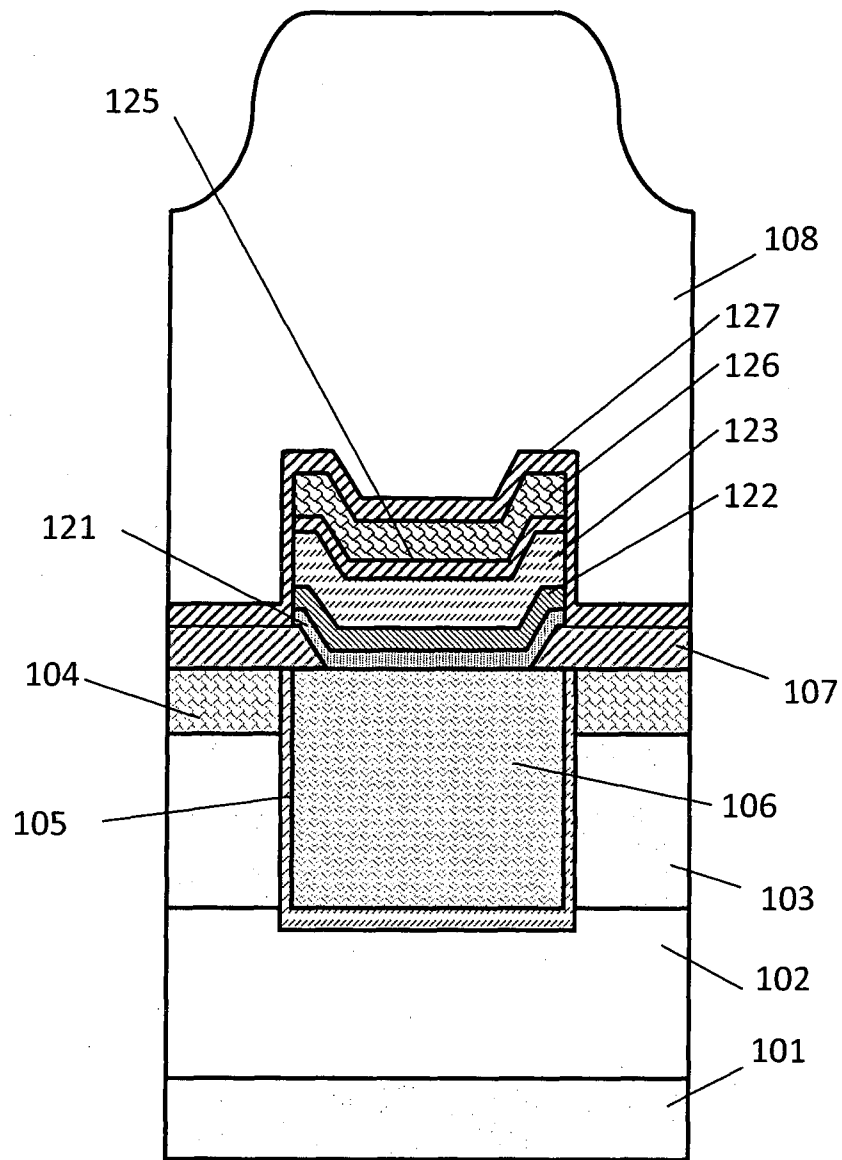


図 18

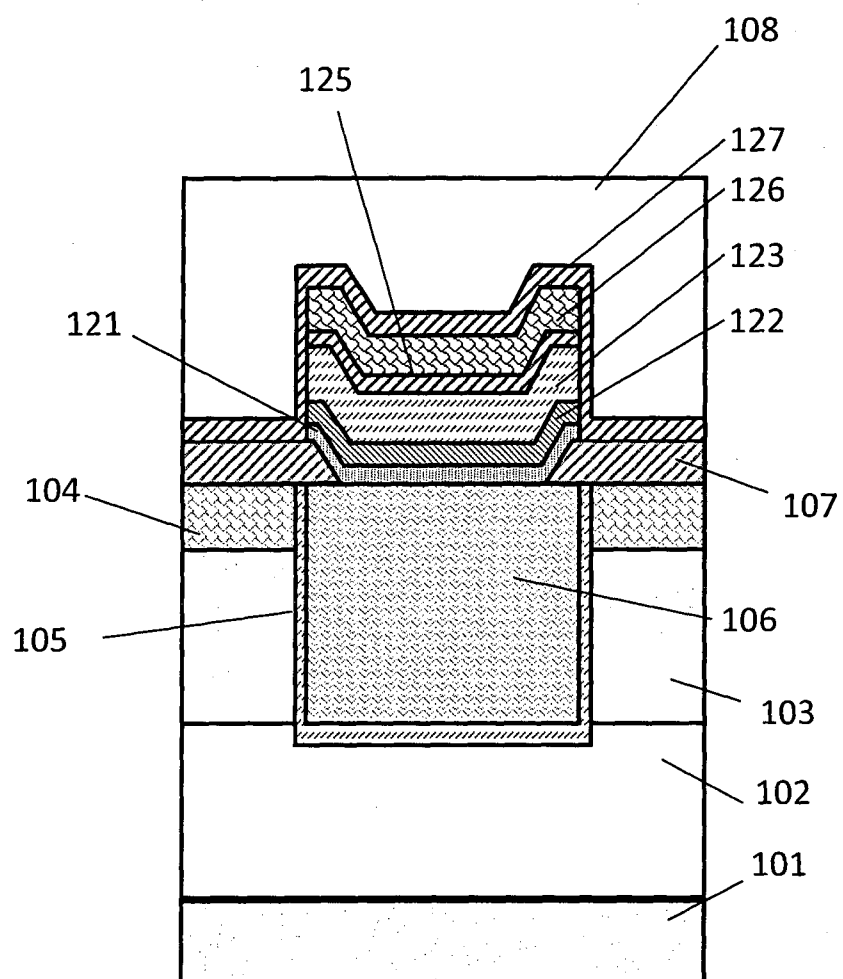


図 19

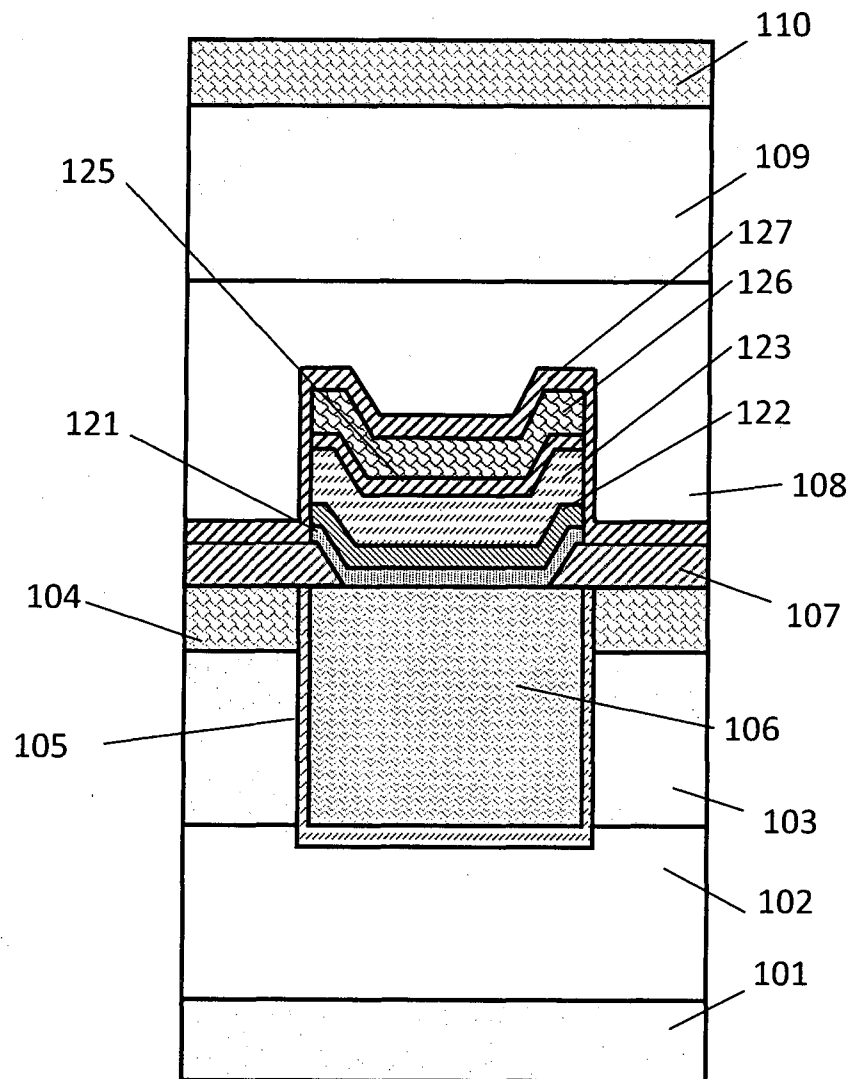


图 20

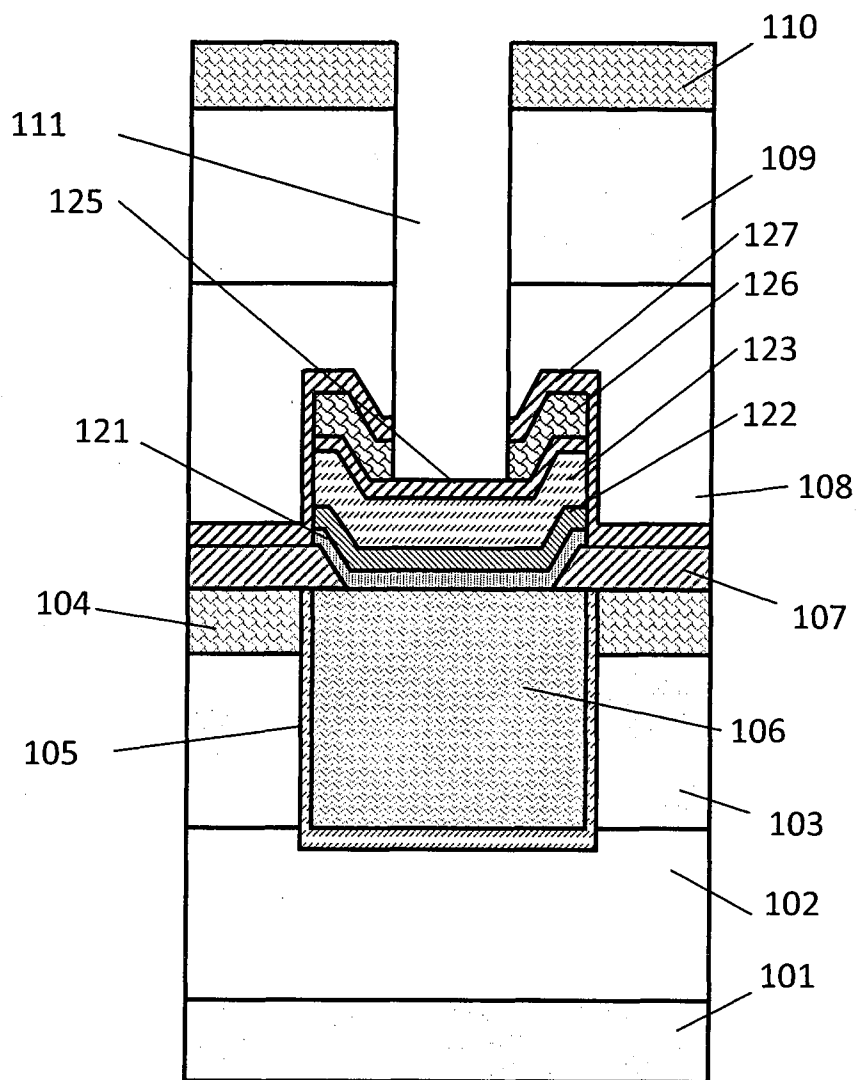


図 21

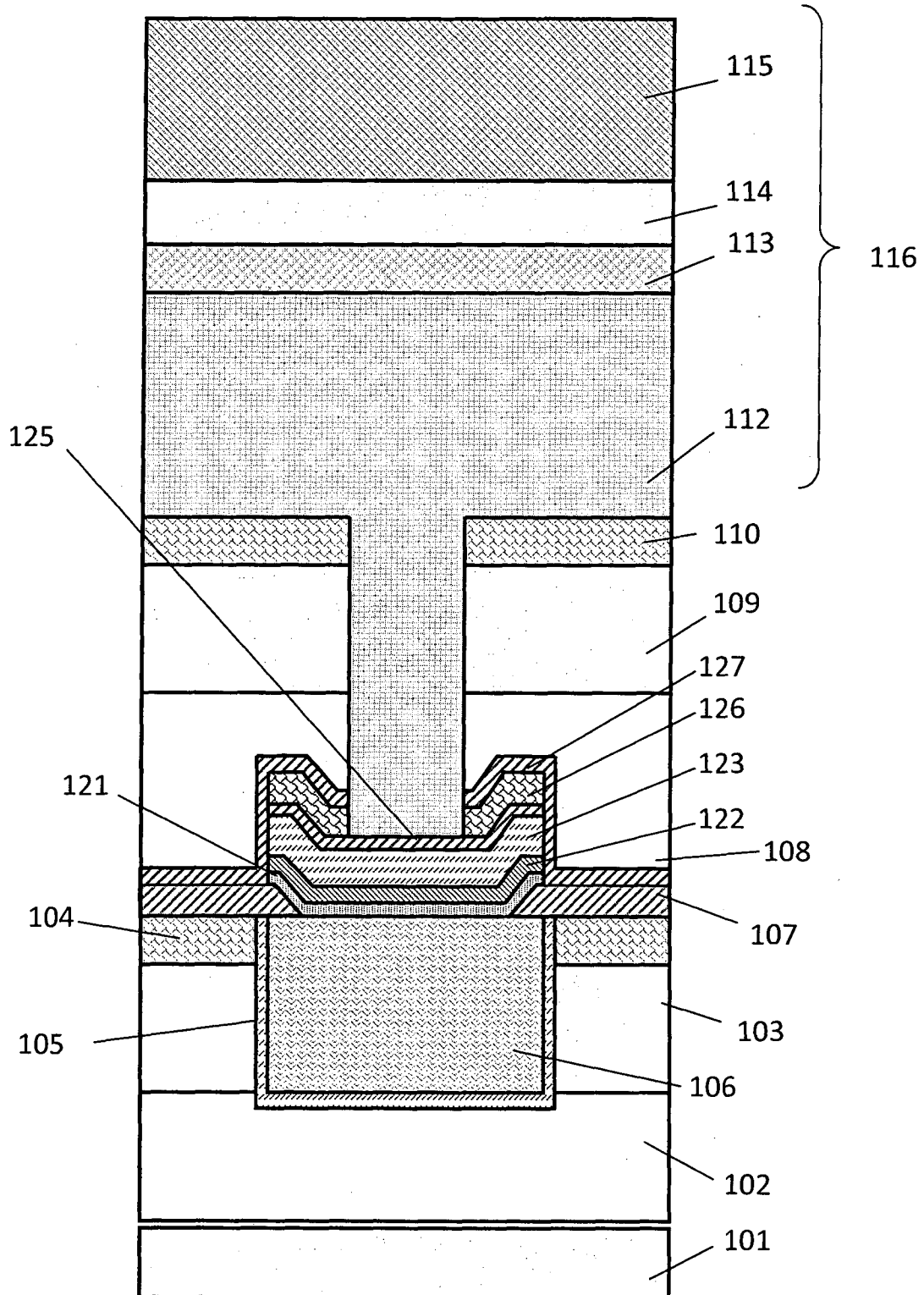


図 22

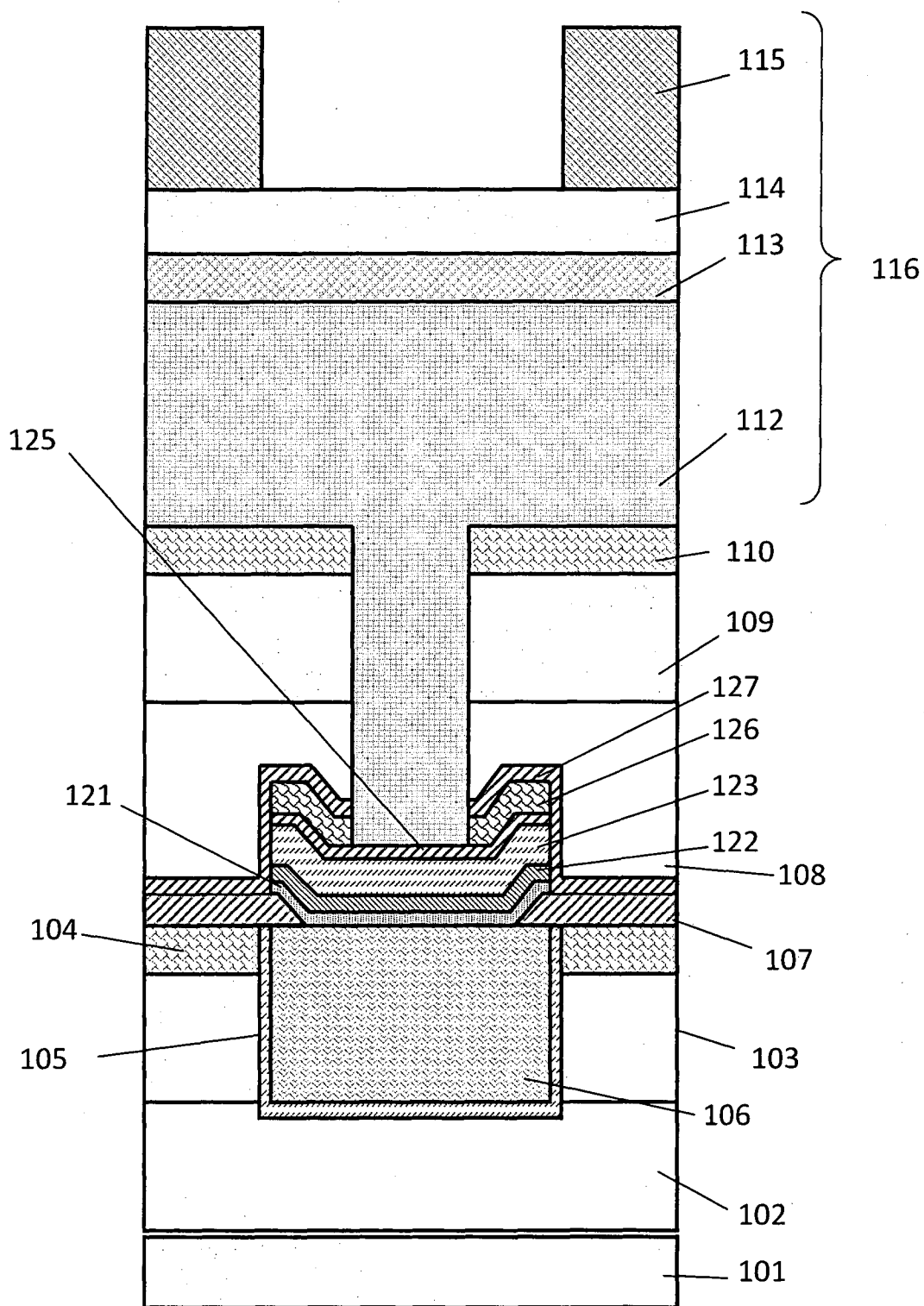


図 23

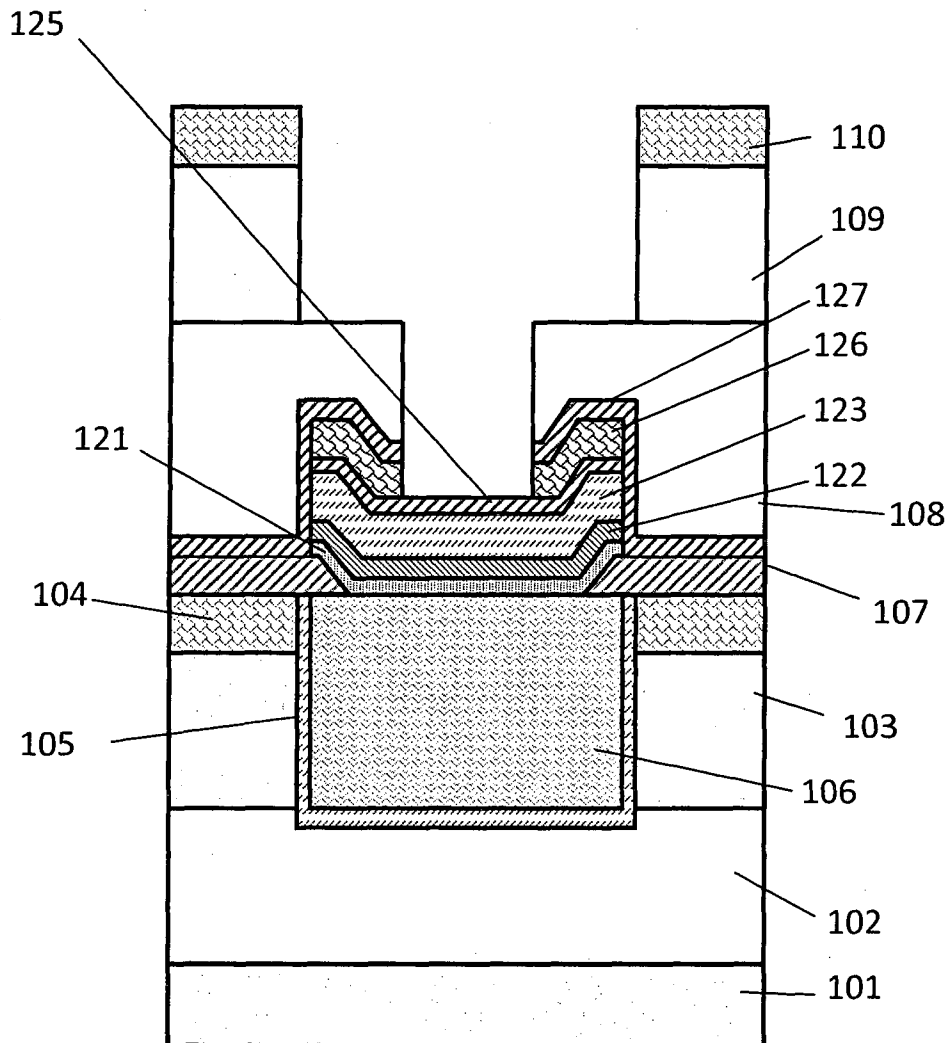


図 24

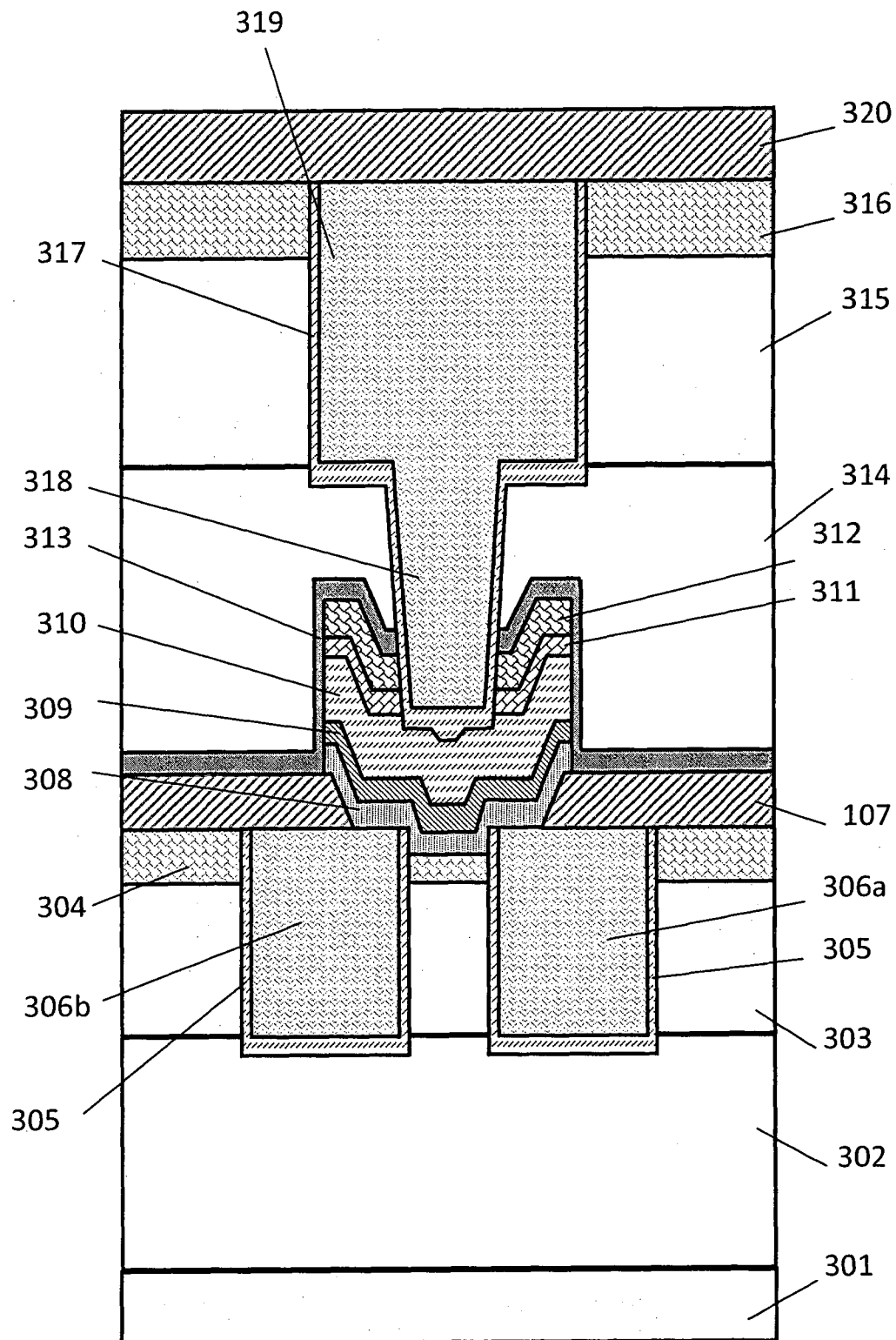


図 25

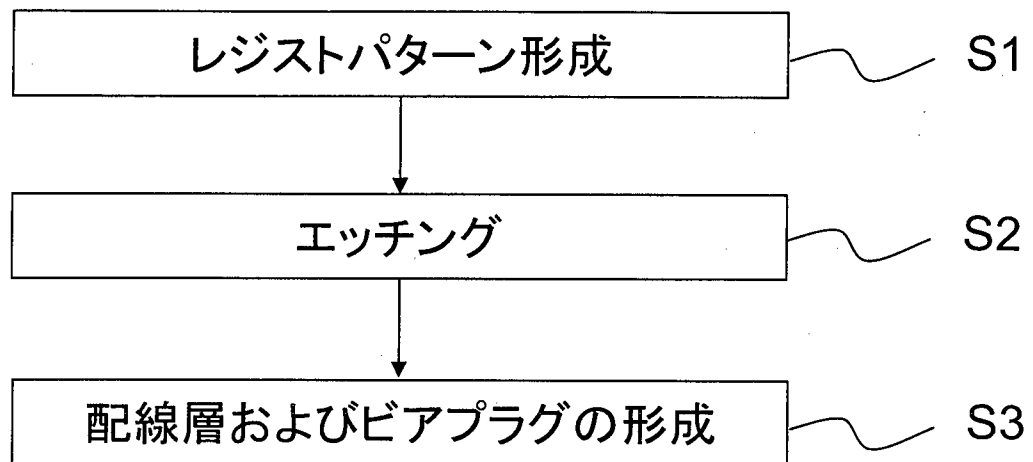


図 26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/072640

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, H01L21/3065(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, H01L21/3065, H01L21/8246, H01L27/105, H01L43/08, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-91317 A (NEC Corp.), 06 May 2011 (06.05.2011), entire text (Family: none)	1-10
A	JP 2007-310086 A (Toshiba Corp.), 29 November 2007 (29.11.2007), entire text & US 2007/0269746 A1	1-10
A	JP 2004-172403 A (Toshiba Corp.), 17 June 2004 (17.06.2004), entire text & US 2004/0144491 A1 & TW 236710 B & CN 1503321 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 September, 2013 (09.09.13)

Date of mailing of the international search report
24 September, 2013 (24.09.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/072640

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-179393 A (Tokyo Ohka Kogyo Co., Ltd.), 24 June 2004 (24.06.2004), entire text & US 2005/0074695 A1 & TW 258635 B & KR 10-2004-0047702 A	1-10
A	JP 2002-222860 A (Sony Corp.), 09 August 2002 (09.08.2002), entire text (Family: none)	1-10
A	JP 2006-156998 A (Toshiba Corp.), 15 June 2006 (15.06.2006), entire text & US 2006/0097399 A1 & US 2010/0115479 A1 & CN 1790352 A	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/768(2006.01)i, H01L21/3065(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/768, H01L21/3065, H01L21/8246, H01L27/105, H01L43/08, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-91317 A (日本電気株式会社) 2011.05.06, 全文 (ファミリーなし)	1-10
A	JP 2007-310086 A (株式会社東芝) 2007.11.29, 全文 & US 2007/0269746 A1	1-10
A	JP 2004-172403 A (株式会社東芝) 2004.06.17, 全文 & US 2004/0144491 A1 & TW 236710 B & CN 1503321 A	1-10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 9 . 2 0 1 3

国際調査報告の発送日

2 4 . 0 9 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河合 俊英

5 F

3 2 3 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-179393 A (東京応化工業株式会社) 2004.06.24, 全文 & US 2005/0074695 A1 & TW 258635 B & KR 10-2004-0047702 A	1-10
A	JP 2002-222860 A (ソニー株式会社) 2002.08.09, 全文 (ファミリーなし)	1-10
A	JP 2006-156998 A (株式会社東芝) 2006.06.15, 全文 & US 2006/0097399 A1 & US 2010/0115479 A1 & CN 1790352 A	1-10