

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：F7106627

※申請日期：F7.2.26

※IPC 分類：G11C 11/4063 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶體元件及其驅動方法

NONVOLATILE MEMORY DEVICE AND DRIVING METHOD

THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文) 尹鍾龍/YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 韓國/KR

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 朴起台/PARK, KI-TAE

2. 金奇南/KIM, KI-NAM

3. 李永宅/LEE, YEONG-TAEK

國籍：(中文/英文) 1-3. 韓國/KR

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2007/2/27；10-2007-0019772
2. 韓國；2007/9/6；10-2007-0090617

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種非揮發性記憶體元件以及一種其驅動方法。在驅動非揮發性記憶體元件之方法中，判定待驅動之記憶體單元之結構形狀以及位置，且接著使用判定結果來以根據記憶體單元之分佈的最佳化操作條件來驅動記憶體單元。

六、英文發明摘要：

Provided are a nonvolatile memory device and a driving method thereof. In the method of driving a nonvolatile memory device, a structural shape and position of a memory cell to be driven is determined, and then the memory cell is driven with an optimized operating condition according to a distribution of the memory cell using a determination result.

七、指定代表圖：

(一)本案指定代表圖為：圖(5)。

(二)本代表圖之元件符號簡單說明：

100：非揮發性記憶體元件

110：記憶體單元陣列

120：列解碼器

130：字線電壓產生器

132：偶數電壓配平電路

134：奇數電壓配平電路

140：頁面緩衝器

150：控制邏輯

152：偶數時間配平電路

154：奇數時間配平電路

BLe0：偶數位元線

BLen-1：偶數位元線

BLo0：奇數位元線

BLon-1：奇數位元線

GST：接地選擇電晶體

M0：浮動閘極電晶體

M1：浮動閘極電晶體

M30：浮動閘極電晶體

M31：浮動閘極電晶體

SST：串選擇電晶體

WL0：字線

WL1：字線

WL30：字線

WL31：字線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本文中所揭露之本發明大體而言是關於一種非揮發性記憶體元件，且更特定言之（而非限制）是關於一種驅動非揮發性記憶體元件之方法。

【先前技術】

非揮發性記憶體元件即使在不供應電力時仍保留單元中所儲存之資料。快閃記憶體元件為一種類型之非揮發性記憶體。由於快閃記憶體元件一次電抹除一區塊之資料單元，故快閃記憶體元件正廣泛用於電腦、記憶卡等中。

此快閃記憶體元件分類成 NOR 快閃記憶體以及 NAND 快閃記憶體。NOR 快閃記憶體與 NAND 快閃記憶體之間的一個差別是關於如何將記憶體單元連接至位元線。一般而言，NOR 快閃記憶體元件在高速效能方面有利，而其在高整合性方面歸因於其高電流消耗而是不利的。NAND 快閃記憶體元件在高整合性方面是有利的，因為其比 NOR 快閃記憶體元件消耗更小之電流量。

圖 1 為使用雙圖案化技術(double patterning technique, DPT)之記憶體單元陣列 110 的電路圖。大體而言，DPT 是克服光微影裝置之限制的圖案化技術。根據 DPT，以首先形成偶數圖案且其後形成奇數圖案之方式來形成記憶體單元陣列。

圖 2A 至圖 2C 為圖 1 中之字線(wordline)以及位元線(bitline)之形狀以及組態的立體說明。具體言之，圖 2A 為

說明沿圖 1 之線 A-A' 截取的記憶體單元之通道之截面圖。參看圖 2A, 字線之通道寬度根據字線是偶數字線還是奇數字線而不同。在本文中, 偶數字線具有小於奇數字線之通道寬度 $Lg2$ 的通道寬度 $Lg1$ 。圖 2B 為說明沿圖 1 之線 B-B' 截取的記憶體單元之主動區域(active region)之寬度的截面圖。參看圖 2B, 偶數記憶體單元之主動區域具有小於奇數記憶體單元之主動區域之寬度 $AW2$ 的寬度 $AW1$ 。圖 2C 說明奇數位元線以及偶數位元線之金屬寬度。參看圖 2C, 偶數位元線具有小於奇數位元線之寬度 $BW2$ 的寬度 $BW1$ 。

圖 3 為根據 DPT 製造之記憶體單元之臨限電壓分佈的圖解說明。參看圖 3, 根據記憶體單元是偶數單元還是奇數單元而存在臨限電壓分佈之差異。在本文中, 偶數記憶體單元意謂連接至偶數字線之記憶體單元, 且奇數記憶體單元意謂連接至奇數字線之記憶體單元。然而, 在根據增量階躍脈衝程式化 (incremental step pulse programming, ISPP) 方法而執行程式化操作的典型非揮發性記憶體元件中, 程式化操作條件 (例如, 程式化起始電壓 (V_0)、ISPP 增量級別 ($\Delta ISPP$) 以及程式化停止電壓 (V_m)) 不管記憶體單元是奇數單元還是偶數單元均自總分佈判定。此處, 程式化操作條件滿足以下方程式 1 以及 2。

$$V_m = V_0 + m\Delta ISPP \text{ -----(方程式 1)}$$

$$\Delta V_w = V_m - V_0 \text{ -----(方程式 2)}$$

其中 m 是用於達到程式化停止電壓 (V_m) 的程式化循環之迭代次數。

如圖 3 中所說明，總分佈比偶數記憶體單元以及奇數記憶體單元之分佈相對廣泛。因此，難以使典型非揮發性記憶體元件具有最佳化程式化時間，因為程式化操作條件是根據總臨限電壓分佈判定的。此因為程式化時間一般而言與臨限電壓分佈之寬度成比例。另外，分佈之寬度 (ΔV_w) 在 ISPP 操作中變大，且因此程式化循環之迭代次數 (m) 相應地增加。此導致記憶體單元之應力增加，從而最終導致記憶體單元之可靠性劣化。

圖 4 為習知位元線結構以及感測方法之等效電路圖以及相關聯之電壓-時間曲線。如圖 2C 中所說明，位元線之寬度根據位元線是奇數位元線還是偶數位元線而不同。因此，參看圖 4，寄生電阻以及寄生電容亦根據位元線是奇數位元線還是偶數位元線而不同。亦即，偶數位元線之寄生電阻 R_e 大於奇數位元線之寄生電阻 R_o ，且偶數位元線之寄生電容 C_e 小於奇數位元線之寄生電容 C_o 。此歸因於偶數位元線之寬度 BW_1 小於奇數位元線之寬度 BW_2 的事實。此可能使 RC 時間常數根據位元線是奇數位元線還是偶數位元線而不同。為了方便描述，假定偶數位元線之 RC 時間常數 ($R_e C_e$) 大於奇數位元線之 RC 時間常數 ($R_o C_o$)。

結果，感測操作條件（例如，預先充電時間、開發時

間 (development time)) 將根據位元線是偶數位元線還是奇數位元線而不同。在本文中，預先充電時間是指使位元線電壓上升直至預先充電電壓 (例如，電源電壓) 所耗費的時間。開發時間是指使位元線電壓自預先充電電壓降落至跳脫電壓 (trip voltage) V_{trip} 所耗費的時間。若位元線為偶數位元線，則預先充電時間短於奇數位元線之預先充電時間，且開發時間長於奇數位元線之開發時間。相反，若位元線為奇數位元線，則預先充電時間長於偶數位元線之預先充電時間，且開發時間短於偶數位元線之開發時間。然而，典型非揮發性記憶體元件不管位元線是偶數位元線還是奇數位元線均以相同感測操作條件操作。

亦即，在典型非揮發性記憶體元件之感測操作條件下，感測時間 T_s 經判定以致其包含相對長於偶數位元線之預先充電時間的奇數位元線之預先充電時間 T_{pc} 以及相對長於奇數位元線之開發時間的偶數位元線之開發時間 T_d 。如圖 4 中所說明，等待時間 T_{w1} 以及 T_{w2} 分別發生於偶數位元線以及奇數位元線中。亦即，典型非揮發性記憶體元件不能最佳化感測時間。

再次參看圖 4，在偶數位元線 B_{Le} 之預先充電操作中，偶數位元線 B_{Le} 比奇數位元線 B_{Lo} 快地預先充電。然而，預先充電時間 T_{pc} 受奇數位元線 B_{Lo} 之預先充電時間限制。在奇數位元線 B_{Lo} 之開發操作中，奇數位元線 B_{Lo} 比偶數位元線 B_{Le} 快地開發。然而，在此狀況下，單元電流開發時間 T_d 受偶數位元線 B_{Le} 之開發時間限制。此導

致非揮發性記憶體元件之讀取/驗證特性降級。因此需要改良之非揮發性記憶體元件結構。

【發明內容】

本發明之實施例提供一種基於臨限電壓分佈之差異而最佳化效能的非揮發性記憶體元件以及方法。

本發明之一實施例提供一種驅動非揮發性記憶體元件之方法，其包含：判定待驅動之記憶體單元之結構位置；以及使用判定結果來以根據記憶體單元之臨限電壓分佈的操作條件驅動記憶體單元。

本發明之另一實施例提供一種非揮發性記憶體元件。所述非揮發性記憶體元件包含：記憶體單元陣列，其包含多個記憶體單元，多個記憶體單元中之每一者位於多個字線與多個位元線之相交處；列解碼器，其耦接至記憶體單元陣列且經組態以選擇多個字線中之一者；以及字線電壓產生器，其耦接至列解碼器且經組態以輸出字線電壓，字線電壓具有根據與多個記憶體單元中之一選定者相關聯的臨限電壓分佈之操作條件。

【實施方式】

隨附諸圖經包含以提供對本發明之進一步理解，且經併入本說明書並構成本說明書之一部分。圖式說明本發明之例示性實施例且連同描述用來解釋本發明之原理。

以下將參看隨附圖式較詳細地描述本發明之較佳實施例。然而，本發明可以不同形式具體化且不應理解為限於本文中所陳述之實施例。實情為，提供此等實施例以使得

本揭露案將是透徹且完整的，且將向熟習此項技術者充分傳達本發明之範疇。

根據本發明之一實施例的非揮發性記憶體元件判定待驅動之記憶體單元的結構形狀以及位置，且因此根據判定結果而以適合於待驅動之記憶體單元之分佈特性的操作條件操作。其中結構形狀以及位置包含字線之寬度、主動區域(active region)之寬度與高度以及兩個相鄰字線之間的距離。因此，有可能改良臨限電壓分佈特性以及由記憶體單元之結構形狀以及位置引起的效能降級。其中操作條件包含字線電壓、位元線電壓、井電壓(well voltage)以及其時序。

可以適合於根據記憶體單元是偶數單元還是奇數單元的記憶體單元之分佈特性的獨立方式來驅動根據第一實施例之非揮發性記憶體元件。在本文中，根據記憶體單元連接至偶數字線還是奇數字線而判定記憶體單元是偶數還是奇數。亦即，在下文中，連接至偶數字線之記憶體單元將被稱作偶數記憶體單元，且連接至奇數字線之記憶體單元將被稱作奇數記憶體單元。

圖 5 為根據本發明之第一實施例之非揮發性記憶體元件 100 的功能方塊圖。圖 5 之非揮發性記憶體元件 100 為 NAND 快閃記憶體元件。然而，對於熟習此項技術者而言很明顯，本發明亦可適用於其他記憶體元件（例如，遮罩唯讀記憶體(mask read only memory, MROM)、可程式化 ROM (PROM)、鐵電式隨機存取記憶體(ferroelectric

random access memory, FRAM)、NOR 快閃等)以及 NAND 快閃記憶體元件。

參看圖 5，非揮發性記憶體元件 100 包含記憶體單元陣列 110、列解碼器 120、字線電壓產生器 130、頁面緩衝器 140 以及控制邏輯 150。經由雙圖案化技術 (DPT) 製備本發明之記憶體單元陣列 110。非揮發性記憶體元件 100 根據記憶體單元是偶數單元還是奇數單元而以不同方式操作。為此目的，本發明之字線電壓產生器 130 在程式化/讀取操作期間提供適合於奇數記憶體單元以及偶數記憶體單元之臨限電壓分佈的各別程式化/讀取操作條件。控制邏輯 150 在讀取/驗證操作期間提供適合於奇數位元線以及偶數位元線的各別感測操作條件。此處，驗證操作為程式化操作之一部分。

記憶體單元陣列 110 包含多個記憶體單元，且具有與圖 1 之記憶體單元陣列實質上相同的構造。記憶體單元陣列 110 中所包含之多個記憶體單元配置於多個字線 WL0 至 WL31 與多個位元線 BLe0 至 BLen-1 以及 BLo0 至 BLon-1 彼此交叉的區域處。記憶體單元中之每一者儲存 1 位元資料或 n 位元資料，其中 n 為 2 或 2 以上之整數。

多個字線 WL0 至 WL31 分成偶數字線 WL0、WL2、...、WL30 以及奇數字線 WL1、WL3、...、WL31。由於使用 DPT，來製備記憶體單元陣列 110，故偶數字線 WL0、WL2、...、WL30 之寬度不同於奇數字線 WL1、WL3、...、WL31 之寬度。在下文中，為了方便描述，假

定偶數位元線 BLe0 至 BLen-1 之線寬比奇數位元線 BLo0 至 BLon-1 之線寬窄。因此，記憶體單元陣列 110 之記憶體單元主要分類成偶數記憶體單元以及奇數記憶體單元。

記憶體單元陣列 110 之每一單元串（亦被稱作 NAND 串）包含多個浮動閘極電晶體 M0 至 M31。多個浮動閘極電晶體 M0 至 M31 串聯連接於配置於同一串中的串選擇電晶體 SST 與接地選擇電晶體 GST 之間。多個字線 WL0 至 WL31 經配置以交叉單元串（亦即，NAND 串）。字線 WL0 至 WL31 分別連接至每一 NAND 串之對應浮動閘極電晶體 M0 至 M31 的控制閘極。經由字線 WL0 至 WL31 施加程式化/讀取電壓，藉此將資料程式化至對應浮動閘極電晶體 M0 至 M31 或自對應浮動閘極電晶體 M0 至 M31 讀取資料。非揮發性記憶體元件更包含用以將資料程式化至記憶體單元陣列 110 或自記憶體單元陣列 110 讀取資料的頁面緩衝器 140。

列解碼器 120 解碼自列位址緩衝器（未圖示）供應之列位址以選擇多個字線 WL0 至 WL31 中之至少一者。接著將字線電壓施加至選定字線。此處，自字線電壓產生器 130 供應字線電壓。列位址對應於選定字線之位置資料。更具體言之，列位址包含表示選定字線是偶數字線還是奇數字線的位置資料。

字線電壓產生器 130 產生待供應至選定字線之字線電壓。此處，字線電壓在程式化操作期間可為程式化電壓以及驗證電壓，在讀取操作期間可為讀取電壓，且在抹除操

作期間可為抹除電壓。詳言之，本發明之字線電壓產生器 130 包含偶數電壓配平電路 (trim circuit) 132 以及奇數電壓配平電路 134。

當選定字線為偶數字線時，偶數電壓配平電路 132 調整字線電壓以便將第一程式化電壓、第一驗證電壓或第一讀取電壓供應至選定字線。此處，第一程式化電壓、第一驗證電壓以及第一讀取電壓適合於偶數記憶體單元之臨限電壓分佈特性，其將在以下參看圖 6 較充分地加以描述。

當選定字線為奇數字線時，奇數電壓配平電路 134 調整字線電壓以便將第二程式化電壓、第二驗證電壓或第二讀取電壓供應至選定字線。此處，第二程式化電壓、第二驗證電壓以及第二讀取電壓適合於奇數記憶體單元之臨限電壓分佈特性，其亦將在以下參看圖 6 較充分地加以描述。

根據記憶體單元是偶數記憶體單元還是奇數記憶體單元，本發明之字線電壓產生器 130 將適合於對應記憶體單元之各別臨限電壓分佈特性的程式化電壓、驗證電壓或讀取電壓供應至選定字線。

頁面緩衝器 140 在讀取/驗證操作期間自記憶體單元經由對應位元線讀取資料。頁面緩衝器 140 在控制邏輯 150 之控制下驅動位元線。將在讀取操作期間讀取之資料經由輸入/輸出電路 (未圖示) 輸出至外側。將在驗證操作期間讀取之資料輸出至通過/失敗偵測電路 (未圖示)。通過/失敗偵測電路判定在程式化操作期間自頁面緩衝器 140 輸出之資料是否等於通過資料。通過/失敗偵測電路將通過/失

敗信號（程式化操作之偵測結果）輸出至控制邏輯 150。

控制邏輯 150 在程式化/讀取/抹除操作期間控制字線電壓產生器 130 以及頁面緩衝器 140。控制邏輯 150 根據輸入位址而致能字線電壓產生器 130 之偶數電壓配平電路 132 以及奇數電壓配平電路 134 中的一者。特定言之，本發明之控制邏輯 150 包含具有不同位元線感測操作條件的偶數時間配平電路 152 以及奇數時間配平電路 154。以下參看預先充電時間以及單元電流開發時間描述此等不同位元線感測操作條件。

偶數時間配平電路 152 控制頁面緩衝器 140 以致以第一預先充電時間以及第一單元電流開發時間感測偶數位元線 BLe0 至 BLen-1。同樣地，奇數時間配平電路 154 控制頁面緩衝器 140 以致以第二預先充電時間以及第二單元電流開發時間感測奇數位元線 BLo0 至 BLon-1。此將參看圖 7 較充分地加以描述。

控制邏輯 150 控制頁面緩衝器 140 以致根據對應位元線是偶數位元線還是奇數位元線而以適當之預先充電時間以及單元電流開發時間感測位元線。亦即，控制邏輯 150 控制頁面緩衝器 140 以根據位元線是偶數位元線還是奇數位元線而以不同位元線感測操作條件驅動位元線。

非揮發性記憶體元件 100 因此對於偶數記憶體單元以及奇數記憶體單元最佳化操作。具體言之，在非揮發性記憶體元件 100 中，可藉由根據字線是偶數字線還是奇數字線而對於臨限電壓分佈最佳化之程式化電壓、驗證電壓或

讀取電壓驅動字線，且可藉由根據位元線是偶數位元線還是奇數位元線而最佳化之預先充電時間以及單元電流開發時間驅動位元線。

即使記憶體單元根據記憶體單元是偶數記憶體單元還是奇數記憶體單元而具有不同臨限電壓分佈特性，非揮發性記憶體元件 100 仍對於偶數記憶體單元或奇數記憶體單元之臨限電壓分佈裁剪操作，從而引起程式化/讀取/抹除效能改良。以下參看圖 6 至圖 8 之論述提供關於在非揮發性記憶體元件 100 中如何改良程式化/讀取/抹除效能的較多細節。

圖 6A 至圖 6C 為圖 5 之非揮發性記憶體元件 100 之電壓調整方法的圖解說明。圖 6A 說明根據記憶體單元是偶數記憶體單元還是奇數記憶體單元的臨限電壓分佈特性。參看圖 6A，奇數記憶體單元之臨限電壓分佈相對高於偶數記憶體單元之臨限電壓分佈。儘管圖 6A 說明奇數記憶體單元之臨限電壓分佈高於偶數記憶體單元之臨限電壓分佈，但本發明並不限於此狀況。

非揮發性記憶體元件 100 可以分別根據偶數記憶體單元之分佈以及奇數記憶體單元之分佈而最佳化的程式化操作條件而操作。非揮發性記憶體元件 100 可藉由增量階躍脈衝程式化 (ISPP) 方法而程式化。根據 ISPP 方法，程式化電壓 V_{pgm} 在程式化週期之重複期間自程式化起始電壓逐步地以具有預定脈寬之增量電壓增量地增加至程式化停止電壓。此 ISPP 方法揭露於題為 “A 3.3V 32Mb NAND

Flash Memory with Incremental Step Pulse Programming Scheme” , IEEE Journal of Solid-State Circuits, 第 30 卷, 第 11 期, 1995 年 11 月, 第 1149 至 1156 頁(Suh, Kang-Deog 等人) 的文件中, 此文件以引用的方式併入本文中。

首先, 將描述奇數記憶體單元之程式化方法。圖 6B 說明根據偶數記憶體單元之臨限電壓分佈的程式化操作條件。在本文中, 程式化操作條件包含程式化起始電壓 V_{e0} 、ISPP 增量級別 $\Delta ISPP_e$ 、程式化停止電壓 V_{em} 以及第一驗證電壓 V_{vfe} 。程式化循環之最大次數可為 m 。偶數記憶體單元之臨限電壓分佈滿足以下方程式 3 以及 4。

$$V_{em} = V_{e0} + m\Delta ISPP_e \text{ -----(方程式 3)}$$

$$\Delta V_{we} = V_{em} - V_{e0} \text{ -----(方程式 4)}$$

參看圖 6B, 以第一程式化操作條件程式化偶數記憶體單元。此處, 第一程式化操作條件包含第一程式化起始電壓 V_{e0} 、第一 ISPP 增量級別 $\Delta ISPP_e$ 、第一程式化停止電壓 V_{em} 以及第一驗證電壓 V_{vfe} 。此第一程式化操作條件可經設計以對於偶數記憶體單元之臨限電壓分佈為最佳的。可自偶數電壓配平電路 132 提供第一程式化操作條件。在對偶數記憶體單元之程式化操作期間, 將具有以第一 ISPP 增量級別 $\Delta ISPP_e$ 依序增加之電壓位準的程式化電壓 V_{pgm} 供應至對應字線。

圖 6C 說明根據奇數記憶體單元之臨限電壓分佈的程

式化操作條件。在本文中，程式化操作條件包含第二程式化起始電壓 V_{o0} 、第二 ISPP 增量級別 $\Delta ISPP_o$ 、第二程式化停止電壓 V_{on} 以及第二驗證電壓 V_{vfo} 。程式化循環之最大次數可為 n 。第二程式化起始電壓 V_{o0} 高於第一程式化起始電壓 V_{e0} 。然而，不必要使第二程式化起始電壓 V_{o0} 高於第一程式化起始電壓 V_{e0} 。奇數記憶體單元之臨限電壓分佈滿足以下方程式 5 以及 6。

$$V_{on} = V_{o0} + n\Delta ISPP_o \text{ ----- (方程式 5)}$$

$$\Delta V_{wo} = V_{on} - V_{o0} \text{ ----- (方程式 6)}$$

參看圖 6C，以第二程式化操作條件程式化奇數記憶體單元。此處，第二程式化操作條件包含第二程式化起始電壓 V_{o0} 、第二 ISPP 增量級別 $\Delta ISPP_o$ 、第二程式化停止電壓 V_{on} 以及第二驗證電壓 V_{vfo} 。此第二程式化操作條件可經設計以對於奇數記憶體單元之臨限電壓分佈為最佳的。可自奇數電壓配平電路 134 提供第二程式化操作條件。在對偶數記憶體單元之程式化操作期間，將具有以第二 ISPP 增量級別 $\Delta ISPP_o$ 依序增加之電壓位準的程式化電壓 V_{pgm} 供應至對應字線。

參看圖 6A 以及圖 6B，視奇數記憶體單元以及偶數記憶體單元之臨限電壓分佈而在各別程式化操作條件下執行非揮發性記憶體元件 100 之程式化操作。亦即，程式化起始電壓 V_{e0} 以及 V_{o0} 、ISPP 增量級別 $\Delta ISPP_e$ 以及 $\Delta ISPP_o$ 、

程式化停止電壓 V_{em} 以及 V_{on} ，以及程式化循環之最大次數 m 以及 n 根據待驅動之記憶體單元是奇數記憶體單元還是偶數記憶體單元而不同。

在圖 3 中所說明之習知非揮發性記憶體元件中，在程式化操作中，基於總臨限電壓分佈之寬度 ΔV_w 而判定程式化操作條件。然而，在本發明之實施例中，在適合於待驅動之記憶體單元之臨限電壓分佈特性的程式化操作條件下執行非揮發性記憶體元件 100 之程式化操作。詳言之，分別基於偶數記憶體單元之臨限電壓分佈之寬度 ΔV_{we} 以及奇數記憶體單元之臨限電壓分佈之寬度 ΔV_{wo} 而判定程式化操作條件。因此，本發明非揮發性記憶體元件 100 之程式化時間短於基於總臨限電壓分佈之寬度 ΔV_w 而判定程式化操作條件的習知非揮發性記憶體元件之程式化時間。另外，在本發明之實施例中，程式化循環之次數可小於習知非揮發性記憶體元件之程式化循環之次數。因此，有可能改良記憶體單元之可靠性。

圖 7 為根據本發明之一實施例之非揮發性記憶體元件 100 的讀取電壓之圖解說明。參看圖 7，記憶體單元之臨限電壓分佈主要分成偶數記憶體單元之臨限電壓分佈以及奇數記憶體單元之臨限電壓分佈。如圖 7 中所說明，奇數記憶體單元之臨限電壓分佈相對高於偶數記憶體單元之臨限電壓分佈。因此，在本發明之非揮發性記憶體元件中，用於資料決策之讀取電壓根據記憶體單元是偶數記憶體單元還是奇數記憶體單元而不同。舉例而言，奇數記憶體單元

之讀取電壓 V_{ro} 高於偶數記憶體單元之讀取電壓 V_{re} 。在本文中，可分別自字線電壓產生器 130 之電壓配平電路 134 以及 132 施加讀取電壓 V_{ro} 以及 V_{re} 。

在非揮發性記憶體元件 100 中，待供應至字線之讀取電壓根據記憶體單元是奇數記憶體單元還是偶數記憶體單元而彼此不同。又，非揮發性記憶體元件 100 可經實施以致抹除電壓根據記憶體單元是奇數記憶體單元還是偶數記憶體單元而彼此不同。

圖 8A 以及圖 8B 為用於在根據本發明之一實施例之非揮發性記憶體元件 100 中位元線感測的電壓-時間曲線之圖解說明。不管位元線是偶數位元線還是奇數位元線均同等地應用如圖 4 中所說明的用於位元線感測之習知時間配平方法。然而，參看圖 8A 以及圖 8B，在根據位元線是偶數位元線還是奇數位元線而不同的位元線感測操作條件（例如，預先充電時間、開發時間以及感測時間）下執行本發明用於位元線感測之時間配平方法。

大體而言，在非揮發性記憶體元件 100 之讀取/驗證操作期間執行位元線感測操作以自記憶體單元讀取資料。位元線感測操作主要分成位元線預先充電部分、位元線開發部分以及資料感測部分。在位元線預先充電部分期間將位元線預先充電至預定電壓位準。在位元線開發部分期間，位元線電壓根據連接至位元線之記憶體單元是切斷單元還是接通單元而改變。

舉例而言，若記憶體單元為接通單元，則在位元線中

積聚之電荷經由記憶體單元放電，以使得位元線電壓降低。相反，若記憶體單元為切斷單元，則使位元線維持於預定電壓。在資料感測部分期間，藉由感測所開發位元線之電壓而判定連接至位元線之記憶體單元為接通單元還是切斷單元。

具體言之，圖 8A 說明用於感測偶數位元線之時間配平方法。參看圖 5 以及圖 8B，用於感測偶數位元線之時間配平方法如下。偶數時間配平電路 152 以第一感測操作條件操作。第一感測操作條件包含第一預先充電時間 T_{pce} 以及第一單元電流開發時間 T_{de} 。第一感測時間 T_{se} 等於第一預先充電時間 T_{pce} 與第一單元電流開發時間 T_{de} 之和。第一單元電流開發時間 T_{de} 等於如圖 4 中所說明之習知非揮發性記憶體元件之單元電流開發時間 T_d 。因此，由於在非揮發性記憶體元件 100 中並不需要圖 4 中所說明之等待時間 (T_{w1})，故總感測時間 T_{se} 短於圖 4 中所說明之習知非揮發性記憶體元件之感測時間 (T_s)。

圖 8B 說明用於感測奇數位元線之時間配平方法。參看圖 5 以及圖 8B，用於感測奇數位元線之時間配平方法如下。奇數時間配平電路 154 以第二感測操作條件操作。第二感測操作條件包含第二預先充電時間 T_{pco} 以及第二單元電流開發時間 T_{do} 。第二感測時間 T_{so} 等於第二預先充電時間 T_{pco} 與第二單元電流開發時間 T_{do} 之和。第二預先充電時間 T_{pco} 等於如圖 4 中所說明之典型非揮發性記憶體元件之預先充電時間 T_{pc} 。第二單元電流開發時間 T_{do}

短於圖 4 中所說明之典型單元電流開發時間 (T_d)。因此，由於不需要圖 4 中所說明之等待時間 (T_{w2})，故第二感測時間 T_{s0} 短於圖 4 中所說明之習知非揮發性記憶體元件之感測時間 (T_s)。

如以上所述，偶數時間配平電路 152 提供對於感測偶數位元線而最佳化之第一預先充電時間 T_{pce} 以及第一單元電流開發時間 T_{de} 。奇數時間配平電路 154 提供對於感測奇數位元線而最佳化之第二預先充電時間 T_{pco} 以及第二單元電流開發時間 T_{do} 。因此，非揮發性記憶體元件 100 與習知非揮發性記憶體元件相比可減少總位元線感測時間。

由於偶數位元線 BL_{e0} 至 BL_{en-1} 比奇數位元線 BL_{o0} 至 BL_{on-1} 具有較小的寬度，故前者比後者快地預先充電。另外，由於偶數位元線 BL_{e0} 至 BL_{en-1} 之單元電流比奇數位元線 BL_{o0} 至 BL_{on-1} 之單元電流小，故前者需執行開發比後者相對長的持續時間。因此，第一預先充電時間 T_{pce} 短於第二預先充電時間 T_{pco} 。另一方面，第一單元電流開發時間 T_{de} 長於第二單元電流開發時間 T_{do} 。因此，不存在總感測時間之大差異。亦即，偶數感測時間 T_{se} 持續時間類似於奇數感測時間 T_{so} 。

在非揮發性記憶體元件 100 中，在根據位元線是偶數位元線還是奇數位元線而最佳化的感測操作條件下執行感測操作。因此，用於感測位元線所需要之總感測時間減少，從而減少使讀取/驗證操作在非揮發性記憶體元件 100 中

執行所耗費的時間。

圖 9 為說明根據本發明之一實施例之非揮發性記憶體元件 100 的程式化方法之流程圖。參看圖 5 以及圖 9，非揮發性記憶體元件 100 之程式化方法如下。在操作 S110 中，列解碼器 120 解碼列位址以選擇對應於其之字線。同時，亦將列位址轉移至字線電壓產生器 130。在操作 S120 中，字線電壓產生器 130 使用所轉移列位址來判定選定字線是奇數字線還是偶數字線。在操作 S130 中，若選定字線為偶數字線，則在自偶數電壓配平電路 132 供應之第一程式化操作條件下執行程式化操作。在操作 S140 中，若選定字線為奇數字線，則在自奇數電壓配平電路 134 供應之第二程式化操作條件下執行程式化操作。

圖 10 為說明根據本發明之一實施例之非揮發性記憶體元件 100 的位元線感測方法之流程圖。參看圖 5 以及圖 10，非揮發性記憶體元件 100 之位元線感測方法如下。在操作 S210 中，控制邏輯 150 自外側接收資料讀取/驗證命令。在操作 S220 中，控制邏輯 150 之偶數時間配平電路 152 控制頁面緩衝器 140 以致以第一感測操作條件感測偶數位元線，且控制邏輯 150 之奇數時間配平電路 154 控制頁面緩衝器 140 以致以第二感測操作條件感測奇數位元線。

根據以上所述之本發明之第一實施例，非揮發性記憶體元件根據記憶體單元是偶數記憶體單元還是奇數記憶體單元而以各別方式操作。具體言之，在根據本發明之一實

施例之非揮發性記憶體元件 100 中，在根據記憶體單元是偶數記憶體單元還是奇數記憶體單元而對於程式化分佈最佳化之程式化/讀取/驗證/抹除操作條件下驅動字線。在根據位元線是偶數位元線還是奇數位元線而最佳化之感測操作條件下驅動位元線。因此，有可能改良記憶體單元之臨限電壓分佈以及由記憶體單元之結構位置之差異引起的效能降級。

本發明之實施例亦可適用於具有三維記憶體陣列結構之非揮發性記憶體元件。在此元件中，記憶體陣列之各別層可具有不同臨限電壓分佈以及效能特性。此三維陣列結構已分別揭露於以下專利中：題為“THREE-DIMENSIONAL READ-ONLY MEMORY”的美國專利第 5,835,396 號（1998 年 12 月 7 日）；題為“VERTICALLY STACKED FIELD PROGRAMMABLE NONVOLATILE MEMORY AND METHOD OF FABRICATION”的美國專利第 6,034,882 號（2000 年 3 月 7 日）；以及題為“WORDLINE ARRANGEMENT HAVING SEGMENTED WORDLINES”的美國專利第 7,002,825 號（2006 年 2 月 21 日），此等專利案將以引用的方式併入本文中。在本發明之實施例中，非揮發性記憶體元件可經組態以根據記憶體陣列之每一層而以不同方式操作。

圖 11 為說明根據本發明之一實施例之三維（3-D）記憶體陣列 210 的截面圖。3-D 記憶體陣列 210 可為快閃記憶體陣列、唯讀記憶體（ROM）陣列、靜態隨機存取記憶

體 (SRAM) 陣列、矽-氧化物-氮化物-氧化物-矽 (SONOS) 記憶體陣列或其類似物。參看圖 11，儘管 3-D 記憶體陣列 210 具有第一層 212 以及第二層 214，但本發明不一定限於兩層記憶體陣列結構。

記憶體陣列 210 包含由矽或其類似物形成之基板 202。一或多個記憶體材料層 204 (展示一者) 提供於記憶體陣列 210 中之不同層級處。詳言之，記憶體材料層 204 堆疊於基板 202 上方。諸如氧化物層之絕緣層 206 安置於多個記憶體材料層 204 中之每一者之間以便使記憶體材料層 204 分離。絕緣層 206 可包含主體介電層，諸如硼矽酸鹽玻璃 (BSG)、磷矽酸鹽玻璃 (PSG) 以及硼磷矽酸鹽玻璃 (BPSG)。

參看圖 11，第一層 212 之第一記憶體陣列之記憶體單元安置於基板 202 上，且第二層 214 之第二記憶體陣列之記憶體單元安置於材料層 204 上。因此，屬於第一記憶體陣列之記憶體單元的臨限電壓分佈不同於屬於第二記憶體陣列之記憶體單元的臨限電壓分佈。非揮發性記憶體元件可經組態而以對於多層記憶體陣列 210 中之每一層最佳化的操作條件來操作。

圖 12 為根據本發明之第二實施例之非揮發性記憶體元件 200 的功能方塊圖。參看圖 12，非揮發性記憶體元件 200 包含 3-D 記憶體陣列 210、解碼器 220、頁面緩衝器 230 以及控制邏輯 240。3-D 記憶體陣列 210 如以上參看圖 11 所述。非揮發性記憶體元件 200 包含經組態以根據對應

於位址 ADD 之記憶體單元屬於記憶體陣列 210 之第一層 212 還是記憶體陣列 210 之第二層 214 而控制記憶體單元的控制邏輯 240。具體言之，控制邏輯 240 包含經組態以控制屬於第一層 212 之記憶體單元的第一層控制邏輯 242，以及經組態以控制屬於第二層 214 之記憶體單元的第二層控制邏輯 244。

圖 13A 至圖 13C 為圖 12 之非揮發性記憶體元件 200 之程式化方法的圖解說明。詳言之，圖 13A 為屬於第一層 212 以及第二層 214 之記憶體單元之臨限電壓分佈的圖解說明。大體而言，安置於材料層 204 上之記憶體單元比安置於基板 202 上之記憶體單元具有較差的臨限電壓特性。因此，第一層 212 中之記憶體單元之臨限電壓可高於第二層 214 中之記憶體單元之臨限電壓。

圖 13B 為根據記憶體陣列 210 之第一層 212 之記憶體單元之臨限電壓分佈的程式化操作條件之圖解說明。程式化操作條件包含程式化起始電壓 V_{10} 、ISPP 增量級別 $\Delta ISPP1$ 、程式化停止電壓 V_{1m} 以及第一驗證電壓 V_{vf1} 。程式化循環之最大次數可為 m 。第一層中之記憶體單元之臨限電壓分佈滿足以下方程式 7 以及 8。

$$V_{1m} = V_{10} + m\Delta ISPP1 \text{ -----(方程式 7)}$$

$$\Delta V_{w1} = V_{1m} - V_{10} \text{ -----(方程式 8)}$$

參看圖 13B，以第一程式化操作條件程式化第一層 212

之記憶體單元。此處，第一程式化操作條件包含第一程式化起始電壓 $V10$ 、第一 ISPP 增量級別 $\Delta ISPP1$ 、第一程式化停止電壓 $V1m$ 以及第一驗證電壓 $Vvf1$ 。可對於第一層 212 中之記憶體單元之臨限電壓分佈最佳化此第一程式化操作條件。可自第一層控制邏輯 242 提供第一程式化操作條件。當對第一層 212 中之記憶體單元程式化時，可將具有以第一 ISPP 增量級別 $\Delta ISPP1$ 依序增加之電壓位準的程式化電壓 $Vpgm$ 供應至對應字線。

圖 13C 為根據記憶體陣列 210 之第二層 214 之記憶體單元之臨限電壓分佈的程式化操作條件之圖解說明。此處，程式化操作條件包含第二程式化起始電壓 $V20$ 、第二 ISPP 增量級別 $\Delta ISPP2$ 、第二程式化停止電壓 $V2n$ 以及第二驗證電壓 $Vvf2$ 。程式化循環之最大次數可為 n 。第二層中之記憶體單元之臨限電壓分佈滿足以下方程式 9 以及 10。

$$V2n = V20 + n\Delta ISPP2 \text{ -----(方程式 9)}$$

$$\Delta Vw2 = V2n - V20 \text{ -----(方程式 10)}$$

參看圖 13C，以第二程式化操作條件程式化第二層 214 之記憶體單元。此處，第二程式化操作條件包含第二程式化起始電壓 $V20$ 、第二 ISPP 增量級別 $\Delta ISPP2$ 、第二程式化停止電壓 $V2n$ 以及第二驗證電壓 $Vvf2$ 。可對於第二層 214 中之記憶體單元之臨限電壓分佈最佳化此第二程式化

操作條件。可自第二層控制邏輯 244 提供第二程式化操作條件。當對第二層 214 中之記憶體單元程式化時，可將具有以第二 ISPP 增量級別 $\Delta ISPP2$ 依序增加之電壓位準的程式化電壓 V_{pgm} 供應至對應字線。

非揮發性記憶體元件 200 經組態以判定所定址之記憶體單元屬於第一層 212 還是第二層 214。基於記憶體陣列 210 之所識別層而以不同程式化操作條件程式化記憶體單元。因此，非揮發性記憶體元件 200 對於第一層 212 以及第二層 214 中之記憶體單元的臨限電壓分佈最佳化程式化操作條件。

圖 14A 以及圖 14B 為圖 12 之非揮發性記憶體元件 200 之讀取/驗證電壓的圖解說明。參看圖 14A 以及圖 14B，本發明之非揮發性記憶體元件 200 中的記憶體單元之臨限電壓主要分成第一層 212 中之記憶體單元之臨限電壓以及第二層 214 中之記憶體單元之臨限電壓。如圖 14A 以及圖 14B 中所說明，第二層 214 中之記憶體單元之臨限電壓分佈相對高於第一層 212 中之記憶體單元之臨限電壓分佈。在所說明實例中，記憶體單元中之每一者儲存 2 位元資料。

在非揮發性記憶體元件 200 中，讀取電壓根據記憶體單元屬於第一層 212 還是第二層 214 而不同。舉例而言，第二層 214 中之記憶體單元比第一層 212 中之記憶體單元具有較高的讀取/驗證電壓。

具體言之，第二層 214 中之記憶體單元的讀取/驗證電壓 V_{r1-2} 、 V_{r2-2} 、 V_{r3-2} 、 V_{vf1-2} 、 V_{vf2-2} 以及 V_{vf3-2} 大

於第一層 212 中之記憶體單元的讀取/驗證電壓 V_{r1-1} 、 V_{r2-1} 、 V_{r3-1} 、 V_{vf1-1} 、 V_{vf2-1} 以及 V_{vf3-1} 。第一層 212 中之記憶體單元的讀取電壓 V_{r1-1} 、 V_{r2-1} 以及 V_{r3-1} 以及驗證電壓 V_{vf1-1} 、 V_{vf2-1} 以及 V_{vf3-1} 由第一層控制邏輯 242 控制。第二層 214 中之記憶體單元的讀取電壓 V_{r1-2} 、 V_{r2-2} 以及 V_{r3-2} 以及驗證電壓 V_{vf1-2} 、 V_{vf2-2} 以及 V_{vf3-2} 由第二層控制邏輯 244 控制。

在非揮發性記憶體元件 200 中，供應至字線之讀取/驗證電壓可根據記憶體單元位於多層記憶體陣列 210 之第一層 212 中還是第二層 214 中而變化。又，非揮發性記憶體元件 200 之抹除電壓亦可根據記憶體單元位於第一層 212 中還是第二層 214 中而變化。

另外，在非揮發性記憶體元件 200 中，根據記憶體單元屬於第一層 212 還是第二層 214 而以各別讀取電壓執行讀取操作。因此，非揮發性記憶體元件 200 與習知非揮發性記憶體元件（其中不管記憶體單元位於第一層 212 還是第二層 214 中均以相同讀取電壓來執行讀取操作）相比可改良讀取邊限（read margin）。

如以上所述，非揮發性記憶體元件可經組態以根據記憶體單元之結構差異以及位置而最佳化操作條件。本發明可應用於根據結構位置而具有不同臨限電壓分佈特性以及效能特性的其他區域（例如，記憶體區塊之間、墊塊（mat）之間，以及記憶體組之間）。舉例而言，非揮發性記憶體元件可經組態以使鄰近解碼器之記憶體區塊與遠離解碼器之

記憶體區塊之間的操作條件變化。另外，非揮發性記憶體元件可經組態以使用於特定目的之記憶體區塊與一般使用之記憶體區塊之間的操作條件變化。

圖 12 中所說明之非揮發性記憶體元件 200 之控制邏輯 240 包含用於控制屬於第一層 212 之記憶體單元的第一層控制邏輯 242 以及用於控制屬於第二層 214 之記憶體單元的第二層控制邏輯 244。然而，本發明之非揮發性記憶體元件不應限於以上所述組態。如圖 15 中所說明，非揮發性記憶體元件 300 包含經組態以控制列解碼器 320 以及頁面緩衝器 330 之控制邏輯 340。配平資訊電路 350 控制控制邏輯 340 之操作條件。控制邏輯 340 經組態而以預設操作條件操作，且可根據自配平資訊電路 350 轉移之調整資訊而以不同操作條件操作。

配平資訊電路 350 包含第一層配平資訊暫存器 352，其具有用於調整控制邏輯 340 之預設操作條件以便最佳地驅動第一層 212 之第一調整資訊。配平資訊電路 350 更包含第二層配平資訊暫存器 354，其具有用於調整控制邏輯 340 之預設操作條件以便最佳地驅動第二層 214 之第二調整資訊。配平資訊電路 350 回應所輸入位址 ADD 以判定將第一層配平資訊暫存器 352 之第一調整資訊還是第二層配平資訊暫存器 354 之第二調整資訊轉移至控制邏輯 340。儘管圖 15 說明配平資訊電路 350 包含兩個配平資訊暫存器 352 以及 354，但本發明並不限於兩個配平資訊暫存器。或者，配平資訊電路 350 可包含儲存與三個或三個

以上層相關聯之調整資訊的兩個以上配平資訊暫存器。

圖 16 為根據本發明之一實施例之記憶體系統 10 的方塊圖。參看圖 16，記憶體系統 10 包含耦接至記憶體控制器 14 之非揮發性記憶體元件 12，記憶體控制器 14 經組態以控制非揮發性記憶體元件 12。非揮發性記憶體元件 12 可為（例如）圖 5 中之非揮發性記憶體元件 100、圖 12 中之非揮發性記憶體元件 200 或圖 15 中之非揮發性記憶體元件 300。

非揮發性記憶體元件 12 即使在移除電源時仍可保留所儲存資料。隨著諸如蜂巢式電話之行動元件增加，個人數位助理（PDA）、攜帶型遊戲控制台以及動畫專業團體（MPEG）音訊層 3（MP3）播放機、快閃記憶體元件日益用於程式碼以及資料儲存。另外，非揮發性記憶體元件可用於諸如高解析度電視（HDTV）、數位視訊光碟（DVD）、路由器以及全球定位系統（GPS）元件的家庭應用中。

根據本發明之一實施例的非揮發性記憶體元件可適用於嵌入式系統。為建置於另一裝置中之計算系統的嵌入式系統執行適合於特定目的之計算操作。嵌入式系統可包含中央處理單元（CPU）以及作業系統。可由嵌入式系統之作業系統執行應用程式以執行特定操作。嵌入式系統可建置於諸如軍事裝置、工業裝置、通信裝置、視訊轉換器或諸如數位電視（DTV）或數位相機之家庭用具的裝置中。

圖 17 為具有根據本發明之一實施例之非揮發性記憶體元件的嵌入式記憶體系統 20 之功能方塊圖。參看圖 17，

嵌入式記憶體系統 20 包含電連接至匯流排 21 之中央處理單元 (CPU) 22、SRAM 24、記憶體控制器 26 以及非揮發性記憶體元件 28。非揮發性記憶體元件 28 可具有與以上參看圖 5、圖 12 或圖 15 所述之組態實質上相同的組態。非揮發性記憶體元件 28 可儲存由/待由 CPU 22 經由記憶體控制器 26 處理之 N 位元資料 (N 為正整數)。

儘管未圖示,但嵌入式記憶體系統 20 可根據應用要求而更包含應用晶片組、相機影像處理器 (CIS)、行動 DRAM 或其他元件。記憶體控制器 26 以及非揮發性記憶體元件 28 可以 (例如) 將非揮發性記憶體元件 28 用於儲存資料的固態磁碟機/磁碟 (SSD) 而組態。

可根據設計選擇而以多種方式封裝非揮發性記憶體元件 28 及/或記憶體控制器 26。舉例而言,非揮發性記憶體元件 28 及/或記憶體控制器 26 可安裝於層疊封裝 (package on package, PoP)、球狀柵格陣列 (ball grid array, BGA) 封裝、晶片級封裝 (chip scale package, CSP)、塑膠引線晶片載體 (plastic leaded chip carrier, PLCC)、塑膠雙列直插式封裝 (plastic dual in-line package, PDIP)、窩伏爾包裝之晶粒 (die in waffle pack)、晶圓形式之晶粒、板上晶片 (chip-on-board, COB)、陶瓷雙列直插式封裝 (ceramic dual in-line package, CERDIP)、塑膠公制四方扁平包裝 (plastic metric quad flat pack, MQFP)、薄型四方扁平包裝 (thin quad flatpack, TQFP)、小型封裝 (small outline, SOIC)、收縮型小型封裝 (SSOP)、薄型小型封裝 (TSOP)、系統

級封裝 (system in package, SIP)、多晶片封裝 (multi-chip package, MCP)、晶圓級製造封裝 (wafer-level fabricated package, WFP) 或晶圓級處理堆疊封裝 (wafer-level processed stack package, WSP) 中。

根據非揮發性記憶體元件之實施例，有可能改良臨限電壓分佈以及效能，因為非揮發性記憶體元件根據記憶體單元之結構位置而以不同方式操作。

應認為以上所揭露標的物是說明性而非約束性的，且附加之申請專利範圍意欲涵蓋屬於本發明之真正精神以及範疇的所有此等修改、增強以及其他實施例。因此，在律所允許之最大程度上，本發明之範疇應由所容許的對以下申請專利範圍及其均等物之最廣泛解釋而判定且不應由上述實施方式約束或限制。

【圖式簡單說明】

圖 1 為使用雙圖案化技術 (DPT) 之記憶體單元陣列的電路圖。

圖 2A 至圖 2C 為圖 1 中之字線以及位元線之形狀以及組態的立體說明，其中圖 2A 說明沿圖 1 之線 A-A' 截取的記憶體單元之通道之截面圖，圖 2B 說明沿圖 1 之線 B-B' 截取的記憶體單元之主動區域之寬度的截面圖，且圖 2C 說明奇數位元線以及偶數位元線之金屬寬度。

圖 3 為根據 DPT 製造之記憶體單元之臨限電壓分佈的圖解說明。

圖 4 為習知位元線結構以及感測方法之等效電路圖以

及相關聯之電壓-時間曲線。

圖 5 為根據本發明之第一實施例之非揮發性記憶體元件的功能方塊圖。

圖 6A 至圖 6C 為圖 5 之非揮發性記憶體元件之電壓的圖解說明，其中圖 6A 說明根據記憶體單元是偶數記憶體單元還是奇數記憶體單元的臨限電壓分佈特性，圖 6B 說明對偶數記憶體單元之程式化操作，且圖 6C 說明對奇數記憶體單元之程式化操作。

圖 7 為根據本發明之一實施例之非揮發性記憶體元件的讀取電壓之圖解說明。

圖 8A 以及圖 8B 為用於根據本發明之一實施例之非揮發性記憶體元件中之位元線感測的電壓-時間曲線之圖解說明。

圖 9 為說明根據本發明之一實施例之非揮發性記憶體元件的程式化方法之流程圖。

圖 10 為說明根據本發明之一實施例之非揮發性記憶體元件的位元線感測方法之流程圖。

圖 11 為說明根據本發明之一實施例之非揮發性記憶體元件的三維記憶體陣列之截面圖。

圖 12 為根據本發明之第二實施例之非揮發性記憶體元件的功能方塊圖。

圖 13A 至圖 13C 為圖 12 中之非揮發性記憶體元件之程式化方法的圖解說明，其中圖 13A 說明根據記憶體單元屬於第一層還是第二層的臨限電壓分佈，圖 13B 說明對第

一層之記憶體單元的程式化操作，且圖 13C 說明對第二層之記憶體單元的程式化操作。

圖 14A 以及圖 14B 為圖 12 中之非揮發性記憶體元件之讀取/驗證電壓的圖解說明。

圖 15 為根據本發明之第三實施例之非揮發性記憶體元件的功能方塊圖。

圖 16 為根據本發明之一實施例之記憶體系統的功能方塊圖。

圖 17 為具有根據本發明之一實施例之非揮發性記憶體元件的嵌入式記憶體系統之功能方塊圖。

【主要元件符號說明】

10：記憶體系統

12：非揮發性記憶體元件

14：記憶體控制器

20：嵌入式記憶體系統

21：匯流排

22：中央處理單元 (CPU)

24：靜態隨機存取記憶體 (SRAM)

26：記憶體控制器

28：非揮發性記憶體元件

100：非揮發性記憶體元件

110：記憶體單元陣列

120：列解碼器

130：字線電壓產生器

- 132：偶數電壓配平電路
- 134：奇數電壓配平電路
- 140：頁面緩衝器
- 150：控制邏輯
- 152：偶數時間配平電路
- 154：奇數時間配平電路
- 200：非揮發性記憶體元件
- 202：基板
- 204：記憶體材料層
- 206：絕緣層
- 210：記憶體陣列
- 212：第一層
- 214：第二層
- 220：解碼器
- 230：頁面緩衝器
- 240：控制邏輯
- 242：第一層控制邏輯
- 244：第二層控制邏輯
- 300：非揮發性記憶體元件
- 320：列解碼器
- 330：頁面緩衝器
- 340：控制邏輯
- 350：配平資訊電路
- 352：第一層配平資訊暫存器

354：第二層配平資訊暫存器

ADD：位址

AW1：偶數記憶體單元之主動區域之寬度

AW2：奇數記憶體單元之主動區域之寬度

BLe：偶數位元線

BLe0–BLen-1：偶數位元線

BLo：奇數位元線

BLo0–BLon-1：奇數位元線

BW1：偶數位元線之寬度

BW2：奇數位元線之寬度

Ce：偶數位元線之寄生電容

Co：奇數位元線之寄生電容

GST：接地選擇電晶體

Lg1：偶數字線之通道寬度

Lg2：奇數字線之通道寬度

M0–M31：浮動閘極電晶體

Re：偶數位元線之寄生電阻

ReCe：偶數位元線之 RC 時間常數

Ro：奇數位元線之寄生電阻

RoCo：奇數位元線之 RC 時間常數

SST：串選擇電晶體

Td：開發時間

Tde：第一單元電流開發時間

Tdo：第二單元電流開發時間

Tpc：預先充電時間

Tpce：第一預先充電時間

Tpco：第二預先充電時間

Ts：感測時間

Tse：第一感測時間

Tso：第二感測時間

Tw1：等待時間

Tw2：等待時間

V10：第一程式化起始電壓

V20：第二程式化起始電壓

V1m：第一程式化停止電壓

V2n：第二程式化停止電壓

Ve0：第一程式化起始電壓

Vem：第一程式化停止電壓

Vm：程式化停止電壓

Vo：程式化起始電壓

Vo0：第二程式化起始電壓

Von：第二程式化停止電壓

Vpgm：程式化電壓

Vr1-1：第一層中之記憶體單元的讀取電壓

Vr1-2：第二層中之記憶體單元的讀取電壓

Vr2-1：第一層中之記憶體單元的讀取電壓

Vr2-2：第二層中之記憶體單元的讀取電壓

Vr3-1：第一層中之記憶體單元的讀取電壓

Vr3-2：第二層中之記憶體單元的讀取電壓

Vre：偶數記憶體單元之讀取電壓

Vro：奇數記憶體單元之讀取電壓

Vtrip：跳脫電壓

Vvfl：第一驗證電壓

Vvfl-1：第一層中之記憶體單元的驗證電壓

Vvfl-2：第二層中之記憶體單元的驗證電壓

Vvf2：第二驗證電壓

Vvf2-1：第一層中之記憶體單元的驗證電壓

Vvf2-2：第二層中之記憶體單元的驗證電壓

Vvf3-1：第一層中之記憶體單元的驗證電壓

Vvf3-2：第二層中之記憶體單元的驗證電壓

Vvfe：第一驗證電壓

Vvfo：第二驗證電壓

WL0—WL31：字線

Δ ISPP：ISPP 增量級別

Δ ISPP1：第一 ISPP 增量級別

Δ ISPP2：第二 ISPP 增量級別

Δ ISPPe：第一 ISPP 增量級別

Δ ISPPo：第二 ISPP 增量級別

Δ Vw：總臨限電壓分佈之寬度

Δ Vwe：偶數記憶體單元之臨限電壓分佈之寬度

Δ Vwo：奇數記憶體單元之臨限電壓分佈之寬度

十、申請專利範圍：

1. 一種驅動非揮發性記憶體元件之方法，所述方法包含：

判定待驅動之記憶體單元的結構形狀以及位置；以及

基於所述所判定結果而以最佳化操作條件驅動所述記憶體單元，

其中臨限電壓分佈根據待驅動之所述記憶體單元是偶數記憶體單元還是奇數記憶體單元而不同，且所述偶數記憶體單元所連接至之偶數字線的寬度不同於所述奇數記憶體單元所連接至之奇數字線的寬度。

2. 如申請專利範圍第 1 項所述之驅動非揮發性記憶體元件之方法，其中所述操作條件包含字線電壓、位元線電壓、井電壓以及其時序。

3. 如申請專利範圍第 1 項所述之驅動非揮發性記憶體元件之方法，所述操作條件包含程式化/讀取/抹除條件。

4. 如申請專利範圍第 1 項所述之驅動非揮發性記憶體元件之方法，其中所述操作條件為程式化操作條件，所述記憶體單元根據待驅動之所述記憶體單元所連接至之字線是所述偶數記憶體單元還是所述奇數記憶體單元而以第一程式化操作條件以及第二程式化操作條件中之一者程式化，所述第一程式化操作條件與所述第二程式化操作條件彼此不同。

5. 如申請專利範圍第 4 項所述之驅動非揮發性記憶體

元件之方法，其中驅動所述記憶體單元包含執行增量階躍脈衝程式化（ISPP）方法，且所述第一程式化操作條件以及所述第二程式化操作條件中之每一者包含程式化起始電壓、ISPP 增量級別以及程式化停止電壓。

6.如申請專利範圍第 1 項所述之驅動非揮發性記憶體元件之方法，其中所述操作條件根據待驅動之所述記憶體單元所連接至之位元線是偶數位元線還是奇數位元線而不同，其中所述操作條件為位元線感測操作條件，且驅動所述記憶體單元包含根據所述位元線是偶數位元線還是奇數位元線而以第一感測操作條件以及第二感測操作條件中之一者來執行所述感測操作條件，所述第一感測操作條件與所述第二感測操作條件彼此不同。

7.如申請專利範圍第 1 項所述之驅動非揮發性記憶體元件之方法，其中所述非揮發性記憶體元件具有具備至少第一層以及第二層之記憶體陣列，且驅動所述記憶體單元包含根據待驅動之所述記憶體單元屬於所述第一層還是所述第二層而使用第一驅動操作條件以及第二驅動操作條件中之一者，所述第一驅動操作條件與所述第二驅動操作條件彼此不同。

8.一種非揮發性記憶體元件，包含：

至少兩個記憶體單元，其具有隨結構形狀以及位置而變化之分佈特性；以及

控制電路，其經組態以控制所述各別記憶體單元之最佳化操作條件，

其中臨限電壓分佈根據待驅動之所述記憶體單元是偶數記憶體單元還是奇數記憶體單元而不同，且所述偶數記憶體單元所連接至之偶數字線的寬度不同於所述奇數記憶體單元所連接至之奇數字線的寬度。

9.如申請專利範圍第 8 項所述之非揮發性記憶體元件，其中所述結構形狀以及位置包含字線之寬度、主動區域之寬度與高度以及兩個相鄰字線之間的距離。

10.如申請專利範圍第 8 項所述之非揮發性記憶體元件，其中所述兩個記憶體單元分別被至少兩個三維記憶體層所包含。

11.一種非揮發性記憶體元件，包含：

記憶體單元陣列，其包含多個記憶體單元，所述多個記憶體單元中之每一者位於多個字線與多個位元線之相交處；

列解碼器，其耦接至所述記憶體單元陣列且經組態以選擇所述多個字線中之一者；以及

字線電壓產生器，其耦接至所述列解碼器且經組態以輸出字線電壓，所述字線電壓具有根據與所述多個記憶體單元中之選定一者相關聯之臨限電壓分佈的操作條件，

其中臨限電壓分佈根據待驅動之所述記憶體單元是偶數記憶體單元還是奇數記憶體單元而不同，且所述偶數記憶體單元所連接至之偶數字線的寬度不同於所述奇數記憶體單元所連接至之奇數字線的寬度。

12.如申請專利範圍第 11 項所述之非揮發性記憶體元件，其中所述字線電壓產生器包含：

偶數電壓配平電路，其經組態以在所述多個記憶體單元中之所述選定一者為所述偶數記憶體單元時以第一程式化操作條件輸出所述字線電壓；以及

奇數電壓配平電路，其經組態以在所述多個記憶體單元中之所述選定一者為所述奇數記憶體單元時以第二程式化操作條件輸出所述字線電壓。

13.如申請專利範圍第 12 項所述之非揮發性記憶體元件，其中在讀取/驗證操作期間，所述偶數電壓配平電路經組態而以第一讀取/驗證條件產生所述字線電壓，且所述奇數電壓配平電路經組態而以第二讀取/驗證條件產生所述字線電壓，所述第一讀取/驗證條件與所述第二讀取/驗證條件彼此不同。

14.如申請專利範圍第 11 項所述之非揮發性記憶體元件，其中所述非揮發性記憶體元件包含：

頁面緩衝器，其耦接至所述記憶體單元陣列且經組態以經由與所述多個記憶體單元中之所述選定一者相關聯的位元線讀取與所述多個記憶體單元中之所述選定一者相關聯的資料；以及

控制邏輯，其耦接至所述頁面緩衝器且經組態以根據所述多個記憶體單元中之所述選定一者是所述偶數記憶體單元還是所述奇數記憶體單元而感測與所述多個記憶體單元中之所述選定一者相關聯的所述位元線。

15.如申請專利範圍第 14 項所述之非揮發性記憶體元件，其中所述控制邏輯包含：

偶數時間配平電路，其經組態以在所述多個記憶體單元中之所述選定一者為所述偶數單元時對於第一預先充電時間預先充電與所述多個記憶體單元中之所述選定一者相關聯的所述位元線，且對於第一單元電流開發時間開發與所述多個記憶體單元中之所述選定一者相關聯的所述位元線；以及

奇數時間配平電路，其經組態以在所述多個記憶體單元中之所述選定一者為所述奇數單元時對於第二預先充電時間預先充電與所述多個記憶體單元中之所述選定一者相關聯的所述位元線，且對於第二單元電流開發時間開發與所述多個記憶體單元中之所述選定一者相關聯的所述位元線。

16.如申請專利範圍第 11 項所述之非揮發性記憶體元件，其中所述記憶體單元陣列具有三維記憶體結構；以及

臨限電壓分佈根據所述多個記憶體單元中之所述選定一者與所述記憶體單元陣列之第一層還是所述記憶體單元陣列之第二層相關聯而不同。

17.如申請專利範圍第 16 項所述之非揮發性記憶體元件，其中所述字線電壓產生器包含：

第一層控制邏輯，其經組態以在所述多個記憶體單元中之所述選定一者與所述記憶體單元陣列之所述第一層相關聯時使用第一程式化操作條件來輸出所述字線電

壓；以及

第二層控制邏輯，其經組態以在所述多個記憶體單元中之所述選定一者與所述記憶體單元陣列之所述第二層相關聯時使用第二程式化操作條件來輸出所述字線電壓。

18.如申請專利範圍第 17 項所述之非揮發性記憶體元件，其中所述第一層控制邏輯經組態以在與所述記憶體單元陣列之所述第一層相關聯之讀取/驗證操作期間使用第一讀取/驗證條件來輸出所述字線電壓，且所述第二層控制邏輯經組態以在與所述記憶體單元陣列之所述第二層相關聯之讀取/驗證操作期間使用第二讀取/驗證條件來輸出所述字線電壓，所述第一讀取/驗證條件與所述第二讀取/驗證條件彼此不同。

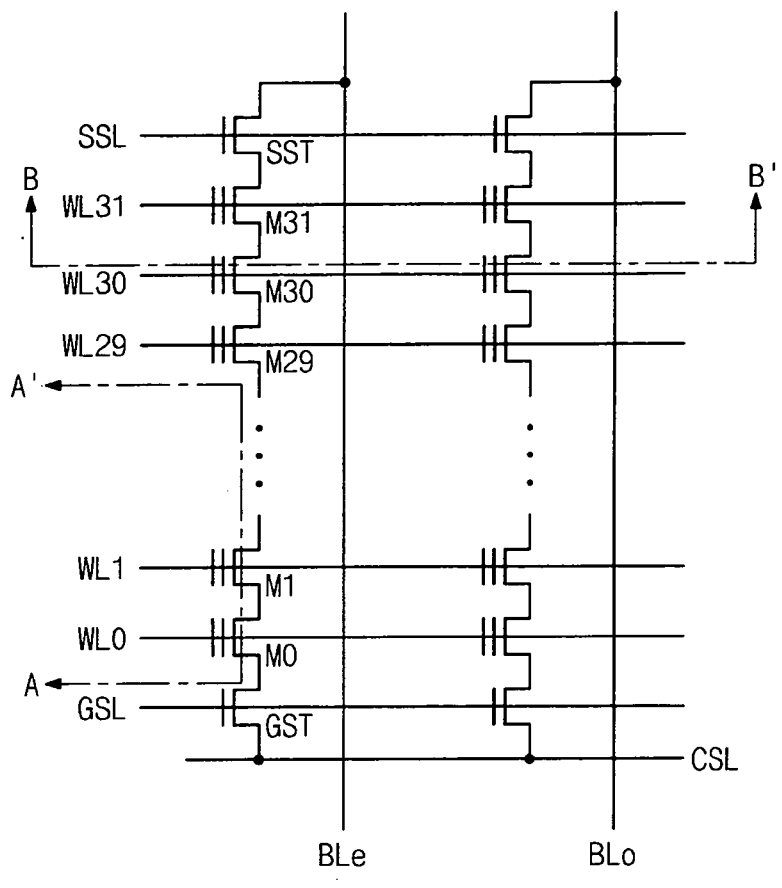


圖 1

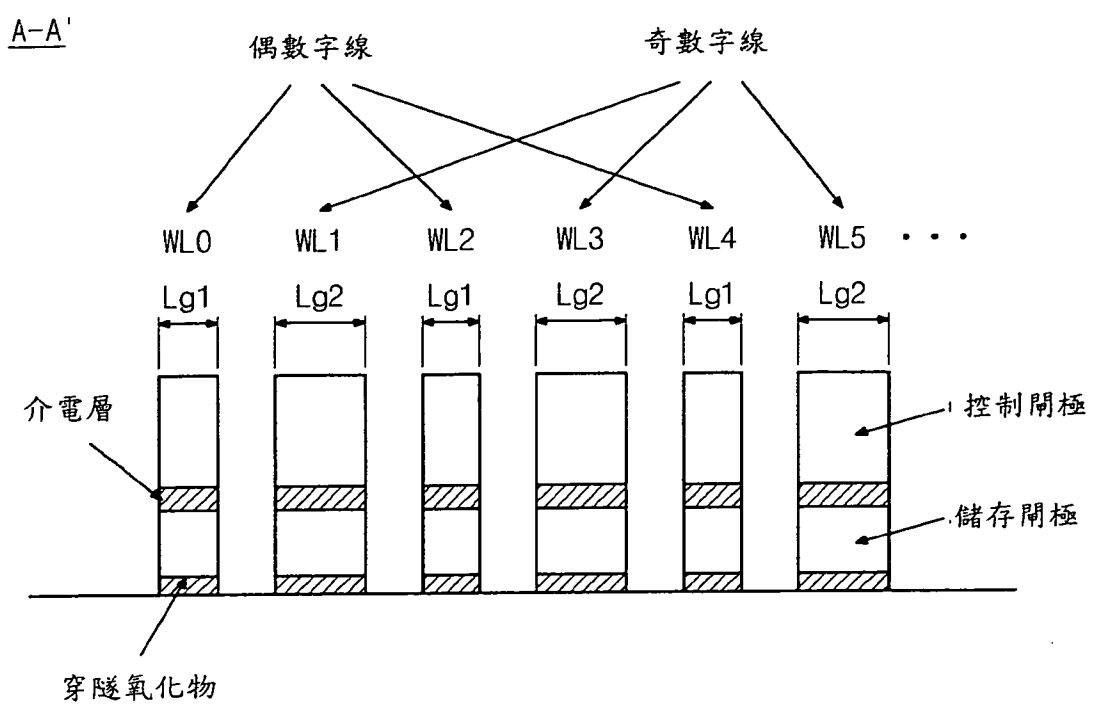


圖 2A

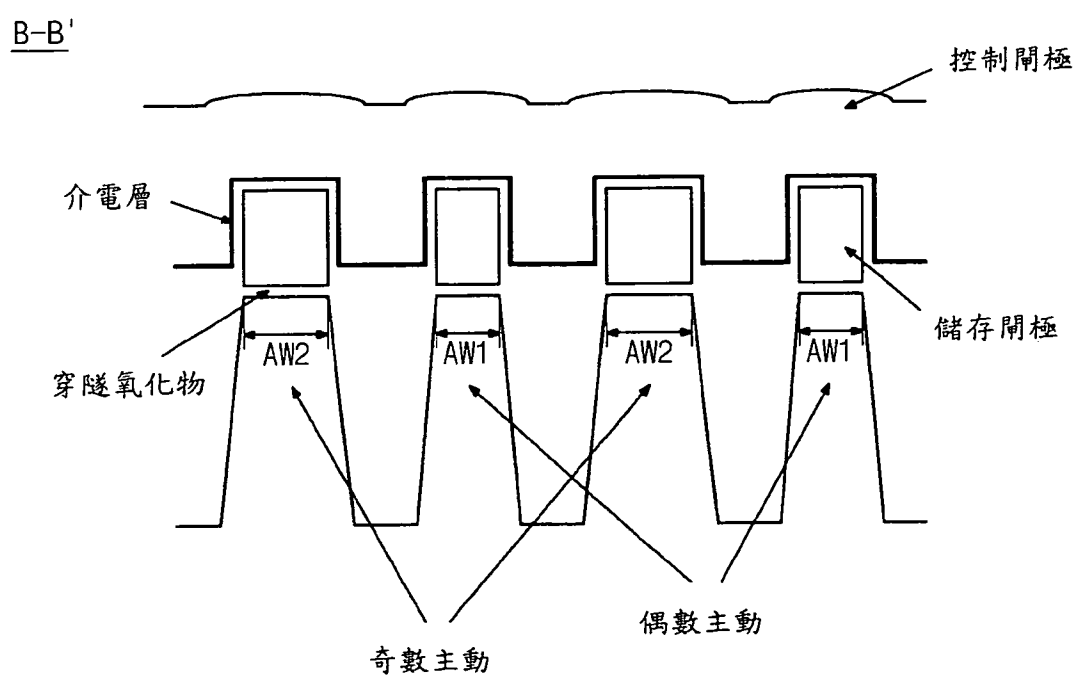


圖 2B

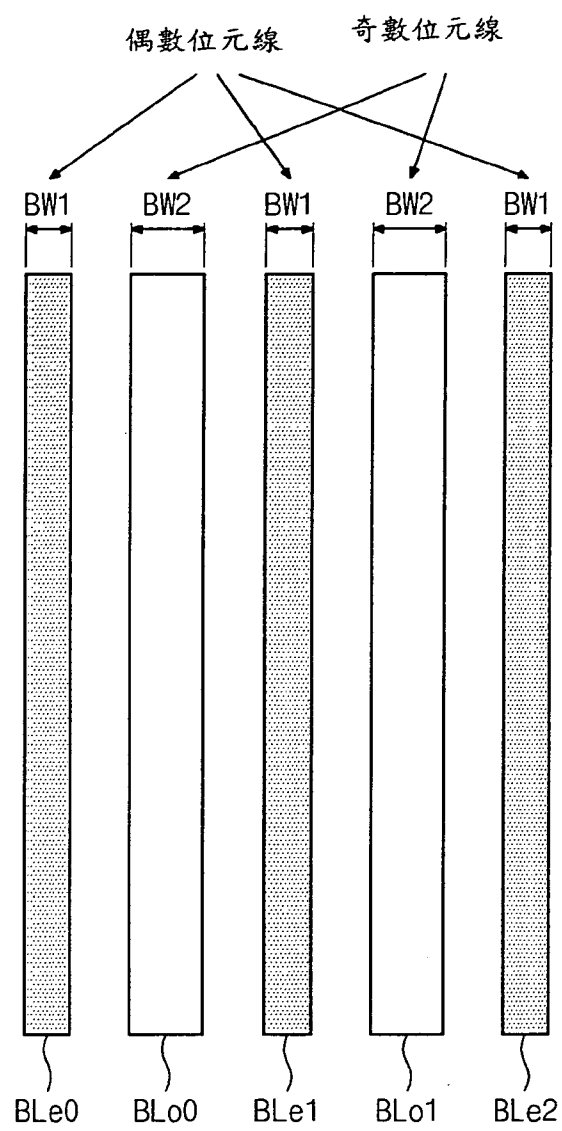


圖 2C

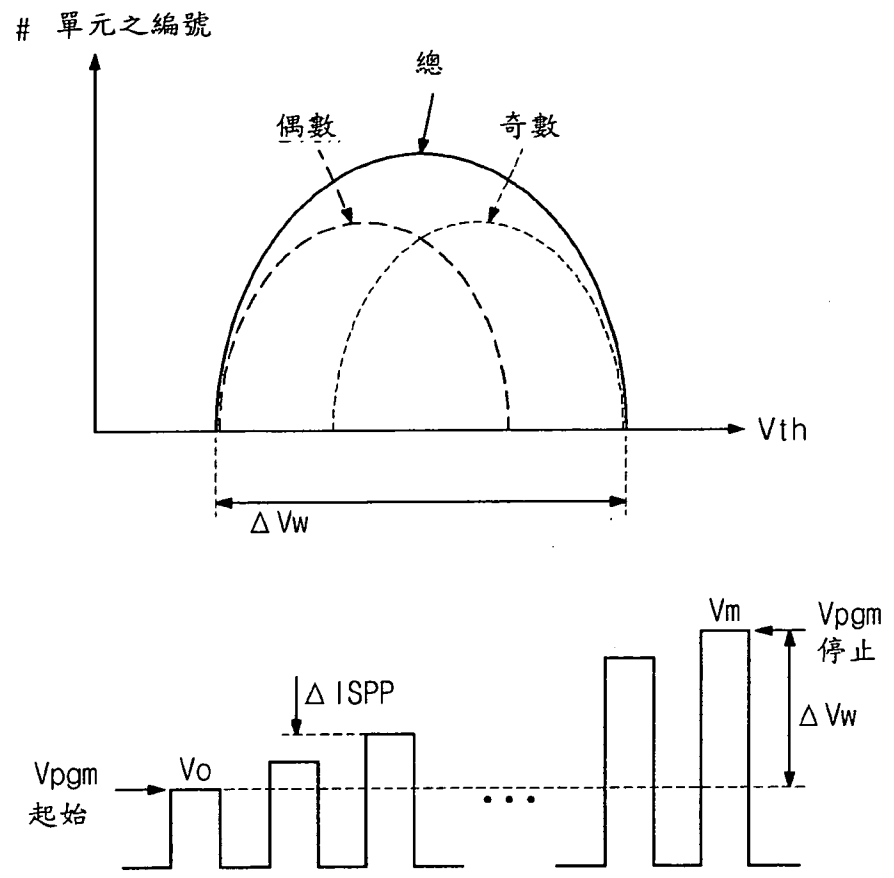


圖 3

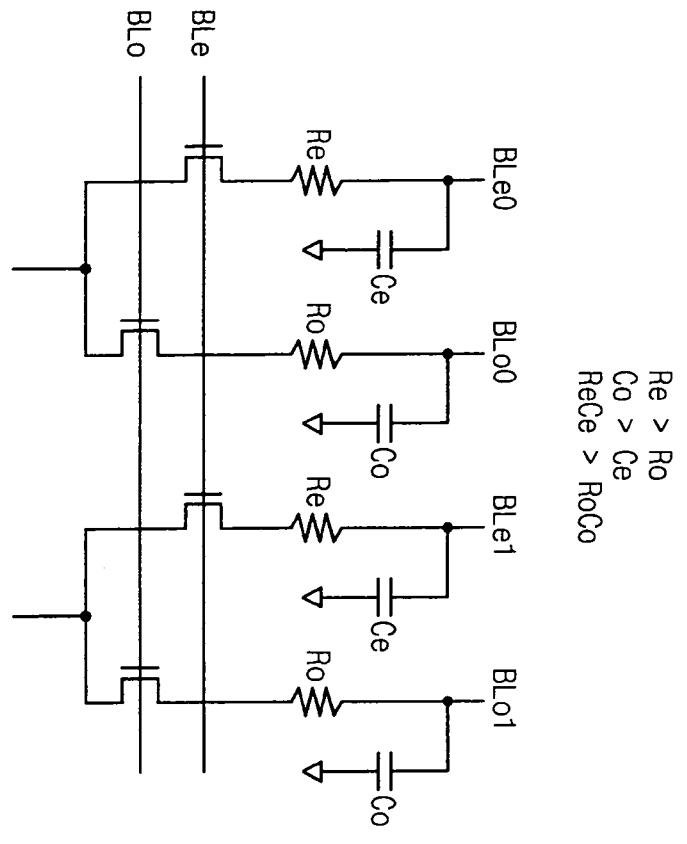
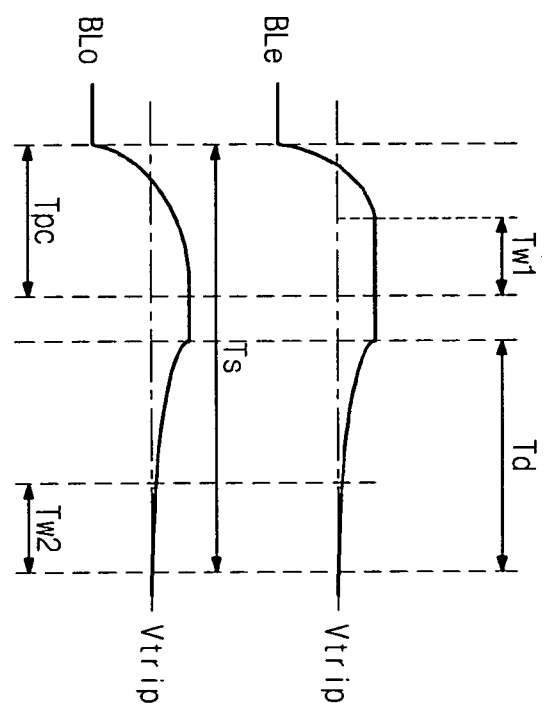


圖 4



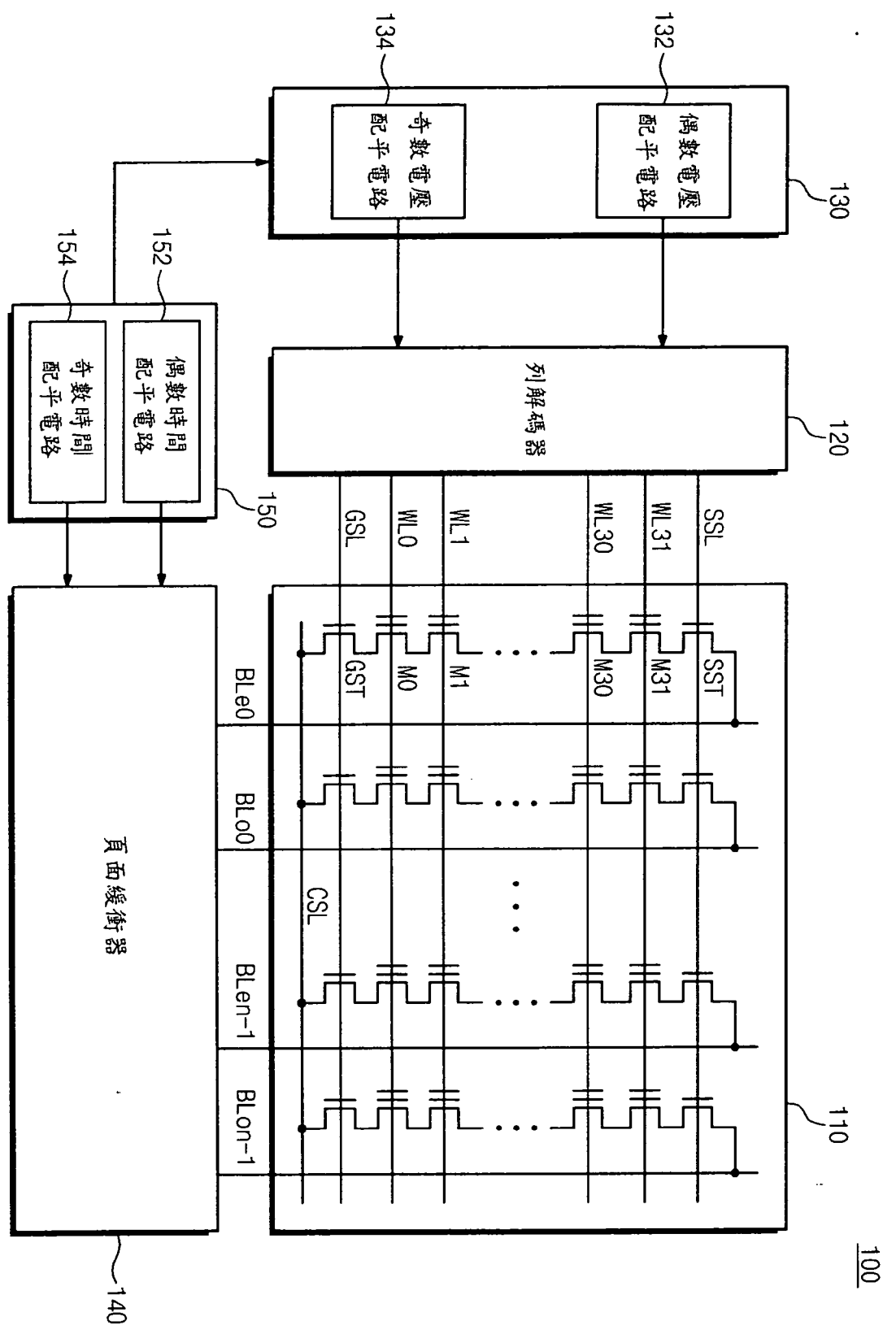


圖 5

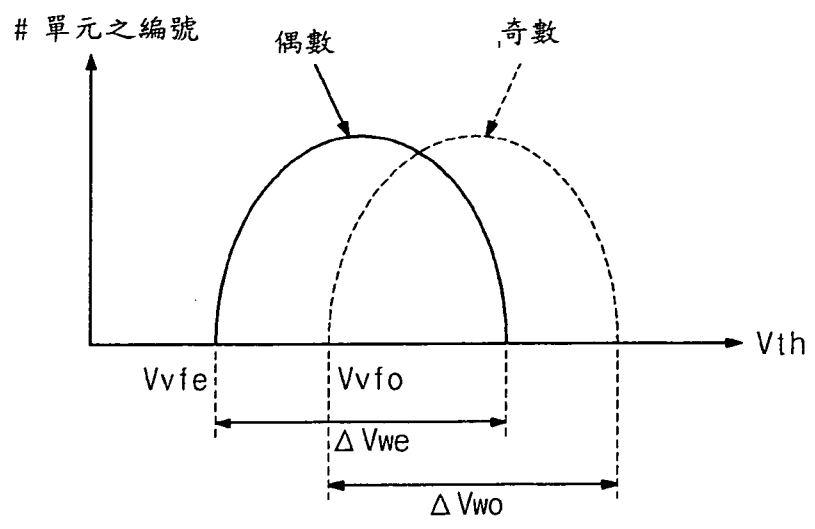


圖 6A

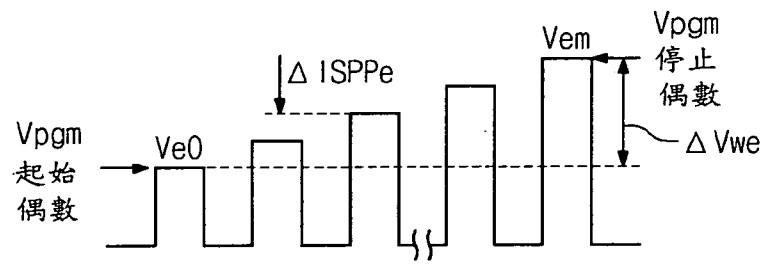


圖 6B

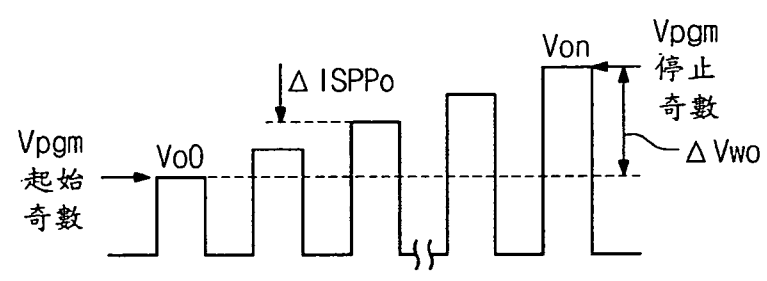


圖 6C

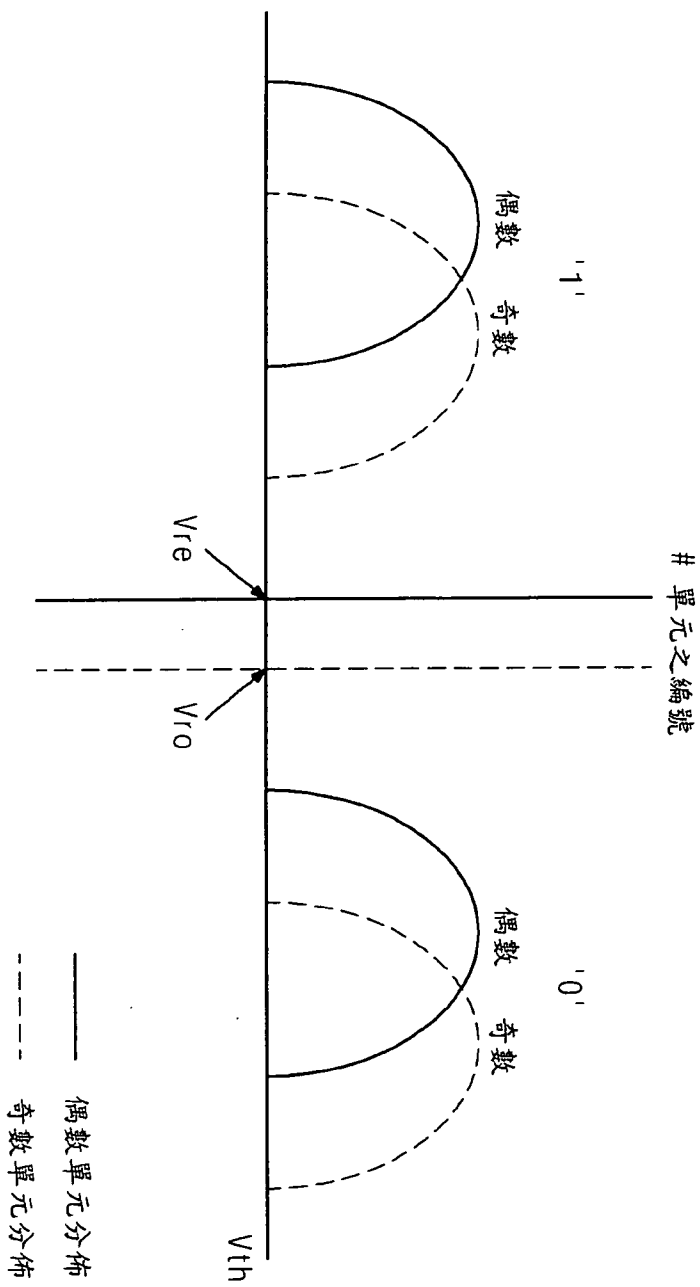


圖 7

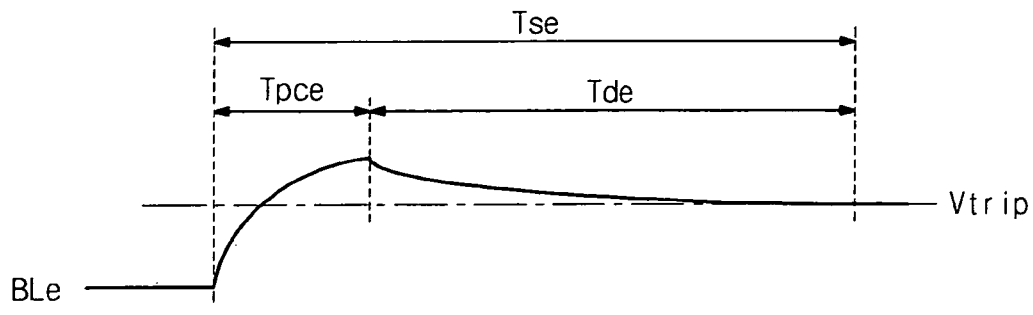


圖 8A

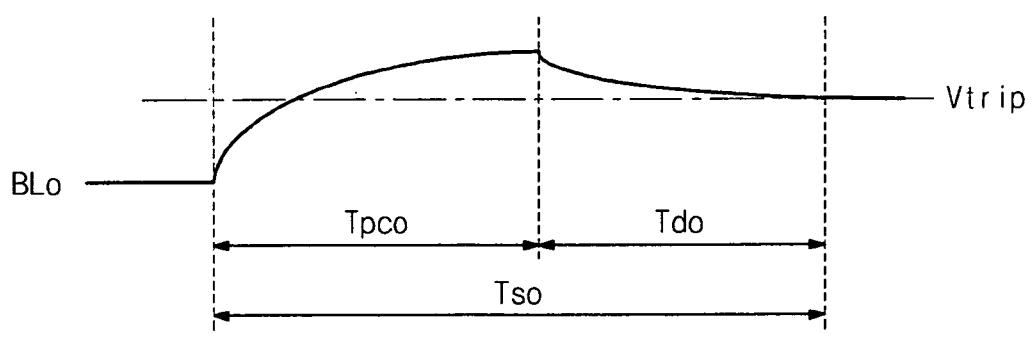


圖 8B

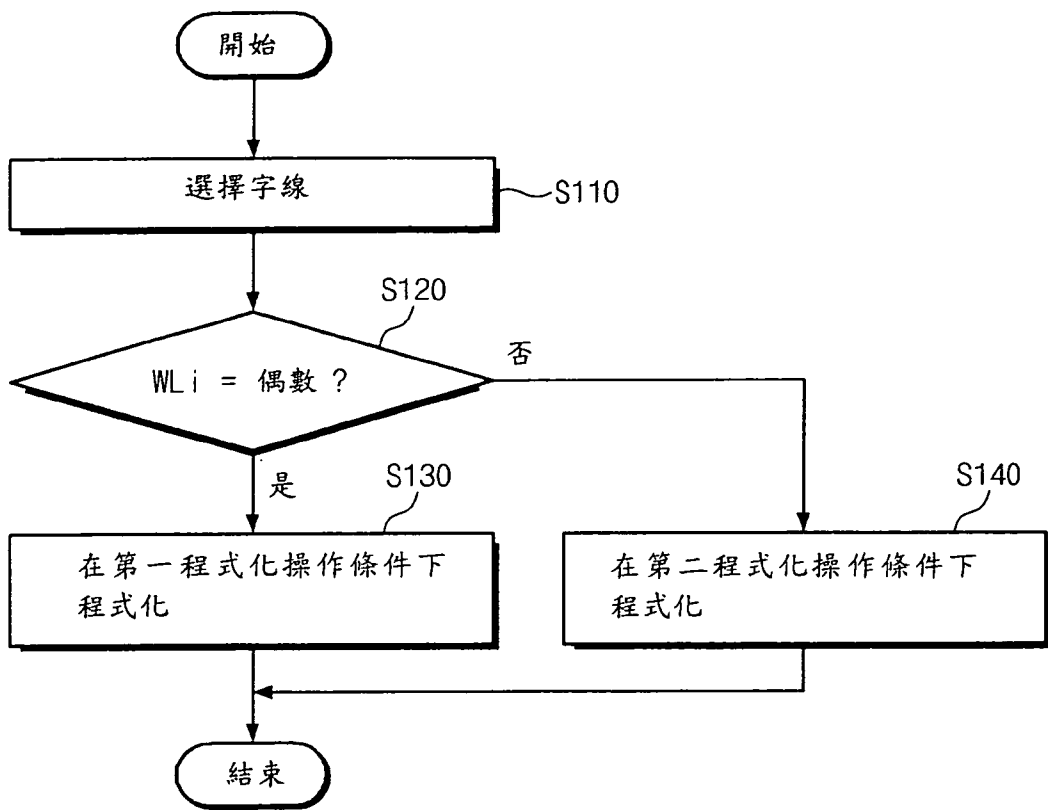


圖 9

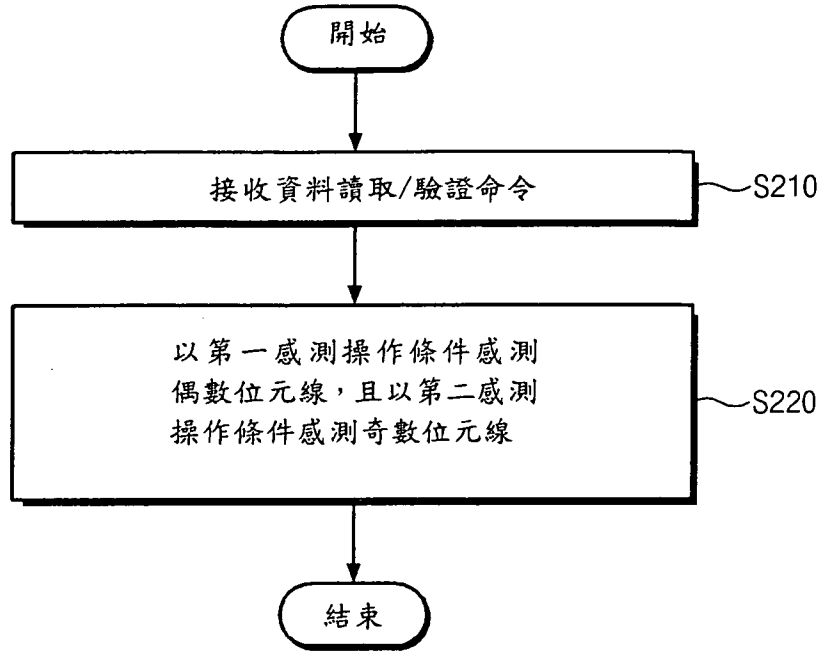


圖 10

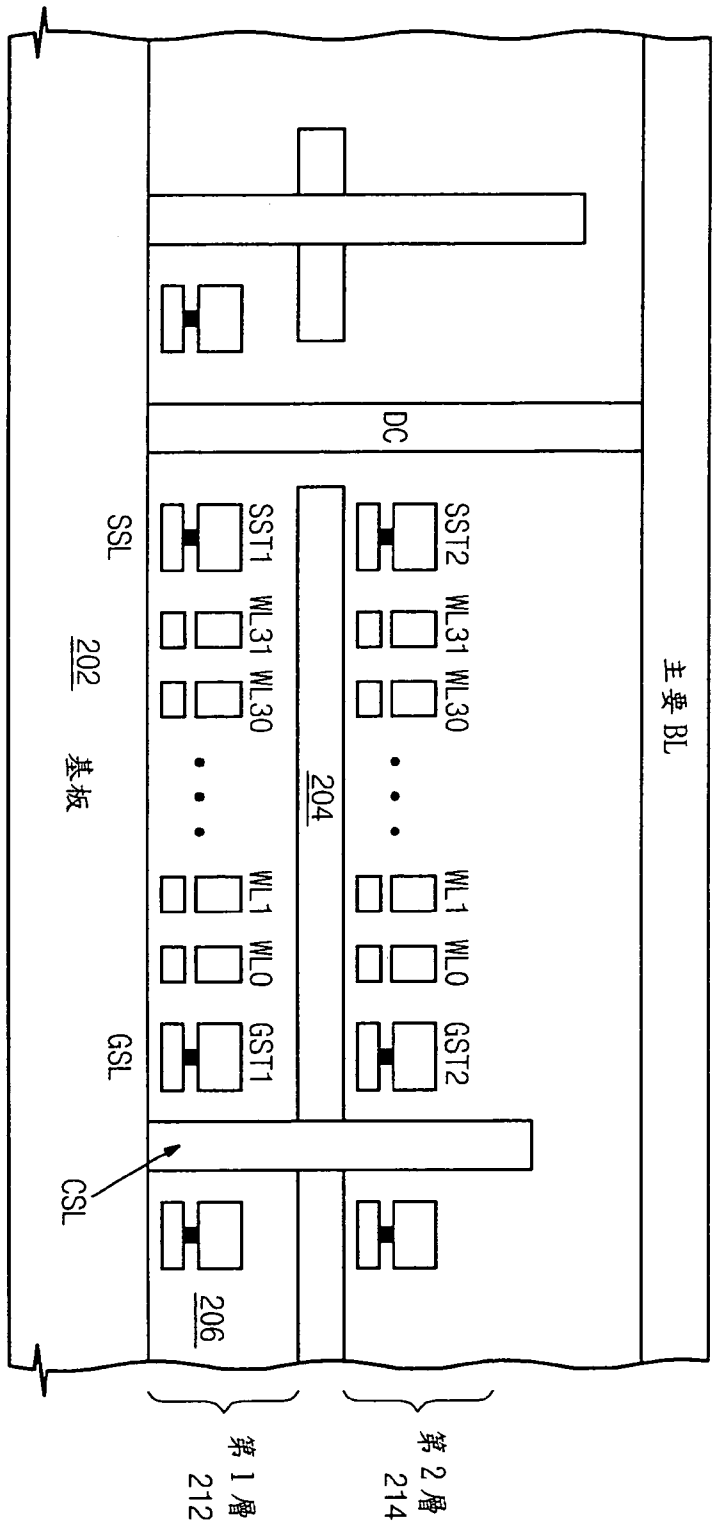


圖 11

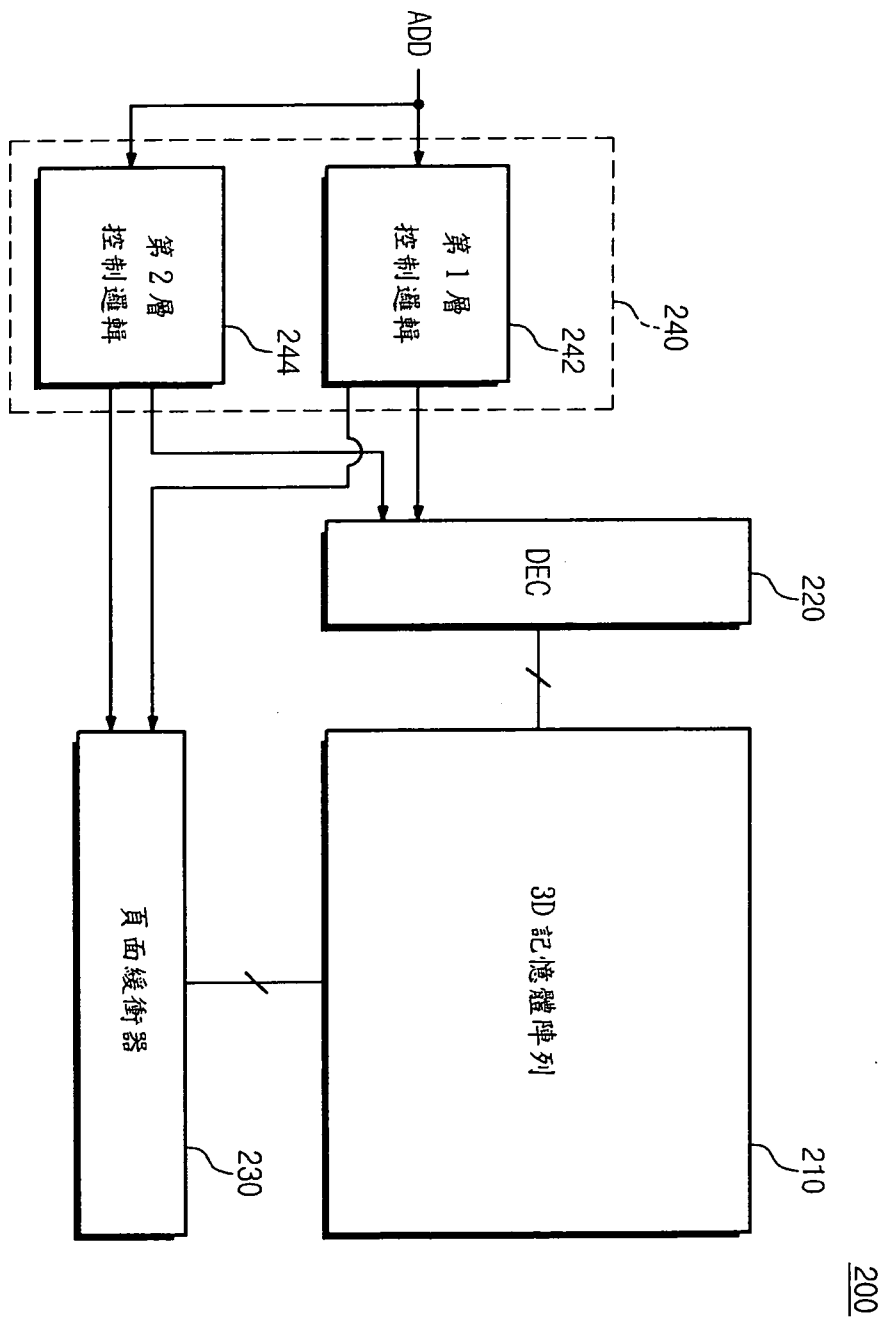


圖 12

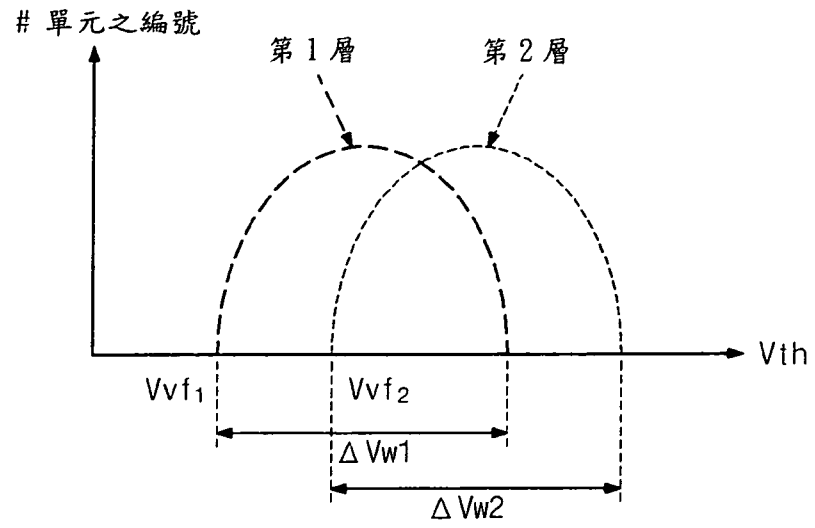


圖 13A

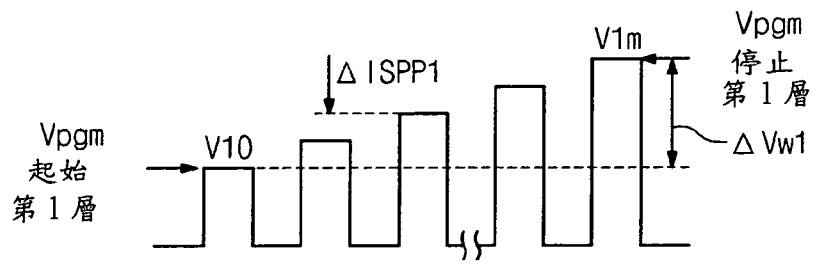


圖 13B

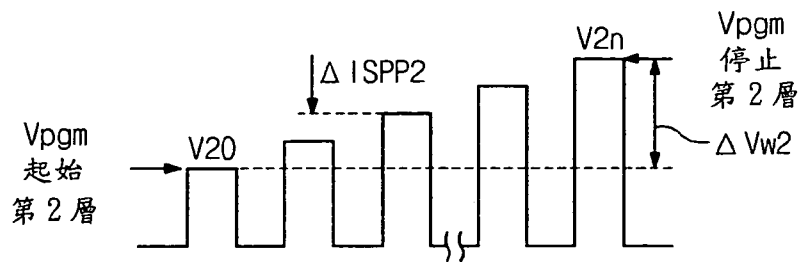


圖 13C

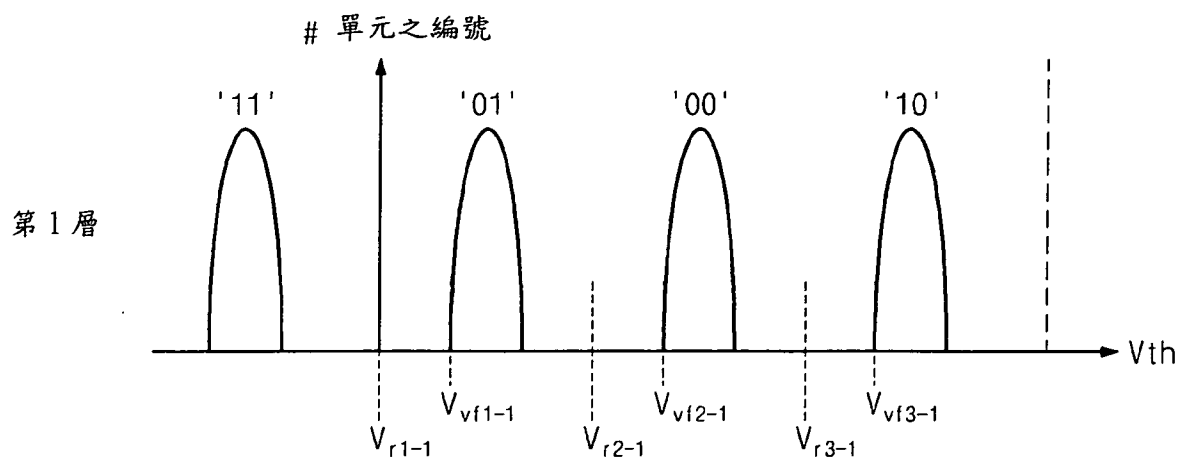


圖 14A

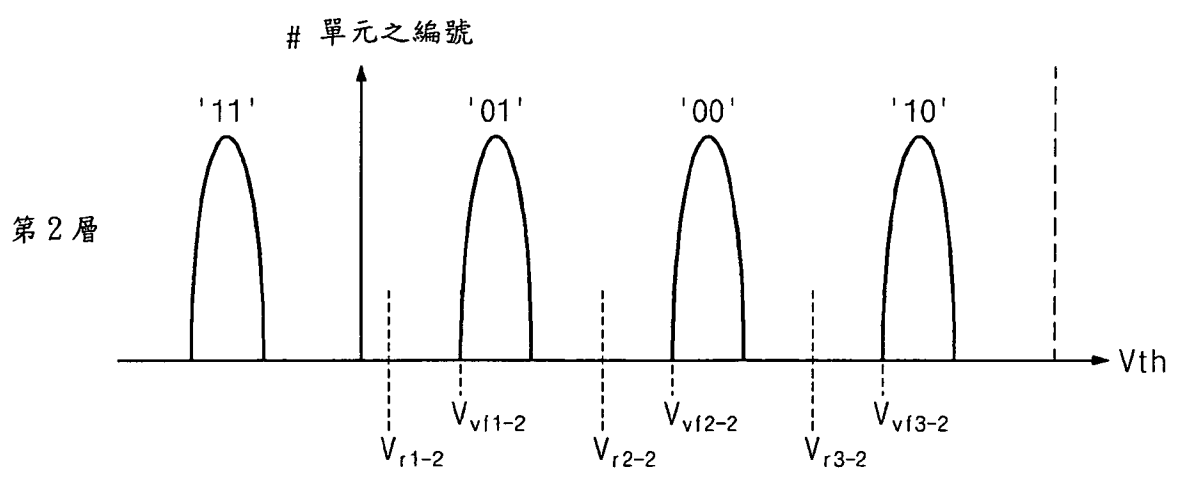


圖 14B

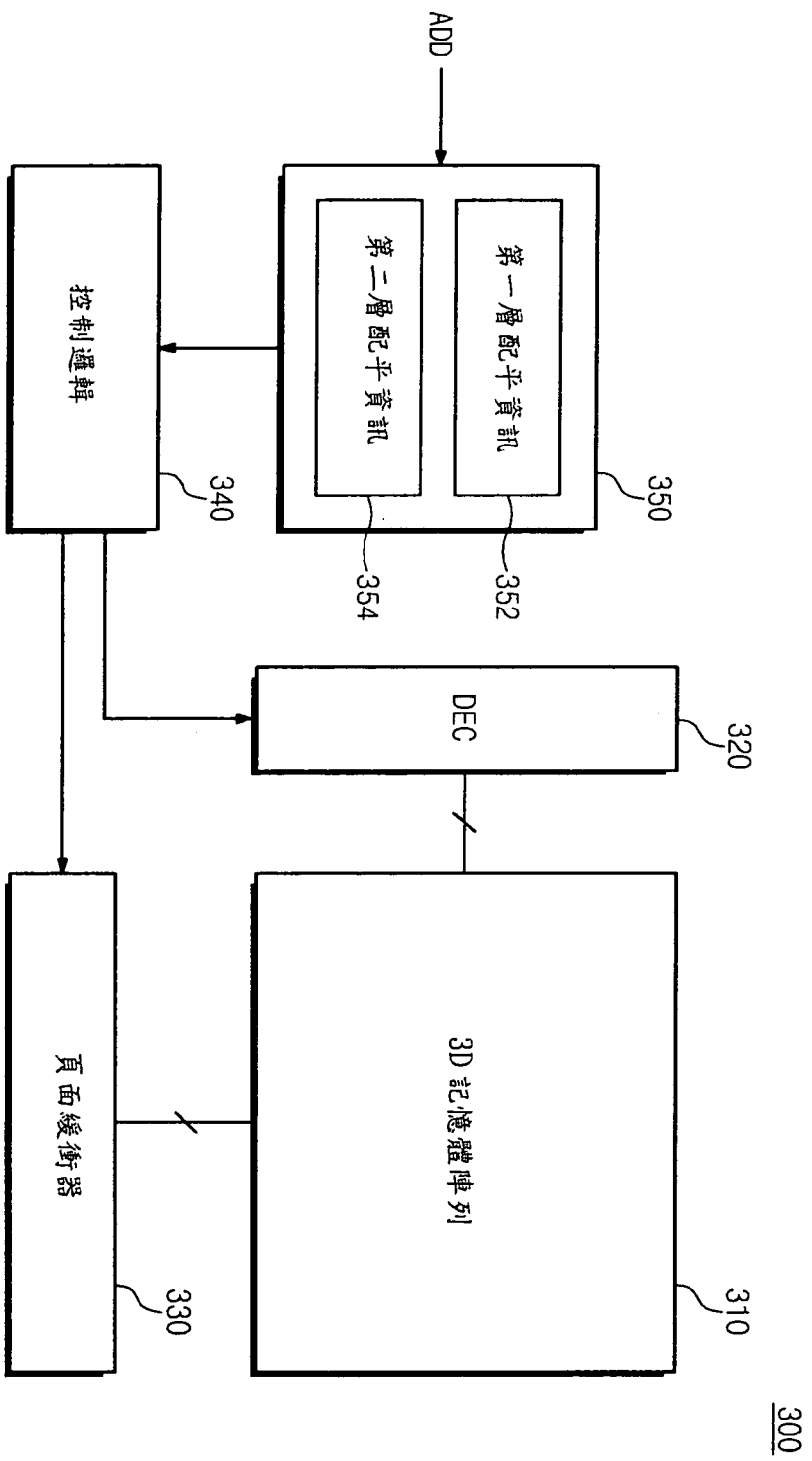


圖 15

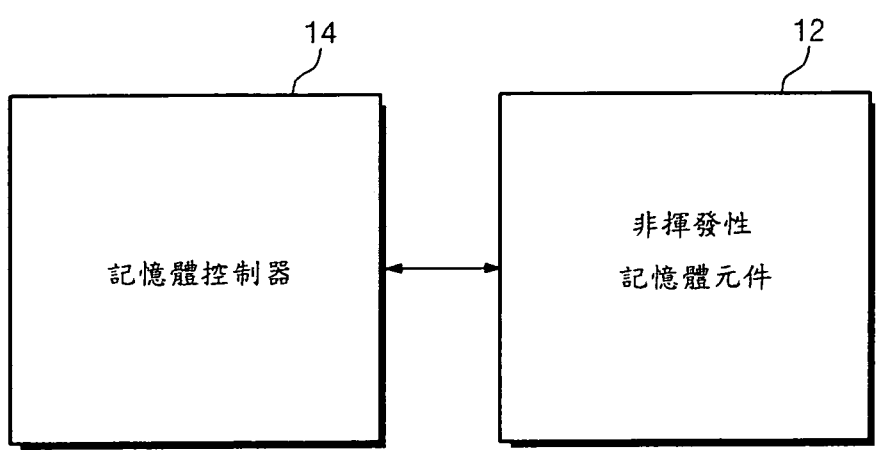


圖 16

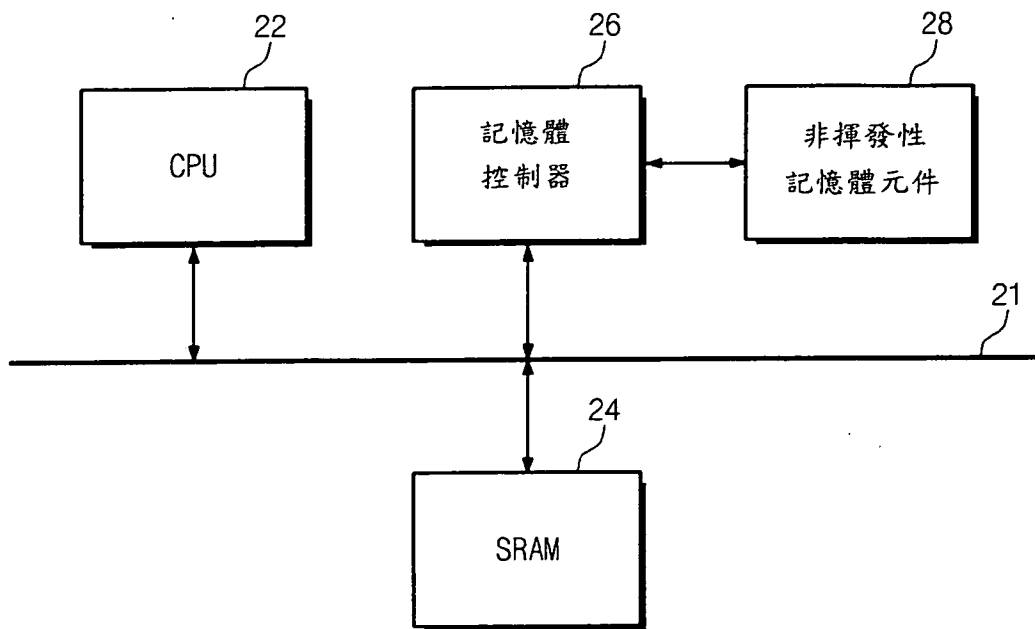


圖 17