

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-111938
(P2004-111938A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 25/04	HO 1 L 25/04	Z
HO 1 L 25/16	HO 1 L 25/16	A
HO 1 L 25/18		

審査請求 有 請求項の数 20 O L (全 18 頁)

(21) 出願番号	特願2003-300192 (P2003-300192)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成15年8月25日 (2003.8.25)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	特願2002-249646 (P2002-249646)	(74) 代理人	110000040 特許業務法人池内・佐藤アンドパートナーズ
(32) 優先日	平成14年8月28日 (2002.8.28)		
(33) 優先権主張国	日本国 (JP)	(72) 発明者	竹原 秀樹 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	金澤 邦彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	吉川 則之 大阪府門真市大字門真1006番地 松下電器産業株式会社内

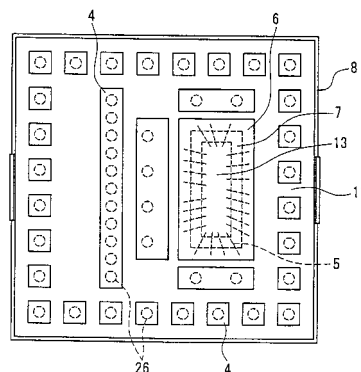
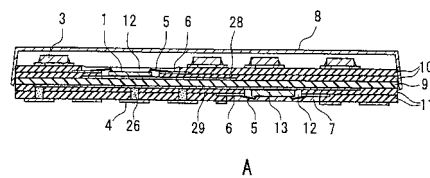
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 発熱性半導体素子の放熱特性と抵折強度の確保と小型化を行った半導体装置を提供する。

【解決手段】 第1のキャビティ内にある前記高熱伝導性セラミック基板上の回路パターンに第1の能動素子(1)が載置され、第2のキャビティ内にある高熱伝導性セラミック基板上の回路パターンに第2の能動素子(13)が載置され、第2の回路基板の表面に外部電極(4)が一体化され、第1の回路基板面をキャップ装着(8)又は樹脂封止した半導体装置であって、第2の回路基板(11)には放熱性ビア(26)が形成され、高熱伝導性セラミック基板(9)と第2の回路基板表面の外部電極(4)とが熱的に接続されており、第1及び第2の能動素子(1,13)から選ばれる少なくとも一つの能動素子からの発熱を、高熱伝導性セラミック基板(9)及び放熱性ビア(26)から第2の回路基板表面の外部電極(4)を介して外部に放熱する。

【選択図】 図1



B

【特許請求の範囲】

【請求項 1】

両面に回路パターンが形成された高熱伝導性セラミック基板を中心基板とし、
前記高熱伝導性セラミック基板の一方の面に第 1 のキャビティ構造を有する 1 層以上の
第 1 の回路基板を備え、

他方の面に第 2 のキャビティ構造を有する 1 層以上の第 2 の回路基板を備え、

前記第 1 のキャビティ内にある前記高熱伝導性セラミック基板上の回路パターンに第 1
の能動素子が載置され、

前記第 2 のキャビティ内にある前記高熱伝導性セラミック基板上の回路パターンに第 2
の能動素子が載置され、

前記第 2 の回路基板の表面に外部電極が一体化され、

前記第 1 の回路基板面をキャップ装着または樹脂封止した半導体装置であって、

前記第 2 の回路基板には放熱性ビアが形成され、前記高熱伝導性セラミック基板と前記
第 2 の回路基板表面の外部電極とが熱的に接続されており、前記第 1 及び第 2 の能動素子
から選ばれる少なくとも一つの能動素子からの発熱を、前記高熱伝導性セラミック基板、
及び前記放熱性ビアから前記第 2 の回路基板表面の外部電極を介して外部に放熱すること
を特徴とする半導体装置。

10

【請求項 2】

前記第 2 の回路基板の下面に、さらに第 3 のキャビティ構造を有する前記第 1 の高熱伝
導性セラミック基板と同材料の第 2 の高熱伝導性セラミック基板が、前記第 2 のキャビテ
ィと前記第 3 のキャビティが重なるように形成されている請求項 1 に記載の半導体装置。

20

【請求項 3】

前記第 1 の能動素子と第 2 の半導体素子のいずれか一方の能動素子が高周波パワー半導
体素子であり、他方の能動素子が前記パワー半導体素子を駆動及び制御する機能を有する
制御半導体素子である請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の回路基板上に表面に、さらにインダクタ、コンデンサ及び抵抗から選ばれる
少なくとも一つの受動素子が実装されている請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 の能動素子と第 2 の能動素子のいずれか一方の能動素子がフィルター素子であ
り、他方の能動素子がスイッチ素子である請求項 1 に記載の半導体装置。

30

【請求項 6】

前記第 1 の回路基板上にパワー半導体素子が載置される領域を有し、前記領域に金属ま
たは金属を含む樹脂が充填されたビアホールが形成され、高熱伝導性セラミック基板と熱
的に結合されている請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 及び第 2 の回路基板が、セラミック基板及び補強繊維に樹脂を含浸させた基板
から選ばれる少なくとも一つの回路基板である請求項 1 に記載の半導体装置。

【請求項 8】

前記高熱伝導性セラミック基板の一方の面のキャビティと他方の面のキャビティが、と
もに複数のキャビティである請求項 1 に記載の半導体装置。

40

【請求項 9】

前記第 1 の回路基板の複数のキャビティ間隙の表層もしくは内層にグランド電位に接続
される回路パターンもしくは導電性ビアが形成されている請求項 8 に記載の半導体装置。

【請求項 10】

前記第 2 の回路基板の複数のキャビティ間隙の表層もしくは内層にグランド電位に接続
される回路パターンもしくは導電性ビアが形成されている請求項 8 に記載の半導体装置。

【請求項 11】

前記第 1 の回路基板のキャビティ内の前記高熱伝導性セラミック基板上の回路パターン
に、パワー半導体素子とフィルター素子がそれぞれ載置されている請求項 8 に記載の半導

50

体装置。

【請求項 1 2】

前記第 1 の回路基板に載置されたフィルター素子が、フリップチップにより基板実装されている請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記第 2 の回路基板のキャビティ内の前記高熱伝導性セラミック基板上の回路パターンに、制御素子およびスイッチ素子が載置されている請求項 8 に記載の半導体装置。

【請求項 1 4】

前記制御素子またはスイッチ素子が、フリップチップにより実装されている請求項 1 3 に記載の半導体装置。

10

【請求項 1 5】

前記第 2 の回路基板表面の放熱外部電極が、グランド電位に接続される電極である請求項 1 に記載の半導体装置。

【請求項 1 6】

前記高熱伝導性セラミック基板が、第 1 のセラミック基板と第 2 のセラミック基板で構成され、第 2 のセラミック基板に複数の段差付きキャビティが形成されている請求項 1 に記載の半導体装置。

【請求項 1 7】

前記第 1 と第 2 のセラミック基板のキャビティに近接する領域とキャビティの段差部および段差部に近接した領域、および高熱伝導性セラミック基板のフィルター素子用キャビティの裏側に位置する領域、および第 2 のセラミック基板の前記複数のキャビティの間に、グランド電位に接続される回路パターンが形成され、

20

第 1 のセラミック基板のキャビティ内の高熱伝導性セラミック基板上の回路パターンに制御用半導体素子とスイッチ素子がフリップチップにより載置され、第 2 のセラミック基板のキャビティ内の高熱伝導性セラミック基板上の回路パターンに、パワー半導体素子と SAW フィルター素子、誘電体フィルター素子、および LC フィルター素子から選ばれる少なくとも一つのフィルター素子が載置され、SAW のフィルター素子はフリップチップで載置され、

第 2 のセラミック基板のキャビティ段差部の回路パターンと金属板を導電性接着剤で固着し、封入した請求項 1 6 に記載の半導体装置。

30

【請求項 1 8】

前記高熱伝導性セラミック基板が、アルミナ、窒化アルミニウム、グラファイト、炭化珪素、および窒化硼素から選ばれるいずれかの基板である請求項 1 に記載の半導体装置。

【請求項 1 9】

前記放熱性ビアが、ビアホールに金属フィラー 6 5 質量%以上 9 5 質量%以下と、熱硬化性樹脂 5 質量%以上 3 5 質量%以下の導電性ペーストが充填され硬化されて形成されている請求項 1 に記載の半導体装置。

【請求項 2 0】

前記放熱性ビアが、前記第 1 の能動素子及び第 2 の能動素子の裏面側又は近傍に配置されている請求項 1 に記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は積層基板に、半導体素子および周辺回路である電子部品を実装した半導体装置に関するものであり、特にモジュールの構造に関する。

【背景技術】

【0 0 0 2】

近年、携帯電話等に使用される送信用増幅装置として多層基板に増幅用高周波パワー半導体素子と整合回路を形成する為のチップ部品とを備えた半導体装置が提案されている（例えば下記特許文献 1 ~ 3）。従来の半導体装置の例を図 1 1 を用いて説明する。図 1 1

50

において、1は高周波パワー半導体素子、2はアルミナ基板又は低温焼成セラミック基板（Low Temperature Cofired Ceramics：以下「LTCC」という。）等のセラミック多層基板、3はチップコンデンサ、チップ抵抗又はチップインダクタ等のチップ部品、4は外部接続用電極、5は金属ワイヤー、6はキャビティ段差部の接続用パッド、7はポッティング樹脂、8は金属キャップである。セラミック多層基板表面上にはチップ部品を搭載するための部品実装用ランドと回路パターンがスクリーン印刷法で形成されている。高周波パワー半導体素子1はセラミック多層基板2裏面のキャビティ12内に載置され、金属ワイヤー5を介してキャビティ段差部の接続用パッド6に電氣的に接続され、ポッティング樹脂7で半導体素子1と金属ワイヤー5を埋めて保護している。さらにチップ部品3も所定の位置にハンダ15により実装されている。セラミック多層基板2上にはケースとなる金属キャップ8が取り付けられている。さらにセラミック多層基板裏面の外部接続用電極4は、セラミック多層基板2を貫通するビアホール27により基板の層間に形成されている内層パターンや接続用パッド6並びに部品実装用ランドと回路パターンとに電氣的に接続されている。

10

【特許文献1】特開平10-37054号公報

【特許文献2】特開2000-216307号公報

【特許文献3】特開2002-9225号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

20

しかし、従来の半導体装置においては、セラミック多層基板上に半導体素子、チップ部品を搭載するだけの構造では、より高機能な増幅回路を実現するために搭載部品点数が増加する状況下でパッケージのより小型化には対応できず、新しい構造の半導体装置が求められていた。また発熱素子であるパワー半導体素子がセラミック多層基板に実装されているため、半導体チップから発生した熱は全てのセラミック多層基板を通して下部に伝熱され、下部電極から放熱される構造になっているが、セラミック多層基板の熱抵抗が高く、しかも高周波パワー半導体素子近傍にビアホール27を配置することも困難であった。このため、大電力を消費する半導体チップは、充分放熱されずに高温状態になってしまうという問題があった。

【0004】

30

パッケージのより小型化に対応するためにはセラミック低温焼成基板（LTCC）内部に印刷抵抗、積層コンデンサ、回路パターンによるインダクタ等を低温焼成時に同時に形成できるので、基板表面の電子部品数の低減することもできる。しかし、高温焼成のアルミナ基板と比較してLTCCの熱伝導率が約十分の一しかないため半導体チップの放熱が悪くなるという問題がある。また抗折強度もアルミナ基板と比較すると低いために、大変割れやすいという特性を有する。

【0005】

一方、アルミナ基板は、熱伝導が良く抗折強度が高い利点を有するが、焼成温度が高いため基板内部に部品機能を入れられない課題があり、部品点数が増加すると小型化に対応できなかった。

40

【0006】

本発明は上述のような課題を解決するものであり、部品機能を内蔵した積層基板にパワー半導体素子、制御系半導体素子、フィルター素子、スイッチ素子およびその周辺回路となるチップ電子部品を搭載した放熱特性と抗折強度の確保と小型化を行った半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

前記目的を達成するため本発明の半導体装置は、両面に回路パターンが形成された高熱伝導性セラミック基板を中心基板とし、

前記高熱伝導性セラミック基板の一方の面に第1のキャビティ構造を有する1層以上の

50

第1の回路基板を備え、

他方の面に第2のキャビティ構造を有する1層以上の第2の回路基板を備え、

前記第1のキャビティ内にある前記高熱伝導性セラミック基板上の回路パターンに第1の能動素子が載置され、

前記第2のキャビティ内にある前記高熱伝導性セラミック基板上の回路パターンに第2の能動素子が載置され、

前記第2の回路基板の表面に外部電極が一体化され、

前記第1の回路基板面をキャップ装着または樹脂封止した半導体装置であって、

前記第2の回路基板には放熱性ピアが形成され、前記高熱伝導性セラミック基板と前記第2の回路基板表面の外部電極とが熱的に接続されており、前記第1及び第2の能動素子から選ばれる少なくとも一つの能動素子からの発熱を、前記高熱伝導性セラミック基板、及び前記放熱性ピアホールから前記第2の回路基板表面の外部電極を介して外部に放熱することを特徴とする。

10

【発明の効果】

【0008】

本発明の半導体装置によれば、部品機能を内蔵した積層基板にパワー半導体素子、制御系半導体素子、フィルター素子、スイッチ素子およびその周辺回路となるチップ電子部品を搭載した放熱特性と抵折強度の確保と小型化を行った半導体装置を提供できる。

【発明を実施するための最良の形態】

【0009】

本発明は、例えばアルミナ基板のような高熱伝導性セラミック基板をコア材料として、その表面にキャビティ構造を有し、部品機能を内蔵した低温焼成セラミック基板(LTCC)多層基板を形成し、キャビティ内にパワー半導体素子、基板面にチップ部品を実装し、さらにアルミナ基板裏面にも、部品機能を内蔵しキャビティ構造と外図接続用電極を有するLTCC多層基板を形成し、キャビティ内に制御系半導体素子を実装し、金属キャップで封止した高周波増幅回路装置を提供する。

20

【0010】

本発明によれば、高熱伝導性セラミック基板を中心材料として、その上に半導体素子を直接接着することで、半導体素子の発熱は高熱伝導性セラミック基板に伝わり、さらに熱は高熱伝導性セラミック基板全面に横方向に広がり、高熱伝導性セラミック基板全面から第2のセラミック基板を通過して下部に伝熱されるため、低温焼成のLTCCのみの多層基板を用いた場合に比べて熱抵抗の低減ができる。また、放熱に必要な箇所に高熱伝導性の基板を用いているため、第1のセラミック基板、第2のセラミック基板は熱以外の特性、すなわち比誘電率や部品機能の内蔵の必要性に応じて基板の選択ができる。例えば第1、第2のセラミック基板にLTCC基板を選べると、基板内に抵抗、コンデンサ、インダクタ等の受動部品を内蔵することができ、配線長減少による低インピーダンス化、部品を内蔵することによる外付け部品点数減少とそれに伴う基板の小型化を同時に達成することができる。また、高熱伝導性セラミック基板の表裏にそれぞれ第1の半導体素子と第2の半導体素子を搭載するため、双方を結ぶ配線長が短くなることによる低インピーダンス化と、基板の薄型化ができる。

30

40

【0011】

本発明によれば、半導体素子の発熱は第1の高熱伝導性セラミック基板に伝わり、さらに熱は第1の高熱伝導性セラミック基板全面に横方向に広がり、第1の高熱伝導性セラミック基板全面から第2のセラミック基板を通過して下部に伝熱され、さらに第2の高熱伝導性セラミック基板へ基板全面で伝熱するため、さらに熱抵抗が低減する。また、基板の表裏に形成された回路パターンに第1の半導体素子と第2の半導体素子をそれぞれに搭載するため、双方を結ぶ配線長が短くなることによる低インピーダンス化ができる。さらに二層になった高熱伝導性セラミック基板を使うことで、基板全体の抗折強度を向上することができる。

【0012】

50

本発明においては、前記第1の能動素子と第2の能動素子のいずれか一方の能動素子が高周波パワー半導体素子であり、他方の能動素子が前記パワー半導体素子を駆動、制御する機能を有する制御半導体素子であり、第1のセラミック基板上に表面実装部品が載置されていることが好ましい。これにより、高熱伝導性セラミック基板を中心材料として、その上にパワー半導体素子を直接接着し、パワー半導体素子の発熱を直接高熱伝導性セラミック基板に逃がすため、低温焼成のLTCC多層基板を用いた場合に比べて熱抵抗を低減できる。高熱伝導性セラミック基板の第2のセラミック基板側には、パワー半導体素子を駆動、制御する制御半導体素子が実装されるため、パワー半導体素子と制御半導体素子を結ぶ配線長を短くすることができ、低インピーダンス化が図られる。さらに基板コアにアルミナ基板等の材料を使うと、LTCC基板と比べて抗折強度を約1.5倍に高めることができる。したがって、さらに高放熱で高抗折強度の半導体増幅回路装置とすることができる。

10

【0013】

前記第1の能動素子と第2の能動素子のいずれか一方の能動素子がフィルター素子であり、他方の能動素子がスイッチ素子であることが好ましい。このようにすると、高熱伝導性セラミック基板を中心材料として、その上にフィルター素子と反対面にスイッチ素子を搭載するので、双方を結ぶ配線長を短くすることができ、低インピーダンス化が図られたフィルタ付きアンテナスイッチ装置が得られる。さらに基板コアにアルミナ等の材料を使うと、LTCC基板と比べて抗折強度を約1.5倍に高めることができる。

【0014】

前記第1のセラミック基板上にパワー半導体素子が載置される領域を有し、前記領域に金属または金属を含む樹脂が充填されたビアホールが形成され、高熱伝導性セラミック基板と熱的に結合されていることが好ましい。このようにすると、第1のセラミック基板のパワー半導体素子を載置する箇所に必ずしも段付きキャビティがある必要性はなく、たとえばパワー半導体素子が搭載される領域だけに金属や金属入り樹脂が充填されたサーマルビアがあれば、前記パワー半導体素子を前記高熱伝導性セラミック基板上に直接接着した場合と同等に熱抵抗が低くなる。パワー半導体素子が載置される領域が広く、そのためキャビティ構造にすると開口部が大きくなり、相対的に第1のセラミック基板の厚みが薄い場合などでは、基板の製作時に未焼成のシートが破損しやすいため、大きな開口部を作らないサーマルビアに充填物を詰めて放熱する方法が有効である。

20

30

【0015】

前記半導体装置においては、第1のセラミック基板を樹脂系基板に置き換えてもよい。このようにすると、樹脂基板を使うことで銅配線による低インピーダンス化とファインパターンを形成することができる。また厚い銅配線を使うことで、低抵抗で放熱性の高い回路パターンを作ることにも可能になる。さらに銅配線のためチップ部品のハンダ濡れ性が良好で、実装歩留まりが高くなる。近年の鉛フリー化に伴う実装温度の上昇に際しても、銅配線のためにハンダ耐熱性を高くすることができる。

【0016】

前記において樹脂基板とは、例えばアラミド不織布にエポキシ樹脂を含浸させた基板、ガラス織布またはガラス不織布にエポキシ樹脂を含浸させた基板などをいう。このような基板は、例えば特開平10-37054号公報に記載されている。

40

【0017】

本発明によれば、アルミナ等の高熱伝導性セラミック基板の表側に、キャビティ間隙ごとグラウンド電位に接続される回路パターンもしくはビアホールが表層もしくは内層に形成された第1のセラミック基板が形成され、キャビティ内にパワー半導体素子とフィルター素子を載置するため、パワー半導体素子とフィルター素子間の信号の相互干渉を減らし、フィルター素子の透過特性を最大限に発揮することができる。さらにアルミナ等の高熱伝導基板の裏側に、キャビティ間隙にグラウンド電位に接続された回路パターンもしくはビアホールが形成された第2のセラミック基板が形成され、キャビティ内に制御半導体素子とスイッチ素子を載置するため、制御半導体素子とスイッチ素子間の相互干渉を減らすこ

50

とができる。これにより、高熱伝導性セラミック基板をコアにして熱抵抗を低減した、パワー半導体素子、フィルター素子、制御半導体素子とスイッチ素子を搭載した、素子間の相互干渉の少ない送信用Txモジュールを提供することができる。

【0018】

前記半導体装置においては、第1のセラミック基板に載置されたSAW(surface acoustic wave.表面音波)フィルター、誘電体フィルター、および高周波共振(LC)フィルター素子などのフィルター素子または制御半導体素子、またはスイッチ素子がフリップチップにより基板実装されたことが好ましい。これにより、フィルター素子または制御半導体素子、またはスイッチ素子をフリップチップにより高熱伝導性セラミック基板に搭載するため、キャビティの形成されている第1のセラミック基板、第2のセラミック基板の厚みを実装に必要な最低限に薄くすることが可能になり、実装基板の薄型化が可能になる。また金属ワイヤーでの接合に対して、低インピーダンス化、浮遊容量低減が図られる。さらに金属ワイヤーでの接続の際に必要なであった基板側のワイヤーボンドパッドが不要になるため、キャビティの小径化が可能になる。

10

【0019】

また、前記の高周波増幅回路装置において、第1のセラミック基板に複数のキャビティが形成され、前記キャビティの間にフィルター素子のグランド電位に接続される回路パターンが内蔵され、さらに第2のセラミック基板に複数の段差付きキャビティが形成され、そのうちのフィルター素子用のキャビティにおいて、アルミナ、窒化アルミニウム、グラファイト、炭化珪素等の高熱伝導性セラミック基板のキャビティに近接する領域とキャビティの段差部および段差部に近接した領域、および高熱伝導性セラミック基板のフィルター素子用キャビティの裏側に位置する領域、および第2のセラミック基板の前記複数のキャビティの間に、グランドに接続される回路パターンが形成され、第1のセラミック基板のキャビティ内の高熱伝導性セラミック基板上の回路パターンに制御用半導体素子とスイッチ素子がフリップチップにより載置され、第2のセラミック基板のキャビティ内の高熱伝導性セラミック基板上の回路パターンに、パワー半導体素子とフィルター素子が載置され、フィルター素子はフリップチップで載置され、第2のセラミック基板のキャビティ段差部の回路パターンと金属板を金属または導電性接着剤で固着、封入された構造が好ましい。これにより、第1のセラミック基板のキャビティに制御半導体素子およびスイッチ素子をフリップチップで搭載するため、キャビティの段差に形成されていたワイヤー接続用パッドが不要になりキャビティの小径化ができ、そのため外付け回路部品のパターンやチップ部品搭載が可能な面積が増加する。さらに第2のセラミック基板のフィルター素子用のキャビティにおいて、フィルター素子を取り囲むように配置されたグランド電位の回路パターンにより、他の素子との間に高アイソレーションが図られ、信号の相互干渉が減少する。また第2のセラミック基板のキャビティを金属板で塞ぐだけで、フィルター素子に必要な気密封止構造を容易に得ることができる。

20

30

【0020】

本発明においては、高熱伝導性セラミック基板として、中心基板にアルミナ、窒化アルミニウム、グラファイト、炭化珪素、窒化硼素いずれかの基板を使うことで、基板全体の抗折強度をLTC基板と比べて大幅に向上することができる。

40

【0021】

本発明においては、高熱伝導性セラミック基板の熱伝導率は、 $10\text{ W/m}\cdot\text{K}$ 以上であることが好ましい。

【0022】

前記第2の回路基板表面の放熱外部電極は、グランド電位に接続される電極であってもよい。この場合、放熱性ビアは導電性ビアとしても機能する。

【0023】

また、前記放熱性ビアが、ビアホールに金属フィラー65質量%以上95質量%以下と、熱硬化性樹脂5質量%以上35質量%以下の導電性ペーストが充填され硬化されて形成されていることが好ましい。前記の範囲であれば十分な放熱性が得られる。また、硬化に

50

際しては、加熱・加圧してもよい。加熱・加圧の条件は、例えば80 ~ 200 の温度で、 $1.47 \times 10^6 \text{ Pa}$ (15 kg/cm^2) ~ $9.8 \times 10^6 \text{ Pa}$ (100 kg/cm^2) の加圧力が好ましい。放熱性ビアの好ましい直径は100 μm ~ 300 μm の範囲である。前記放熱性ビア間の好ましい距離(ピッチ)は、直径100 μm の場合は150 μm 以上であり、直径300 μm の場合は450 μm 以上である。

【0024】

前記放熱性ビアは、前記第1の半導体素子及び第2の半導体素子の裏面側又は近傍に配置されていることが好ましい。ここで「近傍」とは、半導体の端部からビア端部まで1 m以内の範囲をいう。

【実施例】

10

【0025】

以下、本発明における高周波増幅回路装置の実施の形態について、図面を参照しながら説明する。

【0026】

(第1の実施の形態)

本発明の第1の実施の形態を図1A - Bにより説明する。図1Aは半導体装置の概略断面図である。この半導体装置は、アルミナセラミック基板9をコア材料として、基板の表面と裏面にそれぞれLTCC基板10、LTCC基板11の異種材料基板を積層したものである。LTCC基板10、LTCC基板11はそれぞれ段差付きキャビティを持つ多層基板である。基板は外形10 mm (は縦と横の長さを意味する。以下同じ。)、厚み1.3 mmの大きさで、上側からLTCC基板10、アルミナ基板9、LTCC基板11の3層から構成される。28はLTCC基板10の表面に形成された第1の回路基板の層、29はLTCC基板11の表面に形成された第3の回路基板の層を示す。LTCC基板10の裏面には第2の回路基板が形成されているが、図示は省略する。

20

【0027】

LTCC基板10は2層からなる多層基板で比誘電率 $\epsilon_r = 7.8$ 、熱伝導率 $3 \text{ W/m} \cdot \text{K}$ 、厚み0.5 mmである。基板には $2.5 \times 2 \text{ mm}$ の段差付きキャビティ12が形成されており、表面には外付け回路パターンと外付けチップ部品の搭載されるランドが形成されている。キャビティ部はアルミナ基板上に形成された回路パターンが露出している。コア材料のアルミナ基板9は比誘電率 $\epsilon_r = 10$ 、熱伝導率 $2.4 \text{ W/m} \cdot \text{K}$ 、厚み0.3 mm 30
である。アルミナ基板裏側のLTCC基板11は2層からなる多層基板で比誘電率 $\epsilon_r = 7.8$ 、熱伝導率 $3 \text{ W/m} \cdot \text{K}$ 、厚み0.5 mmである。基板には 3.5 mm の段差付きキャビティ12と外部接続(例えばグランド)用の電極4が形成され、キャビティ部はアルミナ基板上に形成された回路パターンが露出している。

30

【0028】

LTCC基板10、11には図示していないがそれぞれ抵抗、コンデンサ、インダクタが内蔵されており、外付け部品点数の低減とそれに伴う基板寸法縮小、および配線の低インピーダンス化の効果を上げている。内蔵できる容量は、抵抗が100 ~ 1 M、コンデンサが1 pF ~ 10 nF、インダクタ10 nH以下の程度である。

【0029】

40

LTCC基板10のキャビティ12内のアルミナ基板9のパターン上に周波数500 MHz以上で20 dBm以上の出力を有する増幅用の高周波パワー半導体素子1が金属および導電性接着剤で固着され、基板10のキャビティ段差部の接続用パターン6に金属ワイヤー5で結線される。高周波パワー半導体素子1は $1.6 \times 0.5 \text{ mm}$ 、厚み100 μm である。LTCC基板11のキャビティ12内のアルミナ基板9のパターン上には、高周波パワー半導体素子1を駆動、制御する制御半導体素子13が粘着テープおよび導電性接着剤で固着され、基板11のキャビティ段差部の接続用パッド6に金属ワイヤー5で結線される。制御半導体素子13は 2.0 mm 、厚み150 μm である。

【0030】

またLTCC基板10表面には抵抗、コンデンサ、インダクタ等のチップ部品3がハン

50

ダ付け実装され、チップ部品 3 と L T C C 基板 1 0、1 1 に内蔵された抵抗、コンデンサ、インダクタにより整合回路が形成されている。

【 0 0 3 1 】

高周波パワー半導体素子 1 および、制御半導体素子 1 3 が搭載されたキャビティ 1 2 は、素子の保護のためにエポキシ樹脂 7 で封止される。

【 0 0 3 2 】

半導体装置は、L T C C 基板 1 0 側にキャップ 8 を装着したり、L T C C 基板側全体をエポキシ樹脂封止して製品化される。図 1 A には金属キャップを装着した例を示す。

【 0 0 3 3 】

図 1 B は図 1 A の裏面図である。

10

【 0 0 3 4 】

厚み 0 . 3 m m アルミナ基板をコア材料として、その上に高周波パワー半導体素子を直接接着しているため、高周波パワー半導体素子の発熱を直接アルミナ基板に逃がすことができる。通常、アルミナ基板は L T C C 基板の熱伝導率が約 1 0 倍であるが、この基板構造によると、コア材料であるアルミナ基板の上下面に L T C C 基板を積層した構造ながら、アルミナ基板と比べて遜色のない低熱抵抗を実現することができる。L T C C 基板 1 1 にはスルーホールが開けられ、導電性ペーストが充填されて放熱用ビア 2 6 が形成され、これが電極 4 に電氣的及び熱的に結合されている。放熱用ビア 2 6 は高周波パワー半導体素子 1 の反対側又は近傍に配置されている。したがって、高周波パワー半導体素子 1 から発熱する熱は、アルミナ基板 9、放熱用ビア 2 6 及び電極 4 を介して、この半導体装置が実装されているプリント配線基板の銅体パターンに熱伝導により放熱される。

20

【 0 0 3 5 】

図 1 0 に本実施例で使用した基板の放熱特性をアルミナ基板および L T C C 基板と比較して示す。コア材料に放熱性のよいアルミナ基板を用いたため、L T C C 基板部は高周波特性を優先した基板材料を使用することができ、比誘電率や各層ごとに厚みを変えた材料を使うことも可能である。とくに、L T C C 基板の利点を生かして、抵抗、コンデンサ、インダクタなどを内蔵することができ、外付け部品減少による基板寸法の縮小化や配線長減少による低インピーダンス化を図ることができる。さらにアルミナ基板の表裏に高周波パワー半導体素子と制御半導体素子を搭載するため、アルミナ基板にビアホールを形成することで双方を結ぶ配線長を最短化し、インピーダンスを低減することができる。またコア材料にアルミナを使うことで、抗折強度が L T C C 基板の約 1 . 5 倍に大幅に向上することができる。

30

【 0 0 3 6 】

なお、コア材料としてアルミナ基板（熱伝導率：2 4 W / m · K）を用いたが、窒化アルミニウム（熱伝導率：1 3 5 W / m · K）、グラファイト（熱伝導率：3 0 0 W / m · K）、炭化珪素（熱伝導率：4 6 W / m · K）、窒化硼素（熱伝導率：1 0 0 W / m · K）でも熱伝導率が 1 0 W / m · K 以上であり、抗折強度が L T C C 基板の 1 . 5 倍以上に大幅に向上することができる。

【 0 0 3 7 】

また、第 1 の実施の形態では第 1 の L T C C 基板 1 0 のキャビティ 1 2 に高周波パワー半導体素子 1、第 2 の L T C C 基板 1 1 のキャビティ 1 2 に制御半導体素子 1 3 を載置しているが、第 1 の L T C C 基板 1 0 のキャビティ 1 2 に制御半導体素子 1 3、第 2 の L T C C 基板 1 1 のキャビティ 1 2 に高周波パワー半導体素子 1 を載置してもよい。

40

【 0 0 3 8 】

（第 2 の実施の形態）

本発明の第 2 の実施の形態を図 2 により説明する。図 2 は半導体装置の概略断面図である。この半導体装置は第 1 の実施の形態の変形形態で、図 1 に示した基板構造の内、第 2 のセラミック基板の表面に、第 2 のアルミナ基板 2 4 を形成したものである。

【 0 0 3 9 】

基板は外形 1 0 m m、厚み 1 . 5 m m の大きさで、第 1 のアルミナ基板 9 を中心材料と

50

して、上側に、第1のセラミック基板10を、下側に、第2のセラミック基板11と第2のアルミナ基板24が形成された4層の異種材料が積層されたものである。そのため、第2のセラミック基板は、第1のアルミナ基板と第2のアルミナ基板に挟まれた構造を有する。

【0040】

第1のセラミック基板、第2のセラミック基板はいずれも段差付きキャビティが形成されており、キャビティ段差部にワイヤー接続用のパッドが形成されている。

【0041】

第2のアルミナ基板24は比誘電率10、厚み0.2mmで、外部接続用電極4と第2のセラミック基板11のキャビティ12と同位置にキャビティ12が形成されている。第2のアルミナ基板のキャビティ寸法は、第2のセラミック基板のキャビティと同一寸法または一回り大きくてもよい。例えば、第2のセラミック基板のキャビティ開口部が3.5mmの場合、第2のアルミナ基板のキャビティ開口部は、積層ずれを考慮して3.7mmあればよい。他の構成は第1の実施の形態と同様である。

10

【0042】

LTC基板11にはスルーホールが開けられ、導電性ペーストが充填されて放熱用ビア26が形成され、これが電極4に電氣的及び熱的に結合されている。放熱用ビア26は高周波パワー半導体素子1の反対側又は近傍に配置されている。したがって、高周波パワー半導体素子1から発熱する熱は、アルミナ基板9、放熱用ビア26及び電極4を介して、この半導体装置が実装されているプリント配線基板の銅体パターンに熱伝導により放熱される。

20

【0043】

第1のセラミック基板の第1のアルミナ基板の回路パターン上に高周波パワー半導体素子1が搭載され、キャビティ内の段差部の接続用パッドに金属ワイヤーで結線され、第2のセラミック基板のキャビティすなわち第2のアルミナ基板のキャビティ内の第1のアルミナ基板の回路パターン上に第2の半導体素子が搭載され、キャビティの段差部の接続用パッドに金属ワイヤーで結線される。第1の半導体素子および第2の半導体素子が搭載されたキャビティは、素子の保護のためにエポキシ樹脂で封止される。

【0044】

半導体装置は、第1のセラミック基板側にキャップを装着したり、樹脂封止して製品化される。図2には金属キャップを装着した例を示す。

30

【0045】

厚み0.3mmアルミナ基板をコア材料として、第1の半導体素子を直接第1のアルミナ基板(厚み0.5mm)に熱を逃がし、さらに第2のセラミック基板(厚み0.5mm)を介して第2のアルミナ基板(厚み0.2mm)へ放熱するため、第1の実施の形態に記載の半導体装置よりもさらに15%程度熱抵抗が低減する。さらにアルミナ基板が二層になった基板を使うことで、基板全体の抗折強度をLTC基板の約2倍に向上することができ、アルミナ基板並みの強度を確保できる。

【0046】

また、第2の実施の形態では第1のLTC基板10のキャビティ12に高周波パワー半導体素子1、第2のLTC基板11のキャビティ12に制御半導体素子13を載置しているが、第1のLTC基板10のキャビティ12に制御半導体素子13、第2のLTC基板11のキャビティ12に高周波パワー半導体素子1を載置してもよい。

40

【0047】

(第3の実施の形態)

本発明の第3の実施の形態を図3により説明する。図3は半導体装置の概略断面図である。

【0048】

この半導体装置は第1の実施の形態の変形形態で、アルミナ基板等の高熱伝導性セラミック基板を中心材料として、上側と下側に段差付きキャビティが形成されたLTC多層

50

基板が形成された L T C C 基板 / アルミナ基板 / L T C C 基板の 3 層構造を有する。基板は外形 10 mm、厚み 1.4 mm である。アルミナ基板 9 表面に形成された L T C C 基板 10 は 2 層からなる多層基板で比誘電率 = 7.8、厚み 0.6 mm である。基板には 2.5 mm の段差付きキャビティ 12 が形成されており、表面には外付け回路パターンと外付けチップ部品の搭載されるランドが形成されている。

【0049】

アルミナ基板は比誘電率 = 10、厚み 0.3 mm である。さらにアルミナ基板 9 裏面に形成された L T C C 基板 11 は 2 層からなる多層基板で、比誘電率 = 7.8、厚み 0.5 mm である。基板には 2.5 mm の段差付きキャビティ 12 が形成されており、表面には外部接続用の電極 4 が形成されている。

10

【0050】

L T C C 基板 11 にはスルーホールが開けられ、導電性ペーストが充填されて放熱用ビア 26 が形成され、これが電極 4 に電氣的及び熱的に結合されている。放熱用ビア 26 はスイッチ素子 18 (発熱素子) の近傍に配置されている。

【0051】

この半導体装置は携帯電話のアンテナ用フィルター付アンテナスイッチである。L T C C 基板 10 のキャビティ 12 内には S A W フィルター素子 17 が金属および導電性接着剤で固着され、キャビティ段差部の接続用パッド 6 に金属ワイヤー 5 で結線される。また L T C C 基板 11 のキャビティ 12 内にはスイッチ素子 18 が金属および導電性接着剤で固着され、キャビティ段差部の接続用パッド 6 に金属ワイヤー 5 で結線される。

20

【0052】

S A W フィルター素子 17 は 1 mm、厚み 250 μm、スイッチ素子 18 は 1 mm、厚み 150 μm である。スイッチ素子 18 が入ったキャビティ 12 は、素子の保護のためにエポキシ樹脂封止される。一方 S A W フィルター 17 は L T C C 基板 10 に金属板 23 を接着して、封入される。フィルター素子としては誘電体フィルター素子、および L C フィルター素子でもよい。

【0053】

図 3 では S A W フィルター素子 17 は L T C C 基板 10 に、スイッチ素子 18 は L T C C 基板 11 のキャビティ内に設置しているが、反対になっても良い。

L T C C 基板 10 の表面にはアンテナスイッチの入出力の定数調整用の外付けチップ部品が搭載されている。

30

【0054】

これにより、実施の形態 1 と同様に放熱性に優れた、抗折強度のよい、フィルター付アンテナスイッチ半導体装置が得られる。

【0055】

なお第 3 の実施の形態では図示していないが、S A W フィルターの樹脂パッケージ品を L T C C 基板 10 のキャビティ 12 内にハンダ付けで実装、あるいは基板表面のパターンランドにハンダ付け実装した場合でも同様の効果が得られる。

【0056】

(第 4 の実施の形態)

本発明の第 4 の実施の形態を図 4 により説明する。図 4 は半導体装置の概略断面図である。この半導体装置は第 1 の実施の形態の変形形態で、図 1 に示した基板構造の内、第 1 のセラミック基板面内にパワー半導体素子の載置される領域が作られ、前記領域に放熱のためのビアホール(サーマルビア)が形成されて、内部に金属または金属ペーストが充填された構造を有するものである。

40

【0057】

図 4 の例では第 1 のセラミック基板 10 は単層 L T C C 基板で、パワー半導体素子 1 が搭載される領域には、直径 0.2 mm のビアホール 25 が 0.45 mm ピッチで 23 個千鳥配置で形成され、内部に銀ペーストが充填されている。図 12 に千鳥配置の例を示す。図 12 は図 4 における基板 10 の表面から見た平面図であり、高周波パワー端導体素子 1

50

のランド部 1、電極パッド 3 1、配線 3 2 が金属パターンで印刷された図である。高周波パワー端導体素子 1 のランド部は、L T C C 基板表面金属箔パターンで形成され、チップ実装されている。このランド部基板にパンチングで千鳥配置された穴（ビア）2 5 をあけ、この中に放熱性の良い金属ペーストが充填されており、図 4 に示す高熱伝導基板 9 に接している。ランド部にできるだけ多く穴（ビア）2 5 をあけて放熱性をよくするために、ビアの配置を千鳥にする。

【0058】

図 4 に戻り、銀ペーストはビアホール 2 5 下部でアルミナ基板 9 と接触しており、パワー半導体素子 1 の発熱は L T C C 基板ビアホール部 2 5 の銀ペーストを介してアルミナ基板 9 に伝えられる。L T C C 基板 1 0 は厚み 0 . 3 m m、アルミナ基板 9 も厚み 0 . 3 m m である。L T C C 基板 1 0 にはパワー半導体素子 1 領域のほか、整合回路を形成するチップ部品 3 のパターン、ランドの領域があり、パワー半導体素子 1 のまわりに抵抗、コンデンサ、インダクタ等の表面実装部品が搭載される。パワー半導体素子 1 は銀ペーストで L T C C 基板のランドに固着され、金属ワイヤー 5 で L T C C 基板表面の接続用パッド 6 と結線され、エポキシ樹脂等のポッティング樹脂 7 で封止される。

10

【0059】

L T C C 基板のパワー半導体を載置する箇所に必ずしも段付きキャビティがある必要性はなく、パワー半導体が搭載される領域だけに金属や金属入り樹脂が充填されたサーマルビアがあれば、パワー半導体素子をアルミナ基板上に直接接着したのに近い熱抵抗が得られる。例えば熱抵抗を第 1 の実施の形態でのパワー半導体素子と比較すると、本実施の事例の熱抵抗は約 1 0 % 増加するにすぎない。さらにパワー半導体が数ミリ角と大きい場合、第 1 の実施の形態記載の方法でキャビティ構造にすると開口部はさらに大きくなる。L T C C 基板の厚みが 0 . 2 m m 以下で開口部の大きさに対して相対的に薄い場合などでは、基板の製作時に未焼成のシートが破損しやすいため、大きな開口部を作らないサーマルビアに充填物を詰めて放熱する方法が有効である。

20

【0060】

図 5 は第 4 の実施の形態の変形形態で、第 1 のセラミック基板 1 0 は 2 層構造で下層を残した段差キャビティ付き L T C C 基板である。キャビティ底部はパワー半導体素子 1 を搭載するためのランドパターンとその下にビアホール 2 5 が設けられ、中は銀ペーストが充填されている。またキャビティ底部のランドパターン周囲にはワイヤーボンパッドが形成されている。銀ペーストはビアホール 2 5 下部でアルミナ基板 9 と接触している。L T C C 基板 1 0 は厚み 0 . 5 m m で上層 0 . 3 m m、下層 0 . 2 m m ある。ビアホール径、ピッチ、本数は図 3 の例と同じである。キャビティ内にパワー半導体素子 1 が銀ペーストで固着され、金属ワイヤー 5 で接続用パッド 6 と結線される。さらにキャビティ内をエポキシ樹脂等のポッティング樹脂 7 により封止する。

30

【0061】

図 4 ~ 5 においても、L T C C 基板 1 1 にはスルーホールが開けられ、導電性ペーストが充填されて放熱用ビア 2 6 が形成され、これが電極 4 に電氣的及び熱的に結合されている。放熱用ビア 2 6 は高周波パワー半導体素子 1 の反対側又は近傍に配置されている。したがって、高周波パワー半導体素子 1 から発熱する熱は、アルミナ基板 9、放熱用ビア 2 6 及び電極 4 を介して、この半導体装置が実装されているプリント配線基板の銅体パターンに熱伝導により放熱される。

40

【0062】

また、図 5 の場合にはキャビティの段差部がポッティング樹脂 7 の流れ止めの役割を果たすとともに、ポッティング樹脂の厚さを薄くできる。

【0063】

（第 5 の実施の形態）

本発明の第 5 の実施形態を図 6 により説明する。図 6 は半導体装置の概略断面図である。この半導体装置は、前記第 1 の実施の形態と同様の構造を有し、コア材料のアルミナ基板表面に形成された L T C C 基板を樹脂基板に材料変更したものである。すなわち、アル

50

ミナセラミック基板 9 をコア材料として、上側から樹脂基板、アルミナ基板、L T C C 基板の 3 層から構成される。樹脂基板基板 1 4、L T C C 基板 1 1 はそれぞれ段差付きキャビティを持つ多層基板である。基板は外形 1 0 m m、厚み 1. 3 m m である。樹脂基板 1 4 は 2 層からなる多層基板で比誘電率 = 4. 5、厚み 0. 5 m m、2. 5 × 2 m m の段差付きキャビティ 1 2 が形成されており、表面には外付け回路パターンと外付けチップ部品の搭載されるランドが形成されている。キャビティ部はアルミナ基板上に形成された導体パターンが露出している。

【 0 0 6 4 】

コア材料となるアルミナ基板、およびアルミナ基板下面の L T C C 基板は、第 1 の実施形態と同様である。

【 0 0 6 5 】

L T C C 基板 1 1 にはスルーホールが開けられ、導電性ペーストが充填されて放熱用ビア 2 6 が形成され、これが電極 4 に電氣的及び熱的に結合されている。放熱用ビア 2 6 は高周波パワー半導体素子 1 の反対側又は近傍に配置されている。したがって、高周波パワー半導体素子 1 から発熱する熱は、アルミナ基板 9、放熱用ビア 2 6 及び電極 4 を介して、この半導体装置が実装されているプリント配線基板の銅体パターンに熱伝導により放熱される。

【 0 0 6 6 】

樹脂基板 1 4 のキャビティ 1 2 内のアルミナ基板 9 のパターン上に高周波パワー半導体素子 1 が金属および導電性接着剤で固着され、基板 1 4 のキャビティ段差部の接続用パッド 6 に金属ワイヤー 5 で結線される。高周波パワー半導体素子 1 は 1. 6 × 0. 5 m m、厚み 1 0 0 μ m である。また基板 1 4 表面には抵抗、コンデンサ、インダクタ等のチップ部品 3 がハンダ付け実装される。L T C C 基板 1 1 のキャビティ 1 2 内におけるアルミナ基板 9 のパターン上に、制御半導体素子 1 3 が粘着テープおよび導電性接着剤で固着され、基板 1 1 のキャビティ段差部の接続用パッド 6 に金属ワイヤー 5 で結線される。制御半導体素子 1 3 は 2. 0 m m、厚み 1 5 0 μ m である。

【 0 0 6 7 】

高周波パワー半導体素子 1 および制御半導体素子 1 3 が搭載されたキャビティは、素子の保護のためにエポキシ樹脂で封止される。

【 0 0 6 8 】

樹脂基板 1 4 を使用しているため、樹脂基板表面の回路を銅箔パターンで形成できるため、より低インピーダンス化することができる。またパターン幅 / パターン間隙を 4 0 μ m / 3 0 μ m のファインピッチ化することが容易で、樹脂基板 1 4 表面の部品ランド位置精度が向上でき、搭載部品間隙の減少により実装密度を向上することが可能になる。さらに厚い銅箔を使うことで、低抵抗の放熱性の優れた回路パターンを形成することもできる。その他、銅配線が使える利点としては、ハンダ濡れ性の良さによる実装歩留まりの向上や、配線と基板が高接着強度であること、ハンダ耐熱性が高いことなどがあげられる。特にハンダ耐熱性においては、セラミックの基板の配線は金属ペーストを印刷、焼成して形成するため比較的接着強度が低く、ハンダ浸漬を繰り返し行った場合に導体がハンダ喰われの現象をおこすことが多いが、銅箔は前記のような問題は起こらない。

【 0 0 6 9 】

さらにファインパターンを使ったコイルの形成や、半導体素子のフリップチップ実装など、L T C C 基板ではパターンピッチや精度バラツキの面で制限のあったが、本実施例ではこれらの制限をなくすことができる。

【 0 0 7 0 】

その他の効果は、第 1 の実施形態と同様である。

【 0 0 7 1 】

(第 6 の実施の形態)

本発明の第 6 の実施形態を図 7 より説明する。図 7 は半導体装置の概略断面図である。この半導体装置は、アルミナ基板等の高熱伝導性セラミック基板を中心材料として、上側

10

20

30

40

50

と下側に複数の段差付きキャビティが形成されたL T C C多層基板が形成されたL T C C基板 / アルミナ基板 / L T C C基板の3層構造を有する。基板は外形16mm、厚み1.4mmである。アルミナ基板9表面に形成されたL T C C基板10は2層からなる多層基板で比誘電率 = 7.8、厚み0.6mmである。基板には2.5 x 2mmの段差付きキャビティ12aと2.5mmの段差付きキャビティ12bが形成されており、表面には外付け回路パターンと外付けチップ部品の搭載されるランドが形成されている。

【0072】

L T C C基板10の2つのキャビティ12a, 12b間には、グランド電位に接続された回路パターンが内蔵されている。また2つのキャビティ部は、アルミナ基板上に形成された導体パターンが露出している。

10

【0073】

コア材料のアルミナ基板9は比誘電率 = 10で厚み0.3mmである。

【0074】

アルミナ基板裏面のL T C C基板11は2層からなる多層基板で比誘電率 = 7.8、厚み0.5mmである。基板には3.5mmの段差付きキャビティ12cと2.5mmの段差付きキャビティ12dが形成されており、表面には外部接続用の電極4が形成されている。L T C C基板11の2つのキャビティ12c, 12d間には、グランド電位に接続された回路パターンが内蔵されている。2つのキャビティ部は、アルミナ基板上に形成された導体パターンが露出している。

【0075】

L T C C基板10、L T C C基板11には図示していないがそれぞれ抵抗、コンデンサ、インダクタが内蔵されており、外付け部品点数の低減とそれに伴う基板寸法縮小、および配線の低インピーダンス化の効果を上げている。

20

【0076】

L T C C基板10のキャビティ12a内におけるアルミナ基板9のパターン上にパワー半導体素子1が金属および導電性接着剤で固着され、基板10のキャビティ段差部の接続用パッド6に金属ワイヤー5で結線される。基板10のもう一つのキャビティ12bにはS A Wなどのフィルター素子17が金属および導電性接着剤で固着され、基板10のキャビティ段差部の接続用パッド6金属ワイヤー5で結線される。パワー半導体素子は1.6 x 0.5mm、厚み100μm、S A Wフィルター素子は1mm、厚み250μmである。

30

【0077】

一方、アルミナ基板裏面のL T C C基板11のキャビティ12c内のアルミナ基板9のパターン上には、パワー半導体素子1を駆動、制御する制御半導体素子13が粘着テープおよび導電性接着剤で固着され、基板11のキャビティ段差部の接続用パッド6に金属ワイヤー5で結線される。基板11のもう一つのキャビティ12dにはスイッチ素子18が金属および導電性接着剤で固着され、基板11のキャビティ段差部の接続用パッド6に金属ワイヤー5で結線される。

【0078】

制御半導体素子は2.0mm、厚み150μm、スイッチ素子は1mm、厚み150μmである。

40

【0079】

パワー半導体素子、制御半導体素子およびスイッチ素子が搭載されたキャビティは、素子の保護のためにエポキシ樹脂7で封止され、S A Wフィルターは金属板23で封入される。

【0080】

半導体装置は、L T C C基板10側にキャップ8を装着したり、L T C C基板側全体をエポキシ樹脂封止して製品化される。図7は金属キャップを装着した例を示す。

【0081】

アルミナ基板の表面に形成されたL T C C基板のパワー半導体素子とS A Wフィルター

50

の間に、グラウンド電位に接続された回路パターンを挟むことで、パワー半導体素子とSAWフィルター間の信号の相互干渉を低減し、フィルターの透過特性を最大限発揮させることができる。さらに、アルミナ基板裏面に形成されたLTCC基板においても、制御半導体素子とスイッチ素子の間に、グラウンド電位に接続された回路パターンを挟むことで、制御半導体素子とスイッチ素子間の相互干渉を低減することができる。

【0082】

これにより、アルミナ基板上のパターンに直接パワー半導体素子を搭載して熱抵抗を低減した、パワー半導体素子、SAWなどのフィルター素子、制御半導体素子とスイッチ素子を搭載した、素子間の相互干渉の少ない送信用T×モジュールを提供することができる。

10

【0083】

なおデュプレクサ、アイソレータ、バラン等の高周波素子を載置するものであっても良い。

【0084】

その他の効果は、第3の実施形態と同様である。

【0085】

(第7の実施の形態)

本発明の第7の実施形態を図8より説明する。第7の実施形態は第6の実施の形態で示した半導体装置すなわち送信用T×モジュールの変形形態である。図8は半導体装置すなわち送信用T×モジュールの断面概略図である。第7の実施の形態の送信用T×モジュールにおいて、アルミナ基板9の回路パターンに実装されているSAWなどのフィルター素子17または制御半導体素子13、またはスイッチ素子18の基板との接続を金属ワイヤーの代わりにハンダ19によりフリップチップで実装している。LTCC基板を使うと、ダイスボンド部にはサーマルビアを形成して放熱性を良くしなければならないので10~20μmの凹凸ができるがコア材料にアルミナ基板を使用したため熱伝導性が良いのでサーマルビアが不要になり、ダイスボンド部の平坦性が5μm以下に良化し、素子と基板パターンのフリップチップでの接合が可能になった。

20

【0086】

SAWなどのフィルター素子17または制御半導体素子13、またはスイッチ素子18をハンダ19によりフリップチップ19でアルミナ基板9に搭載するため、LTCC基板10、LTCC基板11の厚みを実装に必要最低限に薄くすることが可能になり、基板の薄型化が可能になる。例えば制御半導体素子の実装に金属ワイヤーを用いた場合には、チップ厚みにワイヤーループトップ高さを加え、さらに樹脂封止厚みを加えるため、最低500μmのキャビティ深さが必要であるが、フリップチップ実装では最低350μmの深さがあればよく、150μmの薄型化ができる。

30

【0087】

また金属ワイヤーでの接合に対して、低インピーダンス化、浮遊容量低減が図られる。

【0088】

例えば、金属ワイヤー比較して15%のインピーダンスの低減が図られる。さらに金属ワイヤーでの接合の際に必要な基板側の接続用パッドが不要になるため、キャビティ壁面をストレート化することができ、キャビティの小径化が可能になる。具体的には、段差付きキャビティをストレートキャビティにすることで、キャビティ開口部をX方向、Y方向それぞれ約1mm小さくすることが可能である。その他の効果は、第3の実施形態と同様である。

40

【0089】

(第8の実施の形態)

本発明の第8の実施形態を図9より説明する。第8の実施形態は第6の実施の形態で示した半導体装置すなわち送信用T×モジュールの別の変形形態である。図9は半導体装置の断面概略図である。第6の実施の形態の半導体装置すなわち送信用T×モジュールにお

50

いて、アルミナ基板 9 の表面に形成された L T C C 基板 1 0 は 2 つのキャビティ 1 2 があ
り、制御用半導体素子 1 3、およびスイッチ素子 1 8 がアルミナ基板 9 のパターン配線に
フリップチップ 1 9 で実装されている。キャビティ 1 2 はそれぞれの素子がフリップチッ
プで実装されるためワイヤーボンドパッドが不要になり、段差のない形状を有する。キャ
ビティの大きさは、制御半導体素子用キャビティが 2 . 5 m m 、スイッチ素子用キャビ
ティが 1 . 5 m m で、接続に金属ワイヤー 5 を使っている第 3 の実施の形態と比べて約
1 m m 小さくなっている。キャビティを小さくできるため、L T C C 基板 1 0 上の外付け
部品 3 のパターン回路の引き回しや部品搭載面積が増大する。

【 0 0 9 0 】

またアルミナ基板 9 の裏面に形成された L T C C 基板 1 1 は 2 つの段差付きキャビティ 1 2 があ
り、パワー半導体素子 1 および S A W などのフィルター素子 1 7 が実装されてい
る。パワー半導体素子 1 は、アルミナ基板 9 の回路パターンの上に金属および導電性接着
剤で固着され、金属ワイヤー 5 によりキャビティ段差部の接続用パッド 6 に結線される。
フィルター素子 1 7 の入る段差付きキャビティ 1 2 は、キャビティの段差部 2 0 およびキ
ャビティ底部に近接した領域 2 1、およびキャビティの裏側に位置する領域 2 2 にグランド
電位につながった回路パターンが形成されている。

【 0 0 9 1 】

段差付きキャビティ 1 2 内にはフィルター素子 1 7 がフリップチップ 1 9 により、アル
ミナ基板 9 の回路パターンに実装される。その際、キャビティ 1 2 の段差部 2 0 の金属パ
ターンを使って、金属および導電性接着剤により金属板 2 3 を固着し、素子を封入する。

【 0 0 9 2 】

このようにフィルター素子用のキャビティにおいて、フィルター素子を取り囲むように
配置されたグランド電位の回路パターンにより、他の素子との間の高アイソレーションが
図られ、信号の相互干渉が減少してフィルターの透過特性を最大限に発揮することができ
る。

【 図面の簡単な説明 】

【 0 0 9 3 】

【 図 1 】 A は本発明の第 1 の実施の形態における半導体装置を示す断面図、 B は同裏面図
である。

【 図 2 】 本発明の第 2 の実施の形態における半導体装置を示す断面図である。

【 図 3 】 本発明の第 3 の実施の形態における半導体装置を示す断面図である。

【 図 4 】 本発明の第 4 の実施の形態における半導体装置を示す断面図である。

【 図 5 】 本発明の第 4 の実施の変形形態における半導体装置を示す断面図である。

【 図 6 】 本発明の第 5 の実施の形態における半導体装置を示す断面図である。

【 図 7 】 本発明の第 6 の実施の形態における半導体装置を示す断面図である。

【 図 8 】 本発明の第 7 の実施の形態における半導体装置を示す断面図である。

【 図 9 】 本発明の第 8 の実施の形態における半導体装置を示す断面図である

【 図 1 0 】 本発明の第 1 の実施の形態における放熱特性を示すグラフである。

【 図 1 1 】 従来の高周波増幅回路装置を示す断面図である。

【 図 1 2 】 図 4 の平面図である。

【 符号の説明 】

【 0 0 9 4 】

- 1 高周波パワー半導体素子
- 2 セラミック多層基板 (アルミナもしくは L T C C)
- 3 チップ部品
- 4 外部接続用電極
- 5 金属ワイヤー
- 6 ボンディングパッド
- 7 ポッティング樹脂
- 8 (金属) キャップ

10

20

30

40

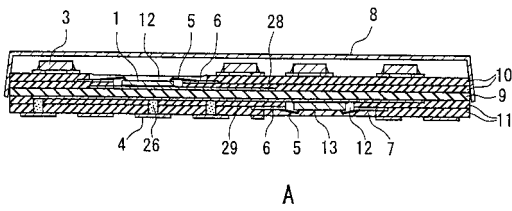
50

- 9 アルミナ等の高熱伝導性セラミック基板
- 10, 11 LTCC基板
- 12 段差付きキャビティ
- 13 制御半導体素子
- 14 樹脂基板
- 15 ハンダ
- 16 接続用パッド
- 17 フィルター素子
- 18 スイッチ素子
- 19 フリップチップ
- 20, 21, 22 グランドパターン
- 23 金属板
- 24 (第2の)アルミナ等の高熱伝導基板
- 25 導電性ビアホール
- 26 放熱性ビア
- 27 導電性ビアホール
- 28 第1の回路基板の層
- 29 第3の回路基板の層
- 31 電極パッド
- 32 配線

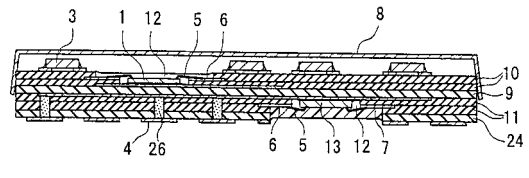
10

20

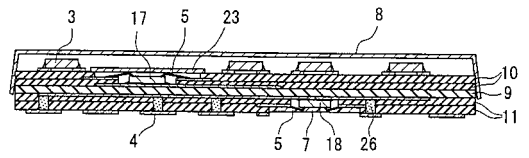
【図1】



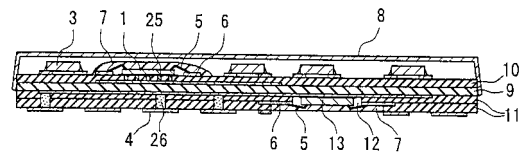
【図2】



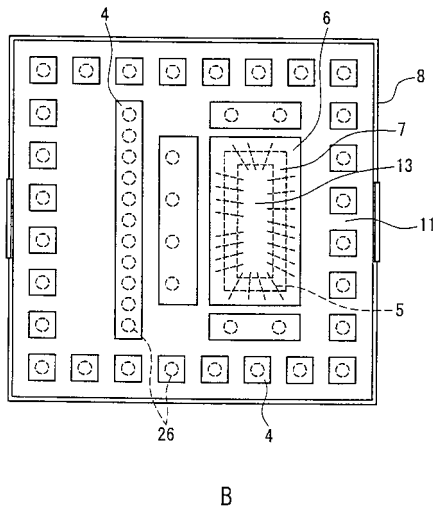
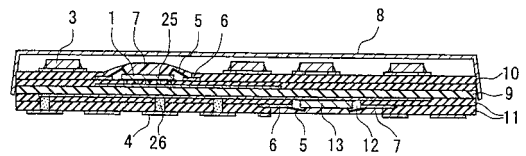
【図3】



【図4】

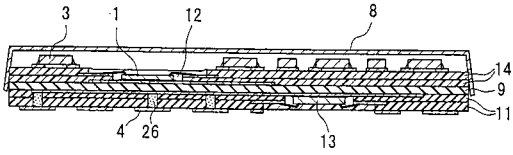


【図5】

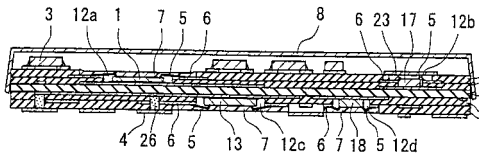


B

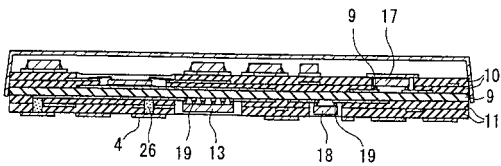
【図6】



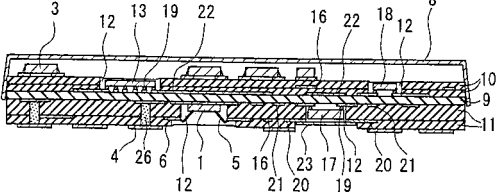
【図7】



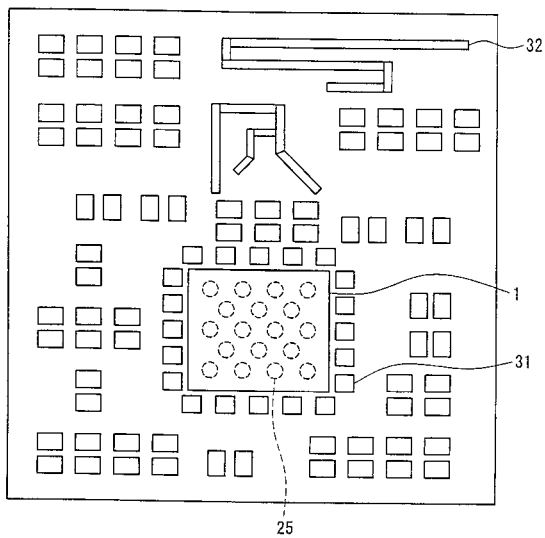
【図8】



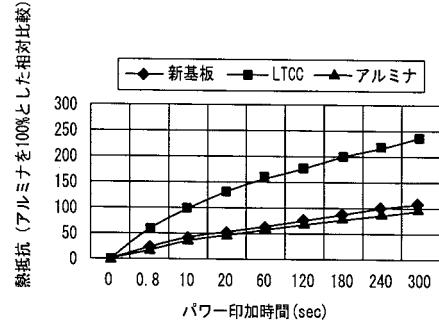
【図9】



【図12】



【図10】



【図11】

