

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶

H01L 29/772

(45) 공고일자 2000년08월01일

(11) 등록번호 10-0263602

(24) 등록일자 2000년05월18일

(21) 출원번호 10-1993-0005236

(65) 공개번호 특 1993-0022605

(22) 출원일자 1993년03월31일

(43) 공개일자 1993년11월24일

(30) 우선권주장 92201046.7 1992년04월14일 EP(EP)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이. 요트.게.아. 룰페즈

네델란드왕국 아인드호펜 그로네보드스베그 1

(72) 발명자 프란시스커스 아드리아너스 코네리스 마리아 쇼프스

네델란드 아인드호펜 그로네보드세베그 1

(74) 대리인 이병호

심사관 : 임동우

(54) 반도체 장치

요약

공정을 변경하지 않고서 마스크 치수에 의해 핀치 오프전압이 설정될 수 있으며, 반도체 몸체의 표면에 평행한 축방향으로 핀치 오프되는 확산 또는 주입 채널을 갖춘 제1JFET(접합형 전계효과 트랜지스터)와 이 제1JFET보다 더 높은 핀치 오프 전압과 높은 항복 전압을 갖춘 제2JFET를 캐스코딩 하므로써 저전압과 고전압에서 동시에 작동하기에 적합한 JFET(접합형 전계효과 트랜지스터) 형태를 얻는다. 항복 전압을 더욱더 증가시키기 위하여, 공정을 변경하지 않고서 제1JFET와 제2JFET의 결합을 제1, 제2JFET의 전도성 형식에 반대되는 전도성 형식의 채널을 갖는 제3JFET로 다시 캐스코딩 할 수도 있다.

대표도

도4

명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 반도체 장치의 부분 평면도.

제2도는 제1도의 선 Ⅱ-Ⅱ에 따른 본 장치의 단면도.

제3도는 제1도의 선 Ⅲ-Ⅲ에 따른 본 장치의 단면도.

제4도는 본 발명에 따른 반도체 장치의 변경 실시예를 부분적으로 절단하여 도시한 부분 사시도.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체 몸체 2 : 표면

3 : 총형상 영역(아일런드) 4 : 기판

5,9,17 : pn 접합부 7,11,20 : 채널

8,12,22 : 게이트 13 : 소스

14,21 : 드레인

[발명의 상세한 설명]

본 발명은 표면에 접속해 있고 채널이 상기 표면에 평행한 축방향으로 핀치 오프될 수 있는 형식의 제1전계 효과 트랜지스터(JFET)가 구비되어 있는 제1전도성 형식의 총형상 영역을 갖춘 반도체 몸체로 구성되어 있는 반도체 장치에 관한 것으로, 상기 트랜지스터는 표면을 접속하고 트랜지스터의 게이트 영역을 형성하는 반도체 몸체의 접속부로부터 피엔 접합부(pn junction)에 의해 분리되어 있는 채널로 이루어져 있다.

이후, 간단히 JFET로서 언급되는 접합형 전계효과 트랜지스터에 있어서, 전류 변조는 상호 반대되는 전도

성 형식을 갖는 게이트와 채널 사이의 pn 접합부를 지나는 역바이어스 전압의 제어를 통하여 발생한다. 이 역바이어스 전압은 역바이어스된 pn접합부에서의 공핍 영역의 폭, 따라서, 공핍된 채널이 아니라 전류 통과폭을 결정한다. 여러가지 응용에 중요한 파라미터는 핀치 오프 전압(pinch-of voltage), 즉 드레인측의 채널이 그 전체폭에 걸쳐 공핍되게 하는 드레인에 인가되는 전압이다. 핀치 오프 전압을 초과하면, 채널을 통과하는 전류는 소스와 드레인 사이의 증가한 전압으로 거의 증가하지 않을 것이며, JFET를 예컨대 전류원으로서 적합하게 만든다.

バイ폴러 공정에 있어서, JFET의 채널은 통상 P-형의 기판상에 구비된, 예컨대 n형의 에피택셜층의 아일런드 형상부분에 의해 형성된다. 게이트는 아일런드내로 확산 또는 주입되며 가능한 기판과 연대해서 게이트 전극을 형성하는 P-형 표면존으로 이루어진다. 핀치 오프 전압은 채널의 폭, 즉 기판과 P-형 표면존 사이의 거리에 의해 주어지는 복수의 존과 영역의 도핑 농도로 주로 결정된다. 상기 존은 통상 양극성 트랜지스터의 베이스와 동시에 형성되기 때문에, JFET는 에피택셜층의 소정 두께에서 고정 핀치 오프 전압을 갖으며, 상기 고정값과 다른 소망값으로 핀치 오프 전압을 설정하는 것이 대체로 불가능하다. 이러한 제한은 대체로 채널과 게이트가 서로 적층되는 수직적 배열에서 나타난다.

미국특허 제3,450,963호는 채널이 P형 기판상에 에피택셜 n형층의 매우 협소한 아일런드 형상부분으로 형성되는 JFET를 개시한다. 소스-드레인을 형성하고 있는 채널의 어느 한면상에서 2개의 확장부로 종료하는 아일런드는 트랜지스터 게이트 전극을 형성하는 디프 P-형 절연 확산에 의해 에피택셜층에 축방향으로 경계져 있다. 이 채널은 채널쪽으로 채널의 양측면으로부터 축방향으로, 즉 표면에 평행한 방향으로 연장하는 공핍 영역에 의해 핀치 오프된다. 핀치 오프 전압은 마스크의 치수에 의해 결정되는 채널폭에 의해 결정된다. 따라서, 적어도 상기 치수를 조정하는 일정 제한범위내에서 핀치 오프 전압을 가변하는 것이 가능하다.

공지된 트랜지스터의 단점은 이중 에피택셜층의 사용등과 같은 적어도 공정에 있어서의 과감한 변경없이 기판으로부터 게이트 전극을 절연시키는 것이 불가능하며, 이것은 상기 트랜지스터에 대한 많은 응용을 부적절하게 한다.

작동중 드레인-소스 전압이 증가할 때, 핀치 오프 전압을 초과하는 일정 전압에서 드레인-게이트 전극 접합부에의 애벌란시 강하에 기인하여 전류는 다시 크게 증가할 것이다. 일정 용도에 있어서, 예컨대 정류기를 통하여 주장치에 연결되게 되는 고전압 직접 회로에 있어서, 높은 항복 전압이 요구된다. 그 경우, 예컨대 장치가 낮은 전압, 예컨대 배터리로 공급되는 12V의 전압에서 역시 작동할 수 있어야 하는 경우에는 전압 디바이더의 사용이 언제나 가능하지는 않다.

본 발명의 목적은 본 장치의 설계중에 소정 공정 매개 변수로 핀치 오프 전압을 조정 가능할 뿐만 아니라 넓은 범위의 전압, 특히 비교적 낮은 전압과 높은 전압에서도 작동할 수 있는, 본 명세서의 전개부에서 설명된 종류의 반도체 장치를 제공하는 것이다. 본 발명에 따른 상기의 장치는 채널이 제1전도성 형식의 총형상 영역내에 구비되는 제2전도성 형식의 표면 존으로 이루어지고, 게이트 영역을 형성하고 있는 총 형상 영역보다 더 높은 도핑 농도를 갖는 제1전도성 형식의 채널 제한 표면 존이 총 형상 영역내에 구비되며, 제2전도성 형식의 채널과 제1전도성 형식의 게이트 영역을 갖는 제2접합형 전계효과 트랜지스터(JFET)가 제1접합형 전계효과 트랜지스터(JFET)와 직렬로 접속되며, 상기 제2트랜지스터는 상기 제1트랜지스터보다 더 높은 항복 전압과 더높은 핀치 오프 전압을 갖는 것을 특징으로 한다.

본 발명은 충분히 높은 항복 전압을 얻기 위하여 고전압 IC 공정에 비교적 저농도로 도프화한 존을 사용한다는 인식하에 근거한다. 비교적 경미한 도핑에 기인하여, 상기 존의 전도성은 공핍 영역에 의해 쉽게 변조될 수 있어서, 이를 존은 JFET의 채널로서의 사용에 적합하다. 채널은 그 채널의 어느 한면상에 구비된 총 형상영역의 보다 짙게 도프화시킨 동일 전도성 형식의 영역에 의해 핀치 오프될 수 있다. 핀치 오프 전압은 가능 상한점을 수직적으로 한정된 핀치오프 전압, 즉 채널이 표면에 횡방향으로 채널 바닥으로부터 채널내로 연장하는 공핍 영역에 의해 핀치 오프될 때의 전압으로 하여 상기 짙게 도프화시킨 영역사이의 피스톤에 의해 조정가능하다.

이후 분명해지는 바와 같이, 제2JFET는 용이하게 제1트랜지스터와 결합될 수 있다. 추가적인 공정 단계없이 간단한 방식으로 높은 항복 전압을 얻기 위하여, 비교적 낮은 배경의 원시 농도를 갖는 총형상 영역이 제2JFET의 게이트 전극에 사용될 수도 있다. 이 결과, 제2JFET내의 항복 전압은 제1JFET의 항복 전압보다 더 높다. 게이트 전극의 저 도핑 농도는 자동적으로 더 높은 핀치 오프 전압을 유도한다. 저 공급 전압이 작용될 때, 저 핀치 오프 전압을 갖는 제1JFET만이 포화영역의 핀치 오프 전압을 초과할 것이며, 제2JFET는 이것에 비교적 낮은 음 저항기로서 작용할 것이다. 한편, 고 공급 전압이 제2JFET의 드레인 존을 통과할 때, 고전압의 대부분이 제1JFET와 달리 상기 고전압들을 수용할 수 있는 제2JFET의 채널을 통과하는 전압 강하로서 출현하도록 제2JFET가 핀치 오프될 것이다.

트랜지스터는 각각 그 자신의 소스 및 드레인 영역을 갖고 있는 2개의 개별 트랜지스터로서 구성될 수 있고, 제1트랜지스터의 드레인 존은 컨덕터 트랙을 통과하는 제2트랜지스트의 소스 존에 접속된다. 상기 설명된 실시예보다 공간을 덜 차지하는 본 발명에 따른 반도체 장치의 또 다른 실시예는 제1 및 제2JFET가 제2전도성 형식의 드레인 영역과 소스 영역 사이에 위치된 연속채널 및 제1전도성 형식의 연속 게이트 영역을 갖춘 결합 JFET구조로 구성되며, 소스 영역을 경계짓는 연속채널의 제1부분을 접속하는 게이트 영역의 제1부분의 도핑 농도가 드레인 영역근처에 위치된 채널의 제2부분을 접속하는 게이트 영역의 제2부분의 도핑 농도보다 더 높은 것을 특징으로 한다.

제2JFET의 채널은 채널이 상기 트랜지스터의 축방향으로 핀치 오프되도록 협소하게 될 수 있다. 그 경우에, 상기 트랜지스터의 핀치 오프 전압은 채널폭에 의해 역시 조정될 수 있다. 최대 핀치 오프 전압이 주어진 공정 매개변수로 획득되는 이점을 갖고 있는 바람직한 실시예는 채널이 단지 상기 총 형상 영역의 일부분의 두께 위로만 연장하고, 채널의 제2부분이 표면에 횡방향으로 채널 바닥으로부터 채널내로 연장하는 공핍 영역에 의해 적어도 실질적으로 핀치 오프될 정도의 소정 도핑 농도를 갖는 것을 특징으로 한다.

게이트 영역은 소스 존의 독립 전압이 게이트에 인가될 수 있는 별개의 접속부가 구비될 수 있다. 제1JFET와 제2JFET의 조합형이 단지 2개의 접속부, 즉 소스 및 드레인 영역을 위한 접속부만 갖고 있다는

이점이 있는 또 다른 실시예는 게이트 영역이 소스 영역에 접속되어 있는 것을 특징으로 한다. 많은 용도를 위하여 충분히 높은 전압을 2개의 트랜지스터의 조합형으로 수용할 수 있다. 고전압에서도 작동하기에 적합한 본 발명에 따른 반도체 장치의 한 실시예는 소스영역이 제1전도성 형식인 채널을 갖는 또 다른 JFET형 트랜지스터의 소스 영역에 결합되고 제1전도성 형식의 층형상 영역의 일부분으로 형성되어 있는 것을 특징으로 한다.

본 발명은 하기 실시예들과 첨부 도면을 참조하여 보다 상세하게 설명될 것이다.

제1도 내지 제3도는 수볼트 내지 수백 볼트까지의 넓은 범위의 전압에서의 작동에 적합한 JFET형태로 구성되어 있는 본 발명에 따른 반도체 장치를 도시한다. 본 장치는 다이오드, 양극형 트랜지스터, MOS 트랜지스터 또는 이중 확산 MOS 트랜지스터(DMOS)등과 같은 공자된 기타 다른 회로 소자와 함께, 예컨대 고전압 집적 회로의 일부를 형성한다. 이들 회로 소자들은 도면에 상세히 도시되어 있지 않다. 본 장치는 본 실시예에서는 실리콘으로 제조되나, 예컨대 GaAs 등과 같은 다른 적합한 반도체 재료로도 제조될 수 있는 반도체 물체(1)로 구성된다. 이 반도체 물체(1)는, 표면(2)을 접속하고 있으며 본 실시예에서는 n-형인 제1전도성 형식의 층 형상영역(3)을 포함한다. 이 층형상영역(3)은 일정 실시예에 있어서 전체 반도체 물체로 형성될 수 있지만, 본 실시예에서는 단지 이후 기판으로서 언급되는 P-형 영역(4)에 의해 그 하부에서 경계지어지는 비교적 얇은 표면부를 형성한다. 이 n-형 영역(3) 및 P-형 기판(4)은 Pn 접합부(5)에 의해 서로 분리된다. 본 실시예에 있어서의 층형상 영역은 기판(4)상에 에피택셜적으로 구비된 층에 의해 형성되고, 이 층은 이후 참조번호 3으로 역시 지시되는 아일런드이며, P-형 아일런드 절연 존(6)에 의해 한정된다. 제1도에서 T₁으로 지시된 제1접합형 전계효과 트랜지스터, 즉 JFET는 아일런드(3)내에 형성되어 있다. 이 트랜지스터는 통상 채널이 수직방향으로 핀치 오프되지 않고 표면(2)에 평행한 측방향으로 핀치 오프되는 형식이다. 상기 설명된 바와 같이, 상기 JFET는 채널이 핀치 오프될 때의 전압, 소위 핀치 오프 전압(pinch-off voltage)이 필연적인 제조 공정을 변경함이 없이 장치의 설계 단계에서의 마스크 치수에 의해 조정될 수 있다. JFET(T₁)은 표면(2)에 접속해 있으며 전류가 우측에서 좌측으로 통과할 수 있는 채널(7)을 포함한다. 이 채널(7)은 반도체 물체의 접속부에 의하여 형성되는 게이트 영역(8)에 의해 측방향으로 경계를 이루며, 상기 게이트 영역은 간단히 게이트로 언급된다. 채널(7)과 게이트(8)는 작동중에 역방향으로 공핍 영역을 형성하는 pn접합부(9)를 형성하며, 이 공핍 영역은 역바이어스 전압이 증가하는 것에 비례하여 채널(7)쪽으로 측방향 연장한다. 채널(7)이 핀치 오프될 때의 전압은 일정 도핑 농도로 게이트(8)의 일부를 채널의 양측부상에 배치함에 의해 결정된다. 이러한 공간 배치 및 핀치 오프 전압은 마스크에 의해 설정된다.

본 발명에 의한 채널(7)은 본 실시예에서 n-형 층형상 영역, 즉 아일런드(3)내에 구비된 P-형의 제2전도성 형식의 표면 존에 의해 형성된다. 게이트(8)는 동일한 전도성 형식(n-형)의 표면 존(10)의 일부를 형성하며 층 형상영역(3)보다 더 높은 도핑 농도를 갖고 있으며, 이 표면 존은 또한 층 형상 영역(3)내에 구비된다. 제1도에서 T₂로 지시되는 JFET, 즉 제2접합형 전계효과 트랜지스터는 트랜지스터(T₁)와 직렬로 구비되며 P-형 채널(11) 및 접속해 있는 n-형 영역(12)으로 구성된다. 이 트랜지스터(T₂)는 트랜지스터(T₁)보다 더 높은 항복 전압 및 핀치 오프 전압을 갖고 있고, 그 효과는 이하에서 다시 설명될 것이다. 상기의 더 높은 전압은 본 실시예에서는 비교적 저농도인 n-형 아일런드(3)자체에 의해 형성되는 게이트(12)내에 도핑을 가하므로써 얻어질 수 있다.

작동에 관한 한, 트랜지스터(T₁, T₂)를 배선에 의해 상호 접속된 반도체 물체의 개별 성분으로서 구비하는 것이 원전 가능하더라도, 본 실시예에서의 트랜지스터는 채널(7, 11)이 트랜지스터(T₁, T₂)에 공통한 연속 P-형 채널 영역을 형성하는 한 개의 구조적 유니트로 결합된다. 트랜지스터(T₁, T₂)의 게이트 영역(8, 12)은 각각 연속 n-형 영역을 형성한다. 상기 접합형 전계효과 트랜지스터들은 소스전극(15)과 드레인 전극(16)이 구비된 공통의 소스 존(13) 및 드레인 존(14)을 각각 갖고 있다. 이 전극들은 제1도에서 단지 도식적으로 도시되어 있다. 소스 전극은 게이트 영역(8, 12)과 양호하게 일체화되어 있어서 접속이 필요 없다. 연속채널(7, 11)은 T₁ 내에서는 고농도로 도핑된 게이트 영역(7)에 접속해 있는 반면에, T₂내에서는 드레인 근처의 저농도로 도핑된 아일런드(3)에 접속해 있다. 트랜지스터(T₂)를 또한 감싸고 있는, 고농도로 도핑된, n-형 존(10)은 상기 트랜지스터내의 항복 전압과 핀치 오프 전압이 n-형 존(10)에 의해 감소되지 않을 정도로 T₂의 채널(11)으로부터 멀리 위치해 있다. 특히, 게이트 영역(8)의 외측 존(10)을 컨더터 트랙 아래에서 아일런드(3)내의 전도성 타입이 역전하는 것을 방지하는 채널 스토퍼 존으로서 기능한다.

T₂의 핀치 오프 전압은 채널(11)의 폭에 의해 일정 범위내에서 조정될 수 있다. 본 실시예에서, 존(11)은 아일런드 두께의 단지 일부분 위로 연장하고 작동중에 차단되는 pn접합부(17)에 의해 하부에서 제한되며, 최대 핀치 오프 전압은 상기 pn-접합부를 지나는 전압에 의해 결정되며, 채널(11)은 pn접합부(17)로부터 표면까지 그 두께 전체에 걸쳐 공핍된다.

실현된 실시예에서, 층 형상영역(3)은 대략 1.2×10^{14} 봉소(B)atoms/cm²으로 도핑 처리한 P형 실리콘 기판상에 구비된, 대략 20 μm의 두께를 갖고 7×10^{14} 비소(As)atoms/cm²으로 도핑처리되어 있는 n형 에피택셜 실리콘 층으로 형성된다. 아일런드 절연존(6)은 기판과 표면(2)으로부터 봉소의 확산에 의한 통상적 방식으로 형성된다. P-형 채널(7, 11)은 봉소 이온을 대략 cm²당 1.7×10^{12} 개의 이온을 도핑시키는 주입에 의해 형성된다. 존(7, 11)의 두께는 대략 3 μm이다. 존(7, 11)의 폭은 JFET(T₁)의 채널폭이 n형 게이트 영역(8)에 의해 결정되기 때문에 중요하지 않다. 상기 채널(7)의 폭에 대한 표준치는, 예컨대 6 μm이다. n형 게이트 전극(8) 및 채널 스토퍼로서 작용하는 n형 존(10)은 As(비소) 이온을 대략 cm² 당 9×10^{15} 개의 이온으로 도핑하는 주입을 통하여 형성된다. 게이트 영역(8)의 최대 도핑 농도는 대략 10^{20} atoms/cm³이며, 따라서 에피택셜층의 도핑 농도보다 10^5 배 더 높다.

기술한 형태의 핀치 오프 전압은 T_1 의 핀치 오프 전압에 의해 결정되며 대략 $1\mu A$ 의 포화 전류에서 대략 3V이다. 저전압에서, 예컨대 소스와 드레인 사이의 7V 전압에서, 트랜지스터(T_2)는 특성 저항 범위내에 있다. 채널(11)의 저항이 핀치 오프된 채널(7)의 저항보다 매우 낮기 때문에, 채널(11)을 통과하는 전압 강하는 비교적 매우 적다. 한편, 소스(13)와 드레인(14) 사이의 전압이 예컨대 700V 정도로 높아질 때, 트랜지스터(T_2)가 역시 핀치 오프되고, 이에 의해 전압 강하는 채널(11)이 핀치 오프되는 채널(11)의 지점 대부분에 인가된다. $1\mu A$ 의 전류가 흐르기 위하여, 게이트(12)와 T_2 의 드레인 사이의 전압(700V) 자체가 대략 50V로 설정된다. 이때 T_1 채널(7)을 지나는 전압 강하는 단지 약 50V인 반면, 채널(11)을 지나는 전압 강하는 약 650V이다. 이는 소스(13)에서 고전압인 경우에도, pn접합부(9)의 항복 전압(약 100V)에 훨씬 아래인, 많아야 약 50V의 비교적 낮은 역바이어스 전압이 pn접합부(9)를 가로질러 인가된다. T_2 의 채널(11)과 아일런드(3) 사이의 pn접합부를 지나는 전압은 700V이다. 아일런드내의 저도핑 레벨에 기인하여, 상기 pn접합부의 항복 전압은 더욱 높아 게이트-채널 접합부를 지나가는 전압을 훨씬 상회한 1000V 정도이다.

제4도는 더높은 고전압이 도달될 수 있는 실시예를 부분 단면으로 도시한 부분 사시도이다. 이 장치는 상기 설명된 T_1 및 T_2 의 조합형으로 구성되며, 그 성분들은 제1실시예에 대응하는 성분에 동일 참조 번호가 사용된다. 이 구조는 채널(20)이 에피택셜층(3)의 일부로 형성되어 있는, T_3 로 언급되는 제3JFET로 캐스코딩된다. 따라서, 트랜지스터(T_3)는 n-채널형이며, 양 전기 공급 터미널에 연결될 수도 있으며 고농도로 도핑된 n⁺ 드레인 존(21)을 포함한다. T_3 의 소스는 소스 존(13)과 T_1 의 게이트(8)에 접속되며 도시한 실시예의 n⁺ 영역(10)과 부합한다. T_3 가 반도체 몸체내에서 개별 성분으로서 형성될 수도 있고 배선 패턴을 통하여 T_1 에 연결될 수도 있다는 것은 명확할 것이다. 채널(20)은 수직방향으로 핀치 오프된다. 본 실시예에 있어서, T_3 의 게이트 영역은 P형 기판(4)뿐만 아니라 P형 절연존(6)을 통하여 기판(4)에 접속되어 있는 P형 표면 존(22)을 포함한다. 존(22)은 소스/드레인 존(13/14)과 동시에 형성될 수도 있다. 다른 실시예에 있어서, 게이트(22)는 절연 영역(6)의 매몰존 또는 표면존과 동시에 구비된다. 또다른 변형예에 있어서, 채널(20)은 기판면(백게이트)으로 부터만 핀치 오프된다. T_3 의 효과는 T_2 의 효과와 동일하다. 약 100V에 이르는 전압에서, 트랜지스터(T_3)는 핀치 오프 전압 이하의 저항 범위내에 있기 때문에 T_3 의 존재는 그리 중요하지 않다. 또한, 트랜지스터(T_3)는 드레인(21)에서 전압이 증가할 때 채널(20)이 핀치 오프되기 시작하는 포화상태에 도달한다. 드레인(21)에서 전압이 더욱 증가할 때, 채널(20)의 드레인측에서의 전압만 실질적으로 상승할 것이며, 소스측에서의 전압은 거의 상승하지 않을 것이다. 상기 방식으로 장치는 약 $1\mu A$ 의 전류와 약 3V의 핀치 오프 전압에서, T_1 의 항복 전압을 훨씬 초과하는 T_3 의 항복 전압(> 1000V)이하의 전압에서 작동될 수도 있다.

T_3 내에 높은 항복 전압을 얻기 위하여, 항복이 발생하기 전에 층(3)이 그 전체 두께에 걸쳐 공핍됨에 따라 문헌으로부터 공지된 RESURF 원리를 유익하게 사용할 수 있다. 본 출원인에 의해 출원되고 공중 심사를 위해 출원 공개된 네덜란드 특허출원 제8005053호는 항복 전압을 증가시키기 위해서는 게이트에 나란한 n-층의 표면에 저농도로 도핑된 P-형 표면 존을 배치한다는 RESURF 원리에 근거한 에피택셜 채널을 갖춘 접합형 전계효과 트랜지스터(JFET)를 개시한다. 상기 전압 증가 존(23)은 게이트(22)와 드레인(21)의 사이에도 역시 구비된다. 항복 전압을 더욱 증가시키기 위하여, 한개 또는 여러개의 유사한, 상호 분리된 존이 부동링으로서 드레인(21)둘레에 구비될 수도 있다.

본 발명은 기술된 실시예에 제한되지는 않으며 본 기술의 숙련자라면 보다 많은 변형이 가능하다는 것은 자명하다. 따라서, 다양한 존(zone) 및 반도체 영역의 전도성 형식이 바뀔 수 있다. 본 명세서에서 설명된 JFET형태는 통상의 반도체 몸체내에서 예컨대, 양극 트랜지스터, MOS 트랜지스터, DMOST형 트랜지스터 등의 많은 회로 소자와 함께 접적될 수도 있다.

(57) 청구의 범위

청구항 1

표면에 접속해 있고 채널이 표면에 평행한 측방향으로 핀치 오프될 수 있는 형식의 제1접합형 전계효과 트랜지스터(JFET)가 구비된 제1전도성 형식의 층형상 영역을 갖춘 반도체 몸체로 구성되어 있고, 상기 트랜지스터는 상기 표면에 접속해 있으며 pn 접합부에 의해 트랜지스터의 게이트 영역을 형성하는 반도체 몸체의 접속부로부터 분리되어 있는 채널을 포함하고 있는 반도체 장치에 있어서, 상기 채널은 제1형식의 층형상 영역내에 구비된 제2전도성 형식의 표면 존을 포함하고 있는 반면, 게이트 영역을 형성하고 있는 층형상 영역보다 고도의 농도를 갖는 제1전도성 타입의 채널-제한 표면 존이 상기 층 형상 영역내에 구비되며, 상기 제2전도성 형식의 채널과 상기 제1전도성 형식의 게이트 영역을 갖춘 제2접합형 전계효과 트랜지스터(JFET)가 상기 제1접합형 전계효과 트랜지스터(JFET)와 직렬로 접속되며, 상기 제2접합형 전계효과 트랜지스터는 상기 제1접합형 전계효과 트랜지스터보다 더 높은 항복 전압과 더 높은 핀치 오프 전압을 갖는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제2접합형 전계효과 트랜지스터의 상기 게이트 영역은 상기 제1전도형 형식의 층형상 영역에 의해 형성되는 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 제1 및 제2JFET는 소스영역과 상기 제2전도성 형식의 드레인 영역 사이에 위치하고 있는 연속 채널 및 상기 제1전도성 형식의 연속 게이트 영역을 갖춘 합체 JFET구조로 구성되며, 상기 소

스 영역을 경계짓는 상기 연속 채널의 제1전도성 형식의 연속 게이트 영역을 갖춘 합체 JFET구조로 구성되며, 상기 소스 영역을 경계짓는 상기 연속 채널의 제1부분을 접속하는 상기 게이트 영역의 제1부분의 도핑 농도가 상기 드레인 영역 근처에 위치하고 있는 상기 채널의 제2부분을 접속하는 상기 게이트 영역의 제2부분의 도핑 농도보다 더 높은 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 채널은 상기 층형상 영역 두께의 일부분 위로만 연장하며, 상기 채널의 상기 제2부분이 상기 표면에 횡방향으로 상기 채널 바닥으로부터 상기 채널내로 연장하는 공핍 영역에 의해 적어도 거의 펀치 오프밀 정도의 소정 도핑 농도를 갖는 것을 특징으로 하는 반도체 장치.

청구항 5

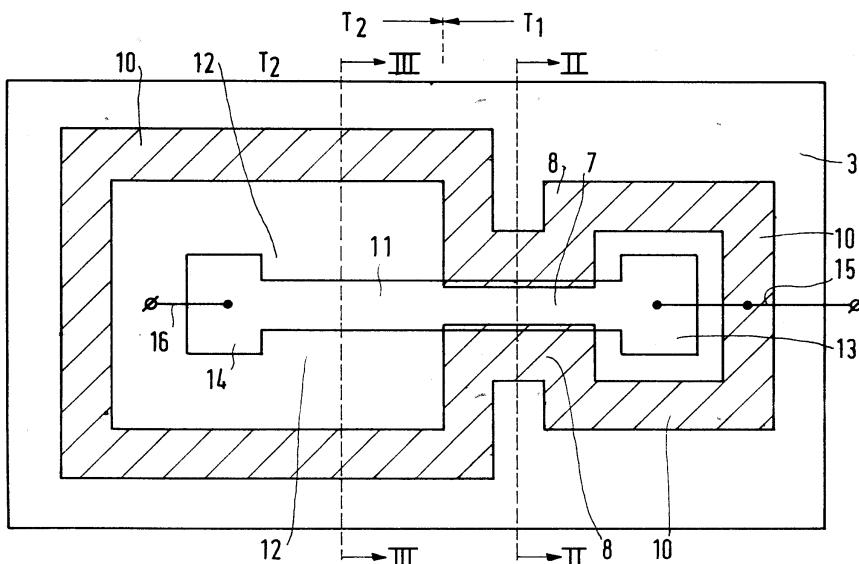
제3항 또는 제4항에 있어서, 상기 게이트 영역은 상기 소스 영역에 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

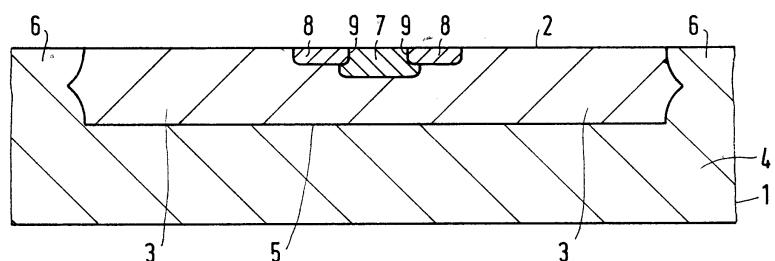
제5항에 있어서, 상기 소스 영역은 상기 제1전도성 형식의 채널을 갖는 상기 JFET형식의 또다른 트랜지스터의 상기 소스 영역에 결합되며 상기 제1전도성 형식의 상기 층형상 영역의 일부분으로 형성되는 것을 특징으로 하는 반도체 장치.

도면

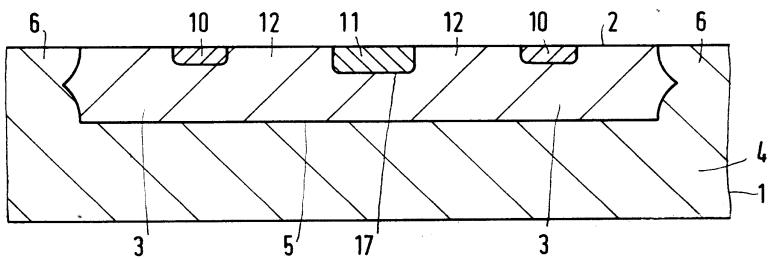
도면1



도면2



도면3



도면4

