

公告本

申請日期	90.12.31
案 號	9013329
類 別	H01L 27/108

A4
C4

522556

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 名稱	中 文	半導體記憶裝置及其製造方法
	日 文	半導体記憶装置及びその製造方法
二、發明 人	姓 名	1. 小川 久 HISASHI OGAWA 2. 森 義弘 YOSHIHIRO MORI 3. 鼓谷 昭彦 AKIHIKO TSUZUMITANI
	國 籍	1-3. 日本 JAPAN
	住、居所	1. 日本國大阪府交野市幾野3-27-5 2. 日本國大阪府寢屋川市成田東丘42-3 3. 日本國大阪府茨木市田田町10-35-205
三、申請人	姓 名 (名 稱)	日商松下電器産業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本

2001年01月05日

特願2001-000409

☒有 ☐無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

【發明之技術領域】

本發明係有關半導體記憶裝置及其製造方法，尤其係有關採用高介電質膜及強介電質膜之記憶單元結構者。

【先前技術】

近年來，為配合多媒體裝置所要求之大記憶電容與高資料傳送速度，高性能邏輯電路混載DRAM之DRAM混載製程業已實用化。

然而，以往的DRAM製程，在形成電容器之電容絕緣膜以構成記憶電容區時，必須進行高溫熱處理，因而令高性能邏輯電路中，產生電晶體的雜質擴散層之雜質濃度分佈惡化等不良情形。此外，對於DRAM及鐵磁性隨機存取記憶體(FerAM)等記憶體單體製程而言，為求記憶單元電晶體微小化，宜盡可能避免進行高溫之熱處理。

因此，開發二端子二極體型(MIM, Metal-Insulator-Metal)電容器，其中採用可於低溫下形成，且可實現記憶單元尺寸微小化之高介電質膜，作為記憶電容區之電容介電質膜，此乃勢在必行。此強介電質膜，係為具有BST膜($(\text{BaSr})\text{TiO}_3$ 膜)等鈦鈣礦結構之介電質膜。至於構成此MIM電容器的金屬電極之材料，一般較看好耐氧化性強的Pt。此外，SBT膜($\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜)及BTO膜($\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜)等具有鈦鈣礦結構之介電質膜，亦常被採用作強介電質膜。

【發明所欲解決之課題】

美中不足的是，以往構成記憶電容區之MIM電容器，

五、發明說明(2)

具有下列不良情形：

首先，如於電容絕緣膜上所設的Pt電極(上部電極)上，形成直接接觸孔，則形成接觸插塞時的還原性氣氛等，將可能對電容性之特性產生不良影響。這是由於介電質膜一般多為氧化物，故會在還原性氣氛中，產生介電質膜中的氧耗損等問題，尤其當電容絕緣膜為高介電質膜或強介電質膜時，發生氧耗損之可能性越高，特別是具有鈦鈣礦結構之介電質膜，會因氧耗損而出現明顯的特性低落。

再者，以往製造之DRAM等元件未使用Pt電極，今欲於新式材料之Pt電極上形成接點，其工序難以共用舊有之設備，必須採用專門設備，例如在層間絕緣膜上開口，形成通到Pt電極之接觸孔時，Pt電極露出在外，故濺鍍時會濺射Pt，使Pt附著到腔室壁面及腔室內的部材等處，在此情況下如繼續使用此腔室，Pt便會入侵電晶體的活性區域等處，而有導致電晶體動作不良之虞。

本發明之目的，在於提供一種MIM電晶體特性優異之半導體記憶裝置及其製造方法，其所採用的方法是，設置一配線層使其間接連接至電容絕緣膜上包含Pt等之上部電極，而非直接連接至該上部電極。

此外，提供一種無需使用專門設備，而可降低製造成本之半導體記憶裝置及其製造方法，亦為本發明的目的之一。

【課題之解決手段】

本發明之半導體記憶裝置係設置於半導體基板上之絕緣

五、發明說明(3)

層上，其係包括：記憶電容區，其中包含下部電極、上部電極以及介於下部電極與上部電極之間之電容絕緣膜；電容絕緣膜延長部分以及上部電極延長部分，其係分別與上述記憶電容區之上部電極和電容絕緣膜相連設置；虛設導體部材，其係包含位在上述上部電極延長部分以及上述電容絕緣膜延長部分之下方部分而設置之；導體側壁，其係遍及設置於上述上部電極延長部分以及上述電容絕緣膜延長部分之側面，並連接至上述虛設導體部材；及上層配線，其係電性連接上述虛設導體部材。

在此結構下，由於上層配線不會直接連接至上部電極，故即使上部電極係由Pt膜等材料構成時，電容絕緣膜亦不會受曝於還原性氣氛，故可防止電容絕緣膜之特性低落。

藉由令上述導體側壁，整個覆蓋於上述上部電極延長部分以及電容絕緣延長部分之側面全周，可確實抑制還原性氣氛入侵電容絕緣膜。

上述虛設導體部材係下部電極，其係由上述下部電極相同之導體膜所形成，而上述導體側壁，宜令上述上部電極延長部分與上述虛設下部電極相互連接。

藉由進一步包括：位元線，其係隔著上述絕緣層而形成於上述記憶體電容區之下方；局部配線，其係由上述位元線相同之導體膜所形成；及導體插塞，其係貫穿上述絕緣層，而令虛設下部電極及上述局部配線相連接，即可利用位元線用之導體膜，製造出適用於位元線下置型的記憶體

五、發明說明(4)

結構。

再藉由進一步包括：元件分離用絕緣膜，其係設置於上述絕緣層下方之半導體基板上；記憶單元電晶體，其係設置於藉由上述半導體基板之上述元件分離用絕緣膜所包圍之區域，且具有閘電極和雜質擴散層，該雜質擴散層係設置於上述半導體基板中之上述閘電極兩側；局部配線，其係設置於上述元件分離用絕緣膜上，並由上述閘電極相同之導體膜所形成；及導體插塞，其係貫穿上上述層間絕緣膜而連接至上述局部配線，即可利用閘電極用之導體膜(複晶矽膜等)，製造出位元線下置型記憶體與位元線上置型記憶體等兩者皆適用之結構。

再藉由進一步包括：記憶單元電晶體，其係設置於上述半導體基板，且具有閘電極和雜質擴散層，該雜質擴散層係設置於上述半導體基板中之上述閘電極之兩側；局部配線，其係與上述半導體基板之上述雜質擴散層分離設置，由另一層雜質擴散層所形成；及導體插塞，其係貫穿上上述絕緣膜而連接至上述局部配線，即可利用形成源極、汲極區域之製造流程，製造出位元線下置型記憶體與位元線上置型記憶體等兩者皆適用之結構。

藉由上述虛設導體部材係為局部配線，且該局部配線係包含埋設上述絕緣層上所設溝渠之導體膜，可製造出位元線下置型記憶體與位元線上置型記憶體等兩者皆適用之結構。

上述虛設導體部材係為虛設下部電極，其係由上述下部

五、發明說明 (5)

電極相同之導體膜所形成，而上述導體側壁係接至上述上部電極延長部分與上述虛設下部電極，藉由上述上層配線接至上述虛設下部電極，可在較為單純之結構下，製造出位元線下置型記憶體與位元線上置型記憶體等兩者皆適用之結構。

藉由上述記憶電容區中，具有筒狀之下部電極、電容絕緣膜以及上部電極，可製造出記憶單元配置密度較高之半導體記憶裝置。

本發明之半導體記憶裝置之製造方法，係為製造一種半導體記憶裝置之製造方法，其具有：記憶電容區，其中包含下部電極、上部電極以及介於下部電極與上部電極之間之電容絕緣膜；以及上層配線，其係電性連接至上述記憶電容區之上部電極；並包括下列工序：工序(a)，其係於半導體基板上的絕緣層上形成第一導體膜後，令第一導體膜圖案化，而於相互分離的位置，形成下部電極與虛設下部電極；工序(b)，其係形成介電質膜，用以覆蓋上述下部電極以及上述虛設下部電極；工序(c)，其係形成第二導體膜，用以覆蓋上述介電質膜；工序(d)，其係於上述第二導體膜上，形成蝕刻光罩，用以覆蓋整個上述下部電極以及部分上述虛設下部電極；工序(e)，其係將上述第二導體膜、上述介電質膜以及上述虛設用膜予以圖案化，以藉由上述介電質膜，形成上述電容絕緣膜及電容絕緣膜延長部分，藉由上述第二導體膜，形成上述上部電極以及上部電極延長部分，藉由上述虛設用膜形成虛設下部電

五、發明說明(6)

極；以及工序(f)，其係於上述工序(e)之後，於基板上堆疊第三導體膜後，利用各向異性蝕刻法回蝕第三導體膜，形成導體側壁，以覆蓋上述介電質膜及虛設下部電極的側端面中露出在外之區域。

透過此方法，於工序(a)中，令虛設下部電極與記憶電容區的下部電極同時形成，之後再於工序(f)中，令下部電極與虛設下部電極透過導體側壁，形成互相連接之結構。並且，工序(a)至(f)之間，無需比以往的製程多增設一道微影工序，故於單純的工序中，即可避免電容絕緣膜之特性低落。

於上述工序(d)中，藉由形成金屬遮光膜作為上述蝕刻光罩之用，可望提升工序(e)之圖案化精確度。

於上述工序(a)之前，進一步包含：於上述絕緣層上形成階差用絕緣膜之工序，以及於上述階差用絕緣膜上，形成其中形成有上述記憶電容區之第一開口部以及其中形成有上述虛設下部電極之第二開口部之工序，而於上述工序(a)中，於上述第一開口部的側面及底面上形成上述下部電極，於上述第二開口部的側面及底面上形成上述虛設下部電極，再藉由上述工序(d)中形成上述蝕刻光罩，僅覆蓋部分之上述第二開口部，即可製造出記憶單元呈高密度配置之半導體記憶裝置。

【發明之實施形態】**(第一種實施形態)**

本實施形態中，係以適用於所謂的位元線下置型DRAM

五、發明說明(7)

記憶單元結構，亦即將位元線設置在記憶電容區下方之結構為例，說明本發明。

圖1(a)、(b)係分別依序顯示本發明之第一種實施形態中，半導體記憶裝置中之記憶體區之部分構造斷面圖，以及上部電極、導體側壁結構之平面圖。圖2(a)~(c)係為本實施形態中，半導體記憶裝置之製造工序斷面圖。以下即針對本實施形態中，半導體記憶裝置之結構與製造方法，依序進行說明。本實施形態在此所示的各圖式中，僅繪示出記憶體區之結構，然本實施形態之半導體記憶裝置，係為圖式未繪出之邏輯電路中設有邏輯電路元件之混載型裝置。其中，由於邏輯電路元件之結構本身，與本發明之本質並無直接關係，故予以省略圖示。

— 記憶單元之結構 —

如圖1(a)所示，本實施形態之半導體記憶裝置之DRAM記憶單元中，其p型矽基板(Si基板)10的表面部分，設置有包圍活性區域之元件分離用絕緣膜11，並分開設置有導入n型雜質後所形成之源極區域12與汲極區域13。而p型矽基板10之中，介於源極區域12與汲極區域13之間的部分，係用作為通道區域之功能。此外，Si基板10的活性區域上，於源極區域12與汲極區域13之間，設有包含氧化矽之閘極氧化膜14，閘極氧化膜14上設有包含複晶矽之閘電極15(部分字元線)，閘電極15的側面上則設有氧化膜側壁16。藉由上述源極區域12、汲極區域13、通道區域、閘極氧化膜14以及閘電極15，共同形成記憶單

五、發明說明(8)

元電晶體TR。另外，圖1(a)所示的斷面中所顯示之閘電極15，雖非作為記憶單元電晶體TR的閘電極之用，但這些閘電極在圖1(a)以外的斷面中，仍用作為記憶單元電晶體之閘極功能。至於各個閘電極15，係與紙面幾乎呈垂直方向延伸，成為DRAM的字元線。

此外，Si基板10上設有第一層間絕緣膜18，其係包含硼磷矽玻璃(BPSG)，用以覆蓋元件分離用絕緣膜11、閘電極15以及氧化膜側壁16，並設置有下層記憶單元插塞20a，其係貫穿第一層間絕緣膜18而通到源極區域12之W(鎢)；以及位元線插塞20b，其係貫穿第一層間絕緣膜18而通到汲極區域13。又於第一層間絕緣膜18上，進一步設置有位元線21a，其係延伸至位元線插塞20b且包含鎢/鈦(W/Ti)沉積膜；以及局部配線21b，其係包含與位元線21a相同之W/Ti沉積膜。此外，第一層間絕緣膜18上，設置有包含等離子體矽酸乙酯(TEOS)之第二層間絕緣膜22，並設置有上層記憶單元插塞30a，其係貫穿第二層間絕緣膜22而通到下層記憶單元插塞20a；虛設單元插塞30b，其係貫穿第二層間絕緣膜22而通到局部配線21b；以及配線插塞30c，其係貫穿第二層間絕緣膜22而通到局部配線21b。

第二層間絕緣膜22上，進一步設置有：包含TiAlN之下部阻障金屬32a，其上所形成之包含Pt之下部電極33a，包含TiAlN之阻障金屬32b，以及其上所形成之虛設下部電極33b。更進一步設置有：BST膜((BaSr)TiO₃膜)34，

五、發明說明(9)

用以覆蓋第二層間絕緣膜22、下部電極33a以及虛設下部電極33b；Pt膜35，用以覆蓋BST膜34；上部阻障金屬36，其係包含覆蓋Pt膜35之TiAlN；以及金屬遮光膜37，其係包含覆蓋上部阻障金屬36之二氧化矽(SiO₂)。BST膜34中連接下部電極33a的部分為電容絕緣膜34a；BST膜34中連接虛設下部電極33b的部分為電容絕緣膜延長部分34b。此外，Pt膜35中相對於下部電極33a的部分為上部電極35a；Pt膜35中相對於虛設下部電極33b的部分為上部電極延長部分35b。藉由上述下部阻障金屬32a及下部電極33a，構成DRAM記憶單元之儲存點SN。此外，藉由下部電極33a、電容絕緣膜34a及上部電極35a，構成記憶電容區MC。

而遍及於金屬遮光膜37、上部阻障金屬36、鉑膜(Pt膜)35以及鈦酸鋇鋁(BST)膜34之側面，設置有包含氧化鋁鈦膜(TiAlN)之導體側壁40。此導體側壁40如圖1(b)所示，係包圍住Pt膜35及BST膜36的整個全周，尤其於虛設下部電極33b所在部位中，導體側壁40係設於上部阻障金屬36、上部電極延長部分35b、電容絕緣膜延長部分34b、虛設下部電極33b以及虛設阻障金屬32b之各部側面上。亦即，導體側壁40係與上部電極延長部分35b和虛設下部電極33b(虛設阻障金屬32b)，互相電性連接。

此外，第二層間絕緣膜22及金屬遮光膜37上，進一步設有包含等離子體TEOS之第三層間絕緣膜41，而第三層間絕緣膜41中，埋設有接至配線插塞30c之Cu配線42。

五、發明說明 (10)

亦即，圖1(a)、(b)所示之結構中，係具有：有效記憶單元區域Rec，其係包含記憶電容區MC、儲存點NC及記憶單元電晶體TR等；以及虛設單元區域Rdc，其係包含虛設下部電極33b、電容絕緣膜延長部分34b、上部電極延長部分35b及虛設單元插塞30b等。

本實施形態之特徵在於：未設置插塞以接至上部電極35a或上部電極延長部分35b(上部阻障金屬36)，而透過導體側壁40、虛設下部電極33b、虛設單元插塞30以及局部配線21b，令上部電極35a連接至上層配線(Cu配線42)。

如圖1(b)所示，構成上部電極35a之Pt膜35(上部阻障金屬36)係為數個記憶單元所共有，且Pt膜35的下方設有數個下部電極33a(下部阻障金屬32a)，以及一個虛設下部電極33b(虛設阻障金屬32b)。虛設下部電極33b(虛設阻障金屬32b)可於Pt膜35下方設置複數個，如將虛設下部電極33b(虛設阻障金屬32b)設在Pt膜35任何一部分的下方，則可令上部電極35a與虛設下部電極33b呈電性連接。

根據本實施形態，因其中不具有插塞來連接構成上部電極之Pt膜35(上部阻障金屬36)，故無需形成接觸孔以便於第三層間絕緣膜41及金屬遮光膜37中埋設插塞，因此如同以往的結構，於乾式蝕刻(等離子體蝕刻)工序中形成上部電極之接觸孔時，構成上部電極之Pt膜將不會露出在外。換言之，Pt膜若於露出狀態下受曝於還原性氣氛

五、發明說明(11)

中，恐怕將令含有BST等之電容絕緣膜(尤其是高介電質膜)產生氧耗損。在此，即使如本實施形態所述於Pt膜上設置包含TiAlN的上部阻障金屬，然考量到上部阻障金屬層很薄，且接觸孔之蝕刻係採用一般的過分蝕刻(Over Etching)，很可能令接觸孔通到包含Pt之上部電極等因素，仍無法指望上部阻障金屬對於電容絕緣膜之氧耗損防止作用。相對於此，以本實施形態而言，由於Pt膜35的上方並未形成接觸孔，故可確實避免Pt膜曝露於還原性氣氛中而導致電容絕緣膜34a之氧耗損。

此外，於層間絕緣膜上開接觸孔之工序中，並不會使Pt膜35露出在外，因此形成接觸孔所需的蝕刻步驟，可同樣於形成邏輯電路元件等製程所使用的裝置(如腔室等)中進行。此外，包含Pt的下部電極33a、虛設下部電極33b，以及上部電極35a之形成步驟，係於Pt膜形成之專門設備中進行，因此完全沒有污染邏輯電路元件形成裝置之虞。

再者，例如記憶體/邏輯混載裝置之製造流程中，為省去微影工序，最好是於邏輯電路元件的雜質擴散層上開接觸孔時，一併進行Pt膜之接觸孔開孔。上述情形若套入本實施形態，只要在包含W/Ti沉積膜的局部配線21b上形成接觸孔之同時，於邏輯電路元件的雜質擴散層上形成接觸孔即可，故可避免Pt入侵到邏輯元件之雜質擴散層內而導致電晶體特性低落。

— 記憶單元之製造方法 —

五、發明說明 (12)

接著針對本實施形態中，半導體記憶裝置之記憶單元製造工序，參照圖2(a)~(c)進行說明。

圖2(a)所示之工序，係進行下列處理：首先，於p型Si基板10上，形成包圍活性區域之元件分離用絕緣膜11，並於活性區域中形成記憶單元電晶體，該記憶單元電晶體中包含源極區域12與汲極區域13、閘極氧化膜14、閘電極15，以及氧化膜側壁16。此記憶單元電晶體之形成工序，係採用熱氧化、複晶矽膜形成以及圖案化、離子植入等習知技術，依據習知之步驟進行。

接著於記憶單元電晶體上，堆疊BPSG膜後，以退火及CMP(化學機械研磨)處理進行平坦化，形成第一層間絕緣膜18，再進一步形成接觸孔，其係貫穿第一層間絕緣膜18，並分別通到源極區域12和汲極區域13。然後，於接觸孔內及第一層間絕緣膜18上方形成n型複晶矽膜後，經由CMP之平坦化處理，將複晶矽膜埋入各個接觸孔，形成下層記憶單元插塞20a及位元線插塞20b。

接著，於第一層間絕緣膜18上堆疊W/Ti沉積膜後，以蝕刻將W/Ti沉積膜圖案化，形成連接位元線插塞20b之位元線21a，以及局部配線21b，該局部配線21b在此階段尚未與其他零件連接，而呈獨立狀態。此時，於W膜圖案化之時，係檢測Ti膜表面是否已外露並判斷W膜蝕刻結束時間；而當Ti膜圖案化時，係以相對於包含複晶矽之第一記憶單元插塞20a之高選擇比為條件，進行蝕刻。

接著於基板上堆疊等離子體TEOS膜後，以CMP(化學

五、發明說明 (13)

機械研磨)法進行平坦化，形成第二層間絕緣膜22，再進一步形成接觸孔，其係貫穿第二層間絕緣膜22，並分別通到下層記憶單元插塞20a和局部配線21b(兩處)。接下來，於接觸孔內形成W/TiN/Ti膜後，以CMP進行平坦化，將W/TiN/Ti膜埋入各個接觸孔中，形成連接至下層記憶單元插塞20a之上層記憶單元插塞30a，以及分別連接至局部配線21b的兩處之虛設單元插塞30b和配線插塞30c。

接著於第二層間絕緣膜22上，依序堆疊厚約30 nm的TiAlN膜和厚約30 nm的Pt膜，然後藉由TiAlN膜與Pt膜之圖案化，於第二層間絕緣膜22上，形成：連接至上層儲存點30a之下部阻障金屬32a和其上包含Pt之下部電極33a，以及連接至虛設單元插塞30b之虛設阻障金屬32b和其上之虛設下部電極33b。在此，Pt膜進行圖案化時，係以比對底層之TiAlN膜所得之高選擇條件下進行蝕刻；而TiAlN膜進行圖案化時，為避免底層包含W之上層記憶單元插塞30a窪陷，係以選擇比高的條件進行蝕刻。

接著於圖2(b)所示之工序中，依序堆疊：第二層間絕緣膜22；厚約30 nm之BST膜((BaSr)TiO₃膜)，以覆蓋下部電極33a與虛設下部電極33b；厚約30 nm之Pt膜；厚約30 nm之TiAlN膜，以及SiO₂膜。然後將SiO₂膜圖案化並形成金屬遮光膜37後，藉由使用金屬遮光膜37所進行之乾式蝕刻，依序將TiAlN膜、Pt膜和BST膜圖案化，形成：上部阻障金屬36，其係覆蓋有效記憶單元區域Rec

五、發明說明 (14)

及虛設單元區域Rdc；Pt膜35，其係包含上部電極35a及上部電極延長部分35b；以及BST膜34，其係包含電容絕緣膜34a及電容絕緣膜延長部分34b。

接著於圖2(c)所示之工序中，於基板上堆疊厚約50 nm之TiAlN膜作為導體膜後，以諸如各向異性乾式蝕刻等處理，進行TiAlN膜之蝕刻，而於圖2(c)所示的斷面中，橫貫金屬遮光板37、上部阻障金屬36、Pt膜35、BST膜34、虛設下部電極33b及虛設阻障金屬32b之各部側面，形成導體側壁40。其中，無虛設單元區域Rdc之斷面中，導體側壁40係橫貫形成於金屬遮光膜37、上部阻障金屬36、Pt膜35及BST膜34之各部側面。

接著再進一步藉由進行第三層間絕緣膜41之堆疊與平坦化、第三層間絕緣膜41之溝渠成型、溝渠內之Cu配線42埋設(鑲嵌法)等，得到如圖1(a)所示之記憶單元之斷面結構。

根據本實施形態中之製造方法，不但無需在以往製程中增加一道微影工序，更可免除於第三層間絕緣膜41及金屬遮光膜37上，形成通到Pt膜35(上部阻障金屬36)上之接觸孔之工序。亦即，於第三層間絕緣膜41上形成溝渠用以埋設配線等時，一般於Cu配線之形成工序中，大多採用還原性氣氛中之退火處理，因此，如於上部阻障金屬36上形成接觸孔時，氫氣會穿透薄層的上部阻障金屬36，或者以過分蝕刻令Pt膜35外露之時，直接接觸到Pt膜，使氫氣可能穿透Pt膜35而通到BST膜34。在此情況

五、發明說明 (15)

下，容易招致BST膜34中的氧氣散失而發生氧耗損等問題，導致電容絕緣膜34a之特性低落。有鑑於此，如本實施形態所述，藉由免去形成通到Pt膜35上之接觸孔，可確實抑止因上述原因造成電容絕緣膜34a之特性低落。至於Cu配線42之形成工序，係對應過去在上部電極形成插塞之工序，而局部配線21b及配線接點30c之形成，可利用記憶單元之形成工序來實施，且導體側壁40之形成工序不必經過微影工序即可實施，因此相較於以往之製程，亦即在Pt膜(上部阻障金屬)上設置直接插塞之製程中，無需增加一道微影工序。

本實施形態中，係藉由Pt構成上部電極35a及下部電極33a，而藉由TiAlN構成上部阻障金屬36，但這些部材亦可改用其他具有抗氧化性之導體材料構成。此外，電容絕緣膜34a係利用BST構成，但亦可使用其他高介電質材料，尤其對於介電質膜具有之鈦鈣礦結構，其構造式係以 ABO_3 表示時，因氧原子容易在還原中散失，故使用本發明可獲得相當大的實效。

此外，本發明不僅限於本實施形態之混載裝置，凡具有電容器且其中使用一般通用的DRAM或者FeRAM等金屬電極之半導體記憶裝置，亦同樣適用之。

再者，如不設置第一種實施形態中包含W/Ti膜之局部配線21b、虛設單元插塞30b等，亦可將虛設下部阻障金屬32b及虛設下部電極33b向圖中右方延伸，而設置通到該延伸部位之Cu配線42。此時，上部電極35與Cu配線42

五、發明說明 (16)

仍互相連接，並且依舊得以防止電容絕緣膜34a之特性低落。在此情況下，由於虛設下部電極33b之下方無需設置插塞，故有縮小虛設下部電極33b面積之優點。

(第二種實施形態)

圖3係為第二種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

如同圖中所示，本實施形態的記憶體區結構與第一種實施形態之相異點在於：第一種實施形態中未設置包含W/Ti膜之局部配線21b、虛設單元插塞30b、虛設下部阻障金屬32b以及虛設下部電極33b，而包含W之設置局部配線23，用以埋設第二層間絕緣膜22上所形成之溝渠。此局部配線23係與上層儲存點30a同時形成。其他部材均與上述圖1(a)中所示之部材相同，該等部材並附有與圖1(a)相同之符號。

根據本實施形態，上部電極35a與Cu配線42係經由包含W/TiN/Ti之局部配線23及導體側壁40呈電性連接，故本實施形態亦無需第三層間絕緣膜41上形成接觸孔，以通到構成上部電極35a之Pt膜35(上部阻障金屬36)，因此，藉由本實施形態，可如同上述第一種實施形態，發揮：防止電容絕緣膜34a之特性低落，以及免除記憶單元成型之專用設備等效果。

此外，本實施形態因無需設置虛設下部電極，故相較於第一種實施形態，更具有縮小記憶體區之所占面積之優點。

五、發明說明 (17)

(第三種實施形態)

圖4係為第三種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

如同圖中所示，本實施形態的記憶體區結構與第一種實施形態之相異點在於：為取代第一種實施形態中包含W/Ti膜之局部配線21b，於元件分離用絕緣膜11上設置包含複晶矽之局部配線24，並進一步設置：下層虛設單元插塞20c，其係貫穿第一層間絕緣膜18而通到局部配線24；以及下層配線插塞20d，其係貫穿第一層間絕緣膜18而通到局部配線24。於本實施形態中，虛設單元插塞30b係連接至下層虛設單元插塞20c；而配線插塞30c係連接至下層配線插塞20d。局部配線24係與閘電極15同時形成。其他部材均與上述圖1(a)中所示之部材相同，該等部材並附有與圖1(a)相同之符號。

根據本實施形態，上部電極35a與Cu配線42係經由虛設下部電極33b、虛設下部阻障金屬32b、虛設單元插塞30b、下層虛設單元插塞20c、局部配線24、下層配線插塞20d以及配線插塞30c，而呈電性連接，故本實施形態亦無需在第三層間絕緣膜41上形成接觸孔，以通到構成上部電極35a之Pt膜35(上部阻障金屬36)，因此，藉由本實施形態，可如同上述第一種實施形態，發揮：防止電容絕緣膜34a之特性低落，以及免除記憶單元成型之專用設備等效果。

(第四種實施形態)

五、發明說明 (18)

圖5係為第四種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

如同圖中所示，本實施形態的記憶體區結構與第一種實施形態之相異點在於：為取代第一種實施形態中包含W/Ti膜之局部配線21b，於Si基板10中設置包含雜質擴散層之局部配線25，並進一步設置：下層虛設單元插塞20c，其係貫穿第一層間絕緣膜18而通到局部配線25；以及下層配線插塞20d，其係貫穿第一層間絕緣膜18而通到局部配線25。於本實施形態中，虛設單元插塞30b係連接至下層虛設單元插塞20c；而配線插塞30c係連接至下層配線插塞20d。局部配線25係與源極、汲極區域12、13同時形成。其他部材均與上述圖1(a)中所示之部材相同，該等部材並附有與圖1(a)相同之符號。

根據本實施形態，上部電極35a與Cu配線42係經由虛設下部電極33b、虛設下部阻障金屬32b、虛設單元插塞30b、下層虛設單元插塞20c、局部配線25、下層配線插塞20d以及配線插塞30c，而呈電性連接，故本實施形態亦無需第三層間絕緣膜41上形成接觸孔，以通到構成上部電極35a之Pt膜35(上部阻障金屬36)，因此，藉由本實施形態，可如同上述第一種實施形態，發揮：防止電容絕緣膜34之特性低落，以及免除記憶單元成型之專用設備等效果。

(第五種實施形態)

上述第一～第四種實施形態中，係以適用於位元線下置

五、發明說明 (19)

型 DRAM 記憶單元結構為例，針對本發明進行說明，而在本實施形態中，則以適用於位元線設置在記憶電容區上方之位元線上置型 DRAM 記憶單元結構為例進行說明。圖 6 係為第五種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。圖 7 (a) ~ (c) 係為第五種實施形態中，半導體記憶裝置之製造工序斷面圖。以下即針對本實施形態中，半導體記憶裝置之結構與製造方法，依序進行說明。本實施形態在此所示的各圖式中，僅繪示出記憶體區之結構，然本實施形態之半導體記憶裝置係如同第一種實施形態，為圖式未繪出之邏輯電路中設有邏輯電路元件之混載型裝置。其中，由於邏輯電路元件之結構本身，與本發明之本質並無直接關係，故予以省略圖示。

如圖 6 所示，本實施形態之記憶體區係如同第三種實施形態，為取代第一種實施形態中包含 W/Ti 膜之局部配線 21b，而於元件分離用絕緣膜 11 上設置包含複晶矽之局部配線 24，並進一步設置：下層虛設單元插塞 20c，其係貫穿第一層間絕緣膜 18 而通到局部配線 24；以及下層配線插塞 20d，其係貫穿第一層間絕緣膜 18 而通到局部配線 24。

此外，本實施形態中，記憶電容區 MC 及虛設單元係設置於第一層間絕緣膜 18 之上，而虛設下部電極 (虛設下部阻障金屬 32b) 係直接連接至下層虛設單元插塞 20c，Cu 配線 42 則直接連接至下層配線插塞 20d。局部配線 24 係由與閘電極 15 相同之複晶矽所形成。

五、發明說明(20)

此外，於位元線插塞20b之上，又進一步設置有：上層位元線插塞51，其係貫穿第二層間絕緣膜22而通到位元線插塞20b；絕緣體側壁52，其係覆蓋上層位元線插塞51之側面；導體側壁40，其係包含TiAlN，且設置於金屬遮光膜37、上部阻障金屬36、Pt膜35及BST膜34之側面與絕緣體側壁52之間；以及位元線53，其係包含Cu膜，且埋設在第三層間絕緣膜41內。亦即，其係將位元線設置於記憶電容區MC之上，而具有位元線上置型之DRAM記憶單元結構。

圖6中之其他部材，均與上述圖1(a)中所示之部材相同，該等部材並附有與圖1(a)相同之符號。

根據本實施形態，上部電極35a與Cu配線42係經由虛設下部電極33b、虛設下部阻障金屬32b、虛設單元插塞30b、下層虛設單元插塞20c、局部配線24以及下層配線插塞20d，而呈電性連接，故本實施形態亦無需第三層間絕緣膜41上形成接觸孔，以通到構成上部電極35a之Pt膜35(上部阻障金屬36)，因此，藉由本實施形態，並採用位元線上置型之結構，可如同上述第一種實施形態，發揮：防止電容絕緣膜34a之特性低落，以及免除記憶單元成型之專用設備等效果。

接著針對本實施形態中，半導體記憶裝置之記憶單元製造工序，參照圖7(a)~(c)進行說明。

圖7(a)所示之工序，係進行下列處理：首先，於p型Si基板10上，形成包圍活性區域之元件分離用絕緣膜11，

五、發明說明 (21)

並於活性區域中形成記憶單元電晶體，該記憶單元電晶體中包含源極區域12與汲極區域13、閘極氧化膜14、閘電極15，以及氧化膜側壁16。此記憶單元電晶體之形成工序，係採用熱氧化、複晶矽膜形成以及圖案化、離子植入等習知技術，依據習知之步驟進行。此時，於形成閘電極15之時，會同時於元件分離用絕緣膜11上，先行形成包含複晶矽之局部配線24。

接著於記憶單元電晶體上，堆疊BPSG膜後，以退火及CMP (化學機械研磨)處理進行平坦化，形成第一層間絕緣膜18，再進一步形成接觸孔，其係貫穿第一層間絕緣膜18，並分別通到源極區域12、汲極區域13以及局部配線24的兩處地方。然後，於接觸孔內及第一層間絕緣膜18上方形成n型複晶矽膜後，經由CMP之平坦化處理，將複晶矽膜埋入各個接觸孔，形成下層記憶單元插塞20a、位元線插塞20b、下層虛設單元插塞20c，以及下層配線插塞20d。

接著於第一層間絕緣膜18上，依序堆疊厚約30 nm的TiAlN膜和厚約30 nm的Pt膜，然後藉由TiAlN膜與Pt膜之圖案化，於第一層間絕緣膜18上，形成：連接至下層儲存點20a之下部阻障金屬32a和其上包含Pt之下部電極33a，以及連接至虛設單元插塞20b之虛設阻障金屬32b和其上之虛設下部電極33b。在此，Pt膜進行圖案化時，係以比對底層之TiAlN膜所得之高選擇條件下進行蝕刻；而TiAlN膜進行圖案化時，為避免底層包含複晶矽之下層

五、發明說明(22)

記憶單元插塞20a窪陷，係以選擇比高的條件進行蝕刻。

接著依序堆疊：厚約30 nm之BST膜((BaSr) TiO₃膜)，以覆蓋第一層間絕緣膜18、下部電極33a與虛設下部電極33b；厚約30 nm之Pt膜；厚約30 nm之TiAlN膜，以及SiO₂膜。然後將SiO₂膜圖案化並形成金屬遮光膜37後，藉由使用金屬遮光膜37所進行之乾式蝕刻，依序將TiAlN膜、Pt膜和BST膜圖案化，形成：上部阻障金屬36，其係覆蓋有效記憶單元區域Rec及虛設單元區域Rdc；Pt膜35，其係包含上部電極35a及上部電極延長部分35b；以及BST膜34，其係包含電容絕緣膜34a及電容絕緣膜延長部分34b。此時，位於金屬遮光膜37中位元線插塞20b上方之部分亦會被削除，形成開口59。

接著於基板上，堆疊厚約50 nm之TiAlN膜作為導體膜後，以諸如各向異性乾式蝕刻等處理，而於圖7(a)所示的斷面中，橫貫金屬遮光板37、上部阻障金屬36、Pt膜35、BST膜34、虛設下部電極33b及虛設阻障金屬32b之各部側面，形成導體側壁40。其中，開口59內之側壁等無虛設單元區域Rdc之斷面中，導體側壁40係橫貫形成於金屬遮光膜37、上部阻障金屬36、Pt膜35以及BST膜34之各部側面。

接著，如圖7(b)所示之工序中，堆疊第二層間絕緣膜22後，利用CMP法進行第二層間絕緣膜22之平坦化，以令金屬遮光膜37外露，然後形成接觸孔60，其係貫穿金屬遮光膜37而通到位元線插塞20b。此時，藉由事先令接

五、發明說明 (23)

觸孔60，充分小於圖7(a)所示的工序中所形成之開口59側面上之導體側壁40之內徑，使絕緣體側壁52隔在接觸孔60之側面與導體側壁40之間。接著，於圖7(c)所示之工序中，形成貫穿第二層間絕緣膜22而通到下層配線插塞20d之溝渠，然後進行Cu膜堆疊與CMP處理，藉由將Cu膜埋設於接觸孔60以及下層配線插塞20d上的溝渠中，形成上層位元線插塞51和Cu配線42。

其後，藉由堆疊並平坦化第三層間絕緣膜41、於第三層間絕緣膜41上形成接觸孔及溝渠，以及於接觸孔及溝渠內埋入Cu膜等方法，形成位元線53（雙金屬鑲嵌法）。如此即可製造出如圖6所示之記憶單元結構。

根據本實施形態中之製造方法，可免去下列工序：即於金屬遮光膜37上，形成接觸孔以通到構成上部電極35a之Pt膜35（上部阻障金屬36）上，因此亦如同第一種實施形態中之製造方法，可確實抑止因受曝於還原性氣氛而導致電容絕緣膜34a之特性低落。

此外，本實施形態中，係藉由Pt構成上部電極35a及下部電極33a，而藉由TiAlN構成上部阻障金屬36，但這些部材亦可改用其他具有抗氧化性之導體材料構成。此外，電容絕緣膜34a係利用BST構成，但亦可使用其他高介電質材料，尤其對於介電質膜具有之鈦鈣礦結構，其構造式係以 ABO_3 表示時，因氧原子容易在還原中散失，故使用本發明可獲得相當大的實效。

此外，本發明不僅限於本實施形態之混載裝置，凡具有

五、發明說明 (24)

電容器且其中使用一般通用的DRAM或者FeRAM等金屬電極之半導體記憶裝置，亦同樣適用之。

(第六種實施形態)

本實施形態亦如同第五種實施形態，係以適用於位元線上置型DRAM記憶單元結構，亦即將位元線設置在記憶電容區上方之結構為例，說明本發明。圖8係為第五種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。圖9(a)~(c)係為第六種實施形態中，半導體記憶裝置之製造工序斷面圖。以下即針對本實施形態中，半導體記憶裝置之結構與製造方法，依序進行說明。本實施形態在此所示的各圖式中，僅繪示出記憶體區之結構，然本實施形態之半導體記憶裝置係如同第一種實施形態，為圖式未繪出之邏輯電路中設有邏輯電路元件之混載型裝置。其中，由於邏輯電路元件之結構本身，與本發明之本質並無直接關係，故予以省略圖示。

如圖8所示，本實施形態之記憶體區係如同第三種實施形態，為取代第一種實施形態中包含W/Ti膜之局部配線21b，而於元件分離用絕緣膜11上設置包含複晶矽之局部配線24，並進一步設置：下層虛設單元插塞20c，其係貫穿第一層間絕緣膜18而通到局部配線24；以及下層配線插塞20d，其係貫穿第一層間絕緣膜18而通到局部配線24。

此外，本實施形態係於接觸孔內，形成：記憶單元插塞20a，以及下部阻障金屬54a、54b，其係包含TiAlN且各

五、發明說明(25)

自形成於下層虛設單元插塞20c上。又從第一層間絕緣膜22上所設之圖中一開口之底面乃至整個側面，設有以下部電極33a。另外，第一層間絕緣膜22上所設之其他開口之一部分當中，於該等開口之側面乃至底面，整個設有虛設下部電極33b。而第二層間絕緣膜22、下部電極33a以及虛設下部電極33b之上，則設有BST膜34、Pt膜35以及上部阻障金屬36。BST膜34中連接下部電極33a的部分為電容絕緣膜34a；BST膜34中連接虛設下部電極33b的部分為電容絕緣膜延長部分34b。此外，Pt膜35中相對於下部電極33a的部分為上部電極35a；Pt膜35中相對於虛設下部電極33b的部分為上部電極延長部分35b。亦即，筒狀的記憶容令區MC及虛設單元，係遍及第一層間絕緣膜18乃至第二層間絕緣膜22而設置；而虛設下部電極(虛設下部阻障金屬32b)係直接連接至下層虛設單元插塞20c，Cu配線42則直接連接至下層配線插塞20d。局部配線24係由與閘電極15相同之複晶矽所形成。筒狀的記憶電容區MC之平面形狀，無論為圓形、方形或其他多角形均可。

至於上部阻障金屬36、Pt膜35、BST膜34以及虛設下部電極33b之側面上，設置有包含TiAlN之導體側壁40。再者，設有位元線插塞虛設下部電極33b之開口中，未藉由虛設下部電極33b所覆蓋之部位，形成有構成下部電極33a之Pt膜、構成電容絕緣膜34之BST膜、構成上部電極35之Pt膜，以及包含構成上部阻障金屬36的TiAlN沉

五、發明說明 (26)

積膜之沉積膜側壁56，而於此沉積膜側壁56之側面上，亦形成有導體側壁40。

位元線插塞20b之上，進一步設置有：上層位元線插塞51，其係貫穿第二層間絕緣膜22及第三層間絕緣膜41，而通到位元膜插塞20b；絕緣體側壁52，其係覆蓋上層位元線插塞51之側面；以及位元線53，其係包含埋設在第四層間絕緣膜41中之Cu膜。亦即，其係將位元線設置於記憶電容區MC之上，而具有位元線上置型之DRAM記憶單元結構。又於上層位元線插塞51之全周部位中，上部阻障金屬36、上部電極36a及電容絕緣膜34之側面上，亦設有導體側壁40，而絕緣體側壁52則介於導體側壁40與上層位元線插塞51之間。

圖8中之其他部材，均與上述圖1(a)中所示之部材相同，該等部材並附有與圖1(a)相同之符號。

根據本實施形態，上部電極35a與Cu配線42係經由虛設下部電極33b、虛設下部阻障金屬32b、虛設單元插塞30b、下層虛設單元插塞20c、局部配線24以及下層配線插塞20d，而呈電性連接，故本實施形態亦無需第三層間絕緣膜41上形成接觸孔，以通到構成上部電極35a之Pt膜35(上部阻障金屬36)，因此，藉由本實施形態，並採用位元線上置型之結構，可如同上述第一種實施形態，發揮：防止電容絕緣膜34a之特性低落，以及免除記憶單元成型之專用設備等效果。

接著針對本實施形態中，半導體記憶裝置之記憶單元製

五、發明說明 (27)

造工序，參照圖9(a)~(c)進行說明。

圖9(a)所示之工序，係進行下列處理：首先，於p型Si基板10上，形成包圍活性區域之元件分離用絕緣膜11，並於活性區域中形成記憶單元電晶體，該記憶單元電晶體中包含源極區域12與汲極區域13、閘極氧化膜14、閘電極15，以及氧化膜側壁16。此記憶單元電晶體之形成工序，係採用熱氧化、複晶矽膜形成以及圖案化、離子植入等習知技術，依據習知之步驟進行。此時，於形成閘電極15之時，會同時於元件分離用絕緣膜11上，先行形成包含複晶矽之局部配線24。

接著於記憶單元電晶體上，堆疊BPSG膜後，以退火及CMP(化學機械研磨)處理進行平坦化，形成第一層間絕緣膜18，再進一步形成接觸孔，其係貫穿第一層間絕緣膜18，並分別通到源極區域12、汲極區域13以及局部配線24的兩處地方。然後，於接觸孔內及第一層間絕緣膜18上方形成n型複晶矽膜後，經由CMP之平坦化處理，將複晶矽膜埋入各個接觸孔。再進一步利用乾式蝕刻，令埋入接觸孔內的複晶矽膜窪陷，且於基板上堆疊TiAlN後，利用CMP法，於各個接觸插塞上形成TiAlN層，該TiAlN層中包含下部阻障金屬54a和下部虛設阻障金屬54b。

接著，於第一層間絕緣膜18上堆疊等離子體TEOS膜後，以CMP(化學機械研磨)法進行平坦化，形成第二層間絕緣膜22，再於第二層間絕緣膜中，於圖中的兩處地

五、發明說明 (28)

方形成開口，以令下層記憶單元插塞20a及虛設單元插塞20d外露。

接著於基板上，堆疊厚約30 nm之Pt膜後，藉由進行CMP法使第二層間絕緣膜22之表面外露，留下圖中兩處開口之底面及側面上之Pt膜，形成下部電極33a和虛設下部電極33b。接著於基板上，依序堆疊厚約30 nm之BST膜((BaSr) TiO₃膜)、厚約30 nm之Pt膜，以及厚約17 nm之TiAlN膜。

接著，於圖9(b)所示之工序中，形成金屬遮光膜37，以覆蓋有效記憶單元區域Rec及虛設單元區域Rdc，但於其他區域開口。此時，金屬遮光膜37位於下層位元線插塞20b之上方區域中，係具有開口61。其將，藉由使用金屬遮光膜37作為蝕刻光罩進行乾式蝕刻，依序將TiAlN膜、Pt膜和BST膜圖案化，形成：上部阻障金屬36，其係覆蓋有效記憶單元區域Rec及虛設單元區域Rdc；Pt膜35，其係包含上部電極35a及上部電極延長部分35b；以及BST膜34，其係包含電容絕緣膜34a及電容絕緣膜延長部分34b。此時，有效記憶單元區域Rec及虛設單元區域Rdc以外的區域中之TiAlN膜、Pt膜及BST膜將被去除，而於第二層間絕緣膜22之側面上形成沉積膜側壁56，其係包含TiAlN膜、Pt膜及BST膜之沉積膜。

接著於圖9(c)所示的工序中，於基板上堆疊厚約50 nm之TiAlN作為導體膜。然後，利用諸如各向異性乾式蝕刻法，回蝕TiAlN膜後，於圖9(c)所示之斷面中，遍及金屬

五、發明說明 (29)

遮光膜37、上部阻障金屬36、Pt膜35、BST膜34以及虛設下部電極33b之各部側面，形成導體側壁40。其中，開口61內之側壁等無虛設單元區域Rdc之斷面中，導體側壁40係橫貫形成於上部阻障金屬36、Pt膜35、BST膜34以及Pt膜35之各部側面。此外，在金屬遮光膜37之開口61內，於上部阻障金屬36、Pt膜35以及BST膜34之側面上，形成有包含TiAlN之導體側壁40。

接著，堆疊第三層間膜41後，以CMP法進行第三層間絕緣膜41之平坦化。再形成接觸孔，其係貫穿第三層間絕緣膜41及第二層間絕緣膜22而通到位元線插塞20b，之後於接觸孔的側面上，形成絕緣體側壁52。接著形成接觸孔，其係貫穿第三層間絕緣膜41及第二層間絕緣膜22而通到下層配線插塞20d，然後進行Cu膜堆疊與CMP處理，藉由將Cu膜埋設於各個接觸孔內，形成上層位元線插塞51和Cu配線42。

其後，藉由堆疊並平坦化第四層間絕緣膜55、於第四層間絕緣膜55上形成接觸孔及溝渠，以及於接觸孔及溝渠內埋入Cu膜等方法，形成位元線53（雙金屬鑲嵌法）。如此即可製造出如圖8所示之記憶單元結構。

根據本實施形態中之製造方法，可免去下列工序：即於第三層間絕緣膜41上，形成接觸孔以通到構成上部電極35a之Pt膜35（上部阻障金屬36）上，因此亦如同第一種實施形態中之製造方法，可確實抑止因受曝於還原性氣氛而導致電容絕緣膜34a之特性低落。

五、發明說明 (30)

此外，因記憶電容區MC係採用筒狀結構，而令相當於基板單位面積之電容增大，因此可製造出記憶單元呈高密度配置之DRAM。

本實施形態中，係藉由Pt構成上部電極35a及下部電極33a，而藉由TiAlN構成上部阻障金屬36，但這些部材亦可改用其他具有抗氧化性之導體材料構成。此外，電容絕緣膜34a係利用BST構成，但亦可使用其他高介電質材料，尤其對於介電質膜具有之鈦鈣礦結構，其構造式係以 ABO_3 表示時，因氧原子容易在還原中散失，故使用本發明可獲得相當大的實效。

此外，本發明不僅限於本實施形態之混載裝置，凡具有電容器且其中使用一般通用的DRAM或者FeRAM等金屬電極之半導體記憶裝置，亦同樣適用之。

又於本實施形態中，係以使用筒狀記憶電容區之結構為例，說明位元線上置型記憶單元，然圖9所示之筒狀記憶電容區之結構，亦可適用於位元線下置型記憶單元。

其他種實施形態

於上述第五及第六種實施形態中，係使用包含閘配線之複晶矽膜作為局部配線，然於諸如第五、第六種實施形態之具有位元線上置型結構之DRAM記憶單元，亦可採用相同於第二、第四種實施形態之結構。亦即，具有位元線上置型結構之DRAM記憶單元中，亦可設置：局部配線23，其係包含W膜並如圖3所示埋設之；以及局部配線25，其係包含如圖5所示之雜質擴散層。

五、發明說明 (31)

上述各種實施形態中，均以具有DRAM與邏輯電路之混載型半導體記憶裝置為例，揭示本發明之內容，然本發明不僅限於上述實施形態，亦可適用於一般通用之DRAM。

此外，本發明亦可適用於使用FeRAM等強介電質膜作為電容絕緣膜之半導體記憶裝置，在該情況下，無論是一般通用型或記憶體/邏輯混載型皆可適用。

上述第二～第六種實施形態中，導體側壁40亦如同圖1(b)所示，係環繞於Pt膜35的整個全周，而覆蓋著Pt膜35及BST膜34之側面。如此可高度發揮阻障金屬層之功效，確實防止雜質摻入電容絕緣膜34a中。惟本發明中，導體側壁40環繞Pt膜35的整個全周而覆蓋住Pt膜35及BST膜34的側面之作法，並非絕對必要。

又於上述第一～第五種實施形態中，係於上部電極之上形成金屬遮光膜，但可視上部電極或下部電極之導體材料種類，亦可形成光阻膜來替代上述金屬遮光膜。惟藉由使用金屬遮光膜時，可防止光罩圖案於蝕刻過程中變形，故可望提升圖案化之精確度。

【發明之效果】

根據本發明，由於可避免上部電極外露，而令上部電極與上層配線確實呈電性連接，故可實現製造出電容絕緣膜之特性低落程度小之半導體記憶裝置。

【圖式之簡要說明】

圖1(a)、(b)係分別依序顯示本發明之第一種實施形態中，半導體記憶裝置中之記憶體區之部分構造斷面圖，以

五、發明說明 (32)

及上部電極、導體側壁結構之平面圖。

圖2(a)~(c)係為本發明之第一種實施形態中，半導體記憶裝置之製造工序斷面圖。

圖3係為本發明之第二種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

圖4係為本發明之第三種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

圖5係為本發明之第四種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

圖6係為本發明之第五種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

圖7(a)~(c)係為本發明之第五種實施形態中，半導體記憶裝置之製造工序斷面圖。

圖8係為本發明之第六種實施形態中，半導體記憶裝置中之記憶體區之部分結構斷面圖。

圖9(a)~(c)係為本發明之第六種實施形態中，半導體記憶裝置之製造工序斷面圖。

【元件符號之說明】

- 10 半導體基板
- 11 元件分離絕緣膜
- 12 閘電極
- 13 源極區域
- 14 閘極氧化膜
- 15 閘電極

五、發明說明 (33)

- 16 氧化膜側壁
- 18 第一層間絕緣膜
- 20a 下層記憶單元插塞
- 20b 位元線插塞
- 21a 位元線
- 21b 局部配線
- 22 第二層間絕緣膜
- 30a 上層記憶單元插塞
- 30b 虛設單元插塞
- 30c 配線插塞位元線
- 32a 下部阻障金屬
- 32b 虛設阻障金屬
- 33a 下部電極
- 33b 虛設下部電極
- 34a 電容絕緣膜
- 34b 電容絕緣膜延長部分
- 35a 上部電極
- 35b 上部電極延長部分
- 36 上部阻障金屬
- 37 金屬遮光膜
- 40 導體側壁
- 41 第三層間絕緣膜
- 42 銅配線

四、中文發明摘要(發明之名稱：半導體記憶裝置及其製造方法)

本發明係提供一種半導體記憶裝置及其製造方法，可避免上部電極露出所導致之電容絕緣膜之特性低落。

本發明於半導體記憶裝置之DRAM(動態隨機存取記憶體)記憶單元中，第一層間絕緣膜18上，設置有連接至位元線插塞20b之位元線21a，以及局部配線21b。而遍及於金屬遮光膜37、上部阻障金屬36、Pt膜(鉑膜)35以及BST(鈦酸鋇鉭)膜34之側面，設置有包含TiAlN(氧化鋁鈦膜)之導體側壁40。構成上部電極35a的Pt膜35上未設置接點，而透過導體側壁40、虛設下部電極33b、虛設單元插塞30以及局部配線21b，令上部電極35a連接至上層配線((Cu)銅配線42)。由於Pt膜35未曝露於還原性氣氛中，故可防止電容絕緣膜34a之特性低落。

日文發明摘要(發明之名稱：半導体記憶装置及びその製造方法)

【課題】 上部電極を露出させることによる容量絶縁膜の特性の劣化を回避するための半導体記憶装置及びその製造方法を提供する。

【解決手段】 半導体記憶装置であるDRAMのメモリセルにおいて、第1層間絶縁膜18の上には、ビット線プラグ20bに接続されるビット線21aと、局所配線21bとが設けられている。そして、ハードマスク37、上部バリアメタル36、Pt膜35及びBST膜34の側面に亘って、TiAlNからなる導体サイドウォール40が設けられている。上部電極35aを構成するPt膜35の上にコンタクトが設けられておらず、導体サイドウォール40、ダミー下部電極33b、ダミーセルプラグ30及び局所配線21bによって上部電極35aが上層配線(Cu配線42)に接続されている。Pt膜35が還元性雰囲気にはさらされないため、容量絶縁膜34aの特性劣化を防止することができる。

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵係包含：

記憶電容區，其係設置於半導體基板上之絕緣層上，其中包含下部電極、上部電極以及下部電極與上部電極之間之電容絕緣膜；

電容絕緣膜延長部分以及上部電極延長部分，其係分別與上述記憶電容區之上部電極和電容絕緣膜相連設置；

虛設導體部材，其係包含位在上述上部電極延長部分以及上述電容絕緣膜延長部分之下方部分而設置者；

導體側壁，其係遍及設置於上述上部電極延長部分以及上述電容絕緣膜延長部分之側面，並連接至上述虛設導體部材；及

上層配線，其係電性連接於上述虛設導體部材。

2. 如申請專利範圍第1項之半導體記憶裝置，其中

上述導體側壁，係整個覆蓋於上述上部電極延長部分以及電容絕緣延長部分之側面全周。

3. 如申請專利範圍第1或2項之半導體記憶裝置，其中

上述虛設導體部材係為，由與上述下部電極相同之導體膜所形成之虛設下部電極，

上述導體側壁係令上述上部電極延長部分與上述虛設下部電極相互連接。

4. 如申請專利範圍第3項之半導體記憶裝置，其中進一步包括：

位元線，其係夾著上述絕緣層而形成於上述記憶體電

六、申請專利範圍

容區之下方；

局部配線，其係由上述位元線相同之導體膜所形成；

及

導體插塞，其係貫穿上上述絕緣層，而令虛設下部電極及上述局部配線相連接。

5. 如申請專利範圍第3項之半導體記憶裝置，其中進一步包括：

元件分離用絕緣膜，其係設置於上述絕緣層下方之半導體基板上；

記憶單元電晶體，其係設置於由上述半導體基板之上上述元件分離用絕緣膜所包圍之區域，且具有閘電極和雜質擴散層，該雜質擴散層係設置於上述半導體基板內之上上述閘電極之兩側；

局部配線，其係設置於上述元件分離用絕緣膜上，並由與上述閘電極相同之導體膜所形成；及

導體插塞，其係貫穿上上述層間絕緣膜而連接至上述局部配線。

6. 如申請專利範圍第3項之半導體記憶裝置，其中進一步包括：

記憶單元電晶體，其係設置於上述半導體基板，且具有閘電極和雜質擴散層，該雜質擴散層係設置於上述半導體基板內之上上述閘電極之兩側；

局部配線，其係與上述半導體基板之上上述雜質擴散層分離設置，由另一個雜質擴散層所形成；及

六、申請專利範圍

導體插塞，其係貫穿上絕緣層而連接至上述局部配線。

7. 如申請專利範圍第1或2項之半導體記憶裝置，其中

上述虛設導體部材係為局部配線，該局部配線係包含掩埋上述絕緣層中所設溝渠之導體膜。

8. 如申請專利範圍第1或2項之半導體記憶裝置，其中

上述虛設導體部材係為由與上述下部電極相同之導體膜所形成之虛設下部電極，

上述導體側壁係接至上述上部電極延長部分與上述虛設下部電極，

上述上層配線則接至上述虛設下部電極。

9. 如申請專利範圍第1或2項之半導體記憶裝置，其中

上述記憶電容區係具有筒狀之下部電極、電容絕緣膜以及上部電極。

10. 一種半導體記憶裝置之製造方法，其該裝置包含：

記憶電容區，其係包含下部電極、上部電極以及介於下部電極與上部電極之間之電容絕緣膜；及

上層配線，其係電性連接至上述記憶電容區之上部電極；其特徵在於：

該半導體記憶裝置之製造方法，係包括下列工序：

工序(a)，其係於半導體基板上的絕緣層上形成第一導體膜後，令第一導體膜圖案化，而於相互分離的位置，形成下部電極與虛設用膜；

工序(b)，其係形成介電質膜，用以覆蓋上述下部電

六、申請專利範圍

極以及上述虛設下部電極用膜；

工序(c)，其係形成第二導體膜，用以覆蓋上述介電質膜；

工序(d)，其係於上述第二導體膜上，形成蝕刻光罩，用以覆蓋整個上述下部電極以及部分上述虛設用膜；

工序(e)，其係將上述第二導體膜、上述介電質膜以及上述虛設用膜予以圖案化，由上述介電質膜形成上述電容絕緣膜及電容絕緣膜延長部分，由上述第二導體膜形成上述上部電極以及上部電極延長部分，由上述虛設用膜形成虛設下部電極；及

工序(f)，其係於上述工序(e)之後，於基板上堆疊第三導體膜後，利用各向異性蝕刻法回蝕第三導體膜，形成導體側壁，覆蓋上述第二導體膜、上述介電質膜以及虛設下部電極的側端面中露出之區域。

11. 如申請專利範圍第10項之半導體記憶裝置之製造方法，其中

上述工序(d)中係形成金屬遮光膜，作為上述蝕刻光罩之用。

12. 如申請專利範圍第10項之半導體記憶裝置之製造方法，其中

於上述工序(a)之前，進一步包括下列工序：

於上述絕緣層上形成階差用絕緣膜之工序，及

於上述階差用絕緣膜上，形成其中形成有上述記憶電

六、申請專利範圍

容區之第一開口部，以及形成其中形成有上述虛設下部電極之第二開口部之工序，

上述工序(a)係於上述第一開口部的側面及底面上，形成上述下部電極，而於上述第二開口部的側面及底面上，形成上述虛設下部電極，

上述工序(d)係形成上述蝕刻光罩，僅覆蓋部分之上述第二開口部。

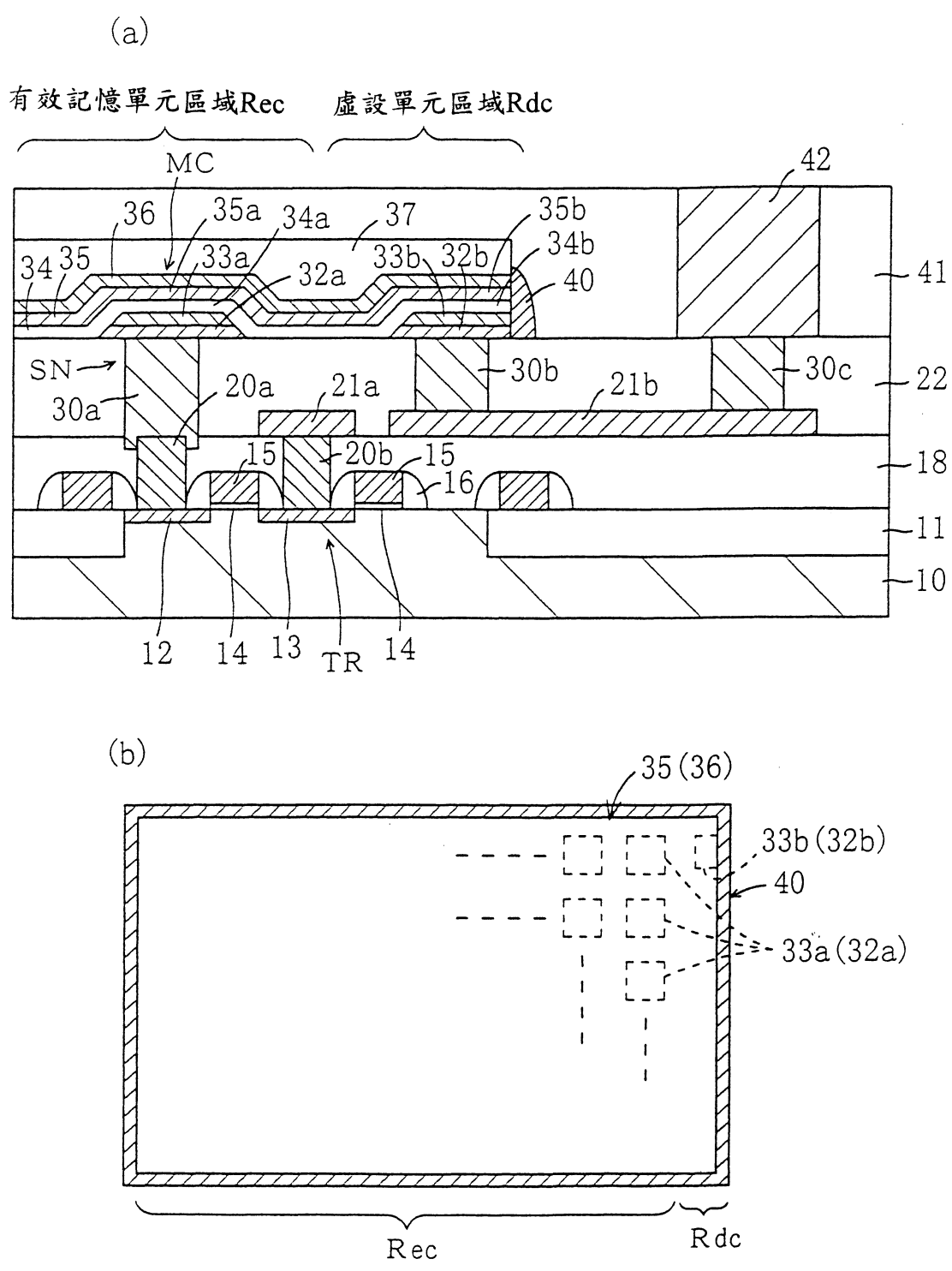
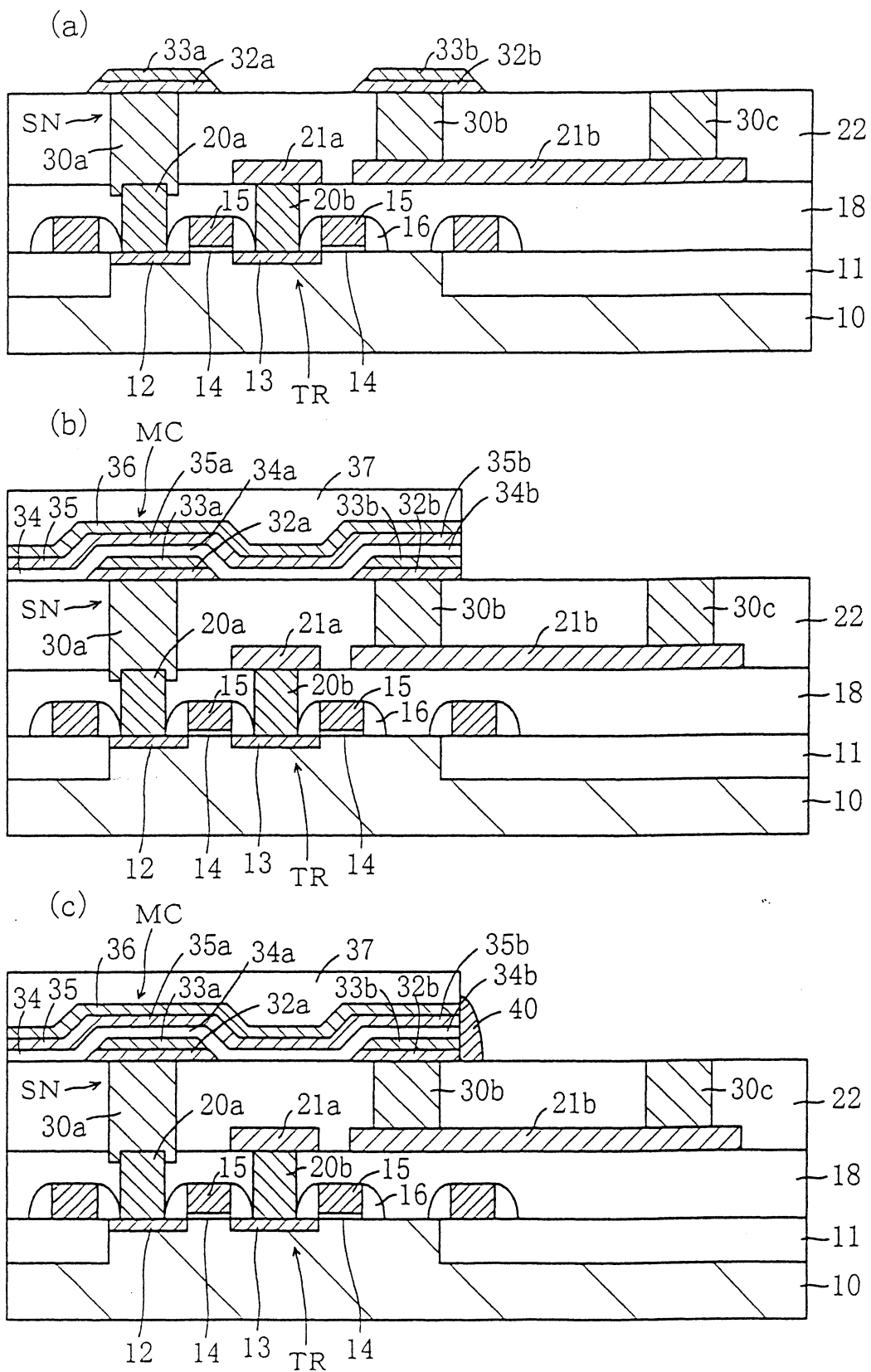


圖 1



- 44 -

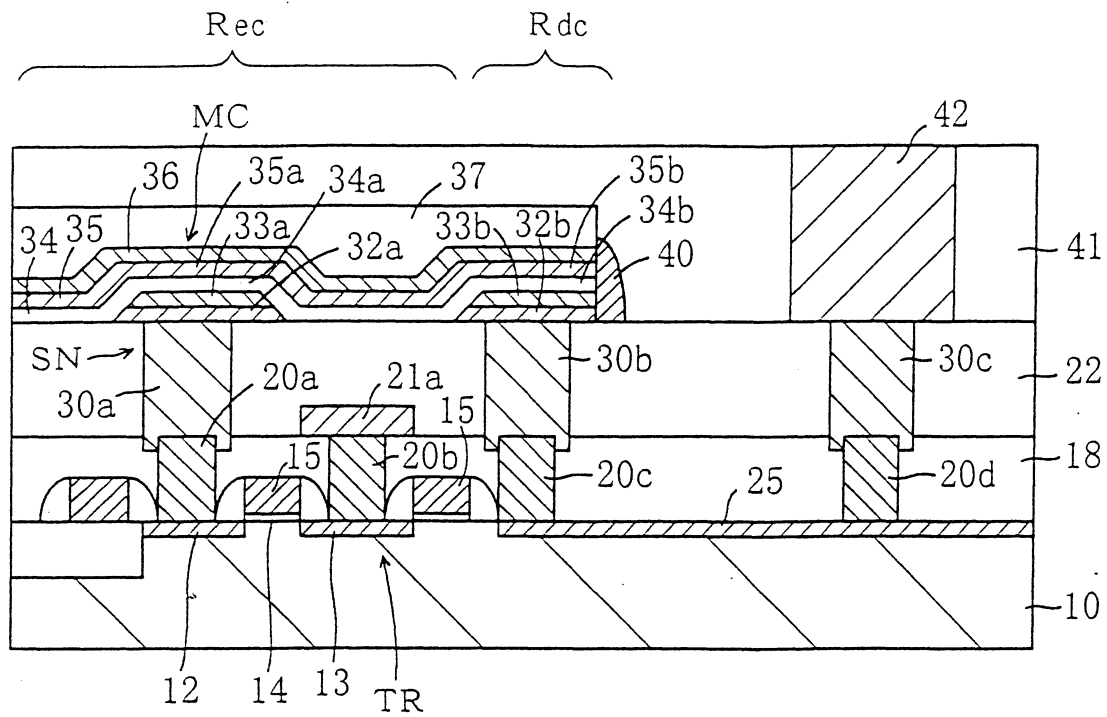


圖 5

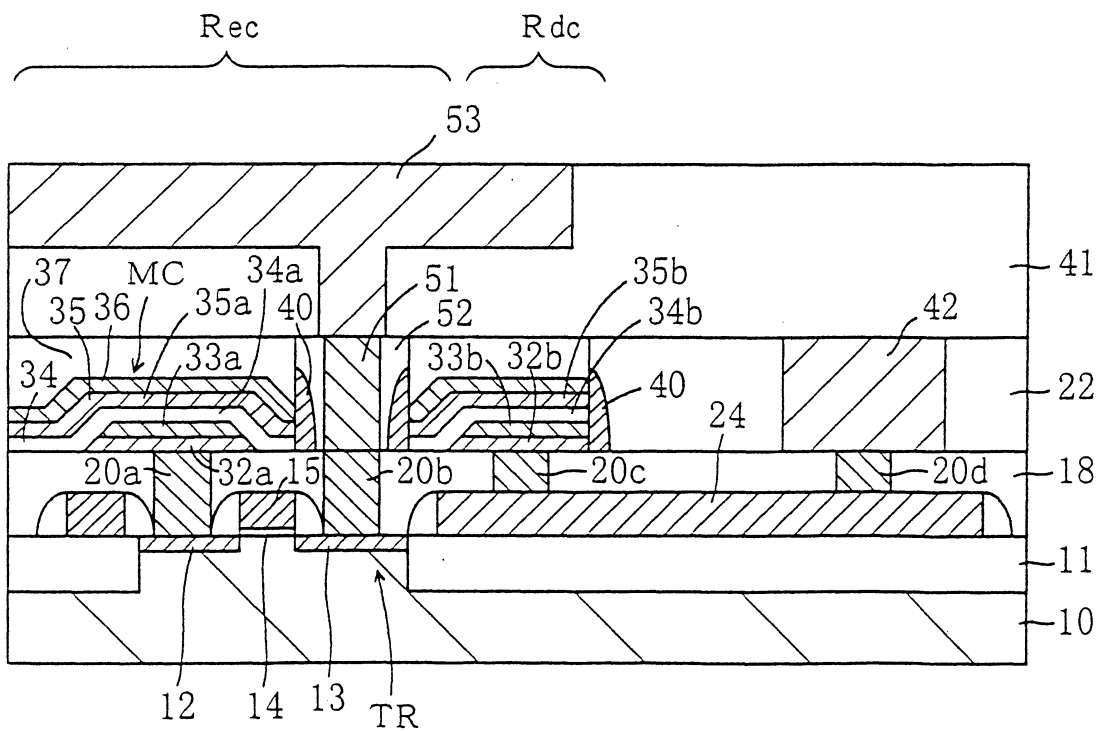


圖 6

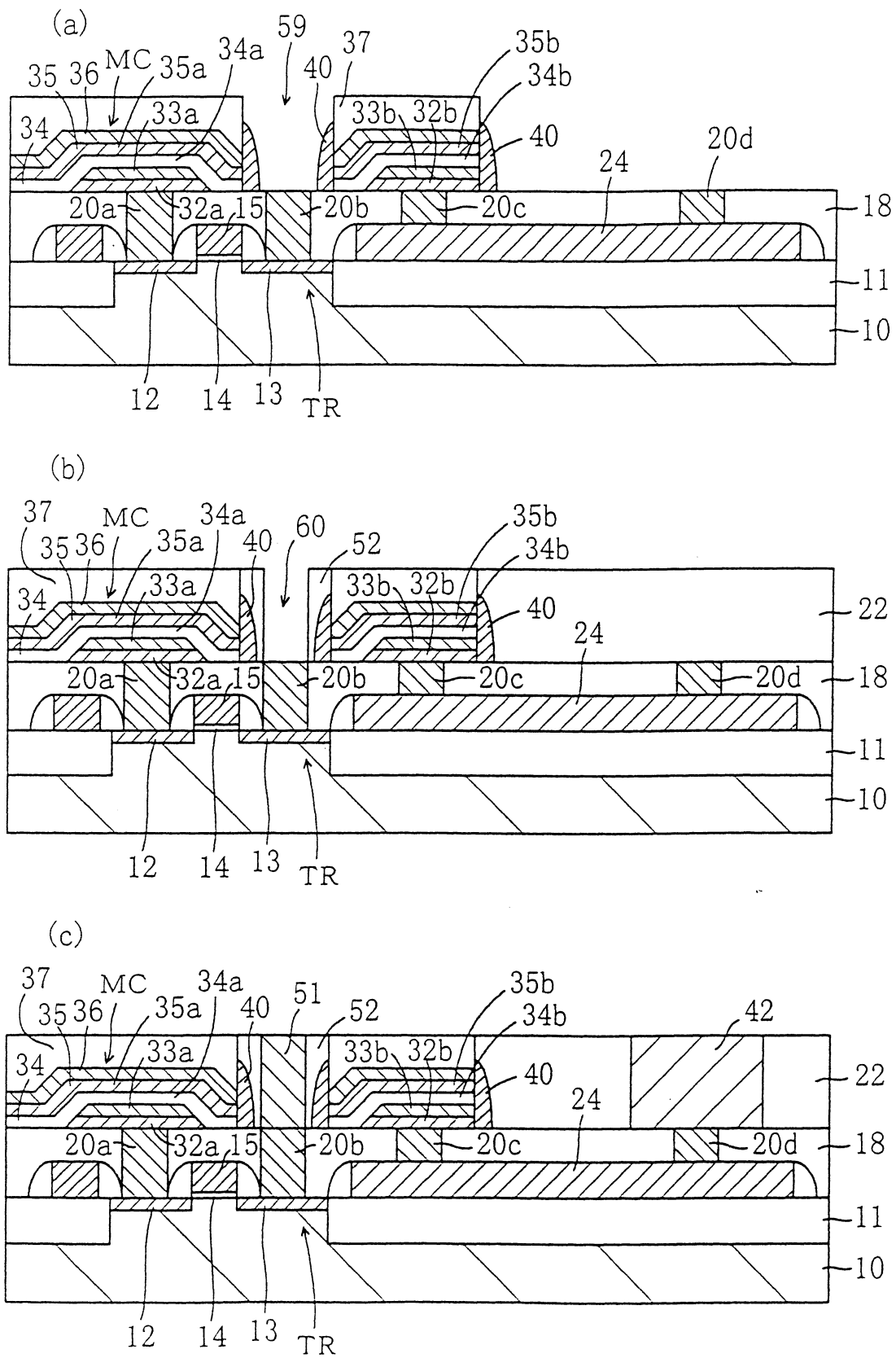


圖 7



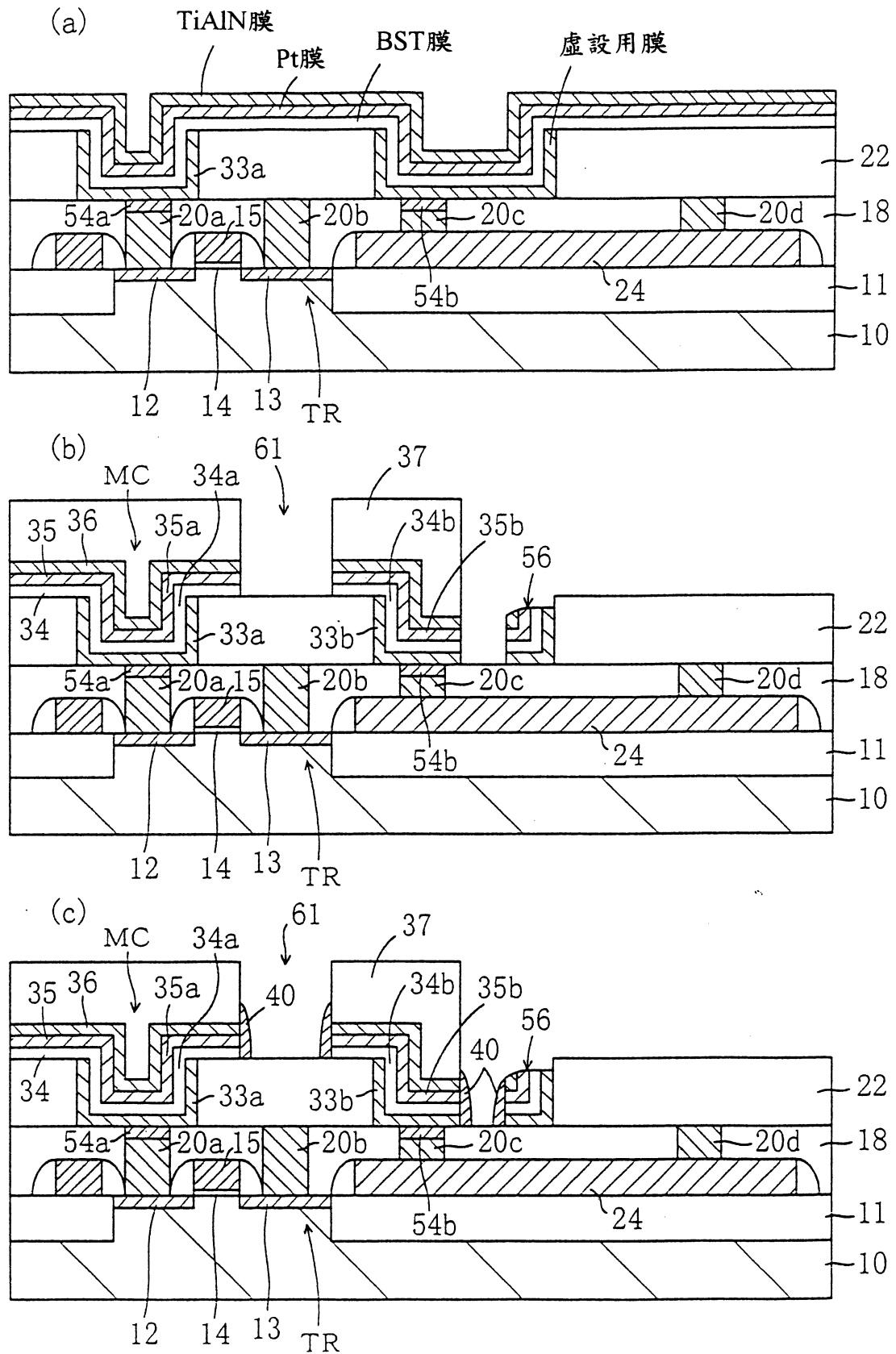


圖 9