

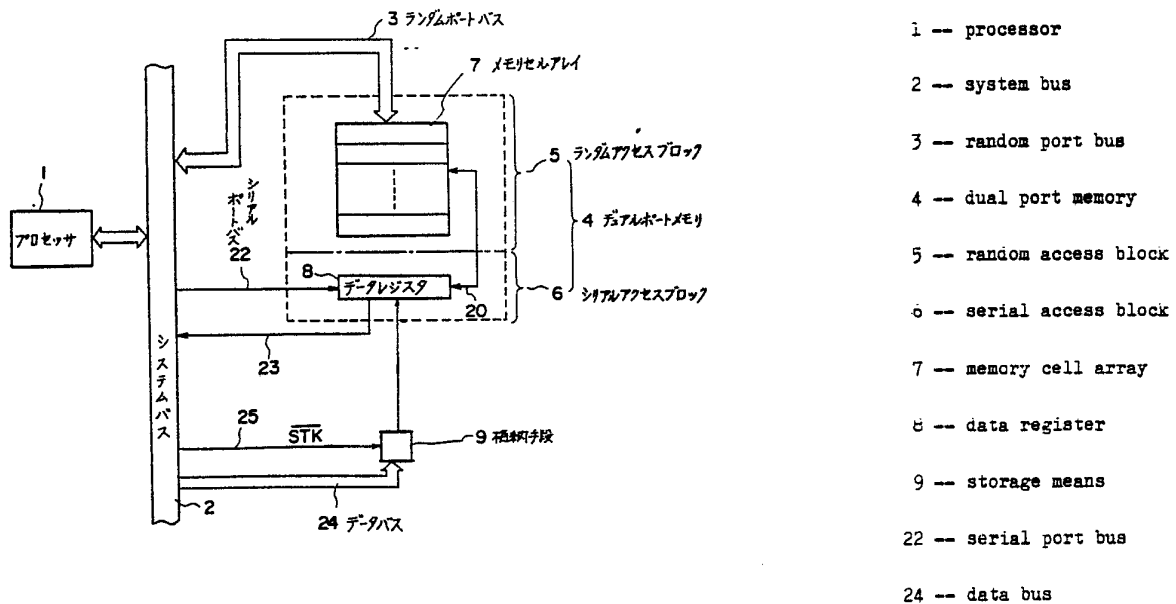


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類⁴ G06F 15/72</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 87/ 06743</p> <p>(43) 国際公開日 1987年11月5日 (05.11.87)</p>
<p>(21) 国際出願番号 PCT/JP87/00245 (22) 国際出願日 1987年4月17日 (17. 04. 87) (31) 優先権主張番号 特願昭 61-95969 (32) 優先日 1986年4月25日 (25. 04. 86) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) ファナック株式会社 (FANUC LTD)(JP/JF) 〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地 Yamanashi, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 鞍掛三津雄 (KURAKAKE, Mitsuo)(JP/JF) 〒191 東京都日野市多摩平3-3-10 いづみハイツ103 Tokyo, (JP) 大塚昭一 (OTSUKA, Shoichi)(JP/JF) 〒191 東京都日野市日野台4-16-16 Tokyo, (JP) 村岡 豊 (MURAOKA, Yutaka)(JP/JF) 〒192 東京都八王子市石川町386-1 ファナック宇津木寮 Tokyo, (JP)</p>		<p>(74) 代理人 弁理士 辻 實 (TSUJI, Minoru) 〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル 辻特許事務所 Tokyo, (JP) (81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), US. 添付公開書類 国際調査報告書</p>

(54) Title: IMAGE PROCESSOR

(54) 発明の名称 画像処理装置



(57) Abstract

An image processor which smears an image memory such as a CRT display or the like with smearing data. In this image processor, dual port memory (4) is used as a frame buffer for storing the image data, and smearing data are stored in a memory cell array (7) by internally transferring the smearing data from a predetermined storage means (9) via a data register (8) which has a serial input function. Therefore, the number of times of access is greatly reduced from a processor to the dual port memory (4) to decrease the load carried by the processor (1). Furthermore, the smearing data can be stored to the memory cell array (7) in a reduced period of time.

(57) 要約

本明細書に開示した技術は、CRTディスプレイ装置等の画像メモリを塗りつぶしデータにより塗りつぶす画像処理装置である。この画像処理装置によれば、画像情報を記憶するフレームバッファとしてデュアルポートメモリ(4)を使用し、そのメモリセルアレイ(7)に塗りつぶし情報を格納するのに、所定の格納手段(9)からシリアル入力機能を有するデータレジスタ(8)を介して内部転送するようにし、プロセッサ(1)からデュアルポートメモリ(4)へのアクセス回数を著しく減少させ、プロセッサ(1)の負担を低減することができる。また、塗りつぶし情報をメモリセルアレイ(7)へ格納する時間も、短縮することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウエー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

- 1 -

明 細 書

画像処理装置

技 術 分 野

本発明は、例えばC R Tディスプレイ装置のフレーム
5 バッファを輝度情報、色識別情報等、任意の塗りつぶし
データにより塗りつぶすことができる画像処理装置に関
する。

背 景 技 術

画像表示装置のフレームバッファを任意のデータ、例
10 えば輝度データ、色データで一様に塗りつぶすため
には、一定の画像処理が必要になる。従来からこうした
画像処理制御においては、フレームバッファを制御用の
プロセッサと接続するために、シングルアクセスポート、
或いはデュアルアクセスポートが用いられていた。

15 フレームバッファとしてシングルポートメモリを用
いた場合には、フレームバッファの塗りつぶし作業、即ち
フレームバッファへのデータ書込みは1つのランダム
ポートからのみ行なわれる。また、フレームバッファと
してデュアルポートメモリを用いた場合メモリセルアレ
20 イからのデータの読出しにはシリアルポートを用いる
が、デュアルポートメモリのシリアルアクセス用データ
レジスタがデータ出力機能しか備えていないときには、
メモリセルアレイに対する塗りつぶし情報など入力デー
タの書込みは、ランダムポートから行なっていた。

25 ところで、フレームバッファとしてシングルポートメ

- メモリを使用する場合、或いはデュアルポートメモリであってもデータレジスタが出力機能だけをもっている場合には、フレームバッファを所定の情報で塗りつぶす際、プロセッサからの塗りつぶし情報は、画素毎にその
- 5 都度ランダムポートを経由して書込まねばならなかった。塗りつぶし情報をフレームバッファの1つの特定の行、列に書込むのに要する時間をTとすると、例えば256×256の画素で構成されるフレームバッファの全てへ塗りつぶし情報を書込むのに、プロセッサはフレーム
- 10 ムバッファを256×256回アクセスしなければならず、また全ての塗りつぶし情報を書込むのに256×256×Tの時間を要していた。このために、塗りつぶし作業は非常に遅くなり、またプロセッサの塗りつぶしに要する負担は非常に大きくなっていた。
- 15 本発明は、このような従来の画像処理装置の問題点を除去し、プロセッサの負担を軽減しかつフレームバッファへの塗りつぶし情報の格納の高速化を可能にする画像処理装置を提供することを目的としている。

発 明 の 開 示

- 20 本発明は、シリアルポートとランダムポートとを介してプロセッサに接続されるデュアルポートメモリからなる画像メモリを有する画像処理装置において、前記プロセッサにより前記ランダムポートを介してランダムアクセスされかつ所定の画素情報が格納されるメモリセルア
- 25 レイと、前記シリアルポートを介してアクセスされかつ

所定の塗りつぶし情報を前記メモリセルアレイへ転送するシリアル入力機能を有したデータレジスタと、前記プロセッサによりアクセスされ該データレジスタへ転送される塗りつぶし情報を格納する格納手段とを具備することを特徴とする画像処理装置であって、前記従来技術の問題点を解決するものである。

本発明においては、フレームバッファにデュアルポートメモリを用い、格納手段に格納されている塗りつぶし情報をデュアルポートメモリのデータレジスタにシリアルに転送し、データレジスタに供給された塗りつぶし情報をデュアルポートメモリのメモリセルアレイに1行ごとに内部転送して、フレームバッファに塗りつぶし情報を高速に書込む。

図面の簡単な説明

第1図は、本発明の画像処理装置の一実施例を示すブロック図、第2図は、同実施例のデュアルポートメモリのシステム構成図、第3図は、同実施例における画像処理のタイミング図、第4図は、本発明の画像処理装置の他の実施例を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の実施例を図面に基づいて具体的に説明する。

第1図は、本発明の画像処理装置の第1実施例を示すブロック図、第2図は、デュアルポートメモリのシステム構成図を示している。

第 1 図において、1 はプロセッサであり、このプロセッサ 1 は R O M (図示せず) 等に格納されている制御プログラムに従って制御される。プロセッサ 1 からの制御信号は、システムバス 2 を介して後述するデュアルポートメモリやその他図示しない各種の周辺デバイスに送られる。

5

3 は、システムバス 2 とフレームバッファを構成するデュアルポートメモリ 4 からなる画像メモリのランダムアクセスポートとの間を接続するランダムポートバスである。上記デュアルポートメモリ 4 は、メモリセルアレイ 7 を備えたランダムアクセスブロック 5 と、メモリセルアレイ 7 の 1 行分の塗りつぶし情報が格納されるデータレジスタ 8 を備えたシリアルアクセスブロック 6 とからなる。

10

ランダムアクセスブロック 5 は、プロセッサ 1 からシステムバス 2 およびランダムポートバス 3 を介してランダムアクセスされるもので、そのメモリセルアレイ 7 は、例えば 256×256 画素分のデータを格納しうる R A M で構成される。

15

また、シリアルアクセスブロック 6 は、そのシリアルポートがシリアルポートバス 2 2 によってプロセッサ 1 に接続されて、該プロセッサによってシリアルにアクセスされる。データレジスタ 8 は、例えばメモリセルアレイ 7 の 1 行分のデータ、即ち 8 ビットで 1 ピクセル分の画素データを構成するとともに 256 画素分のデータを

20

25

シリアル入出力可能に格納するシフトレジスタにより構成され、メモリセルアレイ7とデータ線20を介して入出力可能に接続されている。

5 格納手段9は、例えば8ビットのレジスタで構成され、デュアルポートメモリ4のメモリセルアレイ7を一色に塗りつぶすための所定の塗りつぶし情報が格納される。塗りつぶし情報とは、例えばディスプレイ画面の輝度情報、或いはディスプレイ画面の色識別情報等であり、格納手段が8ビットのレジスタで構成される場合には、
10 は、256種類の階調の輝度、或いは256種類の色を指定できる。この格納手段9は、データ線21を介しデュアルポートメモリ4のデータレジスタ8に接続され、ここへの塗りつぶし情報の格納は、プロセッサ1から制御線25を介して1回のアクセスで済むようになっており、このとき8ビットの塗りつぶし情報はデータバス24を介して加えられる。
15

データレジスタ8は上述したように構成されており、従って格納手段9に格納された塗りつぶし情報は、ビットスライスのマイクロプログラム制御装置によって25
20 6回のシフトによりデータレジスタ8にメモリセルアレイ7の1行分が格納される。データレジスタ8からメモリセルアレイ7への塗りつぶし情報の内部転送は、データレジスタ8に1行分の塗りつぶし情報が格納された後に行なわれる。

25 なお、この実施例のデュアルポートメモリ4は、メモ

リセルアレイ 7 に格納されているデータ、例えば画像情報をデータレジスタ 8 および出力線 23 を介してシリアルにシステムバス 2 へ出力し、CRT ディスプレイに画像を表示することができるものとする。

5 デュアルポートメモリ 4 の構成は、第 2 図により詳細に示されている。

デュアルポートメモリ 4 のランダムアクセスブロック 5 に対するアドレッシングは、周知のアドレスマルチ方式がとられている。即ちプロセッサ 1 は、ランダムアクセスブロック 5 に対して桁選択ストロープ信号 $\overline{\text{CAS}}$ 、語選択ストロープ信号 $\overline{\text{RAS}}$ 、書込み可能信号 $\overline{\text{WE}}$ 、アドレス信号 ADR を送る。アドレス信号 ADR は、語アドレス用バッファ 10 および桁アドレス用バッファ 11 に格納され、各バッファ 10, 11 は語選択ストロープ信号 $\overline{\text{RAS}}$ 、桁選択ストロープ信号 $\overline{\text{CAS}}$ の制御の下で、互いにタイミングのずれた語アドレス信号 RADR と桁アドレス信号 CADR とに分けられる。バッファ 10 から出力される語アドレス信号 RADR は、語選択デコーダ 12 に加えられ、デコードされてメモリセルアレイ 7 の特定の行を指定する。一方、バッファ 11 から出力される桁アドレス信号 CADR は、桁選択デコーダ 13 に加えられ、デコードされてメモリセルアレイ 7 の特定の列を指定する。

このようにメモリセルアレイ 7 は、プロセッサ 1 からのアドレス信号 ADR 、語選択ストロープ信号 $\overline{\text{RAS}}$ 、桁選択ストロープ信号 $\overline{\text{CAS}}$ によって、特定の行および列が指

定できる。

また、メモリセルアレイ7には、プロセッサ1からの書込み可能信号 \overline{WE} が加えられ、この信号 \overline{WE} が“L”のときに書込み可能状態に、 \overline{WE} が“H”のときに読出し可能状態になる。従ってメモリセルアレイ7へのデータの1行分の書込み、即ちデータレジスタ8からの内部転送は、アドレス信号ADR、語選択ストロブ信号 \overline{RAS} により、データの書込まれるべきメモリセルアレイ7の行を特定し、かつ書込み可能信号 \overline{WE} を“L”にすることによって行なわれる。このとき書込まれるべきデータ即ち同一の塗りつぶし情報は、データレジスタ8に予めメモリセルアレイ7の1行分がすでに格納されており、データ転送信号 \overline{DT} が“L”になると、データレジスタ8に格納されている1行分の塗りつぶし情報のうち1画素分づつシリアルに取り出され、データ線20を介してメモリセルアレイ7の所定の行の所定の列位置にシリアルに書込まれる。

従って、マイクロプログラム制御装置により256回のシフト操作でデータレジスタ8に格納された1行分の同一の塗りつぶし情報は、プロセッサ1がデータ転送信号 \overline{DT} を1回発生させることによって、即ちプロセッサ1からの1回のアクセスで、メモリセルアレイ7の所定の行に1画素分づつシリアルに全て内部転送され、メモリセルアレイ7の所定の一行にわたり同一の塗りつぶし情報を格納できる。

但し、メモリセルアレイ7への内部転送が確実に行なわれるためには、データ転送信号 \overline{DT} が“L”のときに、書込み可能信号 \overline{WE} も同時に“L”になっていなければならない。

5 以上のことから容易にわかるように、メモリセルアレイ7の全行にわたり同一の塗りつぶし情報を格納するためには、プロセッサ1はデータ転送信号 \overline{DT} を所定のタイミングで256回送出すれば良く、256回のアクセスだけで良い。また、メモリセルアレイ7への一行分の
10 転送は、全てデュアルポートメモリ4の内部で転送されるので、一画素分ずつプロセッサ1のアクセスを必要とする従来の装置に比べて、非常に短い時間で済む。

次に、第3図を用いて本発明の画像メモリに対する塗りつぶし動作を説明する。

15 先づ、メモリセルアレイ7へデータを書込む前に、格納手段9に8ビットの塗りつぶし情報を格納するために、プロセッサ1は格納手段9に対して、第3図(e)に示すタイミングで制御線25を介して格納信号 \overline{STK} を送る。格納信号 \overline{STK} が“L”のときに、8ビットの塗り
20 つぶし情報はシステムバス2、データバス24を介して格納手段9内に全て格納される。

次いで、デュアルポートメモリ4のデータレジスタ8に256画素分の塗りつぶし情報を格納するために格納手段9内にいま格納された塗りつぶし情報をデータレジ
25 スタ8(256画素分のデータを収納)へ256回、シ

リアルにシフトインする。このシフトインは前述のようにビットスライスのマイクロプログラム制御装置によって高速に行なわれる。このタイミングは、第3図には図示していないが、格納信号 $\overline{\text{STK}}$ が出力された後で第3図
5 (d) に示すデータ転送信号 $\overline{\text{DT}}$ が出力される前になされなければならない。

次いで、データレジスタ8に格納された256画素分の同一の書込み情報をデュアルポートメモリ4のメモリセルアレイ7の所定の行(256画素分の情報を収容)
10 に内部転送するために、先づ、第3図(c), (d)に示すようにメモリセルアレイ7への書込み可能信号 $\overline{\text{WE}}$ を“L”にし、同時にデータレジスタ8へのデータ転送信号 $\overline{\text{DT}}$ を“L”にする。最初、メモリセルアレイ7の
15 1行目を塗りつぶすために、プロセッサ1からは、システムバス2およびランダムポートバス3を介して第1行目のアドレス信号 ADR が送出され、このアドレス信号 ADR は、語アドレス用バッファ10に一時記憶され、第3
図(a), (b)に示すように語選択ストロープ信号 RAS の立下りで行アドレス信号 RADR として語選択デコーダ
20 12に送られる。このとき行アドレス信号 RADR のアドレス値は、第1行目を指定する r_1 になっている。これらの制御信号 $\overline{\text{WE}}$, $\overline{\text{DT}}$, r_1 によって、データレジスタ8内の256画素分の同一の塗りつぶし情報はデータ線
25 20を介してメモリセルアレイ7の第1行目に内部転送される。

2 5 6 画素分の塗りつぶし情報を内部転送している
間、プロセッサ 1 はその都度、デュアルポートメモリ 4
をアクセスする必要はない。即ち、プロセッサ 1 は、メ
モリセルアレイ 7 の 1 行目の塗りつぶし情報を格納する
5 のにデュアルポートメモリ 4 を 1 回アクセスするだけで
良く、従来装置のようにランダムポートバス 3 から 2 5
6 回アクセスする必要はないので、処理速度を著しく向
上させることができる。

次に、第 1 行目に同一の塗りつぶし情報を格納した
10 後、第 2 行目にも同一の塗りつぶし情報を格納するに
は、第 1 行目と同様にして、第 3 図 (c) , (d) に示
すように書込み可能信号 \overline{WE} 、データ転送信号 \overline{DT} を同
時に “L” にし、かつ行アドレス信号 RADR に第 2 行目の
アドレス値 r_2 をセットする。これによって、データレ
15 ジスタ 8 内の 2 5 6 画素分の同一の塗りつぶし情報は
データ線 2 0 を介してメモリセルアレイ 7 の第 2 行目に
内部転送される。以下、同様にして、メモリセルアレイ
7 の第 2 5 6 行目まで、全く同一の塗りつぶし情報を格
納することができる。

20 第 4 図は、本発明の画像処理装置の第 2 実施例を示す
ブロック図であり、前記第 1 実施例と異なる点について
以下に説明する。

第 1 の格納手段 9 1 は、例えば 8 ビットのレジスタで
構成され、第 2 の格納手段 9 2 は、例えばメモリセルア
25 レイ 7 の 1 行分のデータ、即ち 8 ビットで 1 ピクセル分

の画素データを構成するとともに256画素分のデータをシリアル入出力可能に格納するシフトレジスタにより構成され、デュアルポートメモリ4のメモリセルアレイ7を行単位で所定のグラデーションを付けて塗りつぶすための所定の塗りつぶし情報が格納される。塗りつぶし情報とは、例えばディスプレイ画面の輝度情報、或いはディスプレイ画面の色識別情報等であり、格納手段が8ビットのレジスタで構成される場合には、256種類の階調の輝度、或いは256種類の色を指定できる。この第2の格納手段92は、並列転送可能なデータ線21によりデュアルポートメモリ4のデータレジスタ8の対応ビットとそれぞれ接続され、ここへの塗りつぶし情報の格納は、プロセッサ1から制御線251を介して1回のアクセスで済むようになっている。このとき8ビットの塗りつぶし情報は、データバス24を介して事前に第1の格納手段91からマイクロプログラム制御装置により256回のシフト操作で第2の格納手段92に格納されている。

一方、データレジスタ8は上記第1実施例のものと同様に構成され、第2の格納手段92に格納された塗りつぶし情報は、データレジスタ8にメモリセルアレイ7の1行分が一括して転送される。データレジスタ8からメモリセルアレイ7への塗りつぶし情報の内部転送は、データレジスタ8に1行分の塗りつぶし情報が格納された後に行なわれる。

- 1 2 -

以下、同様にして、メモリセルアレイ 7 の第 2 5 6 行
目まで、全く同一の塗りつぶし情報を格納することがで
きる。従って、2 5 6 行までの塗りつぶし情報を格納す
るに際しプロセッサ 1 は、先づ、第 1 の格納手段 9 1 を
5 制御線 2 5 2 を介して 2 5 6 回アクセスし、第 2 の格納
手段 9 2 に 1 行分の塗りつぶし情報を格納したあとは、
第 2 の格納手段 9 2 とデータレジスタ 8 およびメモリセ
ルアレイ 7 を 2 5 6 行分、即ち 2 5 6 回アクセスするだ
けで良く、従来の装置のように 2 5 6 × 2 5 6 回アクセ
10 スする必要はなくなる。

産業上の利用可能性

以上のように本発明の画像処理装置によれば、デュアル
ポートメモリのメモリセルアレイに全て同一の塗りつ
ぶし情報、或いは所定のグラデーションを行単位で付け
15 た塗りつぶし情報を格納するのに、プロセッサからデュ
アルポートメモリへのアクセス回数を著しく減少させる
ことができ、プロセッサの負担を低減することができる
と同時に、塗りつぶし情報のメモリセルアレイへの格納
に要する時間を著しく短縮することができる。従って、
20 ディスプレイ装置、特に工作機械等を制御する数値制御
装置に接続される C R T ディスプレイ装置の画像処理に
用いて好適である。

請 求 の 範 囲

(1) シリアルポートとランダムポートとを介してプロセッサに接続されるデュアルポートメモリからなる画像メモリを有する画像処理装置は、以下の構成を有する

5 :

前記プロセッサにより前記ランダムポートを介してランダムアクセスされかつ所定の画素情報が格納されるメモリセルアレイ;

10 前記シリアルポートを介してアクセスされかつ所定の塗りつぶし情報を前記メモリセルアレイへ転送するシリアル入力機能を有したデータレジスタ;

前記プロセッサによりアクセスされ該データレジスタへ転送される塗りつぶし情報を格納する格納手段。

15 (2) 前記データレジスタは、該データレジスタに格納されている塗りつぶし情報を前記メモリセルアレイの全ての行へ1行ごとに内部転送することを特徴とする請求の範囲第(1)項に記載の画像処理装置。

20 (3) 前記格納手段はレジスタからなり、該レジスタに格納される塗りつぶし情報は、前記プロセッサから1回のアクセスで格納されることを特徴とする請求の範囲第(1)項又は第(2)項に記載の画像処理装置。

25 (4) 前記格納手段は、前記塗りつぶし情報を1画素単

位に前記プロセッサからアクセスされる第1の格納手段と、前記データレジスタと対応するビット毎に並列転送可能に接続された第2の格納手段とから構成されていることを特徴とする請求の範囲第(1)項乃至第(3)項
5 に記載の画像処理装置。

(5) 前記格納手段からデータレジスタへの塗りつぶし情報の転送は、ビットスライスのマイクロプログラム制御装置によりシリアルに行なわれることを特徴とする請求の範囲第(1)項乃至第(3)項に記載の画像処理装置。
10

(6) 前記塗りつぶし情報は、画像の輝度情報であることを特徴とする請求の範囲第(1)項乃至第(5)項に記載の画像処理装置。
15

(7) 前記塗りつぶし情報は、画像の色識別情報であることを特徴とする請求の範囲第(1)項乃至第(5)項に記載の画像処理装置。
20

Fig. 1

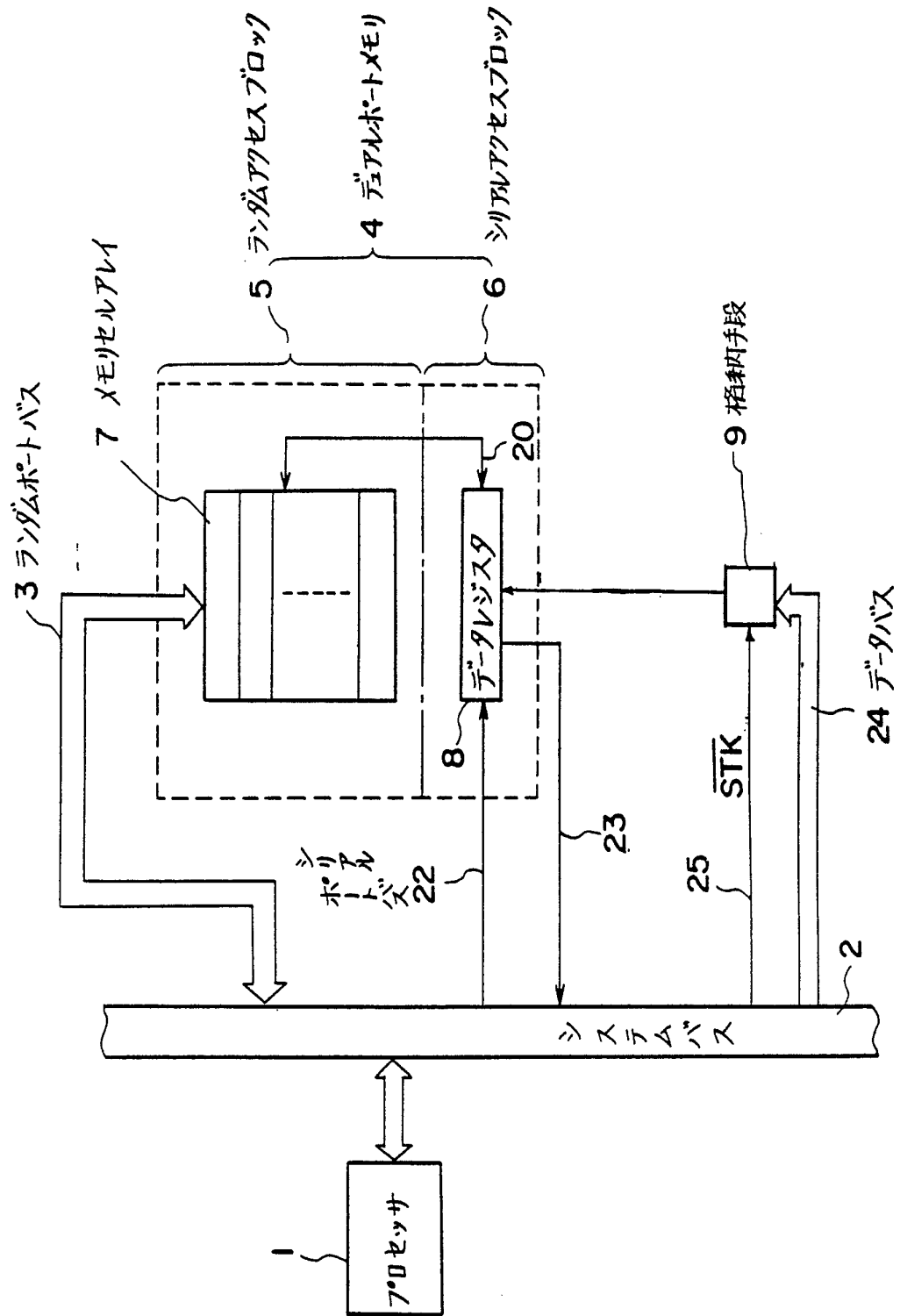


Fig. 2

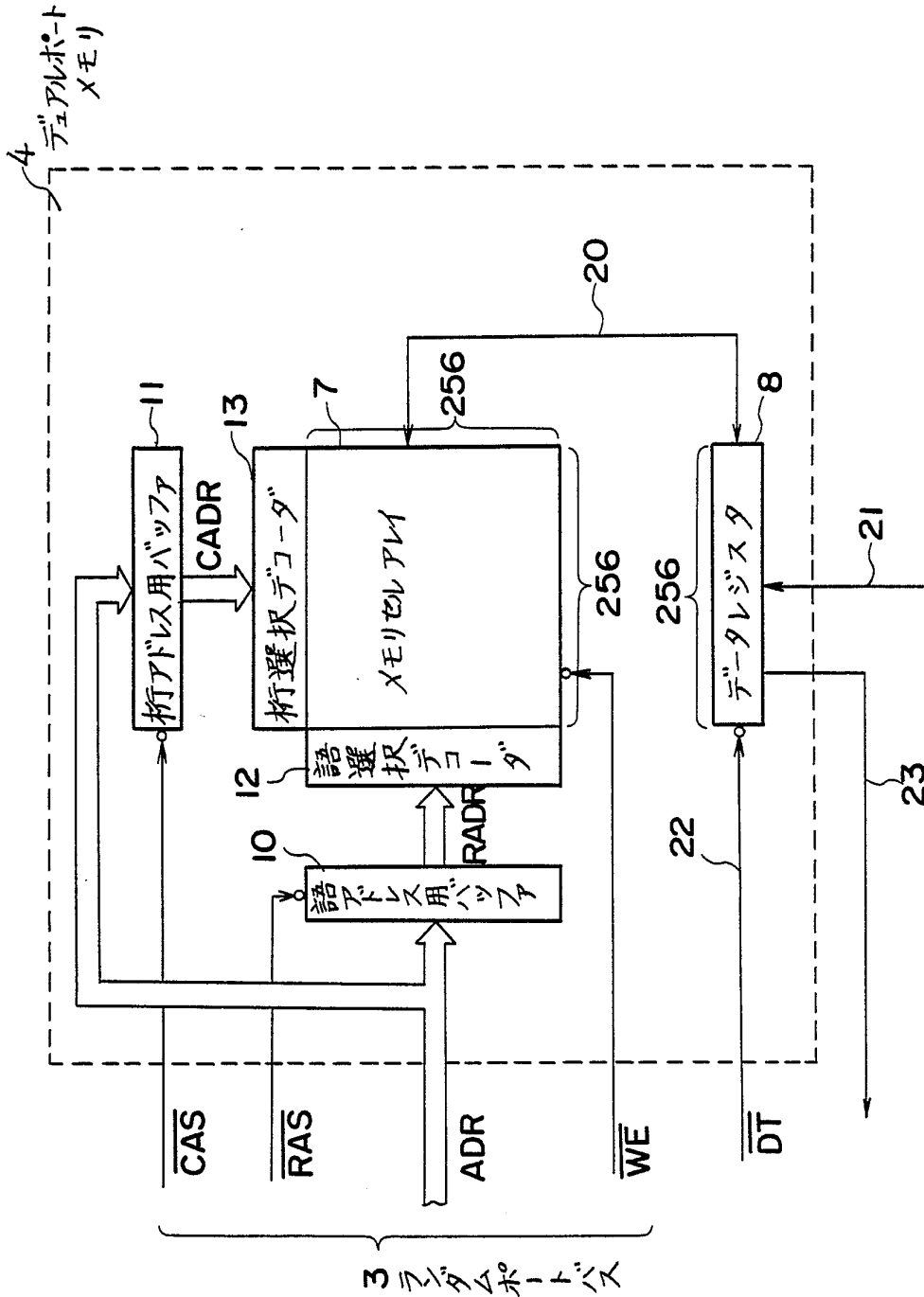
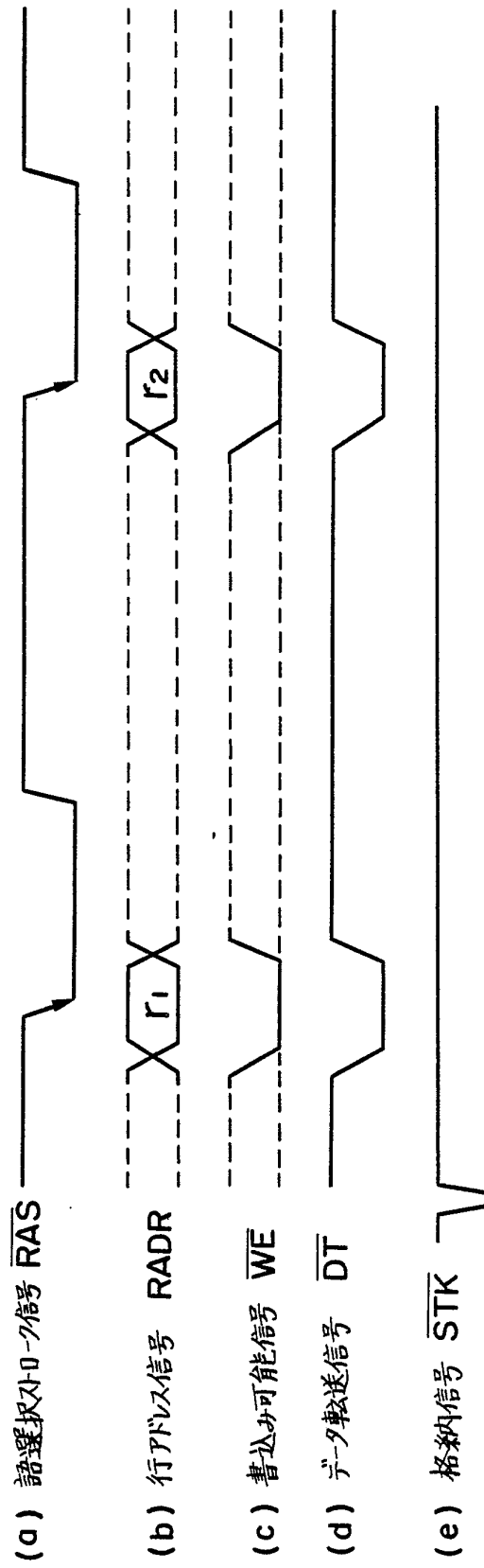
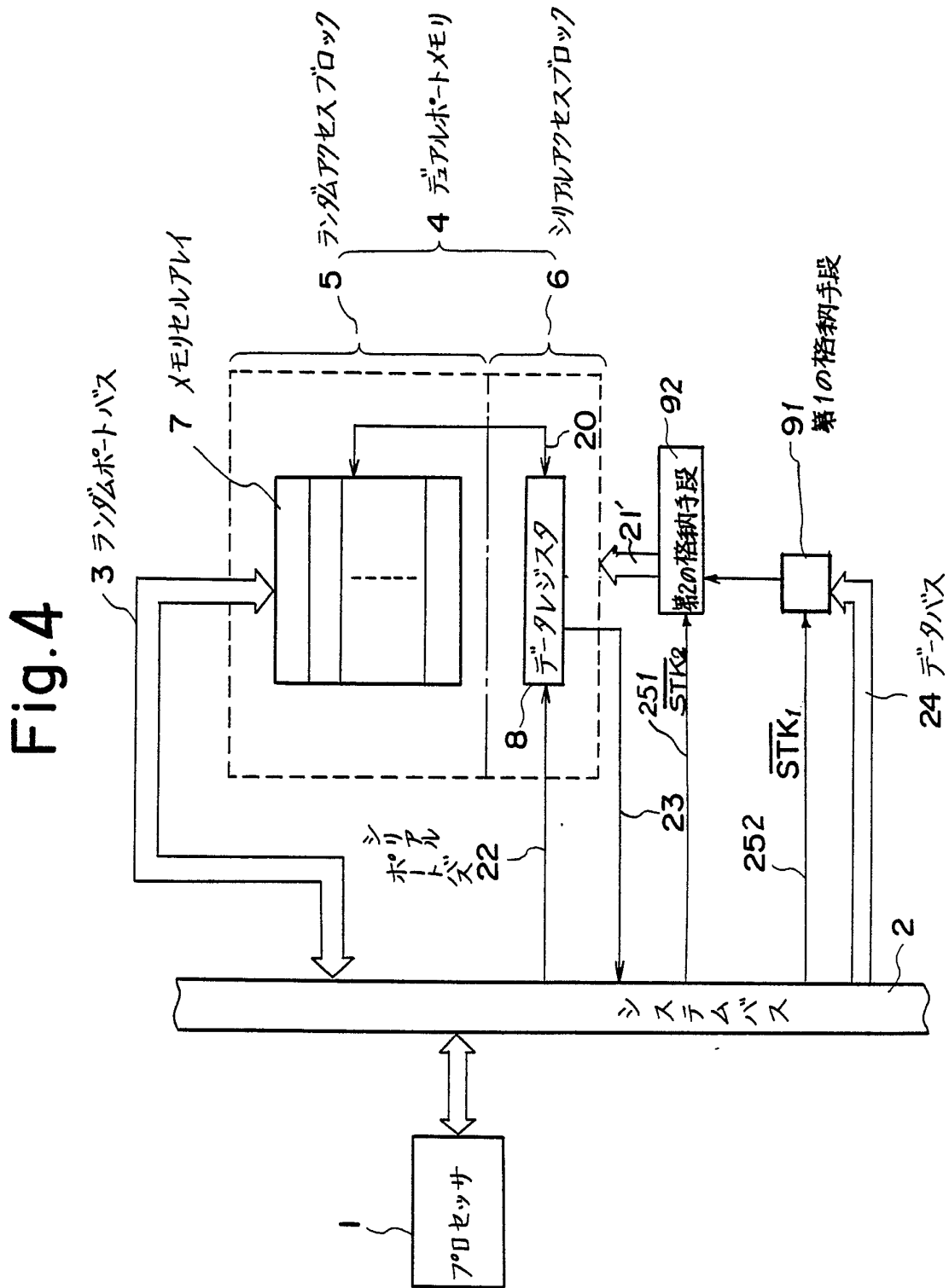


Fig. 3





INTERNATIONAL SEARCH REPORT

International Application No PCT/JP87/00245

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl ⁴ G06F15/72		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
IPC	G06F15/62, 15/72	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
Jitsuyo Shinan Koho	1972 - 1986	
Kokai Jitsuyo Shinan Koho	1972 - 1986	
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category [*]	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
Y	JP, A, 58-115676 (Fujitsu Ltd.) 9 July 1983 (09. 07. 83) (Family: none)	1-7
Y	JP, A, 53-121402 (Toshiba Corp.) 23 October 1978 (23. 10. 78) (Family: none)	1-7
Y	JP, A, 57-182784 (Toshiba Corp.) 10 November 1982 (10. 11. 82) (Family: none)	2-7
Y	P. Siegel (Author), Omura Minoru (Translator) "Digital Computer no Kiso" 20 November 1966 (20. 11. 66) Kenpakusha Kabushiki Kaisha (Tokyo) P. 285-288	4-7
Y	JP, A, 58-223181 (Fujitsu Ltd.) 24 December 1983 (24. 12. 83) (Family: none)	6, 7
<p>[*] Special categories of cited documents: ¹⁶</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ³	Date of Mailing of this International Search Report ²	
May 22, 1987 (22. 05. 87)	June 1, 1987 (01. 06. 87)	
International Searching Authority ¹	Signature of Authorized Officer ²⁰	
Japanese Patent Office		

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl⁴ G 0 6 F 1 5 / 7 2		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	G 0 6 F 1 5 / 6 2 , 1 5 / 7 2	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1972-1986年 日本国公開実用新案公報 1972-1986年		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 58-115676 (富士通株式会社) 9. 7月. 1983 (09. 07. 83) (ファミリーなし)	1-7
Y	JP, A, 53-121402 (東京芝浦電気株式会社) 23. 10月. 1978 (23. 10. 78) (ファミリーなし)	1-7
Y	JP, A, 57-182784 (東京芝浦電気株式会社) 10. 11月. 1982 (10. 11. 82) (ファミリーなし)	2-7
Y	P. シーゲル著大村実訳「デジタル・コンピューターの基本」 20. 11月. 1966 (20. 11. 66) 株式会社 建帛社 (東京) P. 285-288	4-7
Y	JP, A, 58-223181 (富士通株式会社) 24. 12月. 1983 (24. 12. 83) (ファミリーなし)	6, 7
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	22. 05. 87	国際調査報告の発送日 01.06.87
国際調査機関	日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 5 B 6 6 1 5 関 部 恵 行