



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0091563
(43) 공개일자 2025년06월23일

(51) 국제특허분류(Int. Cl.)
H10D 86/00 (2025.01) H01L 21/02 (2006.01)
H10D 48/00 (2025.01) H10D 84/03 (2025.01)
(52) CPC특허분류
H10D 86/0221 (2025.01)
H01L 21/02565 (2013.01)
(21) 출원번호 10-2023-0181632
(22) 출원일자 2023년12월14일
심사청구일자 2023년12월14일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
백인환
인천광역시 미추홀구 인하로 100
최민기
인천광역시 미추홀구 인하로 100
(뒷면에 계속)
(74) 대리인
김남식, 이인행

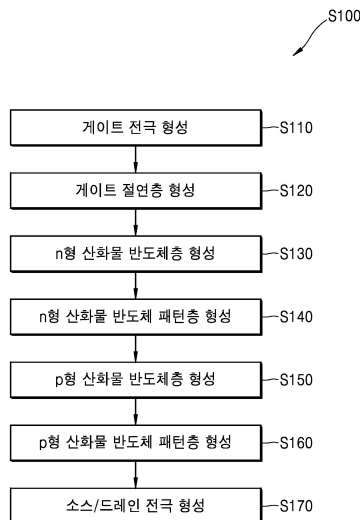
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 피모스 소자, 이를 포함하는 씨모스 소자 및 그 제조방법

(57) 요약

본 발명은, 선택적 식각으로 제조된 피모스 소자, 이를 포함하는 씨모스 소자 및 그 제조방법을 제공한다. 본 발명의 일실시예에 따른 씨모스 소자의 제조 방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 n형 산화물 반도체층을 형성하는 단계; 상기 n형 산화물 반도체층을 패터닝하여 n형 산화물 반도체 패턴층을 형성하는 단계; 상기 기판 상에 상기 n형 산화물 반도체 패턴을 덮는 p형 산화물 반도체층을 형성하는 단계; 상기 p형 산화물 반도체층을 염소 가스를 이용한 건식 식각을 수행하여 선택적으로 패터닝하여 p형 산화물 반도체 패턴층을 형성하는 단계; 및 상기 n형 산화물 반도체 패턴층 및 상기 p형 산화물 반도체 패턴층에 전기적으로 연결되는 소스/드레인 전극을 형성하는 단계를 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 21/0262 (2013.01)

H10D 84/0167 (2025.01)

H10D 99/00 (2025.01)

(72) 발명자

전다희

인천광역시 미추홀구 인하로 100

황인홍

인천광역시 미추홀구 인하로 100

이 발명을 지원한 국가연구개발사업

과제고유번호

1711199449

과제번호

00279972

부처명

과학기술정보통신부

과제관리(전문)기관명

한국연구재단

연구사업명

생애 첫 연구사업

연구과제명

p형 산화물 반도체 박막의 점멸비/이동도 Trade-off 해결 전략

기 여 율

1/2

과제수행기관명

인하대학교

연구기간

2023.09.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호

1415187483

과제번호

00234833

부처명

산업통상자원부

과제관리(전문)기관명

한국산업기술기획평가원

연구사업명

민관공동투자반도체고급인력양성

연구과제명

sub-10 nm DRAM 커패시터 구현을 위한 고유전박막/전극 계면 분석 기술, 계면 제어

소재 및 공정 기술 개발

기 여 율

1/2

과제수행기관명

한국과학기술연구원

연구기간

2023.04.01 ~ 2023.12.31

명세서

청구범위

청구항 1

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 n형 산화물 반도체층을 형성하는 단계;

상기 n형 산화물 반도체층을 패터닝하여 n형 산화물 반도체 패턴층을 형성하는 단계;

상기 기판 상에 상기 n형 산화물 반도체 패턴을 덮는 p형 산화물 반도체층을 형성하는 단계;

상기 p형 산화물 반도체층을 염소 가스를 이용한 건식 식각을 수행하여 선택적으로 패터닝하여 p형 산화물 반도체 패턴층을 형성하는 단계; 및

상기 n형 산화물 반도체 패턴층 및 상기 p형 산화물 반도체 패턴층에 전기적으로 연결되는 소스/드레인 전극을 형성하는 단계를 포함하는,

씨모스 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 p형 산화물 반도체 패턴층을 형성하는 단계는,

10 sccm 내지 300 sccm 범위의 염소 가스 유량,

1 sccm 내지 30 sccm 범위의 아르곤 가스 유량,

1 mTorr 내지 50 mTorr 범위의 공정 압력,

100W 내지 1000W 범위의 소스 전력, 및

10 W 내지 500 W 범위의 바이어스 전력을 이용한 플라즈마 건식 식각을 이용하여 수행되는,

씨모스 소자의 제조방법.

청구항 3

제 1 항에 있어서,

상기 n형 산화물 반도체층, 상기 p형 산화물 반도체층, 또는 이들 모두는 원자층 증착법을 이용하여 형성되는,

씨모스 소자의 제조방법.

청구항 4

제 2 항에 있어서,

상기 원자층 증착법은 0℃ 내지 400℃ 범위의 온도에서 수행되는,

씨모스 소자의 제조방법.

청구항 5

제 1 항에 있어서,

상기 n형 산화물 반도체 패턴층과 상기 p형 산화물 반도체 패턴층은 상기 기판 상에 동일한 층에 배치되는,

씨모스 소자의 제조방법.

청구항 6

제 1 항에 있어서,

상기 n형 산화물 반도체층은,

아연 산화물(ZnO), 인듐 아연 산화물(InZnO , IZO), 인듐 아연 주석 산화물(InZnSnO , IZTO), 인듐 갈륨 아연 산화물(InGaZnO , IGZO), 인듐 주석 산화물(InSnO , ITO), 아연 주석 산화물(ZnSnO , ZTO), 갈륨 아연 산화물(GaZnO , GZO), 인듐 산화물(In_2O_3), 텅스텐(W) 도핑된 인듐 산화물, 몰리브덴(Mo) 도핑된 인듐 산화물, 갈륨(Ga) 도핑된 인듐 산화물, 또는 이들의 조합을 포함하는,

씨모스 소자의 제조방법.

청구항 7

제 1 항에 있어서,

상기 p형 산화물 반도체층은, 주석 산화물(SnO), 니켈 산화물(NiO), 구리 이산화물(Cu_2O), 구리 일산화물(CuO), 란타늄 알루미늄 산화물(LaAlO), 주석 황화물(SnS), 텔루륨(Te) 또는 이들의 조합을 포함하는,

씨모스 소자의 제조방법.

청구항 8

제 1 항에 있어서,

상기 게이트 절연층은, 상기 원자층 증착법을 이용하여 0°C 내지 400°C 범위의 온도에서 형성되는,

씨모스 소자의 제조방법.

청구항 9

제 1 항에 있어서,

상기 p형 산화물 반도체 패턴층은 3 nm 내지 100 nm 범위의 두께를 가지는,

씨모스 소자의 제조방법.

청구항 10

제 1 항에 있어서,

상기 게이트 절연층은 실리콘 산화물을 포함하고,

상기 p형 산화물 반도체 패턴층은 주석 산화물을 포함하는,

씨모스 소자의 제조방법.

청구항 11

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 기관 상에 p형 산화물 반도체층을 형성하는 단계;

상기 p형 산화물 반도체층을 염소 가스를 이용한 건식 식각을 수행하여 선택적으로 패터닝하여 p형 산화물 반도체 패턴층을 형성하는 단계; 및

상기 p형 산화물 반도체 패턴층에 전기적으로 연결되는 소스/드레인 전극을 형성하는 단계를 포함하는,

피모스 소자의 제조방법.

청구항 12

제 11 항에 있어서,
 상기 건식 식각은,
 10 sccm 내지 300 sccm 범위의 염소 가스 유량,
 1 sccm 내지 30 sccm 범위의 아르곤 가스 유량,
 1 mTorr 내지 50 mTorr 범위의 공정 압력,
 100W 내지 1000W 범위의 소스 전력, 및
 10 W 내지 500 W 범위의 바이어스 전력을 이용한 플라즈마 건식 식각을 이용하여 수행되는,
 피모스 소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로서, 보다 상세하게는 피모스 소자, 이를 포함하는 씨모스 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] IGZO(InGaZnO)로 대표되는 n형 산화물 반도체 소자(NMOS)는 비정질 실리콘(amorphous silicon)을 능가하는 점 열비와 이동도를 보인다. 이러한 우수한 전기적 성능을 보이는 NMOS 소자의 경우 이미 디스플레이 백플레인 구동 소자로 널리 상용화되어 있다. 이와 같이, IGZO, In_2O_3 , ZnO, MoS_2 등으로 구성된 상기 NMOS 소자의 경우 이미 수많은 연구가 진행되었고, 식각 방법에 대한 연구 또한 상당부분 진행되어 이미 상용화가 되고 있다.

[0003] 반면, PMOS 소자는 고성능을 구현할 수 있는 재료 및 적정 소자구조 개발의 부재로 인해 상용화의 문턱에도 도달하지 못한 상태이다. 특히 PMOS 소자의 제조 시에 식각 공정에 대한 연구가 미흡한 실정이다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국특허등록번호 제10-1100999호

발명의 내용

해결하려는 과제

[0005] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는, 선택적 식각으로 제조된 피모스 소자, 이를 포함하는 씨모스 소자 및 그 제조방법을 제공하는 것이다.

[0006] 그러나 이러한 과제는 예시적인 것으로, 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

과제의 해결 수단

[0007] 본 발명의 일 관점에 의하면, 피모스 소자, 이를 포함하는 씨모스 소자 및 그 제조방법을 제공한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 씨모스 소자의 제조방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 n형 산화물 반도체층을 형성하는 단계; 상기 n형 산화물 반도체층을 패터닝하여 n형 산화물 반도체 패터층을 형성하는 단계; 상기 기판 상에 상기 n형 산화물 반도체 패터층을 덮는 p형 산화물 반도체층을 형성하는 단계; 상기 p형 산화물 반도체층을 염소 가스를 이용한 건식 식각을 수행하여 선택적으로 패터닝하여 p형 산화물 반도체 패터층을 형성하는 단계; 및 상기 n형 산화물 반도체 패터층 및 상기 p형 산화물 반도체 패터층에 전기적으로 연결되는 소스/드레인 전극을 형성

하는 단계를 포함할 수 있다.

- [0009] 본 발명의 일 실시예에 있어서, 상기 p형 산화물 반도체 패턴층을 형성하는 단계는, 10 sccm 내지 300 sccm 범위의 염소 가스 유량, 1 sccm 내지 30 sccm 범위의 아르곤 가스 유량, 1 mTorr 내지 50 mTorr 범위의 공정 압력, 100W 내지 1000W 범위의 소스 전력, 및 10 W 내지 500 W 범위의 바이어스 전력을 이용한 플라즈마 건식 식각을 이용하여 수행될 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 n형 산화물 반도체층, 상기 p형 산화물 반도체층, 또는 이들 모두는 원자층 증착법을 이용하여 형성될 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 원자층 증착법은 0℃ 내지 400℃ 범위의 온도에서 수행될 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 n형 산화물 반도체 패턴층과 상기 p형 산화물 반도체 패턴층은 상기 기판 상에 동일한 층에 배치될 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 n형 산화물 반도체층은, 아연 산화물(ZnO), 인듐 아연 산화물(InZnO, IZO), 인듐 아연 주석 산화물(InZnSnO, IZTO), 인듐 갈륨 아연 산화물(InGaZnO, IGZO), 인듐 주석 산화물(InSnO, ITO), 아연 주석 산화물(ZnSnO, ZTO), 갈륨 아연 산화물(GaZnO, GZO), 인듐 산화물(In₂O₃), 텅스텐(W) 도핑된 인듐 산화물, 몰리브덴(Mo) 도핑된 인듐 산화물, 갈륨(Ga) 도핑된 인듐 산화물, 또는 이들의 조합을 포함할 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 p형 산화물 반도체층은, 주석 산화물(SnO), 니켈 산화물(NiO), 구리 이산화물(Cu₂O), 구리 일산화물(CuO), 란타 알루미늄 산화물(LaAlO), 주석 황화물(SnS), 텔루륨(Te) 또는 이들의 조합을 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 게이트 절연층은, 상기 원자층 증착법을 이용하여 0℃ 내지 400℃ 범위의 온도에서 형성될 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 p형 산화물 반도체 패턴층은 3 nm 내지 100 nm 범위의 두께를 가질 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 게이트 절연층은 실리콘 산화물을 포함하고, 상기 p형 산화물 반도체 패턴층은 주석 산화물을 포함할 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 피모스 소자의 제조방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 기판 상에 p형 산화물 반도체층을 형성하는 단계; 상기 p형 산화물 반도체층을 염소 가스를 이용한 건식 식각을 수행하여 선택적으로 패터닝하여 p형 산화물 반도체 패턴층을 형성하는 단계; 및 상기 p형 산화물 반도체 패턴층에 전기적으로 연결되는 소스/드레인 전극을 형성하는 단계를 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 건식 식각은, 10 sccm 내지 300 sccm 범위의 염소 가스 유량, 1 sccm 내지 30 sccm 범위의 아르곤 가스 유량, 1 mTorr 내지 50 mTorr 범위의 공정 압력, 100W 내지 1000W 범위의 소스 전력, 및 10 W 내지 500 W 범위의 바이어스 전력을 이용한 플라즈마 건식 식각을 이용하여 수행될 수 있다.

발명의 효과

- [0020] 본 발명의 기술적 사상에 의할 경우, 씨모스 박막 인버터 소자는 기개발된 n형 산화물 반도체에 p형 산화물 반도체를 집적하여 씨모스 박막 인버터 소자를 형성할 수 있다. n형 산화물 반도체 및 p형 산화물 반도체를 형성할 때, 공정 온도를 400℃ 이하로 원자층 증착법을 이용하여 형성하고, 염소 가스를 이용한 건식 식각을 수행하여 형성함으로써, 먼저 형성된 구조에 대한 열적 손상을 방지할 수 있다.
- [0021] 상술한 본 발명의 효과들은 예시적으로 기재되었고, 이러한 효과들에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시예에 따른 씨모스 소자의 일 예로서, 씨모스 박막 인버터 소자의 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 씨모스 소자의 제조방법을 도시하는 흐름도이다.

도 3은 본 발명의 일실시예에 따른 피모스 소자의 제조방법을 도시하는 흐름도이다.

도 4 내지 도 14는 본 발명의 일실시예에 따른 씨모스 소자의 제조방법을 공정단계별로 도시하는 단면도들이다.

도 15는 본 발명의 일실시예에 따른 씨모스 소자의 제조방법에서, p형 산화물 반도체 패터층을 구성하는 물질의 선택적 식각 조건을 나타내는 그래프들이다.

도 16은 본 발명의 일실시예에 따른 씨모스 소자의 제조방법에서, p형 산화물 반도체 패터층을 구성하는 물질에 대한 건식 식각 전과 후의 엘립소미터 그래프들이다.

도 17은 본 발명의 일실시예에 따른 씨모스 소자의 제조방법으로 제조한 피모스 소자의 전기적 특성을 나타내는 그래프들이다.

도 18은 본 발명의 일실시예에 따른 씨모스 소자의 제조방법으로 제조한 씨모스 소자의 광학현미경 사진들이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 기술적 사상의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 기술적 사상을 완전하게 전달하기 위하여 제공되는 것이다. 본 명세서에서 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명의 기술적 사상은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.
- [0024] 반도체 소자에서 모노리틱(Monolithic) 3차원(M3D) 구조는 스케일링 한계를 극복할 수 있는 우회 기술로써, 씨모스 회로를 수직 적층된 형태로 구현하기 위해 사용될 수 있다. 이러한 M3D 구조는 또한 반도체 소자의 데이터 처리 속도를 개선하고 소모 전력을 효과적으로 낮출 수 있는 차세대 패키징 방안으로도 주목받고 있다. 최근에는 하부 소자 상에 비정질 실리콘을 증착한 뒤 레이저 열처리 등을 통해 M3D 구조 반도체 소자를 형성하는 연구가 진행되고 있다. 상기 레이저의 사용은 하부 소자 상에 새로운 층을 형성할 때, 상기 하부 소자의 열적 손상을 일으키지 않기 위함이다. 그러나, 레이저 열처리의 높은 공정 난이도 및 공정 단가가 상용화 및 대량 생산의 관점에서 한계가 있다.
- [0025] 피모스 소자를 형성하기 위한 p형 산화물 물질로는 SnO, NiO, Cu₂O, CuO, LaAlO 등이 있다. 상기 SnO의 경우에는, n형 산화물 반도체에 상응하는 점결미와 이동도를 가질 수 있으므로, PMOS 물질로서 매우 유망하다. 또한, 미세 소자 구조 대응을 위해, SnO 박막을 원자층 증착법으로 형성하는 기술을 제안할 수 있다. 원자층 증착법으로 형성된 p형 산화물 반도체 박막을 미리 형성된 n형 산화물 반도체 박막과 함께 집적하면, 저전력 디스플레이 구동이 가능해질 뿐만 아니라 반도체 분야의 핵심 기술인 M3D 구조를 구현할 수 있다.
- [0026] 본 명세서에서 "소스/드레인 전극"은 소스 전극과 드레인 전극으로 포괄적으로 지칭하는 용어로서, 동일한 전극이 경우에 따라 소스 전극으로 기능하거나 또는 드레인 전극으로 기능함을 의미한다.
- [0027] 도 1은 본 발명의 일실시예에 따른 씨모스 소자의 일 예로서, 씨모스 박막 인버터 소자의 회로도이다.
- [0028] 도 1을 참조하면, 씨모스 박막 인버터 소자는 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터를 포함하여 구성될 수 있다.
- [0029] 상기 씨모스 박막 인버터 소자의 전기적 연결관계는 다음과 같이 이루어질 수 있다. 상기 PMOS 트랜지스터의 소스는 전원 단자(VDD)에 연결된다. 상기 NMOS 트랜지스터의 소스는 접지 단자(VSS)에 연결된다. 상기 PMOS 트랜지스터의 게이트와 NMOS 트랜지스터 게이트는 입력 단자에 연결된다. 상기 PMOS 트랜지스터의 드레인과 NMOS 트랜지스터 드레인은 출력 단자에 연결된다. 상기 출력 단자는 복수로 형성될 수 있고, 즉 상기 PMOS 트랜지스터의 드레인과 NMOS 트랜지스터 드레인에 각각 연결된 출력 단자를 포함할 수 있다.
- [0030] 상기 씨모스 박막 인버터 소자의 동작은 다음과 같이 이루어질 수 있다. 상기 PMOS 트랜지스터의 게이트와 NMOS 트랜지스터의 게이트는 입력 단자(Vin)에서 입력신호(Vin)를 공통으로 입력받고, 공통으로 접속된 상기 PMOS 트랜지스터의 드레인과 상기 NMOS 트랜지스터의 드레인으로 입력신호(Vin)를 반전시킨 출력신호(Vout)를 출력할 수 있다. 그러나, 이러한 동작은 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.
- [0031] 이때 입력 단자로부터 입력신호(Vin)가 인가되면, 이는 게이트 전압으로서 상기 NMOS 트랜지스터 및 상기 PMOS

트랜지스터에 동시에 인가된다. 상기 NMOS 트랜지스터와 상기 PMOS 트랜지스터는 전압 인가 시에 그 특성이 반대로 발현되므로, 인가되는 입력신호 전압에 따라 한 쪽이 턴-온 상태가 되면, 다른 한 쪽이 꺼지는 턴-오프 상태가 방식으로 동작하게 된다. 상기 NMOS 트랜지스터 및 상기 PMOS 트랜지스터가 상호 보완적으로 동작하기 때문에 씨모스 소자로 지칭할 수 있다.

[0032] 도 2는 본 발명의 일실시예에 따른 씨모스 소자의 제조방법을 도시하는 흐름도이다.

[0033] 도 2를 참조하면, 씨모스 소자의 제조방법(S100)은, 게이트 전극 형성단계(S110), 게이트 절연층 형성단계(S120), n형 산화물 반도체층 형성단계(S130), n형 산화물 반도체 패턴층 형성단계(S140), p형 산화물 반도체층 형성단계(S150), p형 산화물 반도체 패턴층 형성단계(S160), 및 소스/드레인 전극 형성단계(S170)를 포함한다.

[0034] 도 3은 본 발명의 일실시예에 따른 피모스 소자의 제조방법을 도시하는 흐름도이다.

[0035] 도 3을 참조하면, 피모스 소자의 제조방법(S200)은, 게이트 전극 형성단계(S210), 게이트 절연층 형성단계(S220), p형 산화물 반도체층 형성단계(S250), p형 산화물 반도체 패턴층 형성단계(S260), 및 소스/드레인 전극 형성단계(S270)를 포함한다.

[0036] 도 4 내지 도 14는 본 발명의 일실시예에 따른 씨모스 소자의 제조방법을 공정단계별로 도시하는 단면도들이다.

[0037] 도 4 내지 도 14에서는, 피모스(PMOS) 소자와 엔모스(NMOS) 소자를 함께 형성함에 따른 씨모스 소자의 제조방법을 공정단계별로 도시한다. 그러나, 이는 예시적이며, 피모스 소자를 단독으로 설명하는 경우도 본 발명의 기술적 사상에 포함된다.

[0038] 도 4를 참조하면, 버퍼층(120)이 형성된 기판(110) 상에 게이트 전극(130)을 형성한다.

[0039] 기판(110)은 각 구성요소를 지지하는 부분으로서, 폴리이미드로 대표되는 유연 기판, 실리콘(Si), 실리콘 산화물(SiO_2), 알루미늄 산화물(Al_2O_3), 티타늄 산화물(TiO_2), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2), 란타늄 산화물(La_2O_3) 또는 이들의 조합을 포함할 수 있다.

[0040] 버퍼층(120)은 기판(110) 상에 형성되며, 제조공정에서 발생할 수 있는 불순물 유입을 방지하기 위해 형성된다. 버퍼층(120)은 스퍼터링, 원자층 증착법, 또는 화학기상증착법을 이용하여 형성할 수 있다. 버퍼층(120)은, 예를 들어 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 조합을 포함할 수 있고, 단일층 또는 다양한 방식으로 조합된 다중층일 수 있다. 버퍼층(120)은 선택적이며 생략될 수 있다.

[0041] 게이트 전극(130)은 기판(110) 또는 버퍼층(120) 상에 도전층을 전면적으로 형성하고, 이어서 포토리소그래피 및 식각을 이용하여 일부 영역을 제거함에 따라 원하는 형상으로 형성할 수 있다.

[0042] 게이트 전극(130)은 상기 엔모스 소자를 위한 제1 게이트 전극(130_1) 및 상기 피모스 소자를 위한 제2 게이트 전극(130_2)을 포함할 수 있다.

[0043] 게이트 전극(130)은, 예를 들어 도전물을 포함할 수 있고, 예를 들어 금, 백금, 은, 구리, 텅스텐, 몰리브덴, 티타늄 질화물, 루세늄, 이리듐, 인듐 주석 산화물(InSnO , ITO) 등을 포함할 수 있다. 게이트 전극(130)은 실리콘에 p형 도판트가 도핑된 층(P++ Si 층)으로 구성되거나 또는 실리콘에 n형 도판트가 도핑된 층으로 구성될 수 있다. 그러나 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0044] 도 5를 참조하면, 게이트 전극(130) 상에 게이트 절연층(140)을 형성한다. 게이트 절연층(140)은 기판(110) 또는 버퍼층(120) 상에 게이트 전극(130)을 덮도록 형성될 수 있다. 게이트 절연층(140)은 기판(110) 상에 전면적으로 형성되거나 또는 게이트 전극(130) 상에 국한하는 등 기판(110) 상의 일부 영역에 형성될 수 있다.

[0045] 게이트 절연층(140)은 원자층 증착법을 이용하여 형성될 수 있다. 상기 원자층 증착법은 상온 이상의 온도에서 수행될 수 있고, 예를 들어 0°C 내지 400°C 범위의 온도에서 수행될 수 있고, 예를 들어 20°C 내지 300°C 범위의 온도에서 수행될 수 있다. 이와 같이, 상기 원자층 증착법을 상대적으로 저온으로 수행하여 게이트 절연층(140)을 형성함에 따라, 기판(110)에 기형성된 다른 소자들 또는 구조물들의 열적 손상을 방지하거나 최소화할 수 있다.

[0046] 게이트 절연층(140)은, 예를 들어 절연물을 포함할 수 있고, 예를 들어 실리콘 산화물(SiO_2), 알루미늄 산화물(Al_2O_3), 티타늄 산화물(TiO_2), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2), 란타늄 산화물(La_2O_3) 또는 이들의 조합을 포함할 수 있다.

- [0047] 도 6을 참조하면, 게이트 절연층(140) 상에 전면적으로 n형 산화물 반도체층(152)을 형성한다.
- [0048] n형 산화물 반도체층(152)은 원자층 증착법을 이용하여 형성될 수 있다. 상기 원자층 증착법은 상온 이상의 온도에서 수행될 수 있고, 예를 들어 0℃ 내지 400℃ 범위의 온도에서 수행될 수 있고, 예를 들어 20℃ 내지 300℃ 범위의 온도에서 수행될 수 있다. 이와 같이, 상기 원자층 증착법을 상대적으로 저온으로 수행하여 n형 산화물 반도체층(152)을 형성함에 따라, 기판(110)에 기형성된 다른 소자들 또는 구조물들의 열적 손상을 방지하거나 최소화할 수 있다.
- [0049] n형 산화물 반도체층(152)은, 예를 들어 아연 산화물(ZnO), 인듐 아연 산화물(InZnO, IZO), 인듐 아연 주석 산화물(InZnSnO, IZTO), 인듐 갈륨 아연 산화물(InGaZnO, IGZO), 인듐 주석 산화물(InSnO, ITO), 아연 주석 산화물(ZnSnO, ZTO), 갈륨 아연 산화물(GaZnO, GZO), 인듐 산화물(In₂O₃), 텅스텐(W) 도핑된 인듐 산화물, 몰리브덴(Mo) 도핑된 인듐 산화물, 갈륨(Ga) 도핑된 인듐 산화물, 또는 이들의 조합을 포함할 수 있다. 또한, n형 산화물 반도체층(152)은 산화물이 아닌 물질로 구성될 수 있고, 따라서 n형 산화물 반도체층(152)은 n형 반도체층으로 지칭될 수 있다.
- [0050] 도 7을 참조하면, n형 산화물 반도체층(152)을 패터닝하여 n형 산화물 반도체 패턴층(150)을 형성한다. n형 산화물 반도체 패턴층(150)은 포토리소그래피 및 식각을 이용하여 형성할 수 있다. n형 산화물 반도체 패턴층(150)은 제1 게이트 전극(130_1)의 상측에서 중첩되도록 형성될 수 있다.
- [0051] 피모스 소자만을 형성하는 경우에는, 상술한 n형 산화물 반도체층(152)과 n형 산화물 반도체 패턴층(150)을 형성하는 단계는 생략될 수 있다.
- [0052] 도 8을 참조하면, 게이트 절연층(140) 상에 전면적으로 p형 산화물 반도체층(162)을 형성한다. p형 산화물 반도체층(162)은 n형 산화물 반도체 패턴층(150)을 덮도록 형성될 수 있다.
- [0053] p형 산화물 반도체층(162)은 원자층 증착법을 이용하여 형성될 수 있다. 상기 원자층 증착법은 상온 이상의 온도에서 수행될 수 있고, 예를 들어 0℃ 내지 400℃ 범위의 온도에서 수행될 수 있고, 예를 들어 20℃ 내지 300℃ 범위의 온도에서 수행될 수 있다. 이와 같이, 상기 원자층 증착법을 상대적으로 저온으로 수행하여 p형 산화물 반도체층(162)을 형성함에 따라, 기형성된 n형 산화물 반도체 패턴층(150) 또는 기판(110)에 기형성된 다른 소자들 또는 구조물들의 열적 손상을 방지하거나 최소화할 수 있다.
- [0054] p형 산화물 반도체층(162)은, 예를 들어 주석 산화물(SnO), 니켈 산화물(NiO), 구리 이산화물(Cu₂O), 구리 일산화물(CuO), 란타 알루미늄 산화물(LaAlO), 주석 황화물(SnS), 텔루륨(Te) 또는 이들의 조합을 포함할 수 있다. 또한, p형 산화물 반도체층(162)은 산화물이 아닌 물질로 구성될 수 있고, 따라서 p형 산화물 반도체층(162)은 p형 반도체층으로 지칭될 수 있다.
- [0055] 도 9를 참조하면, p형 산화물 반도체층(162) 상에 제1 포토레지스트 패턴(164)을 형성한다. 제1 포토레지스트 패턴(164)은 제2 게이트 전극(130_2)의 상측에서 중첩되도록 형성될 수 있다. 제1 포토레지스트 패턴(164)은 프로모터(Promoter) 및 포지티브 포토레지스트를 포함할 수 있다. 상기 프로모터는 AZ AD promoter-K를 포함할 수 있고, 상기 포지티브 포토레지스트는 AZ GXR-601을 포함할 수 있다.
- [0056] 상기 p형 산화물 반도체 패턴층은, 예를 들어 3 nm 내지 100 nm 범위의 두께를 가질 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.
- [0057] 도 10을 참조하면, p형 산화물 반도체층(162)을 제1 포토레지스트 패턴(164)을 이용하여 선택적으로 패터닝하여 p형 산화물 반도체 패턴층(160)을 형성한다. p형 산화물 반도체 패턴층(160)은 포토리소그래피 및 식각을 이용하여 형성할 수 있다. p형 산화물 반도체 패턴층(160)은 제2 게이트 전극(130_2)의 상측에서 중첩되도록 형성될 수 있다. p형 산화물 반도체층(162)은 준안정적인 특징으로 인하여 n형 산화물 반도체 박막에 비해 화학적 식각에 민감하게 반응하여 식각 속도가 상대적으로 높을 수 있다.
- [0058] p형 산화물 반도체층(162)의 패터닝을 위한 식각 공정을 염소 가스를 이용한 건식 식각으로 수행할 수 있고, 이러한 경우에는, n형 산화물 반도체 패턴층(150) 및 기판을 구성하는 소자층 또는 유전층 등에 손상을 발생시키거나 또는 원하지 않는 식각을 발생하지 않고, p형 산화물 반도체층(162)만을 선택적으로 식각할 수 있다.
- [0059] 따라서, p형 산화물 반도체층(162)을 형성하는 단계에서, n형 산화물 반도체 패턴층(150)을 둘러싸는 p형 산화물 반도체층(162)이 제거되어, n형 산화물 반도체 패턴층(150)의 상면 및 측면이 노출될 수 있다. 이때에, n형 산화물 반도체 패턴층(150)은 제거되지 않거나 최소한으로 제거될 수 있다.

- [0060] 결과적으로, n형 산화물 반도체 패턴층(150)과 p형 산화물 반도체 패턴층(160)은 기판(110) 상에 동일한 층에 배치될 수 있다.
- [0061] 도 11을 참조하면, 제1 포토레지스트 패턴(164)을 아세톤, 아이소프로필 알코올, 및 물 중 적어도 어느 하나를 이용하여 제거한다. 이에 따라 p형 산화물 반도체 패턴층(160)이 노출될 수 있다.
- [0062] 도 12를 참조하면, 게이트 절연층(140) 상에 제2 포토레지스트 패턴(174)을 형성한다. 구체적으로, 제2 포토레지스트 패턴(174)은 n형 산화물 반도체 패턴층(150)의 일부 영역과 p형 산화물 반도체 패턴층(160)의 일부 영역을 덮도록 형성될 수 있다. 또한, 제2 포토레지스트 패턴(174)은 게이트 절연층(140)의 일부 영역을 덮을 수 있다. 제2 포토레지스트 패턴(174)은 네거티브 포토레지스트를 포함할 수 있다. 상기 네거티브 포토레지스트는 DNR-L300-40을 포함할 수 있다.
- [0063] 도 13을 참조하면, 게이트 절연층(140) 상에 제2 포토레지스트 패턴(174)을 덮도록 전면적으로 전극 도전층(172)을 형성한다. 전극 도전층(172)은 n형 산화물 반도체 패턴층(150)의 노출된 영역과 p형 산화물 반도체 패턴층(160)의 노출된 영역에 접촉하여 덮도록 형성될 수 있다. 전극 도전층(172)은 스퍼터링, 원자층 증착법, 또는 화학기상증착법을 이용하여 형성할 수 있다. 전극 도전층(172)은, 예를 들어 금, 백금, 은, 구리, 텅스텐, 몰리브덴, 티타늄 질화물, 루세늄, 이리듐, 또는 이들의 조합을 포함할 수 있다. 그러나 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.
- [0064] 도 14를 참조하면, n형 산화물 반도체 패턴층(150) 및 p형 산화물 반도체 패턴층(160)에 전기적으로 연결되는 소스/드레인 전극(170)을 형성한다. 구체적으로, 제2 포토레지스트 패턴(174)을 리프트 오프에 의하여 제거하여, 제2 포토레지스트 패턴(174) 상에 접촉하는 전극 도전층(172)을 함께 제거함으로써, 소스/드레인 전극(170)을 형성한다. 소스/드레인 전극(170)은, 예를 들어 금, 백금, 은, 구리, 텅스텐, 몰리브덴, 티타늄 질화물, 루세늄, 이리듐, 또는 이들의 조합을 포함할 수 있다. 그러나 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.
- [0065] 이에 따라, 씨모스 소자(100)를 완성한다.
- [0066] 씨모스 소자(100)는, 기판(110), 버퍼층(120), 게이트 전극(130), 게이트 절연층(140), n형 산화물 반도체 패턴층(150), p형 산화물 반도체 패턴층(160), 및 소스/드레인 전극(170)을 포함한다.
- [0067] 구체적으로 씨모스 소자(100)는, 기판(110); 기판(110) 상에 배치된 제1 및 제2 게이트 전극(130_1, 130_2); 제1 및 제2 게이트 전극(130_1, 130_2)을 덮도록 배치된 게이트 절연층(140); 상기 게이트 절연층(140) 상에 제1 게이트 전극(130_1)과 중첩되도록 배치된 n형 산화물 반도체 패턴층(150); 상기 게이트 절연층(140) 상에 제2 게이트 전극(130_2)과 중첩되도록 배치된 p형 산화물 반도체 패턴층(160); 및 상기 n형 산화물 반도체 패턴층(150)의 일부 영역 및 p형 산화물 반도체 패턴층(160)의 일부 영역 상에 전기적으로 연결되도록 배치된 소스/드레인 전극(170)을 포함한다. 또한, 씨모스 박막 인버터 소자(100)는, 기판(110) 상에 배치된 버퍼층(120)을 더 포함할 수 있다.
- [0068] 제1 및 제2 게이트 전극(130_1, 130_2)과 소스/드레인 전극(170)은 게이트 절연층(160)에 의하여 전기적으로 분리될 수 있다. 소스/드레인 전극(170)들은 n형 산화물 반도체 패턴층(150) 또는 p형 산화물 반도체 패턴층(160)을 통하여 전기적으로 연결될 수 있다.
- [0069] n형 산화물 반도체 패턴층(150) 및 p형 산화물 반도체 패턴층(160)의 면적은 원하는 전류 값을 취득하기 위하여 제어될 수 있다. n형 산화물 반도체 패턴층(150) 및 p형 산화물 반도체 패턴층(160) 각각은 5 nm 내지 1000 nm 범위의 길이와 5 nm 내지 1000 nm 범위의 폭을 가질 수 있고, 따라서 25 nm^2 내지 $1,000,000\text{ nm}^2$ 범위의 면적을 가질 수 있다.
- [0070] 씨모스 소자의 제조방법(S100)에 의하여 형성된 씨모스 소자는 기판을 기준으로 n형 산화물 반도체 패턴층 및 상기 p형 산화물 반도체 패턴층의 하부에 게이트 전극이 위치하는 구조이다.
- [0071] 또한, 씨모스 소자의 제조방법(S100)은 기판을 기준으로 n형 산화물 반도체 패턴층 및 상기 p형 산화물 반도체 패턴층의 상부에 게이트 전극이 위치하는 씨모스 소자에도 적용될 수 있다.
- [0072] 씨모스 소자(100)는, 다양한 씨모스 소자를 포함할 수 있고, 예를 들어 씨모스 박막 인버터 소자를 포함할 수 있다.
- [0073] 또한, 상술한 씨모스 소자의 제조방법의 설명을 적용하여, 씨모스 소자를 제조할 수 있다. 상기 씨모스 소자는,

예를 들어 P-형 박막 트랜지스터를 포함할 수 있다.

- [0074] 이하에서는, p형 산화물 반도체 패턴층(160)을 형성하는 단계에서 상기 건식 식각에 대하여 상세하게 설명하기로 한다.
- [0075] p형 산화물 반도체층(162)을 묽은 염산 등의 묽은 농도의 용액을 사용하는 습식 식각을 이용하여 식각한 경우에는 높은 선택도의 장점이 있지만, 반도체 스케일링이 한계에 도달한 현 상황에서 용액 공정을 통한 나노 단위의 식각률 제어가 어렵고, 언더컷등의 문제가 발생하며 표면이 오염될 수 있다.
- [0076] 반면, 축전 결합 플라즈마(capacitively coupled plasma) 또는 유도 결합 플라즈마(inductively coupled plasma)를 이용한 건식 식각의 경우에는 미세한 패턴의 형성에 유리하며 표면의 오염도 상대적으로 적게 일어나 고성능, 고효율의 소자 제작에 유리하다. 다만, 종래의 건식식각 공정에서 확보하기 어려웠던 선택도가 확보된다면 미세 소자 제작 공정의 수율이 매우 크게 증가할 수 있다는 장점이 있다.
- [0077] p형 산화물 반도체 패턴층(160)을 형성하는 건식 식각은 하기의 조건을 만족할 수 있다.
- [0078] 상기 건식 식각의 조건은, 예를 들어 10 sccm 내지 300 sccm 범위의 염소 가스 유량, 1 sccm 내지 30 sccm 범위의 아르곤 가스 유량, 1 mTorr 내지 50 mTorr 범위의 공정 압력, 100W 내지 1000W 범위의 소스 전력, 및 10 W 내지 500 W 범위의 바이어스 전력을 포함할 수 있다. 또한, 상기 건식 식각의 조건은, 예를 들어 30 sccm 내지 70 sccm 범위의 염소 가스 유량, 3 sccm 내지 7 sccm 범위의 아르곤 가스 유량, 5 mTorr 내지 10 mTorr 범위의 공정 압력, 200W 내지 300W 범위의 소스 전력, 및 50 W 내지 100 W 범위의 바이어스 전력을 포함할 수 있다.
- [0079] 예를 들어, 상기 게이트 절연층은 실리콘 산화물(SiO_2)을 포함할 수 있다. 상기 p형 산화물 반도체 패턴층은 주석 산화물(SnO)을 포함할 수 있다. 또한, 상기 게이트 절연층은 알루미늄 산화물(Al_2O_3) 또는 hafnium 산화물(HfO_2)을 포함할 수 있다. 또한, 상기 p형 산화물 반도체 패턴층은 니켈 산화물(NiO), 또는 구리 산화물(CuO)을 포함할 수 있다. 또한, 상기 p형 산화물 반도체 패턴층은 p형 반도체 패턴층일 수 있고, 예를 들어 텔루륨(Te)을 포함할 수 있다.
- [0080] 본 발명에 따른 선택적 식각은, 종래의 일반적인 식각 공정 시간보다 더욱 긴 시간으로 수행하여도, 식각 타겟인 p형 산화물 반도체층을 제외한 다른 물질은 제거되지 않을 수 있다. 따라서, 12인치 이상의 대면적 웨이퍼의 균일한 식각 공정에 특히 유리할 수 있다. 따라서, 미리 패턴닝된 n형 산화물 반도체 패턴층 및 게이트 절연층은 식각되지 않으면서 상기 p형 산화물 반도체층의 패턴닝이 가능해지므로, 씨모스 소자의 제조공정에 매우 유리하다. 따라서, 상기 P형 물질의 선택적 식각은 평판 반도체 소자, 핀펫 반도체 소자, 게이트 올라운드 반도체 소자 등의 미세화를 위해 3차원 구조를 구현할 수 있다.
- [0081] 실험예
- [0082] 이하에서는 본 발명의 이해를 돕기 위한 실험예에 대해서 설명한다. 하기의 실험예는 발명의 이해를 돕기 위해 제시되는 것이며, 본 발명의 하기 실험예로 한정되는 것은 아니다.
- [0083] n형 산화물 반도체 패턴층으로 인듐 아연 주석 산화물(InZnSnO , IZTO)을 사용하고, p형 산화물 반도체 패턴층으로 주석 산화물(SnO)을 사용하여 씨모스 박막 인버터 소자를 형성하였다. 상기 n형 산화물 반도체 패턴층과 상기 p형 산화물 반도체 패턴층은 400℃ 이하의 온도에서 원자층 증착법에 의하여 형성하였다. 상기 p형 산화물 반도체 패턴층은 50 sccm의 염소 가스 유량, 5 sccm의 아르곤 가스 유량, 8 mTorr의 공정 압력, 240W의 소스 전력, 및 75 W의 바이어스 전력을 이용한 플라즈마 건식 식각으로 형성하였다.
- [0084] 도 15는 본 발명의 일실시예에 따른 씨모스 소자의 제조방법에서, p형 산화물 반도체 패턴층을 구성하는 물질의 선택적 식각 조건을 나타내는 그래프들이다.
- [0085] 도 15의 (a)를 참조하면, 주석 산화물(SnO), 실리콘 산화물(SiO_2), 알루미늄 산화물(Al_2O_3), 및 인듐 산화물(In_2O_3)과 염소 가스(Cl_2)의 화학반응에 대한 온도에 따른 자유에너지 그래프가 나타나있다. 0℃ 내지 1000℃의 온도 범위에서, 실리콘 산화물(SiO_2) 및 알루미늄 산화물(Al_2O_3)은 상기 염소 가스와의 화학반응의 자유에너지가 양의 값을 가지는 반면, 주석 산화물(SnO)은 자유에너지가 음의 값을 가지므로, 상기 주석 산화물의 화학반응이 우선적으로 발생할 수 있다.

- [0086] 도 15의 (b)를 참조하면, 주석 산화물(SnO), 실리콘 산화물(SiO₂), 및 알루미늄 산화물(Al₂O₃)의 염소 가스를 이용한 식각 시간(etch time)에 대한 두께 변화를 나타내는 그래프이다. 식각 시간이 증가될수록 상기 알루미늄 산화물의 두께 변화는 거의 없으며, 상기 실리콘 산화물은 약간 감소되었고, 상기 주석 산화물은 급격하게 감소하였다. 식각 속도를 비교하면, 상기 주석 산화물은 2.8 nm/초, 상기 실리콘 산화물은 0.53 nm/초, 알루미늄 산화물은 0.05 nm/초로 나타났다.
- [0087] 따라서, 게이트 절연물을 구성할 수 있는 실리콘 산화물 및 알루미늄 산화물에 비하여 p형 산화물 반도체 패턴을 구성하는 주석 산화물의 염소 가스에 대한 식각 속도가 높으므로 우선적으로 식각될 수 있고, 따라서, 상기 p형 산화물 반도체 패턴의 선택적 식각을 구현할 수 있다.
- [0088] 도 16은 본 발명의 일실시예에 따른 씨모스 소자의 제조방법에서, p형 산화물 반도체 패턴층을 구성하는 물질에 대한 건식 식각 전과 후의 엘립소미터 그래프들이다.
- [0089] 도 16을 참조하면, p형 산화물 반도체 패턴층을 구성하는 물질로서, 주석 산화물(SnO), 실리콘 산화물(SiO₂), 및 알루미늄 산화물(Al₂O₃)에 대한 건식 식각을 수행하기 전과 후의 엘립소미터 그래프들이다. 상기 그래프의 형태의 변화가 상기 실리콘 산화물 및 상기 알루미늄 산화물에 비하여 주석 산화물이 훨씬 더 크게 나타났고, 따라서 상기 주석 산화물의 식각 선택비가 높은 것으로 분석된다.
- [0090] 도 17은 본 발명의 일실시예에 따른 씨모스 소자의 제조방법으로 제조한 씨모스 소자의 전기적 특성을 나타내는 그래프들이다.
- [0091] 도 17을 참조하면, 상기 씨모스 소자의 제조방법으로 제조한 박막 트랜지스터가 P-형 전기적 특성을 구현할 수 있다. 또한, 알루미늄 산화물로 패시베이션하거나 어닐링을 통하여 소자의 성능을 향상시킬 수 있다.
- [0092] 도 18은 본 발명의 일실시예에 따른 씨모스 소자의 제조방법으로 제조한 씨모스 소자의 광학현미경 사진들이다.
- [0093] 도 18의 (a)를 참조하면, 상기 씨모스 소자의 제조방법으로 제조한 박막 트랜지스터가 나타나있다.
- [0094] 도 18의 (b)를 참조하면, 상기 씨모스 소자의 제조방법으로 제조한 씨모스 박막 인버터 소자가 나타나있다.
- [0095] 이상에서 설명한 본 발명의 기술적 사상이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명의 기술적 사상이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

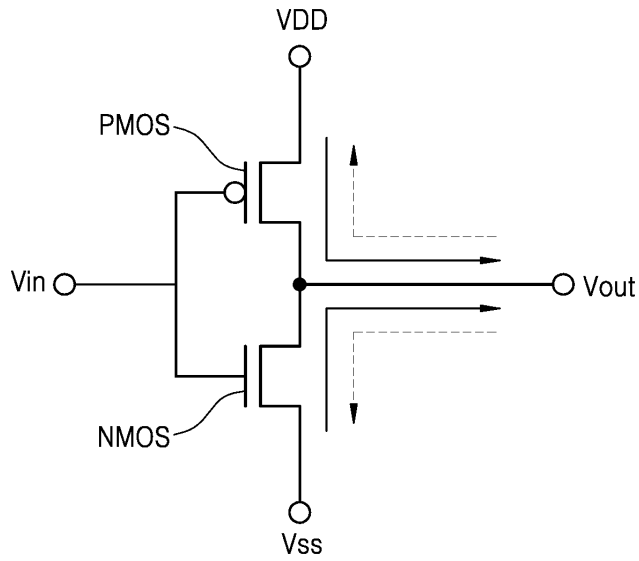
부호의 설명

- [0096] 100: 씨모스 소자,
 110: 기판,
 120: 버퍼층,
 130: 게이트 전극,
 130_1: 제1 게이트 전극,
 130_2: 제2 게이트 전극,
 140: 게이트 절연층,
 150: n형 산화물 반도체 패턴층,
 152: n형 산화물 반도체층,
 160: p형 산화물 반도체 패턴층,
 162: p형 산화물 반도체층,
 164: 제1 포토레지스트 패턴,
 170: 소스/드레인 전극,
 172: 전극 도전층,

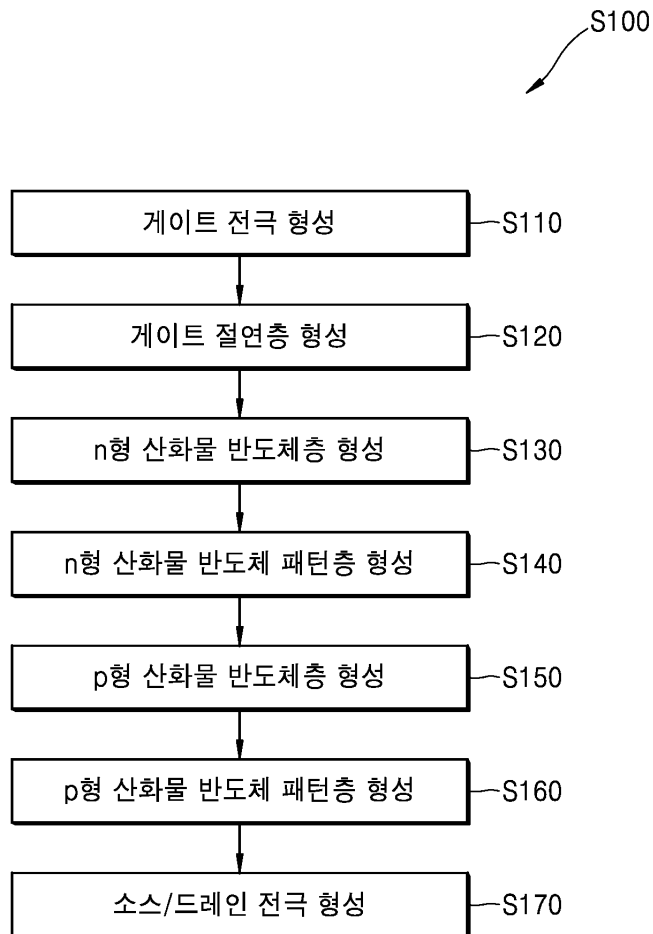
174: 제2 포토레지스트 패턴,

도면

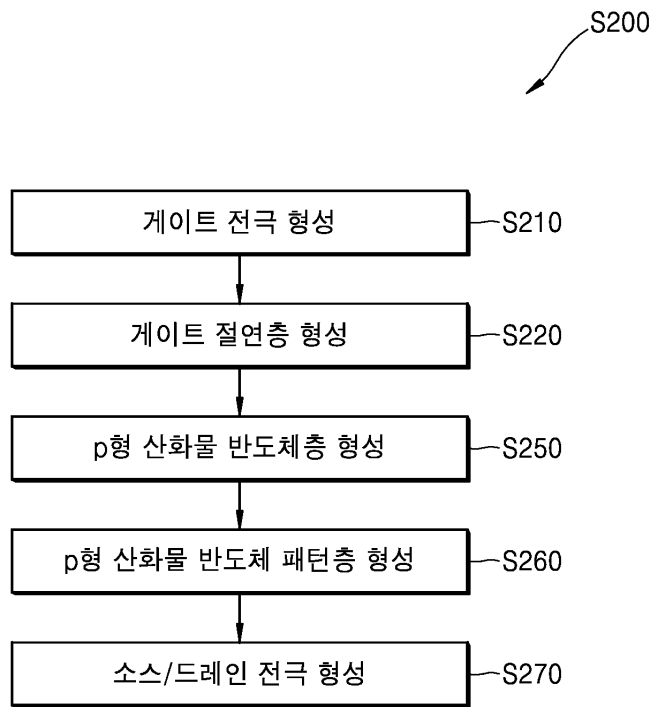
도면1



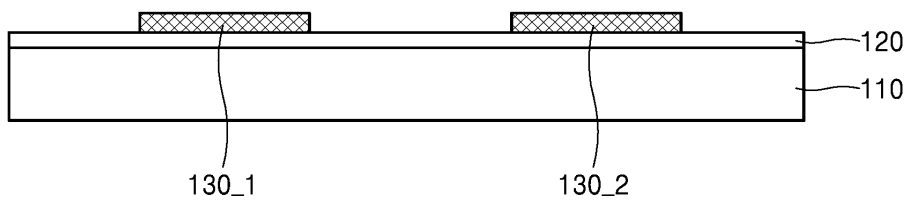
도면2



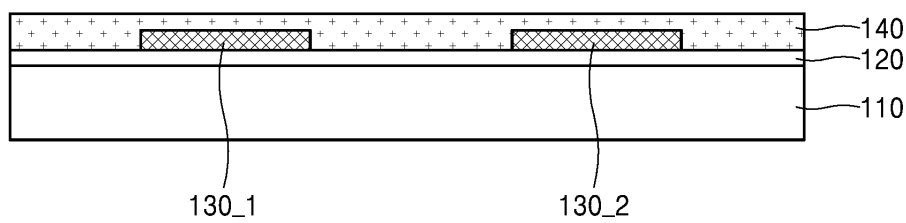
도면3



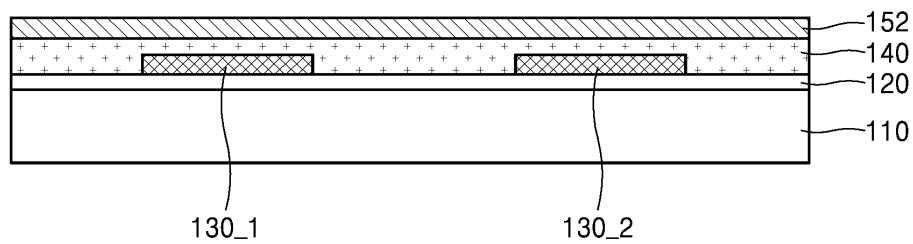
도면4



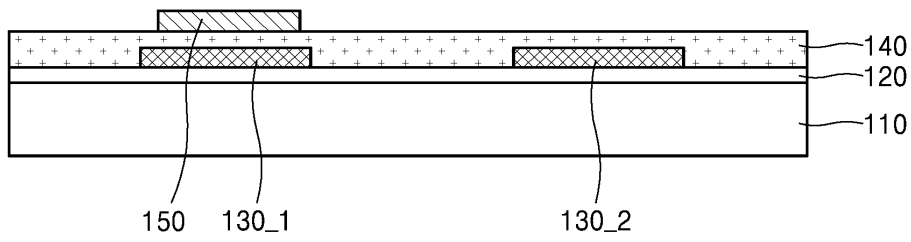
도면5



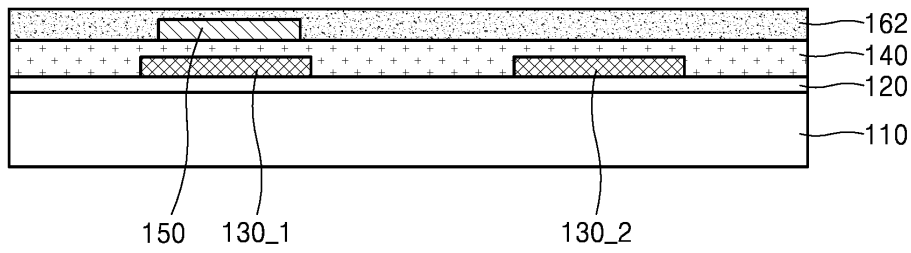
도면6



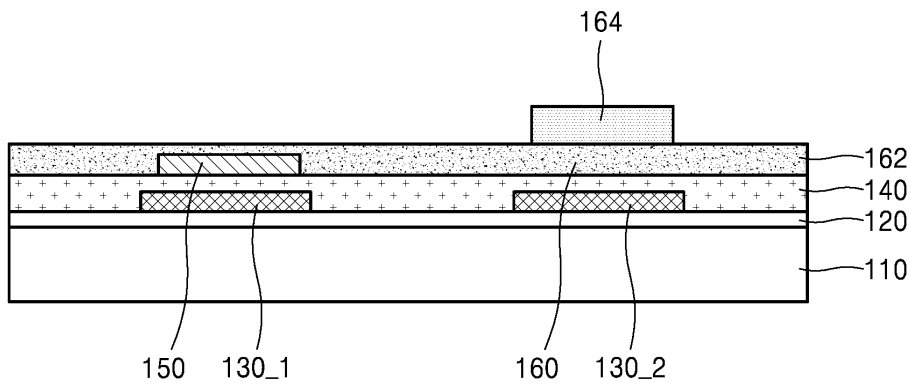
도면7



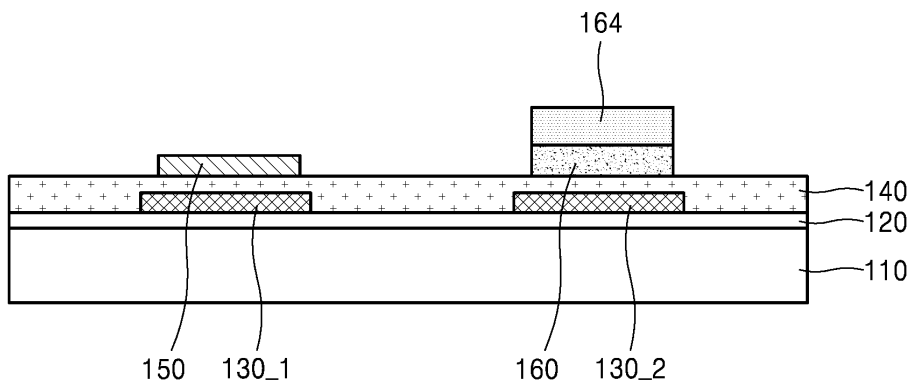
도면8



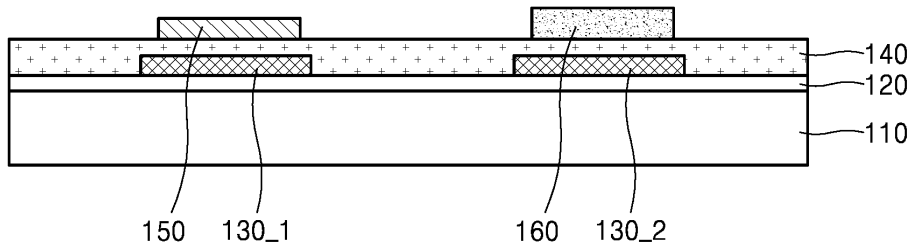
도면9



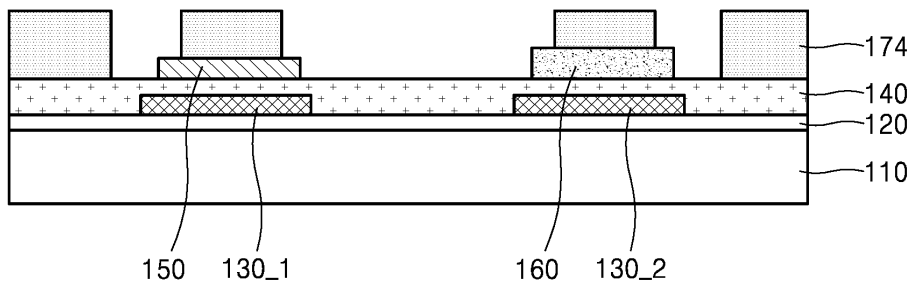
도면10



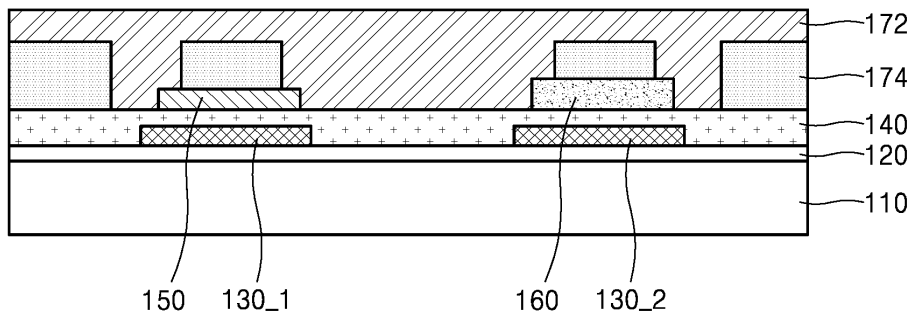
도면11



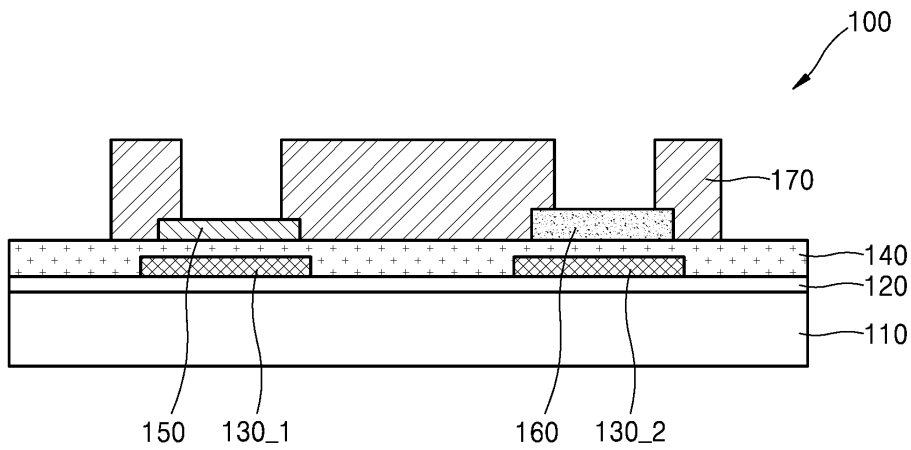
도면12



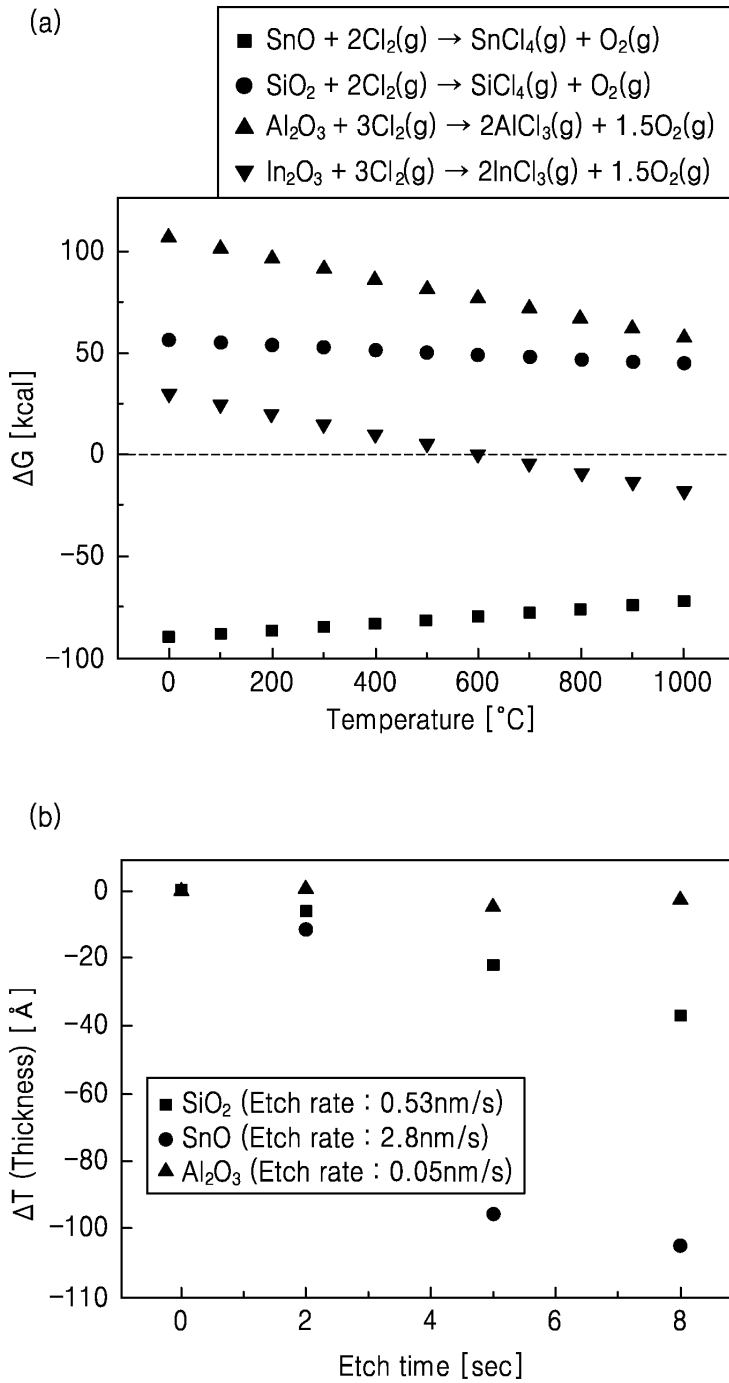
도면13



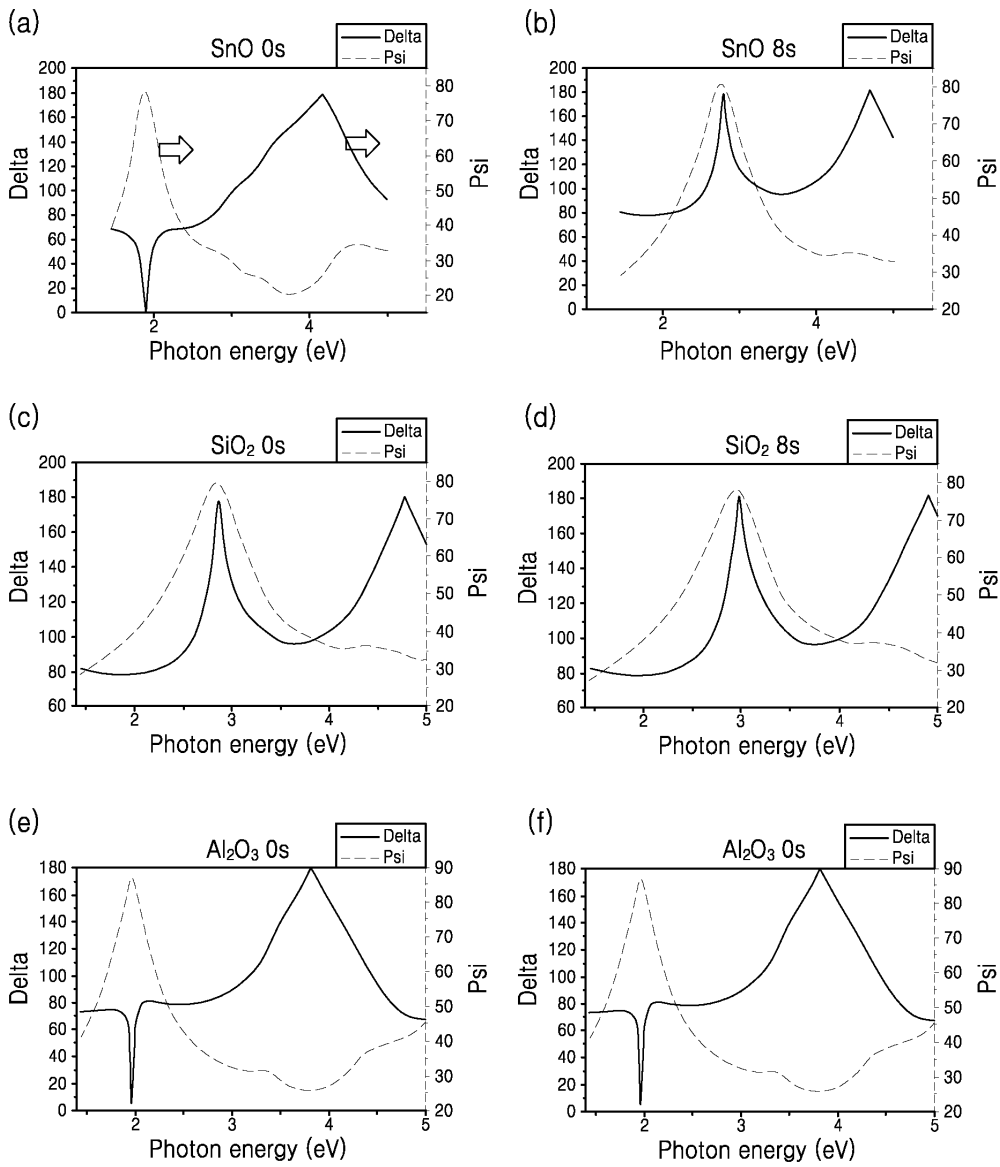
도면14



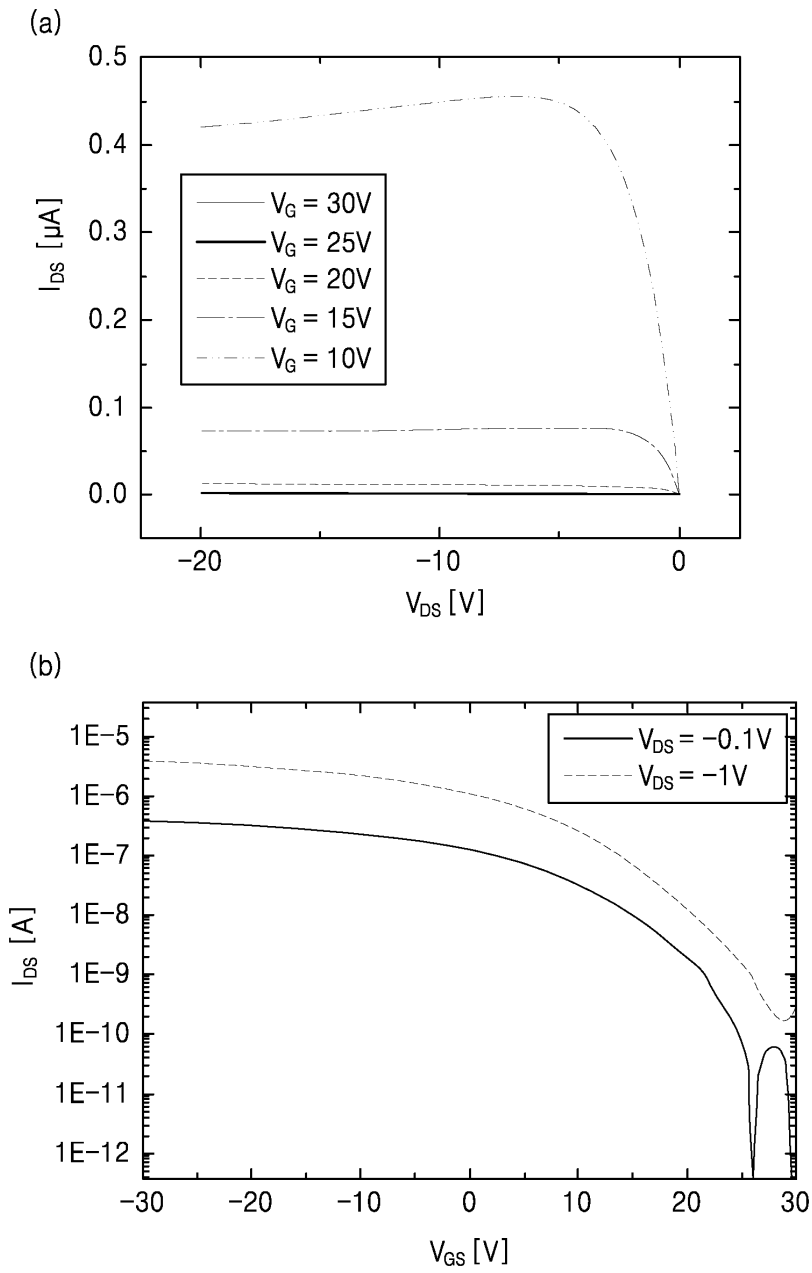
도면15



도면16

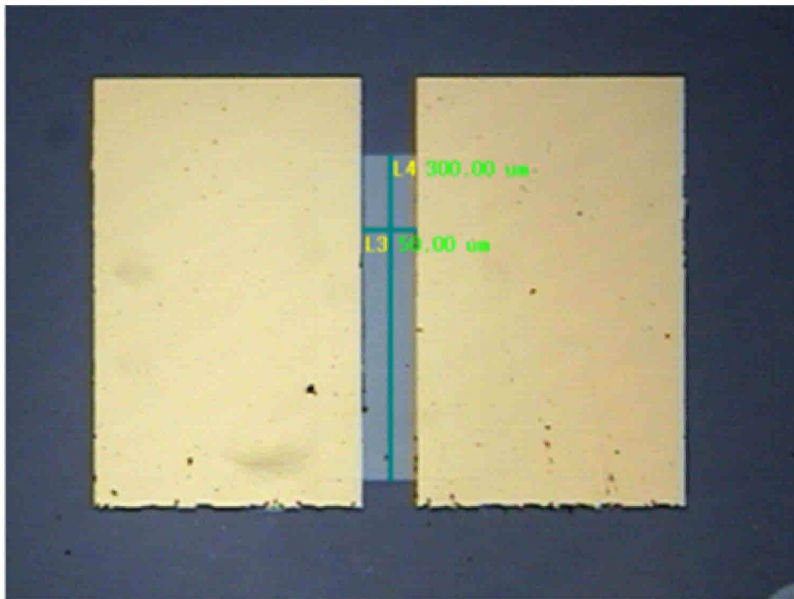


도면17



도면18

(a)



(b)

