

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 12월 7일 (07.12.2017) **WIPO | PCT**

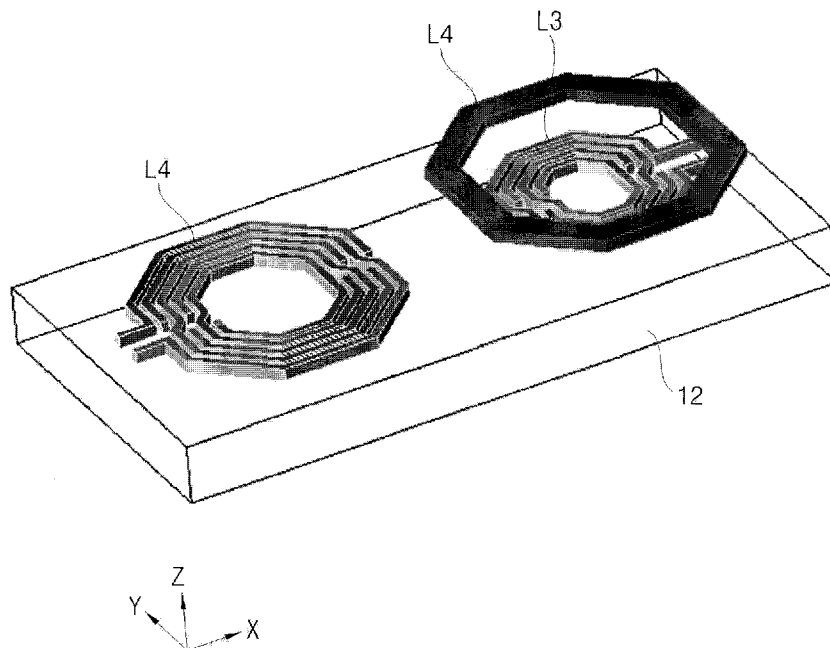


(10) 국제공개번호
WO 2017/209377 A1

- (51) 국제특허분류: **H01F 27/38** (2006.01) **H03B 5/20** (2006.01)
H01F 27/36 (2006.01) **H03F 1/34** (2006.01)
- (21) 국제출원번호: PCT/KR2017/002006
- (22) 국제출원일: 2017년 2월 23일 (23.02.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2016-0068260 2016년 6월 1일 (01.06.2016) KR
- (71) 출원인: 한국과학기술원 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) [KR/KR]; 34141 대전시 유성구 대학로 291, Daejeon (KR). 성균관대학교산학협력단 (RESEARCH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) [KR/KR]; 16419 경기도 수원시 장안구 서부로 2066, Gyeonggi-do (KR).
- (72) 발명자: 유형준 (YOO, Hyung-joun); 34141 대전시 유성구 대학로 291, Daejeon (KR). 유상선 (YOO, Sang-sun); 34141 대전시 유성구 대학로 291, Daejeon (KR). 이강윤 (LEE, Kang-yoon); 16419 경기도 수원시 장안구 서부로 2066, Gyeonggi-do (KR).
- (74) 대리인: 박영우 (PARK, Young-woo); 06224 서울시 강남구 논현로 414, 세일빌딩 5층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN,

(54) Title: INDUCTOR LAYOUT HAVING IMPROVED ISOLATION THROUGH BLOCKING OF COUPLING BETWEEN INDUCTORS, AND INTEGRATED CIRCUIT DEVICE USING SAME

(54) 발명의 명칭: 인덕터들 간의 커플링 차단을 통해 격리도가 향상된 인덕터 레이아웃 및 이를 이용한 집적회로 장치



(57) Abstract: Disclosed are an inductor layout having improved isolation through the blocking of a magnetic field coupling between inductors, and an integrated circuit device using the same. A second inductor coil is arranged so as to be spaced from a first inductor coil in the vicinity thereof in the horizontal direction, and a conductor loop is arranged in parallel on an upper part of the first inductor coil. The conductor loop offsets a part of a magnetic flux of a first time-varying magnetic field by means of a magnetic flux of a second magnetic field generated by an induced current flowing through an interlinkage with the magnetic flux of the first time-varying magnetic field generated from the second conductor coil, thereby increasing isolation between the first inductor coil and the second inductor coil, and blocking magnetic field coupling therebetween. The inductor layout improves overall performance of an RFIC by reducing magnetic field coupling between an inductor of a power amplifier (PA) and an inductor of an oscillator, when applied to the

MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

integrated circuit device such as the RFIC, so as to allow two blocks to be arranged at a close distance, thereby enabling a micro-RFIC to be implemented.

(57) 요약서: 인덕터들 간의 자계 커플링 차단을 통해 격리도가 향상된 인덕터 레이아웃 및 이를 이용한 집적회로 장치가 개시된다. 제1 인덕터 코일과 이의 주변에 제2 인덕터 코일이 수평방향으로 이격 배치되고, 그 제1 인덕터 코일의 상위(上位)에 전도체 루프가 평행하게 배치된다. 전도체 루프는 제2 인덕터 코일에서 생성된 제1 시변 자계의 자속과의 쇄교로 인해 흐르는 유도 전류가 발생시킨 제2 자계의 자속이 제1 시변 자계의 자속의 일부를 상쇄시킴으로써 제1 인덕터 코일과 제2 인덕터 코일간의 격리도를 높여 그들 간의 자계 커플링을 차단한다. 이러한 인덕터 레이아웃은 RFIC와 같은 집적회로 장치에 응용하면, 전력증폭기(PA)의 인덕터와 발진기의 인덕터간의 자계 커플링을 줄여 전체적인 RFIC의 성능을 높이고, 두 블록을 가까운 거리에 배치할 수 있게 하여 초소형 RFIC의 구현이 가능하다.

명세서

발명의 명칭: 인덕터들 간의 커플링 차단을 통해 격리도가 향상된 인덕터 레이아웃 및 이를 이용한 집적회로 장치

기술분야

- [1] 본 발명은 인덕터 간 자계 커플링을 줄여 격리도(isolation)를 높이는 기술에 관한 것으로서, 더욱 상세하게는 무선주파수 집적회로(Radio Frequency Integrated Circuit: RFIC) 등과 같이 인덕터를 구비하는 소형 집적회로 소자에서 외부 자계로부터 인덕터를 보호하여 소자의 소형화와 소자의 신호처리 성능 향상을 함께 도모할 수 있는 기술에 관한 것이다.

배경기술

- [2] 레이더와 무선통신에 주로 이용되는 RFIC에 있어서 인덕터간 자계 커플링 문제는 예전부터 있었던 문제로서, 주로 기판을 통한 자계 커플링이 문제가 되어 이에 관한 연구들이 많이 진행되어 왔다. 이전에는 RFIC의 사이즈가 비교적 큰 편이어서 인덕터 간에 충분한 거리를 둘 수 있었으므로, 칩 내부에서 자기장에 의한 커플링은 어느 정도 회피할 수 있었다.
- [3] 최근에는 이동통신에서 고속의 데이터 전송 요구에 부응하기 위해, 서로 다른 여러 개의 주파수 대역을 묶어 하나의 주파수처럼 속도를 끌어올리는 캐리어 어그리게이션(carrier aggregation: CA) 기술이 개발되었다. CA 기술에 의해, 여러 주파수 대역의 신호들을 동시에 송수신할 수 있게 되었다. 예컨대 LTE-A 통신 방식은 바로 이 CA 기술을 핵심요소로서 이용한다. 여러 대역의 신호를 동시에 처리하기 위해서는 많은 수의 무선 경로(RF path)가 필요하게 되었고, 많은 수의 전력 증폭기(power amplifier: PA)와 발진기(oscillator)가 동시에 동작하는 상황이 불가피하게 발생하게 되었고, 그에 따라 자계 커플링(magnetic coupling) 문제가 실질적인 문제로 대두하고 있다.
- [4] 또한, 최근 모바일 기기의 발달과 더불어, 바이오, 헬스 케어에 관한 관심이 높아지면서, 초소형 저전력 디바이스들에 대한 요구가 증가하고 있다. 이를 위한 공정기술의 발달로 인해 예컨대 CMOS 공정의 게이트 길이가 수축되면서 RFIC의 사이즈 또한 이전에 비해 더 작게 만들 수 있게 되었다. 하지만, RFIC의 면적이 작아짐에 따라 RFIC의 각 블록들 간의 거리는 더 가까워지게 되었고, 서로 간의 격리 문제(isolation issue)가 새롭게 나타나고 있다. 즉, 각 블록에 마련된 인덕터들 간의 거리 또한 가까워지고 있어 인덕터 간 자계 커플링 문제가 더욱 가속화되고 있다. 예컨대 RFIC 내에서 높은 출력을 송신하는 PA와 반송주파수를 만들어내는 LC 발진기 간의 인덕터 간 자계 커플링이 RFIC의 성능을 저하시키는 요인으로 작용한다. 또한, 기존의 전압 제어 발진기(voltage controlled oscillator: VCO)뿐만 아니라 최근 활발하게 이용되고 있는 디지털 제어 발진기(digitally controlled oscillator: DCO)에서도 인덕터 간 자계 커플링 문제가

나타나고 있다.

발명의 상세한 설명

기술적 과제

- [5] 이러한 문제점들을 해결하기 위해, 본 발명은 인덕터들 간의 단위 이격거리 당 자계 커플링 이격도를 높여 인덕터들 간의 자계 커플링 양을 줄일 수 있는 인덕터 레이아웃을 제공하는 것을 하나의 목적으로 한다.
- [6] 또한, 본 발명은 이와 같은 인덕터 레이아웃을 채용하여 인덕터를 포함하는 블록들을 서로 가까운 거리에 배치할 수 있게 하여 초소형으로 구현할 수 있으면서도 전체적인 성능을 높일 수 있는 집적회로 장치를 제공하는 것을 다른 목적으로 한다.

과제 해결 수단

- [7] 위와 같은 목적을 달성하기 위한 본 발명의 개념에 따른 실시예에 의하면, 인덕터들 간의 자계 커플링 차단을 통해 격리도가 향상된 인덕터 레이아웃이 제공된다. 상기 인덕터 레이아웃은 인덕터 코일과, 상기 인덕터 코일의 상위(上位)에 나란하게 배치되어, 주변에서 상기 인덕터 코일 쪽으로 유입되는 제1 시변 자계의 자속과의 쇄교로 인해 흐르는 유도 전류가 발생시킨 제2 자계의 자속이 상기 제1 시변 자계의 자속의 적어도 일부를 상쇄시킴으로써 상기 인덕터 코일에 대한 자계 커플링을 차단하는 전도체 루프를 구비한다. 상기 유도 전류를 흐르게 하는 유도 기전력의 방향은 상기 제1 시변 자계의 자속의 변화를 방해하는 방향으로 나타난다.
- [8] 상기 인덕터 레이아웃의 일 실시예에 있어서, 상기 인덕터 코일에 대한 법선방향으로 보았을 때, 상기 전도체 루프는 상기 인덕터 코일의 둘레를 포위하는 형태로 배치될 수 있다.
- [9] 상기 인덕터 레이아웃의 일 실시예에 있어서, 상기 전도체 루프의 전체 구간 중 일부 구간이 루프 개폐부로 구성될 수 있다. 상기 루프 개폐부는 서로 병렬로 연결된 스위치 소자와 상기 유도 전류의 흐름을 저지하기 위한 저항 소자를 포함하여, 상기 스위치 소자가 온 또는 오프 됨에 따라 상기 전도체 루프의 상기 인덕터 코일에 대한 자계 커플링 차단기능이 활성화 또는 비활성화 되도록 제어할 수 있다.
- [10] 상기 인덕터 레이아웃의 일 실시예에 있어서, 상기 전도체 루프는 전도체 패드 또는 복수의 턴 수로 된 전도체 코일로 구현될 수 있다.
- [11] 상기 인덕터 레이아웃의 일 실시예에 있어서, 상기 인덕터 코일은 나선형 코일 또는 링형 코일일 수 있다.
- [12] 한편, 본 발명의 개념에 따른 다른 실시예에 따르면, 제1 인덕터 코일; 상기 제1 인덕터 코일 주변에 수평방향으로 이격 배치된 제2 인덕터 코일; 및 상기 제1 인덕터 코일의 상위(上位)에 평행하게 배치되어, 상기 제2 인덕터 코일에서 만들어진 제1 시변 자계의 자속과의 쇄교로 인해 흐르는 유도 전류가 발생시킨

제2 자계의 자속이 상기 제1 시변 자계의 자속의 일부를 상쇄시킴으로써 상기 제1 인덕터 코일과 상기 제2 인덕터 코일 간의 자계 커플링을 차단하는 전도체 루프를 구비하는 것을 특징으로 하는 집적회로 장치가 제공된다.

- [13] 상기 집적회로 장치의 일 실시예에 있어서, 상기 전도체 루프의 전체 구간 중 일부 구간이 루프 개폐부로 구성될 수 있다. 상기 루프 개폐부는 서로 병렬로 연결된 스위치 소자와 상기 유도 전류의 흐름을 저지하기 위한 저항 소자를 포함하여, 상기 스위치 소자가 온 또는 오프 됨에 따라 상기 전도체 루프의 상기 제2 인덕터 코일에 대한 자계 커플링 차단기능이 활성화 또는 비활성화 되도록 제어할 수 있다.
- [14] 상기 집적회로 장치의 일 실시예에 있어서, 상기 집적회로 장치는 무선주파수 집적회로(RFIC) 소자일 수 있다.
- [15] 상기 집적회로 장치의 일 실시예에 있어서, 상기 제1 인덕터 코일은 전력 증폭기(PA)용 인덕터이고, 상기 제2 인덕터 코일은 발진기용 인덕터일 수 있다.
- [16] 이처럼, 무선 송신기나 무선 수신기, 또는 무선 송수신기 등을 구성하는 소형 집적회로 소자에서 인덕터의 윗부분에 자계 커플링 차단 루프를 배치하면, 인덕터들 간의 자계 커플링 차단을 통해 외부 자계로부터 인덕터를 보호할 수 있다.

발명의 효과

- [17] 본 발명에 의하면, 인덕터들 간의 단위 이격거리당 자계 커플링 정도를 기존과 동일한 정도를 유지하는 경우, 인덕터들을 더 가까이 배치할 수 있다. 따라서 이러한 인덕터 레이아웃을 채용하는 집적회로 장치 예컨대 RFIC 칩의 면적 감소, 칩의 초소형화를 지원할 수 있다. 자계 커플링으로부터 자유로워져 종래의 방식에 비해 인덕터들을 서로 더 가까운 거리에 배치할 수 있기 때문에, 인덕터들을 함께 실장하는 집적회로(예컨대, RFIC 칩)의 가격 경쟁력을 높일 수 있다.
- [18] 또한, 본 발명에 의하면, 인덕터들을 기존과 같은 거리에 이격 배치하는 경우, 자계 커플링의 양이 종래에 비해 크게 감소되어 더욱 우수한 성능의 인덕터 실장 집적회로를 구현할 수 있다. 다른 측면에서는, 낭비되는 공간을 줄여 캘리브레이션(calibration) 회로나, 신뢰도를 높일 수 있는 다른 회로들을 함께 집적할 수 있기 때문에 성능 면에서도 경쟁력을 가질 수 있는 집적회로(예컨대, RFIC 칩)를 구현할 수 있다.

도면의 간단한 설명

- [19] 도 1은 본 발명이 해결하고자 하는 문제 상황을 보여주기 위한 상황도이고,
- [20] 도 2는 문제가 발생하는 자계 커플링을 피하기 위하여 인덕터들의 간격을 멀리하기 위한 배치도이며,
- [21] 도 3은 본 발명의 제1 실시예에 따라, 일반적인 인덕터 코일 위에 자계 커플링 차단용 전도체 루프(a conductor loop for coupling-shield)를 추가하여 격리도가

- 향상된 인덕터 코일 레이아웃을 입체적으로 도시하며,
- [22] 도 4는 도 3의 인덕터 코일에 대한 전도체 루프의 자계 커플링 차단에 관련된 기본적인 동작원리를 설명하기 위한 개념도(평면적 레이아웃)이며,
- [23] 도 5는 본 발명의 제2 실시예에 따라, 스위치 소자를 이용하여 전도체 루프의 자계 커플링 차단기능을 필요에 따라 선택적으로 활성화 또는 비활성화시킬 수 있도록 구성된 인덕터 코일의 평면적 레이아웃을 나타내며,
- [24] 도 6은 전도체 루프를 구성하는 전도체의 종류에 따른 인덕터 간 격리도 특성 변화를 나타내는 그래프이고,
- [25] 도 7은 전도체 루프의 폭에 따른 격리도 변화를 나타내는 그래프이며,
- [26] 도 8은 루프 개폐부의 스위치의 폭에 따른 격리도 변화를 나타내는 그래프이다.

발명의 실시를 위한 최선의 형태

- [27] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [28] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [29] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [30] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [31] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는

이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [32] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [33] 이하에서는 첨부한 도면을 참조하면서 본 발명을 용이하게 실시할 수 있도록 구체적으로 설명한다.
- [34] 예컨대 인덕터 코일이 마련되는 PA와 발진기들을 구비하는 RF 송수신기 내지 RFIC 칩을 고려한다. 도 1에는 RFIC 칩 내에서 문제가 되는 상황을 도시하였다. 송신기(10)는 큰 신호를 송신하는 역할을 하는데, 멀리까지 무선(RF) 신호를 송신하기 위하여 강한 전력으로 송신을 하게 된다. 이때 송신 주파수를 만드는 역할을 발진기(oscillator)(30)가 담당한다. 송신기(10)에서, 구동 증폭기(drive amplifier: DA)나 전력증폭기(PA)(20)는 인덕터(L1)를 통하여 큰 파워를 전송하는데, 발진기(30) 또한 인덕터(L2)를 통하여 송신 주파수를 만든다. 이때, PA(20)의 인덕터(L1)와 발진기(30)의 인덕터(L2) 간에 자계 커플링이 발생하여 발진기(30)에 악영향을 미치게 된다.
- [35] 다른 방법으로서, 일반적인 인덕터보다 훨씬 큰 8-자형 인덕터(8-shape inductor)를 사용하여 자계 커플링 문제를 해결하고자 할 수도 있다. 하지만, 이 방법은, 8자형 인덕터의 크기가 일반적인 인덕터에 비해 크고, 인덕터의 Q-factor가 나빠져 전력 소모가 다소 증가한다. 또한, 수직적 방향으로 격리(isolation)의 증가를 가져오지 못한다. 특히, 8자형 인덕터는 오직 단일-턴 나선형 인덕터(single-turn spiral inductor)에만 사용할 수 있고, 2-턴 이상의 나선형 인덕터에서는 사용할 수가 없다. 즉, 작은 인덕터 값을 갖는 RFIC에서만 사용할 수 있을 뿐, 큰 인덕터 값을 필요로 하는 애플리케이션에는 사용할 수가 없는 제약이 있다. 저전력 동작을 위해서는 큰 인덕터 값을 선택해야 하므로 8자형 인덕터는 저전력 RFIC에는 적합하지 않다.
- [36] 인덕터들 간의 자계 커플링을 회피하는 방법으로 PA의 인덕터와 발진기의 인덕터를 최대한 멀게 배치하여 서로 간의 자계 커플링이 작아지도록 설계할 수 있다. 도 2는 문제가 발생하는 인덕터들(L1, L2) 간의 간격을 멀리하여 그들 간의 자계 커플링을 회피하도록 인덕터 레이아웃을 설계한 예이다. 하지만 이는 RFIC 칩의 소형화 요구에 배치되므로, 궁극적인 해결 방안이 되지 못한다. 이격거리를 더 늘리면 칩의 크기가 커져야 하고, 이는 가격 경쟁력을 악화 시키는 요인이 될 수 있기 때문이다. 그러므로 인덕터들의 간격을 더 멀게 하는 것에는 한계가 있다. 그 한계 내에서 인덕터들간의 거리를 확보하기 위하여 발진기의 방향을

- 바꾸어 거리를 멀게 하더라도, 자계 커플링 문제가 완전히 해결되기가 어렵다.
- [37] 도 3은 본 발명의 개념에 따라 인덕터 코일(L3, L4) 간 자계 커플링을 줄이기 위해 자계 커플링 차단용 전도체 루프(50)가 부가된 인덕터 코일 레이아웃의 일 실시예를 입체적으로 도시한다. 도 4는 도 3의 인덕터 코일 레이아웃에 있어서 전도체 루프(50)의 인덕터 코일(L3, L4) 간 자계 커플링 차단에 관련된 기본적인 동작원리를 설명하기 위한 도면이다.
- [38] 도 3에 도시된 것은 RFIC 칩의 구성요소들 중 본 발명의 개념 구현에 관련된 것만 선택적으로 나타낸 것으로도 볼 수 있다. xy-평면과 평행한 회로기판(12)에 제1 인덕터 코일(L3)이 설치되고, 그 제1 인덕터 코일(L3)의 상위(上位)에는 자계 커플링 차단용 전도체 루프(50)가 추가로 배치된다.
- [39] 제1 인덕터 코일(L3)과 전도체 루프(50) 간의 높이 차이는 응용예에 따라 다르지만, 대략 1 내지 수 마이크로미터(μm) 정도일 수 있다. 이 전도체 루프(50)는 제1 인덕터 코일(L3)과 마찬가지로 xy-평면과 나란하게 배치될 수 있다.
- [40] 제1 인덕터 코일(L3)에 대한 법선방향(즉, 도 3에서는 z-방향)으로 보았을 때, 전도체 루프(50)는 제1 인덕터 코일(L3)의 둘레를 포위하는 형태로 배치되는 것이 바람직하다. 즉, 전도체 루프(50)의 지름이 제1 인덕터 코일(L3)의 지름보다 큰 것이 바람직하다. 전도체 루프(50)가 제1 인덕터 코일(L3)의 지름과 실질적으로 동일하여 z-방향으로 보았을 때 서로 겹치게 되면, 서로 간에 캐패시터 성분이 커져서 성능을 열화시키게 된다. 만약 전도체 루프(50)의 지름이 제1 인덕터 코일(L3)보다 작아서 그 안에 내포되는 형태로 배치되면, 자계 커플링 차단 효과가 미미하게 된다. 즉, 전도체 루프(50)와 제1 인덕터 코일(L3)은 서로의 중심이 실질적으로 동일한 링형 또는 페루프 형태이다. 페루프의 형태는 원형, 타원형, 다각형 등과 같이 다양한 모양일 수 있다.
- [41] 전도체 루프(50)는 도전성이 우수한 금속, 기타 도전성 물질 등으로 만들 수 있다. 집적회로의 일 구성요소로 형성되는 경우, 예컨대 금속 패드로 구현될 수 있다. 그 금속 패드는 도전성이 좋은 금속 예컨대 알루미늄, 구리 등으로 만든 것일 수 있다. 전도체 루프(50)는 또한 복수의 턴 수로 감긴 전도체 코일로 구현될 수도 있다.
- [42] 예를 들어, RFIC 칩의 경우, 전도체 루프(50)는 인덕터 코일(L3)보다 상위에 있는 금속으로 구현할 수 있다. 일반적으로 인덕터는 높은 Quality Factor가 필요하고, 이를 위해서는 낮은 저항이 요구되기 때문에 매우 두꺼운 금속(Ultra Thick Metal: UTM)으로 설계할 수 있다. 그 UTM은 여러 메탈 중 가장 두꺼운 메탈로 쉬트 저항값(sheet resistance)이 가장 작다. UTM 보다 상위에 있는 메탈은 알루미늄(Al) 패드 레이어뿐이므로, 그 Al 패드 레이어를 이용하여 전도체 루프(50)를 만들어주면 인덕터 코일(L3)의 상위에 배치될 수 있다. 인덕터 코일(L3)과 전도체 루프(50) 사이에는 절연층이 배치된다. 전도체 루프(50)는 예컨대 실리콘 산화물층과 같은 절연층 위에 적층된 형태로 설치된다.

- [43] 기판(12)에는 제2 인덕터 코일(L4)이 제1 인덕터 코일(L3)의 주변에 더 설치될 수 있다. 제1 인덕터 코일(L3)은 예컨대 발진기(30)의 인덕터 코일일 수 있고, 제2 인덕터 코일(L4)은 예컨대 PA의 인덕터 코일일 수 있다.
- [44] 제1 및 제2 인덕터 코일(L3, L4)은 예컨대 나선형(spiral) 또는 링형일 수 있다. 이 두 인덕터 코일(L3, L4)도 도전성이 우수한 금속 또는 다른 도전성 물질로 만들 수 있다.
- [45] 도 3 및 4에 예시된 것처럼, 발진기(30)의 제1 인덕터 코일(L3) 위에 예컨대 금속 패드로 루프(loop) 내지 링(ring) 형태로 만들어주면, 제1 인덕터 코일(L3)이 주변의 다른 인덕터 코일 예컨대 제2 인덕터 코일(L4)과의 자계 커플링을 줄여 두 인덕터 코일(L3, L4) 간의 격리도를 높일 수 있다.
- [46] 이와 같은 효과를 얻을 수 있는 원리를 좀 더 구체적으로 설명한다. 발진기(30)가 동작을 할 때, 제1 인덕터 코일(L3)에 발진을 위한 전류(60)가 예컨대 반시계방향으로 흐르면 시변 자기장(a time-varying magnetic field, 65)이 도 4와 같이 발생한다. 이 시변 자기장(65)은 자계 커플링 차단용 전도체 루프(50)와 쇄교하고, 그에 따라 그 전도체 루프(50)에는 렌츠의 법칙에 의하여 유도 전류가 흐르게 된다. 이때, 전도체 루프(50)에는 유도 전류에 의한 자기장(75)이 발생하게 된다. 발진기(30)의 제1 인덕터 코일(L3)에 의해 생성되는 자기장(65)과 전도체 루프(50)의 유도 전류(70)에 의해 생성되는 자기장(75)의 방향은 서로 반대이기 때문에 후자의 자기장(75)은 전자의 자기장(65)을 상쇄시킨다. 즉, 발진기(30)의 제1 인덕터 코일(L3)로부터 유효하게 방사되는 전체 자기장의 크기는 유도 전류(70)에 의한 자기장(75)의 상쇄분만큼 감소한다.
- [47] 인덕터들 간의 자계 커플링은 상호 인덕턴스(mutual inductance)로 바꿔 표시할 수 있다. PA(20) 쪽에서 발진기(30) 쪽으로의 상호 인덕턴스를 M_{21} 이라 하고, 발진기(30)에서 PA(20) 쪽으로의 상호 인덕턴스를 M_{12} 하면 $M_{21}=M_{12}$ 인 관계에 있다. 즉, 도 4에서 발진기(30)의 제1 인덕터 코일(L3)로부터 방사되는 자속의 양이 줄어드는 효과는, 발진기(30)의 제1 인덕터 코일(L3)로 들어오는 자속의 양도 줄어든다는 것을 의미한다. 본 발명을 발진기(30)의 제1 인덕터 코일(L3)에 적용하면, 발진기(30)의 제1 인덕터 코일(L3)에서 PA(20)의 제2 인덕터 코일(L4)로 자계 커플링 되는 양이 줄고, 같은 이치로 PA(20)의 제2 인덕터 코일(L4)에서 발진기(30)의 제1 인덕터 코일(L3)로 자계 커플링 되는 양 또한 줄게 된다.
- [48] 이를 좀 더 구체적으로 설명하면, 인덕터들 간의 자계 커플링은 상호 인덕턴스의 양과 같으며 이는 자기장에 비례한다. 자속(Magnetic flux)은 식 (1)과 같이 자기장의 크기를 면적에 대하여 적분한 값이다.
- [49]
$$\Phi_B = \int_A \vec{B} \cdot d\vec{A} \quad \dots\dots(1)$$
- [50] 하지만 나선형인 인덕터 코일(L3)에 생성되는 페루프 자계 벡터를 계산하는 것은 쉽지 않기 때문에, 인덕터 코일(L3)을 간단한 다이폴(dipole)이라 가정하고

자속밀도 B를 계산하면 식 (2)와 같이 쓸 수 있다.

$$[51] \quad B(\vec{s}, \lambda) = \frac{\mu_0 m}{4\pi s^3} \sqrt{1 + 3\sin^2 \lambda} \quad \dots\dots(2)$$

[52] 여기서, s는 변위벡터(displacement vector)이고, λ는 자기위도(magnetic latitude)이고, m은 자기쌍극자 모멘트이다. RFIC 칩 내부에서 두 인덕터 코일(L3, L4)은 실질적으로 같은 평면에 있기 때문에 자기위도 λ는 0도 이어서 계산이 쉬워진다. 결국, 2개의 인덕터 코일(L3, L4) 간의 상호 인덕턴스는 인덕터의 내부 반지름 r과 변위벡터(displacement vector) s의 함수로 식(3)과 같이 근사화될 수 있다.

$$[53] \quad M_{21} \approx \frac{\mu_0 \pi r_1^2 r_2^2}{4s^3} = \frac{\mu_0 \pi r^4}{4s^3} \quad \dots\dots(3)$$

[54] 식 (3)은 두 인덕터 코일(L3, L4)간 자체 커플링을 줄이기 위해서는 상호 인덕턴스를 줄여야 하고, 그 상호 인덕턴스를 줄이기 위해서는 인덕터 코일의 내부반지름 r을 줄이거나 인덕터간의 이격거리 s를 늘려야 함을 의미한다. 필요한 인덕턴스 값에 따라 인덕터 코일의 내부 반지름 r의 크기가 결정되기 때문에, 결국 인덕터 코일(L3, L4) 간의 이격거리 s를 증가시켜야 하는데, 이 방법은 칩 사이즈에 대한 제한으로 인하여 현실적인 한계에 직면하게 된다.

[55] 시간에 따라 변하는 제1 시변 자계(B) 내에서 닫힌 전도체 루프(50)가 형성되면, 그 전도체 루프(50)에는 외부 전류의 변화에 따라 생성되는 제1 시변 자계(B)의 자속 변화를 방해하는 방향으로 유도 전류가 발생하고 그 유도 전류에 의한 제2 자계(75)에 의해 그 제1 시변 자계(B)(65)가 상쇄된다. 인덕터 코일(L3) 위에 닫힌 전도체 루프(50)를 만들면 제1 시변 자계(B)(65)의 양이 줄어 인덕터들(L3, L4) 간의 격리도(isolation)가 높아진다. 이때, 그 전도체 루프(50)를 어떤 도전성 물질 또는 어떤 종류의 금속으로 만드느냐에 따라 격리도의 정도가 달라질 수 있다. 또한, 전도체 루프(50)의 폭(width)을 얼마로 설계하느냐에 따라 격리도 특성이 달라질 수 있다. 자체 커플링 차단을 위한 전도체 루프(50)의 재료의 종류와 폭에 따라 인덕터 코일(L3)의 성능 또한 변하여 성능 열화를 가져올 수도 있다.

[56] 도 6 및 도 7의 그래프는 2개의 인덕터 코일을 200μm 만큼 이격시킨 상태에서 하나의 인덕터 코일의 상위에 전도체 루프(50)를 배치했을 때와 배치하지 않았을 때의 격리도를 비교하는 시뮬레이션 결과를 각각 나타낸다.

[57] 도 6의 그래프에 따르면, 그 인덕터 코일을 예컨대 M6 금속으로 구현하였을 때, 전도체 루프(50)를 그 M6보다 아래쪽(기판 쪽)에 위치시킨 경우에는 그 전도체 루프(50)에 유도 전류가 흐를 경우에도 격리(isolation)에 대한 이득이 없음을 알 수 있다. 이와 달리 그 인덕터 코일의 위쪽에 있는 금속(M7)을 이용하여 전도체 루프(50)를 구현할 경우에는 약 21dB의 격리도 이득을 가질 수 있음을 확인할 수 있다. 기판 쪽에는 이미 미러링(mirroring)된 이미지 전류(image current)에 의해 상당 부분의 자계가 상쇄되기 때문에 추가적인 자계 감소는 없는 것으로 보이며,

무선 인터페이스(air interface) 쪽 자계 커플링이 지배적인 것임을 알 수 있다.

- [58] 도 7의 그래프에 따르면, 금속 M7로 자계 커플링 차단용 전도체 루프(50)를 구현하였을 때, 그 전도체 루프(50)의 폭에 따른 격리도 증가를 나타낸다. 전도체 루프(50)의 폭이 증가할수록 전도체 루프(50) 자체의 저항이 감소하여 유도 전류의 양이 증가하고, 자계량은 감소하여 격리도 특성이 좋아지는 것을 확인할 수 있다. 이때 유효 인덕턴스 값이 감소하기 때문에 인덕터 코일의 성능 변화를 고려하여 최적 값을 결정하는 것이 바람직할 것이다.

- [59] 이처럼, 인덕터 코일(L3) 위에 전도체 루프(50)를 만들어 그 전도체 루프(50)에 유도 전류를 흐르게 해주면, 그 인덕터 코일(L3)에서 생성되는 유효 자기장이 감소하여, 실질적인 유효 인덕턴스가 줄어드는 효과를 가져 온다. 그 인덕터 코일(L3)이 발진기(30)의 일부를 구성하는 것이면, 그 발진기의 성능에 영향을 줄 수도 있다. 하지만, 전도체 루프(50)를 두껍고 넓게 하여 저항을 최소화하고 인덕터 코일(L3)과의 기생 캐패시턴스를 최소화하면, 발진기 인덕터 코일(L3)의 성능 열화를 최소화하면서 자계 커플링 효과를 줄일 수 있다. 인덕터 코일(L3)의 하위(下位)에 전도체 루프(50)를 형성하는 것은 자계 커플링 양을 줄이는데 도움이 되지 않기 때문에, 반드시 인덕터의 윗부분(상위)에 전도체 루프(50)를 생성해 줄 필요가 있다.

- [60] 다음으로, 도 5는 본 발명의 제2 실시예에 따른 것으로서, 스위치 소자를 이용하여 전도체 루프의 자계 커플링 차단기능을 필요에 따라 활성화 또는 비활성화 시킬 수 있도록 구성된 인덕터 코일의 평면적 레이아웃을 나타낸다.

- [61] 이 실시예는 전도체 루프(50)의 전체 구간 중 일부 구간이 루프 개폐부(80)로 구성되는 것이 제1 실시예와 다른 점이다. 루프 개폐부(80)는 서로 병렬로 연결된 스위치 소자(SW)와 유도 전류의 흐름을 억제하기 위한 저항 소자(R1, R2)를 포함한다. 전도체 (예: 금속) 패드 구간이 전도체 루프(50)의 대부분을 차지하고, 나머지 일부 구간이 루프 개폐부(80)로 될 수 있다. 전도체 패드 구간과 루프 개폐부(80)는 전기적으로 연결된다. 저항 소자는 외부에서 유입되는 자기장에 의해 전도체 루프(50)에 생성될 수 있는 유도 전류의 흐름을 억제하기에 충분한 정도의 큰 저항값을 갖는다. 도면에서는 저항 소자를 두 개로 나타내었지만, 저항 소자의 개수는 1개 또는 3개 이상으로 구성할 수도 있다. 스위치 소자(SW)는 스위칭 제어신호에 의해 턴-온과 턴-오프가 제어될 수 있는 소자로서, 예컨대 MOSFET 등과 같은 트랜지스터 소자로 구성할 수 있다.

- [62] 스위치 소자(SW)가 턴-온 되면 전도체 루프(50)의 전도체 패드 구간과 루프 개폐부(80) 구간이 닫힌 루프를 형성하고, 이때에는 전도체 루프(50)의 인덕터 코일(L3)에 대한 자계 커플링 차단기능이 활성화된다. 반면에, 스위치 소자(SW)가 턴-오프 되면, 루프 개폐부(80)의 저항 소자(R1, R2)가 전도체 루프(50)의 전도체 패드 구간과 연결된다. 그런데 저항 소자(R1, R2)의 저항값이 충분히 커서, 전도체 루프(50)에 자속이 쇄교하더라도 전도체 루프(50)에는 유도 전류가 흐르기 어렵다. 그러므로 스위치 소자(SW)가 턴-오프 되어 있는

동안에는, 전도체 루프(50)의 인덕터 코일(L3)에 대한 자계 커플링 차단기능은 비활성화된다. 따라서 루프 개폐부(80)의 스위치 소자(SW)의 온/오프 제어를 통해 필요에 따라 전도체 루프(50)의 자계 커플링 차단기능을 활용하거나 또는 활용하지 않을 수 있다.

- [63] PA(20)가 큰 출력을 내는 경우에는, 스위치 소자(SW)가 턴-온 되도록 제어함으로써 완전히 닫힌 전도체 루프(50)를 형성한다. 이에 의해, 전도체 루프(50)는 발진기(30)의 인덕터 코일(L3)에 대한 자계 커플링 차단기능을 제공할 수 있어 인덕터(L3, L4) 간 자계 커플링이 줄어드는 효과가 나타난다. 이와 달리, PA(20)가 작은 출력을 사용할 경우에는, 인덕터 코일 간의 자계 커플링 양이 적기 때문에 굳이 전도체 루프(50)의 자계 커플링 차단기능을 사용하지 않아도 된다. 이때에는 스위치 소자(SW)를 턴-오프 시키면 된다. 그러면, 전도체 루프(50)는 그의 일부 구간이 유도 전류의 흐름을 저지하는 정도의 매우 큰 저항값을 갖는 저항 소자(R1, R2)로 구성된다. 그러므로 전도체 루프(50)가 형성되지 않은 효과가 나타나서 전도체 루프(50)의 자계 커플링 차단기능은 활성화되지 않은 상태로 원래의 발진기(30)를 사용할 수 있다.
- [64] 루프 개폐부(80)를 활용하는 경우, 도 8은 루프 개폐부(80)의 스위치 소자(SW)의 크기에 따라 인덕터 코일 간의 자계 커플링 정도가 달라질 수 있다. 스위치 소자의 크기에 따라 격리도 특성을 살펴본 바에 따르면, 스위치 소자의 크기가 커질수록 스위치 소자의 턴-온 저항이 작아진다. 그러므로 스위치 소자가 ON 되었을 때, 격리도 특성이 좋아지는 것을 확인할 수 있었다. 스위치 소자를 OFF 시켰을 경우, 전도체 루프(50)가 없는 경우보다 격리도 특성이 미세하게 나빠지는 것을 확인할 수 있었지만, 1dB 이하의 성능열화 이기 때문에 실질적인 문제가 되지는 않는다. 자계 커플링 양을 줄이면서 성능 열화 없이 발진기에 자계 커플링 차단용 전도체 루프(50)를 적용하기 위한 최적점을 적용하는 것이 바람직하다.
- [65] 이처럼, 제2 실시예는 루프 개폐부(80)의 스위치 소자(SW)의 온/오프 제어를 통해 자계 커플링 차단기능을 선택적으로 활용할 수 있는 효율적인 방법이다. 전도체 루프(50)가 형성되었을 때 전력소모가 조금 증가될 수 있는데, 초저전력이 필요한 경우에는 도 5와 같은 방법으로 전력 소모를 조절할 수도 있다.
- [66] 실제로 칩에 인덕터 코일을 형성할 때, 자기장을 보호하기 위하여 인덕터 코일 둘레 주변에 가이드 링(비도시)을 둘러준다. 그 안으로 다른 금속이나 액티브 성분들이 못 들어오게 하기 위함이다. 보통은 인덕터 코일로부터 대략 40 μ m의 간격만큼 떨어져서 가이드 링을 설치하므로, 인덕터 코일의 가이드 링 안쪽에 자계 커플링 차단용 전도체 루프를 배치하면, 칩 면적의 증가 없이 자계 커플링 양을 효율적으로 줄일 수 있을 것이다.
- [67] 인덕터들 간의 거리에 따라 자계 커플링 감소량이 다르다. 하지만, 200 μ m 이내의 거리에서는 자계 커플링 양이 21dB의 격리도 이득(즉, 약 100배 감소)을

얻을 수 있다는 점을 시뮬레이션과 측정을 통하여 확인할 수 있었다. 또한, 스위치 소자 등을 갖는 루프 개폐부(80)를 적용한 경우에 스위치 소자(SW)의 크기에 따라 자계 커플링 양의 감소가 결정되는 것을 확인할 수 있다. 스위치가 켜졌을 때의 저항이 유도전류량을 변화시켜 자계 커플링 양을 변화시키는데, 도 5와 같이 구성하여 IC를 만들어 측정해본 결과 17 dB만큼 자계 커플링 양이 줄어드는 것을 측정을 통해 확인할 수 있었다.

- [68] 이상에서 설명한 본 발명에 따르면, PA와 발진기 간의 자계 커플링을 줄일 수 있는 자계 차폐용 전도체 루프를 인덕터 위쪽에 배치하여 그 발진기의 인덕터에 유도 전류를 흘려줌으로써 인덕터 간의 격리도 특성을 높일 수 있다. 일반적으로 유도 전류 발생 시 인덕터 값이 줄어들어 발진기의 성능이 열화되기 때문에 유도 전류가 발생하지 않도록 설계하는 것이 RFIC 설계의 기본이나, 수퍼컨덕터(super conductor)에 가까운 패턴을 만들어 주면, 성능 열화를 최소화한 상태로 격리도 특성을 높일 수 있다. 실제 구현에 있어서는, 인덕터의 윗부분에 예컨대 알루미늄 패드 금속을 이용하여 그 전도체 루프를 만들어 줄 수 있을 것이다.
- [69] 인덕터의 성능 열화가 없도록 하기 위하여, 전도체 루프의 폭을 넓게 하여 저항을 줄이고, 기생 캐패시턴스가 적게 발생하도록 전도체 루프를 배치하는 것이 바람직하다. 기존에 8-자형 인덕터의 경우 면적이 커지는 단점과 큰 인덕터가 필요한 저전력 RFIC에 사용이 어렵다는 단점을 가지지만, 본 발명은 면적의 증가 없이, 모든 인덕터 값에 사용을 할 수 있다는 장점을 가지고 있으며, 성능 또한 뛰어나다.
- [70] 본 발명에 따르면, 자계 커플링 차단용 전도체 루프를 인덕터 위에 부가함으로써 인덕터 사이의 자계 커플링 양을 줄여 칩들을 가까운 곳에 배치할 수 있는 반면, 셀딩링의 추가로 인해 늘어나는 면적은 없다. 공정기술이 발달함에 따라 칩의 소형화가 가속되고 있고, 인덕터들은 더 가까운 곳에 배치되어야 하기 때문에, 본 발명은 RFIC 산업 분야에서 널리 사용될 것으로 전망된다. 자계 커플링 노이즈로부터 자유롭기 때문에, 전체적인 성능 향상도 기대할 수 있다. 또한, 본 발명은 무선 송신기, 무선 수신기와 같은 장치에도 적용될 수 있다.
- [71] <부호의 설명>
- [72] 10: RFIC 칩 20: PA
- [73] 30: 발진기 L3: 제1 인덕터 코일
- [74] L4: 제2 인덕터 코일 50: 전도체 루프 (또는 전도체 링)
- [75] 80: 루프 개폐부

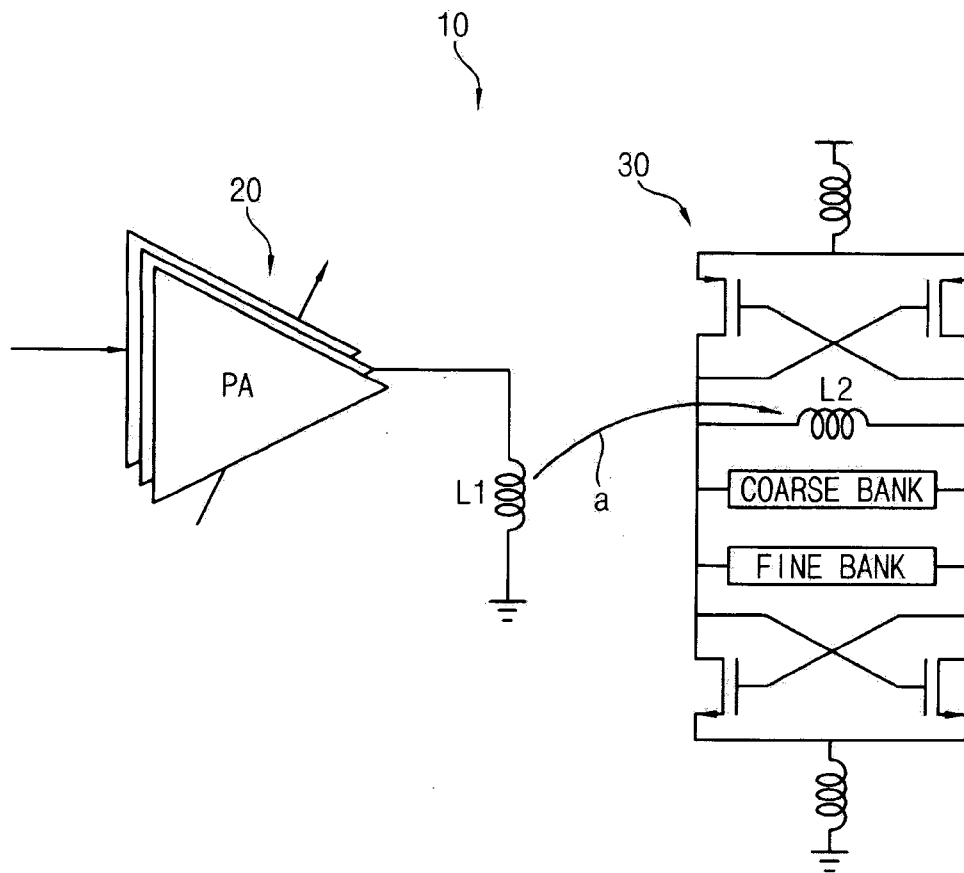
청구범위

- [청구항 1] 인덕터 코일; 및
상기 인덕터 코일의 상위(上位)에 나란하게 배치되어, 주변에서 상기 인덕터 코일 쪽으로 유입되는 제1 시변 자계의 자속과의 쇄교로 인해 흐르는 유도전류가 발생시킨 제2 자계의 자속이 상기 제1 시변 자계의 자속의 적어도 일부를 상쇄시킴으로써 상기 인덕터 코일에 대한 자계 커플링을 차단하는 전도체 루프를 구비하는 것을 특징으로 하는 인덕터 레이아웃.
- [청구항 2] 제1항에 있어서, 상기 인덕터 코일에 대한 법선방향으로 보았을 때, 상기 전도체 루프는 상기 인덕터 코일의 둘레를 포위하는 형태로 배치되는 것을 특징으로 하는 인덕터 레이아웃.
- [청구항 3] 제1항에 있어서, 상기 전도체 루프의 전체 구간 중 일부 구간이 루프 개폐부로 구성되며, 상기 루프 개폐부는 서로 병렬로 연결된 스위치 소자와 상기 유도 전류의 흐름을 저지하기 위한 저항 소자를 포함하여, 상기 스위치 소자가 온 또는 오프 됨에 따라 상기 전도체 루프의 상기 인덕터 코일에 대한 자계 커플링 차단기능이 활성화 또는 비활성화 되도록 제어하는 것을 특징으로 하는 인덕터 레이아웃.
- [청구항 4] 제1항에 있어서, 상기 전도체 루프는 전도체 패드 또는 복수의 턴수로 된 전도체 코일로 구현된 것을 특징으로 하는 인덕터 레이아웃.
- [청구항 5] 제1항에 있어서, 상기 인덕터 코일은 나선형 코일 또는 링형 코일인 것을 특징으로 하는 인덕터 레이아웃.
- [청구항 6] 제1 인덕터 코일;
상기 제1 인덕터 코일 주변에 수평방향으로 이격 배치된 제2 인덕터 코일; 및
상기 제1 인덕터 코일의 상위(上位)에 평행하게 배치되어, 상기 제2 인덕터 코일에서 만들어진 제1 시변 자계의 자속과의 쇄교로 인해 흐르는 유도전류가 발생시킨 제2 자계의 자속이 상기 제1 시변 자계의 자속의 일부를 상쇄시킴으로써 상기 제1 인덕터 코일과 상기 제2 인덕터 코일 간의 자계 커플링을 차단하는 전도체 루프를 구비하는 것을 특징으로 하는 집적회로 장치.
- [청구항 7] 제6항에 있어서, 상기 전도체 루프의 전체 구간 중 일부 구간이 루프 개폐부로 구성되며, 상기 루프 개폐부는 서로 병렬로 연결된 스위치 소자와 상기 유도 전류의 흐름을 저지하기 위한 저항 소자를 포함하여, 상기 스위치 소자가 온 또는 오프 됨에 따라 상기 전도체 루프의 상기 제2 인덕터 코일에 대한 자계 커플링 차단기능이 활성화 또는 비활성화 되도록 제어하는 것을 특징으로 하는 집적회로 장치.
- [청구항 8] 제6항에 있어서, 상기 집적회로 장치는 무선주파수 집적회로(Radio

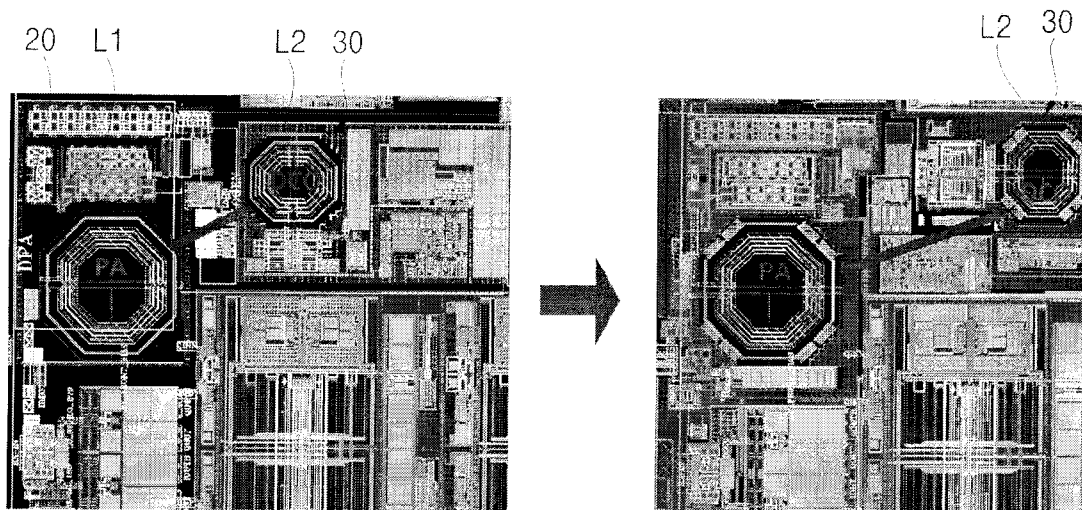
Frequency Integrated Circuit: RFIC) 소자인 것을 특징으로 하는 집적회로 장치.

- [청구항 9] 제8항에 있어서, 상기 제1 인덕터 코일은 전력 증폭기(power amplifier: PA)용 인덕터이고, 상기 제2 인덕터 코일은 발진기(oscillator)용 인덕터인 것을 특징으로하는 집적회로 장치.

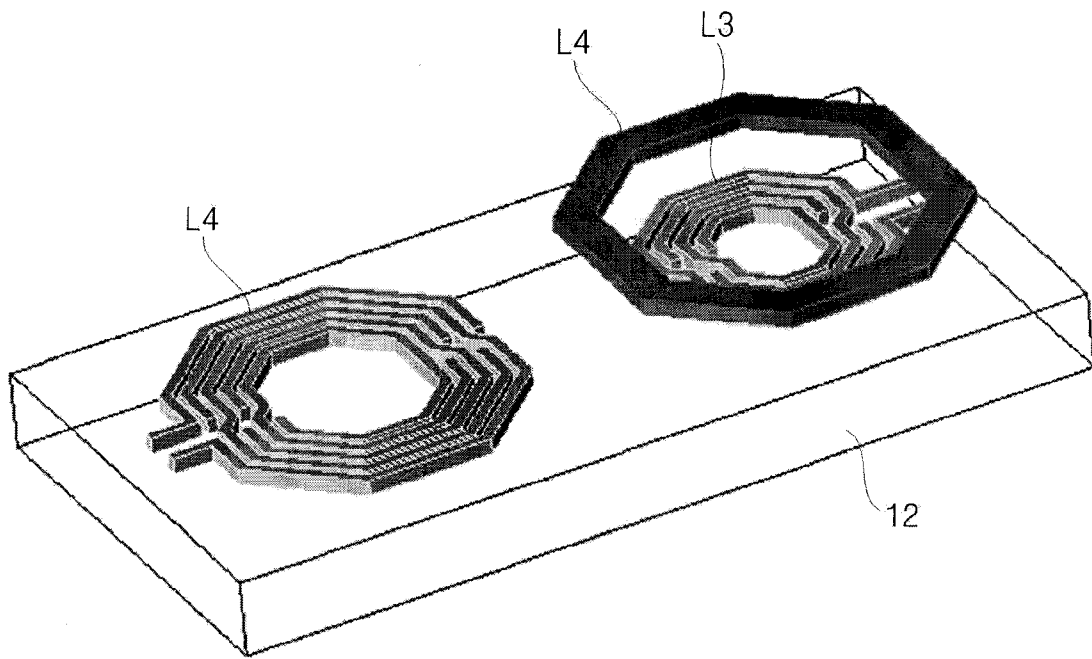
[도1]



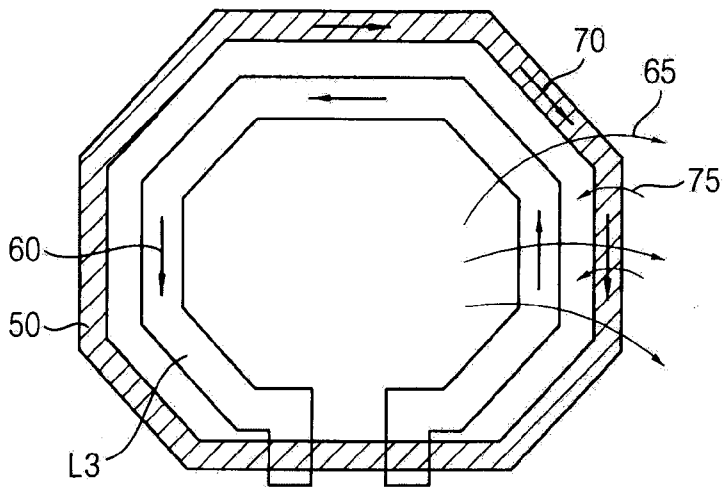
[도2]



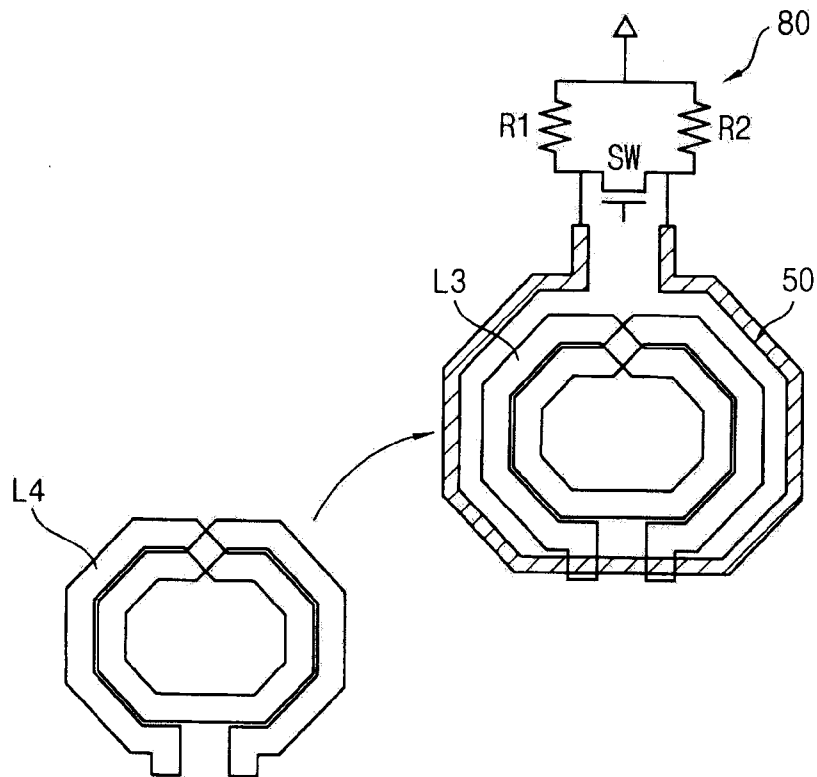
[도3]



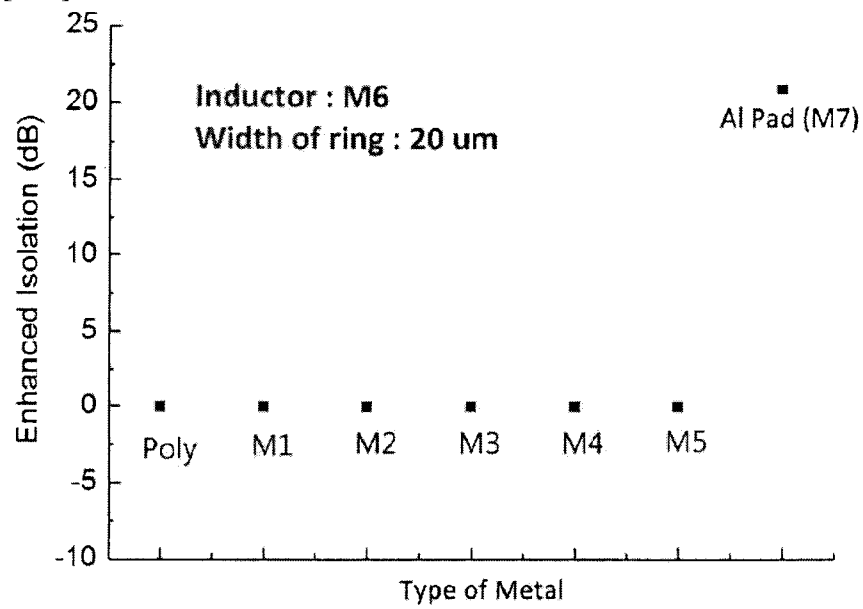
[도4]



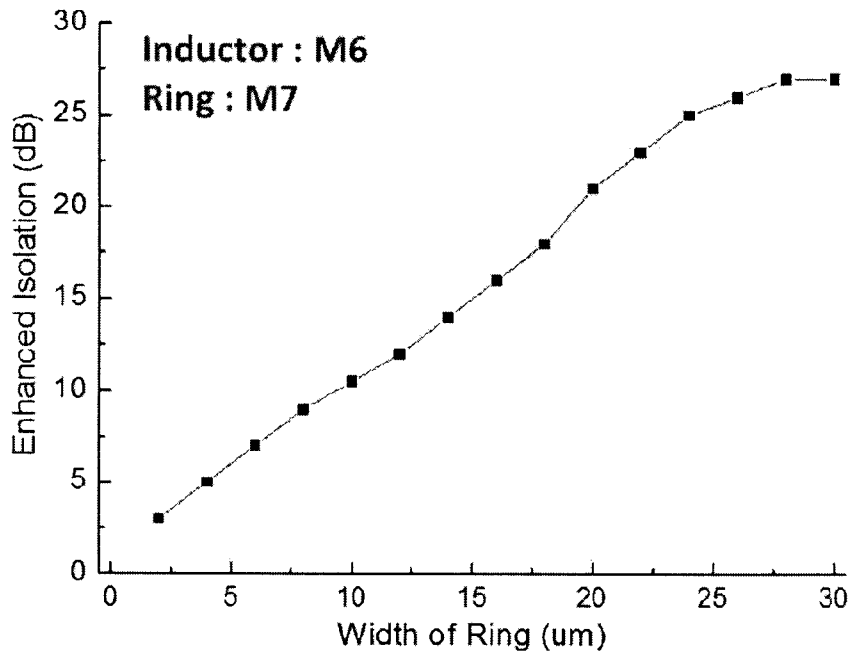
[도5]



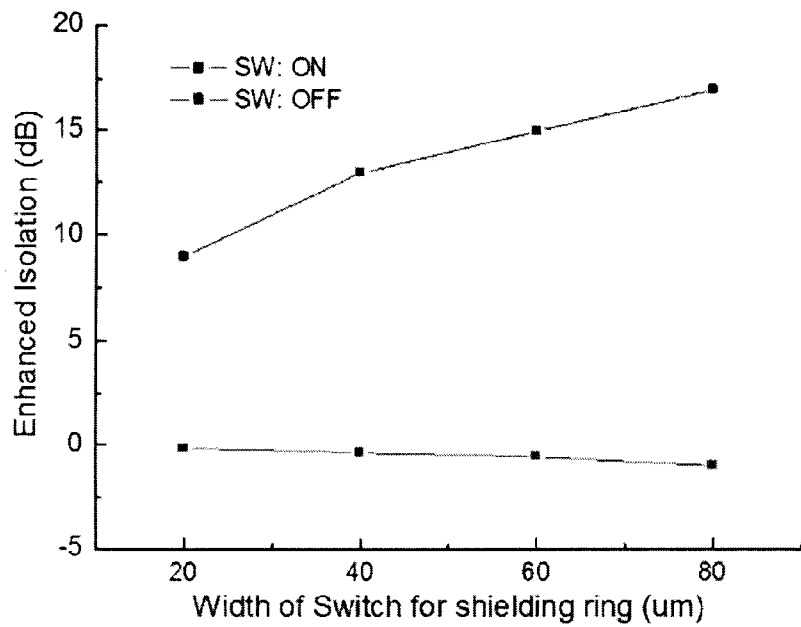
[도6]



[도7]



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/002006**A. CLASSIFICATION OF SUBJECT MATTER*****H01F 27/38(2006.01)i, H01F 27/36(2006.01)i, H03B 5/20(2006.01)i, H03F 1/34(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F 27/38; H01L 23/64; H05K 9/00; H03H 7/40; H01F 17/00; H01F 17/04; H01F 21/08; H01L 23/522; H05B 6/36; H01F 27/36; H03B 5/20; H03F 1/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: inductor, electric loop, coupling, isolation, magnetic field

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2015-069815 A1 (QUALCOMM INCORPORATED) 14 May 2015 See paragraphs [0016], [0028]-[0029], [0035]-[0036], claims 1-2 and figures 5-6.	1-9
A	JP 2004-327763 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 18 November 2004 See paragraph [0026] and figure 1.	1-9
A	US 2011-0273261 A1 (SIGNOFF, David M. et al.) 10 November 2011 See paragraphs [0021]-[0035] and figures 2a-3.	1-9
A	JP 2003-217935 A (MURATA MFG. CO., LTD.) 31 July 2003 See paragraphs [0016]-[0024] and figure 1.	1-9
A	KR 10-2011-0081059 A (FUJITSU LIMITED) 13 July 2011 See paragraphs [0010]-[0013] and figure 1.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 JUNE 2017 (05.06.2017)

Date of mailing of the international search report

05 JUNE 2017 (05.06.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/002006

Patent document cited in search report	Publication date	Patent family member	Publication date
WO 2015-069815 A1	14/05/2015	CN 105706235 A EP 3069383 A1 JP 06074118 B2 JP 2017-500729 A KR 10-1662138 B1 KR 10-2016-0074009 A US 2015-0130552 A1 US 9312927 B2	22/06/2016 21/09/2016 01/02/2017 05/01/2017 04/10/2016 27/06/2016 14/05/2015 12/04/2016
JP 2004-327763 A	18/11/2004	NONE	
US 2011-0273261 A1	10/11/2011	CN 102906830 A WO 2011-140031 A1	30/01/2013 10/11/2011
JP 2003-217935 A	31/07/2003	NONE	
KR 10-2011-0081059 A	13/07/2011	CN 102185578 A JP 2011-159953 A US 2011-0163824 A1 US 8441334 B2	14/09/2011 18/08/2011 07/07/2011 14/05/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01F 27/38(2006.01)i, H01F 27/36(2006.01)i, H03B 5/20(2006.01)i, H03F 1/34(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01F 27/38; H01L 23/64; H05K 9/00; H03H 7/40; H01F 17/00; H01F 17/04; H01F 21/08; H01L 23/522; H05B 6/36; H01F 27/36; H03B 5/20; H03F 1/34 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 인덕터, 전도체 루프, 커플링, 격리도, 자체		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	WO 2015-069815 A1 (QUALCOMM INCORPORATED) 2015.05.14 단락 [0016], [0028]-[0029], [0035]-[0036], 청구항 1-2 및 도면 5-6 참조.	1-9
A	JP 2004-327763 A (MATSUSHITA ELECTRIC IND CO., LTD.) 2004.11.18 단락 [0026] 및 도면 1 참조.	1-9
A	US 2011-0273261 A1 (DAVID M. SIGNOFF 등) 2011.11.10 단락 [0021]-[0035] 및 도면 2a-3 참조.	1-9
A	JP 2003-217935 A (MURATA MFG CO., LTD.) 2003.07.31 단락 [0016]-[0024] 및 도면 1 참조.	1-9
A	KR 10-2011-0081059 A (후지쯔 가부시끼가이샤) 2011.07.13 단락 [0010]-[0013] 및 도면 1 참조.	1-9
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신구성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2017년 06월 05일 (05.06.2017)	국제조사보고서 발송일 2017년 06월 05일 (05.06.2017)	
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 장기정 전화번호 +82-42-481-8364 	

국제조사보고서
대응특허에 관한 정보

국제출원번호

PCT/KR2017/002006

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2015-069815 A1	2015/05/14	CN 105706235 A EP 3069383 A1 JP 06074118 B2 JP 2017-500729 A KR 10-1662138 B1 KR 10-2016-0074009 A US 2015-0130552 A1 US 9312927 B2	2016/06/22 2016/09/21 2017/02/01 2017/01/05 2016/10/04 2016/06/27 2015/05/14 2016/04/12
JP 2004-327763 A	2004/11/18	없음	
US 2011-0273261 A1	2011/11/10	CN 102906830 A WO 2011-140031 A1	2013/01/30 2011/11/10
JP 2003-217935 A	2003/07/31	없음	
KR 10-2011-0081059 A	2011/07/13	CN 102185578 A JP 2011-159953 A US 2011-0163824 A1 US 8441334 B2	2011/09/14 2011/08/18 2011/07/07 2013/05/14