



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

255 003

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 05 85
(21) PV 3763-85

(51) Int. Cl.⁴
G 06 F 9/00

(40) Zveřejněno 14 05 87
(45) Vydáno 01 05 89

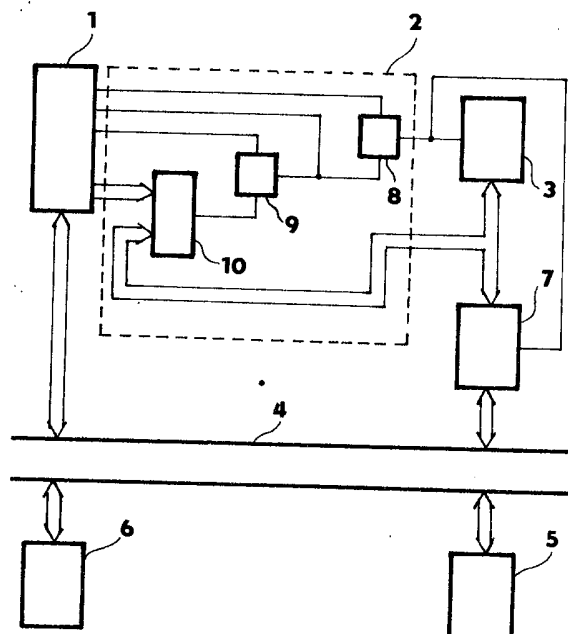
(75)
Autor vynálezu

HOŘAVA PETR ing.,
PEŘINA PETR ing., BRNO

(54)

Obvodový systém pro řízení podřízeného
procesoru řídicím procesorem

Jeho řídicí procesor (1) je spojen svým spouštěcím výstupem se vstupem nastavení prvního klopného obvodu (8), svým výstupem uvolnění se vstupem nastavení druhého klopného obvodu (9), svým vstupem požadavku předání řízení s nulovacím vstupem prvního klopného obvodu (8) a s výstupem druhého klopného obvodu (9) a svými výstupy referenční adresy s prvními vstupy komparátoru (10), spojeného svým výstupem s nulovacím vstupem druhého klopného obvodu (9) a svými druhými vstupy s adresovacími výstupy podřízeného procesoru (3), spojeného svým blokovacím vstupem s výstupem prvního klopného obvodu (8) a svými branami se sběrnici (4). Řešení je možno využít zejména v oblasti emulace činnosti různých typů procesorů, zejména jednočipových ve spojení s mikropočítačovým nebo minipočítačovým systémem jako jeho poměrně nenáročný doplněk.



Vynález se týká obvodového systému pro řízení podřízeného procesoru řídicím procesorem, kde řídicí procesor je svými branami spojen se sběrnicí, k níž jsou svými branami dále připojeny podřízený procesor, paměť s libovolným výběrem a blok vyššího systému.

V současné době se pro emulaci procesoru, zejména při vývojových pracech na mikroprocesorových systémech, používají buď obvodové emulátory typu ICE, nebo jednodušší samostatné emulátory.

Nevýhoda obvodových emulátorů typu ICE spočívá zejména v tom, že se jedná o značně složitý jednoúčelový mikropočítač, který zpravidla vyžaduje připojení k vyššímu systému a není schopen samostatné činnosti. Nevýhodou jednodušších samostatných emulátorů je, že neumožňují práci na úrovni kódu symbolických adres, edici programu, archivování a čtení z moderních, rychlých záznamových médií, a to při poměrně velkém rozsahu hardware.

Uvedené nevýhody dosavadního stavu do značné míry odstraňuje obvodový systém pro řízení podřízeného procesoru řídicím procesorem, kde řídicí procesor je svými branami spojen se sběrnicí, k níž jsou svými branami dále připojeny paměť s libovolným výběrem a blok vyššího systému, jehož podstatou je, že řídicí procesor je spojen svým spouštěcím výstupem se vstupem nastavení prvního klopného obvodu, svým výstupem uvolnění se vstupem nastavení druhého klopného obvodu, svým vstupem poža-

davku předání řízení s nulovacím vstupem prvního klopného obvodu a s výstupem druhého klopného obvodu a svými výstupy referenční adresy s prvními vstupy komparátoru, spojeného svým výstupem s nulovacím vstupem druhého klopného obvodu a svými druhými vstupy s adresovacími výstupy podřízeného procesoru, spojeného svým vstupem s výstupem prvního klopného obvodu a svými branami se sběrnicí. Výhodné přitom je, jestliže spojení bran podřízeného procesoru se sběrnicí je provedeno přes obvod řízení sběrnice, který je dále spojen svými datovými výstupy s druhými vstupy komparátoru a svým řídicím vstupem s výstupem prvního klopného obvodu.

Výhody obvodového systému pro řízení podřízeného procesoru řídicím procesorem spočívají zejména v jeho jednoduchosti, přičemž skutečnost, že řídicí procesor je částí vyššího systému, umožňuje vzhledem k vybavení vyššího systému emulaci na vysoké úrovni.

Vynález bude dále podrobněji popsán podle příloženého výkresu, na němž je znázorněno blokové schéma příkladného provedení obvodového systému pro řízení podřízeného procesoru řídicím procesorem podle vynálezu.

Obvodový systém pro řízení podřízeného procesoru řídicím procesorem sestává v příkladném provedení z řídicího procesoru 1, řídicího obvodu 2, podřízeného procesoru 3, sběrnice 4, paměti 5 s libovolným výběrem, bloku 6 vyššího systému a obvodu 7 řízení sběrnice.

Ke sběrnici 4 jsou svými branami připojeny řídicí procesor 1, paměť 5 s libovolným výběrem, blok 6 vyššího systému a obvod 7 řízení sběrnice. Řídicí procesor 1 je dále spojen svým spouštěcím výstupem se vstupem nastavení prvního klopného obvodu 8, svým výstupem uvolnění se vstupem nastavení druhého klopného obvodu 9, svým vstupem požadavku předání řízení s nulovacím vstupem klopného obvodu 8 a s výstupem druhého klopného obvodu 9 a svými výstupy referenční adresy s prvními vstupy komparátoru 10. Komparátor 10 je spojen svým výstupem s nulovacím vstupem druhého klopného obvodu 9 a svými druhými vstupy s adresovacími výstupy podřízeného procesoru 3 a s branami obvodu 7 řízení sběrnice. Podřízený procesor 3 je spojen svým blokovacím vstupem s výstupem prvního klopného obvodu 8 a se vstupem obvodu 7 řízení sběrnice. Obvod 7 řízení sběrnice je pak svými druhými porty připojen ke sběrnici 4.

V činnosti obvodového systému pro řízení podřízeného procesoru řídicím procesorem je ve výchozím stavu podřízený procesor 3 zastaven, řídicí procesor 1 ovládá sběrnici 4 a pomocí svého řídicího programu připraví v paměti 5 s libovolným výběrem program, který je určen pro řízení podřízeného procesoru 3. V místě programu, kde má být přerušena činnost podřízeného procesoru 3, se zařadí skok na adresu, odpovídající prvním vstupům komparátoru 10. Poté se z výstupu uvolnění řídicího procesoru 1 vyšle signál, který nastaví druhý klopný obvod 9. Druhý klop-

ný obvod 9 svým výstupem odblokuje první klopný obvod 8 a zároveň vyšle do řídicího procesoru 1 signál, představující požadavek na uvolnění sběrnice 4 a předání řízení podřízenému procesoru 3. Řídicí procesor 1 uvolní sběrnici 4 a potvrdí předání řízení vysláním signálu z výstupu spouštění na vstup nastavení prvního klopného obvodu 8, ten překlopí a signál z jeho výstupu spustí podřízený procesor 3. Podřízený procesor 3 převezme řízení sběrnice 4, a to s výhodou přes obvod 7 řízení sběrnice, a nadále se řídí ve své činnosti programem, uloženým v paměti 5 s libovolným výběrem tím způsobem, že vyšle přes obvod 7 řízení sběrnice a sběrnici 4 do paměti 5 s libovolným výběrem adresu, která vybírá z paměti 5 s libovolným výběrem data programu, která jsou pak přes sběrnici 4 a obvod 7 řízení sběrnice přivedena do podřízeného procesoru 3, který se jimi řídí. Tato činnost probíhá do okamžiku, kdy podřízený procesor 3 vyšle do obvodu 7 řízení sběrnice a do druhých vstupů komparátoru 10 takovou adresu, která je shodná s adresou na prvních vstupech komparátoru. Při shodě adres na svých prvních a druhých vstupech překlopí komparátor 10 svým výstupem druhý klopný obvod 9 do výchozího stavu, druhý klopný obvod 9 překlopí do výchozího stavu první klopný obvod 8 a klopný obvod 8 zastaví podřízený procesor 3 a uvolní sběrnici 4. Současně uvolní signál z výstupu druhého klopného obvodu 9 řídicí procesor 1, který převezme řízení sběrnice 4 a tím i ovládání paměti 5 s libovolným výběrem.

Vynález je možno využít zejména v oblasti emulace činnosti různých typů procesorů, zejména jednočipových, ve spojení s mikropočítačovým nebo minipočítačovým systémem jako jeho poměrně nenákladný a obvodově nenáročný doplněk.

P Ř E D M Ě T V Y N Á L E Z U

1. Obvodový systém pro řízení podřízeného procesoru řídicím procesorem, kde řídicí procesor je svými branami spojen se sběrnicí, k níž jsou svými branami dále připojeny paměť s libovolným výběrem a blok vyššího systému, vyznačující se tím, že řídicí procesor (1) je spojen svým spouštěcím výstupem se vstupem nastavení prvního klopného obvodu (8), svým výstupem uvolnění se vstupem nastavení druhého klopného obvodu (9), svým vstupem požadavku předání řízení s nulovacím vstupem prvního klopného obvodu (8) a s výstupem druhého klopného obvodu (9) a svými výstupy referenční adresy s prvními vstupy komparátoru (10), spojeného svým výstupem s nulovacím vstupem druhého klopného obvodu (9) a svými druhými vstupy s adresovacími výstupy podřízeného procesoru (3), spojeného svým blokovacím vstupem s výstupem prvního klopného obvodu (8) a svými branami se sběrnicí (4).

2. Obvodový systém podle bodu 1, vyznačující se tím, že spojení bran podřízeného procesoru (3) se sběrnicí (4) je provedeno přes obvod (7) řízení sběrnice, který je dále spojen svými datovými výstupy s druhými vstupy komparátoru (10) a svým řídicím vstupem s výstupem prvního klopného obvodu (8).

